



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년07월02일
(11) 등록번호 10-0905789
(24) 등록일자 2009년06월25일

(51) Int. Cl.
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
(21) 출원번호 10-2008-0000302
(22) 출원일자 2008년01월02일
심사청구일자 2008년01월02일
(56) 선행기술조사문헌
KR100660881 B1
KR100618875 B1
KR1020070033731 A
KR1020030051047 A

(73) 특허권자
주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자
신중환
서울 강동구 암사4동 413번지 프라이어팰리스 10
1동 802호
박형순
경기 이천시 갈산동 781번지 현대홈타운스위트
103동 902호
(뒷면에 계속)
(74) 대리인
강성배

전체 청구항 수 : 총 24 항

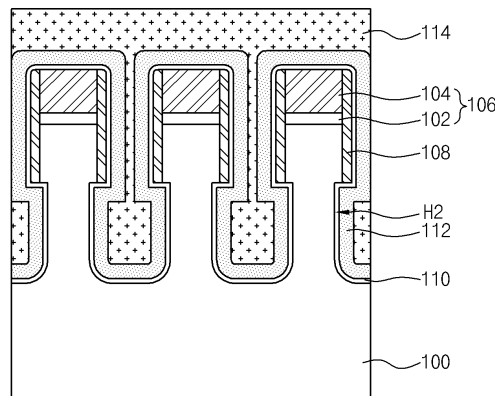
심사관 : 정두한

(54) 수직형 트랜지스터를 구비한 반도체 소자의 제조방법

(57) 요약

본 발명은 공정을 안정화시킬 수 있는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법을 개시한다. 개시된 본 발명에 따른 수직형 트랜지스터를 구비한 반도체 소자의 제조방법은, 반도체 기판 상에 그의 일부분을 노출시키는 하드마스크를 형성하는 단계; 상기 노출된 반도체 기판 부분을 식각하여 홈을 형성하는 단계; 상기 홈의 표면을 포함한 하드마스크 상에 상기 홈을 매립하지 않는 두께로 게이트 도전막을 형성하는 단계; 상기 게이트 도전막 상에 상기 홈을 매립하도록 희생막을 형성하는 단계; 상기 게이트 도전막 부분이 노출되도록 상기 희생막 부분을 제거하는 단계; 상기 하드마스크의 측벽 및 상기 홈의 측벽 상단부의 노출된 게이트 도전막 부분을 제거하는 단계; 상기 희생막을 제거하는 단계; 및 상기 게이트 도전막을 식각하여 상기 홈의 측벽 하단부에 게이트를 형성하는 단계;를 포함한다.

대표도 - 도1f



(72) 발명자

박점용

경기 용인시 기흥구 동백동 호수마을 서해그랑블
1109-1401

김성준

경기 이천시 고담동 고담기숙사 103동 512호 B호실

특허청구의 범위

청구항 1

반도체 기판 상에 그의 일부분을 노출시키는 하드마스크를 형성하는 단계;
 상기 노출된 반도체 기판 부분을 식각하여 홈을 형성하는 단계;
 상기 홈의 표면을 포함한 하드마스크 상에 상기 홈을 매립하지 않는 두께로 게이트 도전막을 형성하는 단계;
 상기 게이트 도전막 상에 상기 홈을 매립하도록 희생막을 형성하는 단계;
 상기 게이트 도전막 부분이 노출되도록 상기 희생막 부분을 제거하는 단계;
 상기 하드마스크의 측벽 및 상기 홈의 측벽 상단부의 노출된 게이트 도전막 부분을 제거하는 단계;
 상기 희생막을 제거하는 단계; 및
 상기 게이트 도전막을 식각하여 상기 홈의 측벽 하단부에 게이트를 형성하는 단계;
 를 포함하는 것을 특징으로 하는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법.

청구항 2

제 1 항에 있어서,
 상기 하드마스크는 패드 산화막과 패드 질화막의 적층 구조를 포함하는 것을 특징으로 하는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법.

청구항 3

제 2 항에 있어서,
 상기 패드 질화막은 500~1000Å의 두께를 갖도록 형성하는 것을 특징으로 하는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법.

청구항 4

제 1 항에 있어서,
 상기 홈은 상단부보다 하단부에서 넓은 폭을 갖도록 형성하는 것을 특징으로 하는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법.

청구항 5

제 1 항에 있어서,
 상기 홈을 형성하는 단계는,
 상기 노출된 반도체 기판 부분을 비등방성 식각하여 제1홈을 형성하는 단계;
 상기 제1홈 및 하드마스크의 측벽에 스페이서를 형성하는 단계; 및
 상기 제1홈 저면의 반도체 기판 부분을 등방성 식각하여 제2홈을 형성하는 단계;
 를 포함하는 것을 특징으로 하는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법.

청구항 6

제 5 항에 있어서,
 상기 제2홈은 상기 제1홈의 폭보다 넓은 폭을 갖도록 형성하는 것을 특징으로 하는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법.

청구항 7

제 1 항에 있어서,
 상기 홈을 형성하는 단계 후, 그리고, 상기 게이트 도전막을 형성하는 단계 전,
 상기 홈의 표면을 포함한 하드마스크 상에 게이트 절연막을 형성하는 단계;
 를 더 포함하는 것을 특징으로 하는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법.

청구항 8

제 1 항에 있어서,
 상기 게이트 도전막은 폴리실리콘막을 포함하는 것을 특징으로 하는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법.

청구항 9

제 1 항에 있어서,
 상기 희생막은 산화막을 포함하는 것을 특징으로 하는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법.

청구항 10

제 9 항에 있어서,
 상기 산화막은 유동성 산화막을 포함하는 것을 특징으로 하는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법.

청구항 11

제 10 항에 있어서,
 상기 유동성 산화막은 SOD막 및 BPSG막을 포함하는 것을 특징으로 하는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법.

청구항 12

제 1 항에 있어서,
 상기 희생막은 500~6000Å의 두께로 형성하는 것을 특징으로 하는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법.

청구항 13

제 1 항에 있어서,
 상기 게이트 도전막 부분이 노출되도록 상기 희생막 부분을 제거하는 단계는, CMP 또는 에치백 공정으로 수행하는 것을 특징으로 하는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법.

청구항 14

제 13 항에 있어서,
 상기 CMP는 산화막:폴리실리콘막의 연마 선택비가 100:1~300:1인 슬러리를 사용하여 수행하는 것을 특징으로 하는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법.

청구항 15

제 13 항에 있어서,
 상기 CMP는 세리아 슬러리(Ceria Slurry)를 사용하여 수행하는 것을 특징으로 하는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법.

청구항 16

제 1 항에 있어서,

상기 하드마스크의 측벽 및 상기 홈의 측벽 상단부의 노출된 게이트 도전막 부분을 제거하는 단계는, 습식 식각 공정으로 수행하는 것을 특징으로 하는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법.

청구항 17

제 16 항에 있어서,

상기 게이트 도전막 부분을 제거하기 위한 습식 식각은 산화막:폴리실리콘막의 식각 선택비가 1:300~1:150인 케미컬을 사용하여 수행하는 것을 특징으로 하는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법.

청구항 18

제 16 항에 있어서,

상기 게이트 도전막 부분을 제거하기 위한 습식 식각은 HNO₃를 사용하여 수행하는 것을 특징으로 하는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법.

청구항 19

제 16 항에 있어서,

상기 게이트 도전막 부분을 제거하기 위한 습식 식각은 HNO₃에 HF가 첨가된 케미컬을 사용하여 수행하는 것을 특징으로 하는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법.

청구항 20

제 19 항에 있어서,

상기 HF는 0.1~20%의 비율로 첨가된 것을 특징으로 하는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법.

청구항 21

제 1 항에 있어서,

상기 희생막을 완전히 제거하는 단계는, 습식 식각 공정으로 수행하는 것을 특징으로 하는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법.

청구항 22

제 21 항에 있어서,

상기 희생막을 완전히 제거하기 위한 습식 식각은 HF를 사용하여 수행하는 것을 특징으로 하는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법.

청구항 23

제 1 항에 있어서,

상기 게이트 도전막을 상기 홈의 측벽에만 잔류되도록 식각하여 게이트를 형성하는 단계는, 상기 게이트 도전막을 비등방성 식각하여 수행하는 것을 특징으로 하는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법.

청구항 24

제 23 항에 있어서,

상기 비등방성 식각은 건식 식각 방식으로 수행하는 것을 특징으로 하는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 수직형 트랜지스터를 구비한 반도체 소자의 제조방법에 관한 것으로, 보다 상세하게는, 공정을 안정화시킬 수 있는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법에 관한 것이다.

배경 기술

<2> 반도체 소자의 집적도가 증가함에 따라, 평면적으로 각 단위 셀이 차지하는 면적이 감소하게 되었다. 이와 같은 단위 셀 면적의 감소에 대응하여, 트랜지스터, 비트 라인(Bit Line), 워드 라인(Word Line), 캐패시터(Capacitor)의 스토리지 노드 콘택을 위한 매몰 콘택을 한정된 면적 위에 형성하기 위한 다양한 방법이 연구되고 있다. 그 중 하나의 방법으로서, 소오스 영역 및 드레인 영역을 활성 영역 내에 각각 상하로 배치시켜서 반도체 기판 내에서 수직형 채널을 갖는 트랜지스터 구조를 적용한 반도체 소자가 제안되었다.

<3> 상기 수직형 채널을 갖는 트랜지스터는 반도체 기판 내에 형성된 홈의 측벽에 게이트 절연막과 게이트 도전막으로 이루어진 게이트를 형성하고, 상기 게이트를 중심으로 하여 상기 홈의 상하에 각각 소오스 영역 및 드레인 영역을 형성함으로써 반도체 기판의 주면에 대하여 수직형 채널을 갖는 트랜지스터가 형성된다. 그러므로, 트랜지스터의 면적을 감소시키더라도 채널 길이에 구애받지 않는다.

<4> 이하에서는 종래 기술에 따른 수직형 트랜지스터를 구비한 반도체 소자의 제조방법에 대해 간략하게 설명하도록 한다.

<5> 먼저, 반도체 기판 상에 패드 산화막과 패드 질화막을 차례로 형성하고, 상기 패드 질화막과 패드 산화막을 식각 마스크로 이용해서 반도체 기판 부분을 소정 깊이만큼 비등방성 식각하여 상기 반도체 기판 내에 제1홈을 형성한다. 상기 패드 질화막과 패드 산화막 및 제1홈의 측벽에 스페이서를 형성한 후, 상기 스페이서를 식각 마스크로 이용해서 상기 제1홈의 저면을 등방성 식각하여 상기 제1홈의 아래에 제2홈을 형성한다. 이때, 상기 제2홈은 상기 제1홈의 폭 보다 큰 폭을 갖는다.

<6> 상기 제2홈 외주 측벽의 반도체 기판 표면 상에 게이트 절연막을 형성한 다음, 상기 게이트 절연막 상에 상기 제2홈과 제1홈을 매립하도록 폴리실리콘막을 증착한다. 상기 폴리실리콘막을 상기 패드 질화막이 노출되도록 CMP한 다음, 상기 CMP된 폴리실리콘막을 비등방성 식각하여 상기 제2홈의 측벽을 감싸는 게이트를 형성한다. 상기 게이트 상하부 반도체 기판 내에 각각 상기 게이트와 콘택하는 소오스 영역 및 드레인 영역을 형성한다.

<7> 그러나, 전술한 종래 기술의 경우에는 상기 패드 질화막이 후속 식각 및 CMP 공정시 3회 이상 베리어로 사용되기 때문에, 상기 패드 질화막의 공정 마진을 확보하기 위해서는 패드 질화막을 적어도 1500Å 이상의 높은 높이로 형성해야 한다.

<8> 그 결과, 종래 기술은 이러한 높은 높이의 패드 질화막 때문에 반도체 소자의 제조 과정 중 상기 패드 질화막 및 그 아래의 반도체 기판 부분의 쓰러짐 현상이 유발된다. 또한, 종래 기술은 상기 폴리실리콘막이 종횡비가 큰 공간을 매립하도록 증착되기 때문에 상기 제2홈 내에서 보이드(Void)가 형성되며, 이로 인해, 상기 폴리실리콘막의 식각시 폴리실리콘막에 인접한 반도체 기판 부분이 손실되어 소자 특성이 저하된다. 게다가, 종래 기술은 제1홈의 측벽에 폴리실리콘막이 잔류되어 후속 공정시 게이트 간의 쇼트(Short)가 야기된다.

발명의 내용

해결 하고자하는 과제

<9> 본 발명은 공정을 안정화시킬 수 있는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법을 제공한다.

<10> 또한, 본 발명은 소자 특성을 개선할 수 있는 수직형 트랜지스터를 구비한 반도체 소자의 제조방법을 제공한다.

과제 해결수단

<11> 본 발명의 실시예에 따른 수직형 트랜지스터를 구비한 반도체 소자의 제조방법은, 반도체 기판 상에 그의 일부분을 노출시키는 하드마스크를 형성하는 단계; 상기 노출된 반도체 기판 부분을 식각하여 홈을 형성하는 단계; 상기 홈의 표면을 포함한 하드마스크 상에 상기 홈을 매립하지 않는 두께로 게이트 도전막을 형성하는 단계; 상기 게이트 도전막 상에 상기 홈을 매립하도록 희생막을 형성하는 단계; 상기 게이트 도전막 부분이 노출되도록

상기 희생막 부분을 제거하는 단계; 상기 하드마스크의 측벽 및 상기 홈의 측벽 상단부의 노출된 게이트 도전막 부분을 제거하는 단계; 상기 희생막을 제거하는 단계; 및 상기 게이트 도전막을 식각하여 상기 홈의 측벽 하단부에 게이트를 형성하는 단계;를 포함한다.

- <12> 상기 하드마스크는 패드 산화막과 패드 질화막의 적층 구조를 포함한다.
- <13> 상기 패드 질화막은 500~1000Å의 두께를 갖도록 형성한다.
- <14> 상기 홈은 상단부보다 하단부에서 넓은 폭을 갖도록 형성한다.
- <15> 상기 홈을 형성하는 단계는, 상기 노출된 반도체 기판 부분을 비등방성 식각하여 제1홈을 형성하는 단계; 상기 제1홈 및 하드마스크의 측벽에 스페이서를 형성하는 단계; 및 상기 제1홈 저면의 반도체 기판 부분을 등방성 식각하여 제2홈을 형성하는 단계;를 포함한다.
- <16> 상기 제2홈은 상기 제1홈의 폭보다 넓은 폭을 갖도록 형성한다.
- <17> 상기 홈을 형성하는 단계 후, 그리고, 상기 게이트 도전막을 형성하는 단계 전, 상기 홈의 표면을 포함한 하드마스크 상에 게이트 절연막을 형성하는 단계;를 더 포함한다.
- <18> 상기 게이트 도전막은 폴리실리콘막을 포함한다.
- <19> 상기 희생막은 산화막을 포함한다.
- <20> 상기 산화막은 유동성 산화막을 포함한다.
- <21> 상기 유동성 산화막은 SOD막 및 BPSG막을 포함한다.
- <22> 상기 희생막은 500~6000Å의 두께로 형성한다.
- <23> 상기 게이트 도전막 부분이 노출되도록 상기 희생막 부분을 제거하는 단계는, CMP 또는 에치백 공정으로 수행한다.
- <24> 상기 CMP는 산화막:폴리실리콘막의 연마 선택비가 100:1~300:1인 슬러리를 사용하여 수행한다.
- <25> 상기 CMP는 세리아 슬러리(Ceria Slurry)를 사용하여 수행한다.
- <26> 상기 하드마스크의 측벽 및 상기 홈의 측벽 상단부의 노출된 게이트 도전막 부분을 제거하는 단계는, 습식 식각 공정으로 수행한다.
- <27> 상기 게이트 도전막 부분을 제거하기 위한 습식 식각은 산화막:폴리실리콘막의 식각 선택비가 1:300~1:150인 케미컬을 사용하여 수행한다.
- <28> 상기 게이트 도전막 부분을 제거하기 위한 습식 식각은 HNO₃를 사용하여 수행한다.
- <29> 상기 게이트 도전막 부분을 제거하기 위한 습식 식각은 HNO₃에 HF가 첨가된 케미컬을 사용하여 수행한다.
- <30> 상기 HF는 0.1~20%의 비율로 첨가된다.
- <31> 상기 희생막을 완전히 제거하는 단계는, 습식 식각 공정으로 수행한다.
- <32> 상기 희생막을 완전히 제거하기 위한 습식 식각은 HF를 사용하여 수행한다.
- <33> 상기 게이트 도전막을 상기 홈의 측벽에만 잔류되도록 식각하여 게이트를 형성하는 단계는, 상기 게이트 도전막을 비등방성 식각하여 수행한다.
- <34> 상기 비등방성 식각은 건식 식각 방식으로 수행한다.

효 과

- <35> 본 발명은 홈의 표면에만 폴리실리콘막을 증착한 후에 상기 폴리실리콘막 상에 희생 산화막을 형성하고 상기 희생 산화막이 형성된 상태에서 상기 폴리실리콘막을 식각하여 홈의 측벽에 게이트를 형성함으로써, 상기 희생 산화막을 식각 베리어로 사용할 수 있다.
- <36> 이에 따라, 본 발명은 하드마스크막을 종래처럼 높은 높이로 형성하지 않고도 후속 공정시의 식각 마진을 충분히 확보할 수 있으며, 이를 통해, 반도체 소자의 제조 공정을 안정화시킬 수 있다.

<37> 또한, 본 발명은 상기 하드마스크막이 종래처럼 높은 높이로 형성되지 않으므로 홈의 종횡비를 줄일 수 있으며, 따라서, 상기 폴리실리콘막의 증착시 보이드의 발생을 방지하여 소자 특성을 개선할 수 있다.

발명의 실시를 위한 구체적인 내용

<38> 이하에서는 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

<39> 도 1a 내지 도 1j는 본 발명의 실시예에 따른 수직형 트랜지스터를 구비한 반도체 소자의 제조방법을 설명하기 위한 공정별 단면도이다.

<40> 도 1a를 참조하면, 반도체 기판(100) 상에 패드 산화막(102)과 패드 질화막(104)을 차례로 형성한다. 상기 패드 질화막은 종래의 1500Å보다 낮은 높이, 바람직하게, 500~1000Å의 높이로 형성한다. 상기 패드 질화막(104)과 패드 산화막(102)을 식각하여 상기 반도체 기판(100)의 일부분을 노출시키는 마스크 패턴(106)을 형성한다.

<41> 도 1b를 참조하면, 상기 마스크 패턴(106)을 식각 마스크로 이용해서 마스크 패턴(106)에 의해 노출된 반도체 기판(100) 부분을 식각하여 소정 깊이의 제1홈(H1)을 형성한다. 상기 제1홈(H1)을 형성하기 위한 식각은 비등방성 식각 공정으로 수행함이 바람직하며, 상기 제1홈(H1)은 500~1500Å의 간격으로 형성함이 바람직하다.

<42> 도 1c를 참조하면, 상기 제1홈(H1)의 표면을 포함한 마스크 패턴(106)의 표면 상에 측벽 산화막(도시안됨)과 선형 질화막(도시안됨) 및 선형 산화막(도시안됨)을 차례로 형성한다. 이어서, 상기 측벽 산화막과 선형 질화막 및 선형 산화막을 스페이서 식각하여 상기 제1홈(H1)과 마스크 패턴(106)의 측벽에 스페이서(108)를 형성한다.

<43> 도 1d를 참조하면, 상기 스페이서(108)를 포함한 마스크 패턴(106)을 식각 마스크로 이용해서 제1홈(H1)의 저면의 반도체 기판(100) 부분을 좀더 식각하여 제2홈(H2)을 형성한다. 상기 제2홈(H2)을 형성하기 위한 식각은 습식, 또는, 건식 방식의 등방성 식각 공정으로 수행함이 바람직하며, 상기 제2홈(H2)은 상기 제1홈(H1)보다 넓은 폭, 예컨대, 50~200Å 넓은 폭을 갖도록 형성한다.

<44> 도 1e를 참조하면, 상기 제1홈(H1)과 제2홈(H2)의 표면 및 상기 스페이서(108)를 포함한 마스크 패턴(106)의 표면 상에 게이트 절연막(110)을 형성한다. 상기 게이트 절연막(110)은, 예컨대, 열 산화 공정, 또는, 라디칼 산화 공정을 통해 산화막으로 형성하며, 30~80Å의 두께로 형성한다.

<45> 상기 게이트 절연막(110) 상에 상기 게이트 절연막(110)의 표면을 따라 균일한 두께로 게이트 도전막(112)을 증착한다. 상기 게이트 도전막(112)은 상기 제1홈(H1)과 제2홈(H2)을 완전히 매립하지 않는 두께로, 바람직하게, 100~500Å의 두께로 증착하며, 예컨대, 폴리실리콘막으로 증착한다.

<46> 도 1f를 참조하면, 상기 게이트 도전막(112) 상에 제1홈(H1)과 제2홈(H2)을 매립하도록, 바람직하게, 500~6000Å의 두께로 희생막(114)을 형성한다. 상기 희생막(114)은 산화막, 예컨대, HDP(High Density Plasma), BPSG(Borophosphours Silicate Glass), SOD(Spin-On Dielectric), TEOS(Tetra Ethyl Ortho Silicate), USG(Undoped Silicate Glass), ALD(Atomic Layer Deposition) 등의 산화막으로 형성하며, 바람직하게, 유동성 산화막, 예컨대, SOD막 및 BPSG막으로 형성한다.

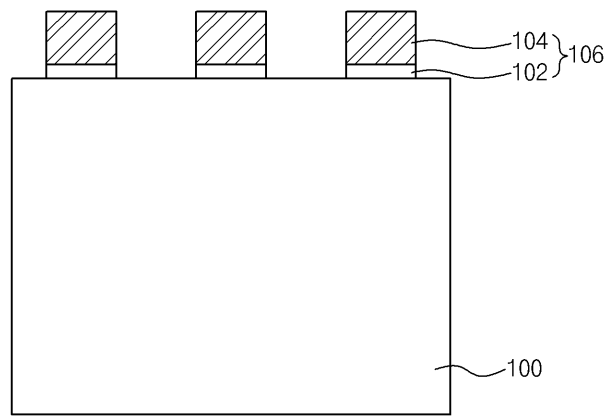
<47> 도 1g를 참조하면, 상기 게이트 도전막(112) 부분이 노출되도록 상기 희생막(114) 부분을 제거한다. 상기 희생막(114) 부분의 제거는 CMP(Chemical Mechanical Polishing), 또는, 에치백(Etch Back) 공정으로 수행하며, 바람직하게는, CMP 공정으로 수행한다. 여기서, 상기 CMP 공정은 산화막과 폴리실리콘막의 연마 선택비가 100~300인 슬러리, 바람직하게, 세리아 슬러리(Ceria Slurry)를 사용하여 수행한다. 이에 따라, 상기 CMP 공정시 폴리실리콘막으로 이루어진 게이트 도전막(112)은 거의 손실되지 않으며, 그 결과, 상기 CMP 공정 후에 노출된 게이트 도전막(112)의 표면을 균일하게 유지할 수 있다.

<48> 도 1h를 참조하면, 상기 노출된 게이트 도전막(112) 부분, 바람직하게, 상기 마스크 패턴(106)의 측벽 및 상기 제1홈(H1)의 측벽 상단부의 노출된 게이트 도전막(112) 부분을 선택적으로 제거한다. 이때, 상기 제2홈(H2) 내에는 상기 게이트 도전막(112) 상에 충분한 두께의 희생막(114)이 형성되어 있으므로, 상기 제2홈(H2) 내에서 게이트 도전막(112)의 손실은 발생되지 않는다.

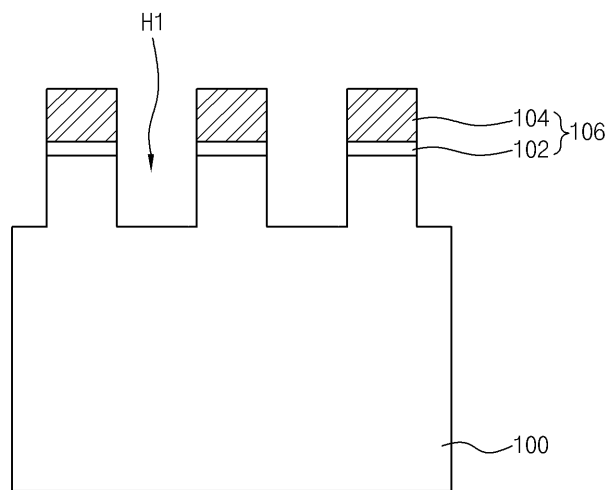
<49> 상기 게이트 도전막(112) 부분의 제거는 폴리실리콘막과 산화막의 식각 선택비가 150~300인 케미컬을 사용하는 습식 식각 공정으로 수행함이 바람직하다. 그 결과, 상기 습식 식각 공정시 상기 마스크 패턴(106) 및 스페이서(108)의 손실을 최소화할 수 있다. 상기 습식 식각 공정은, 예컨대, HNO₃를 사용하여 수행하며, 상기 HNO₃에 HF가 0.1~20%의 비율, 바람직하게, 0.5~2%의 비율로 첨가된 케미컬을 사용하여 수행한다.

도면

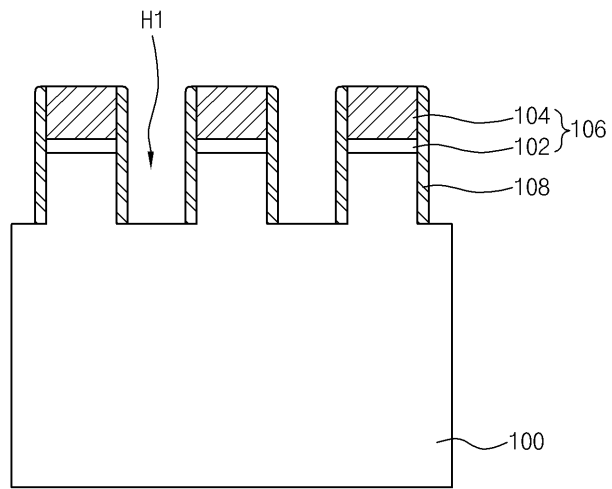
도면1a



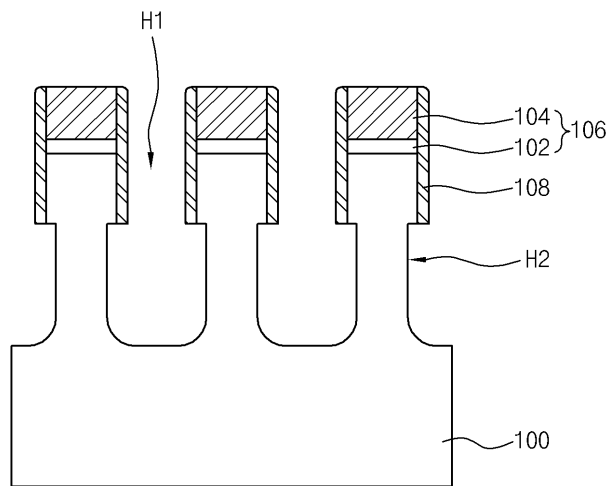
도면1b



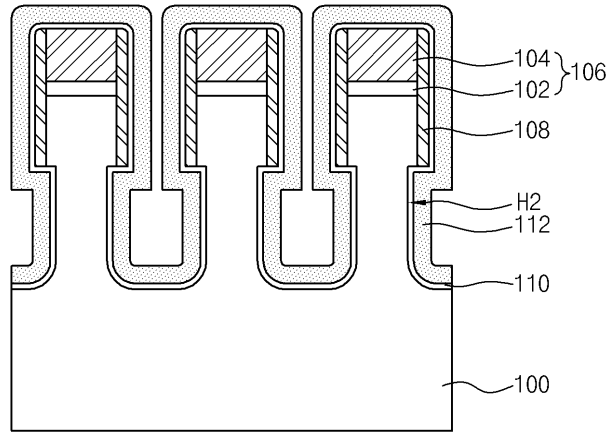
도면1c



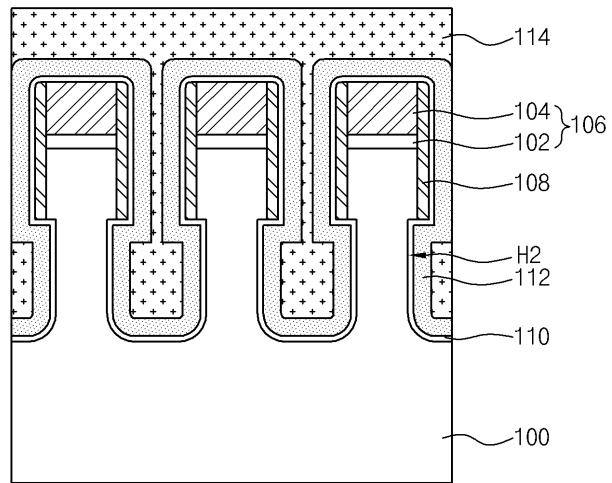
도면1d



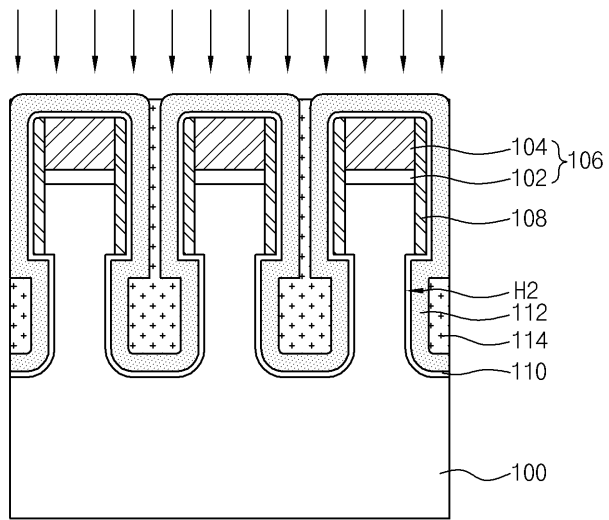
도면1e



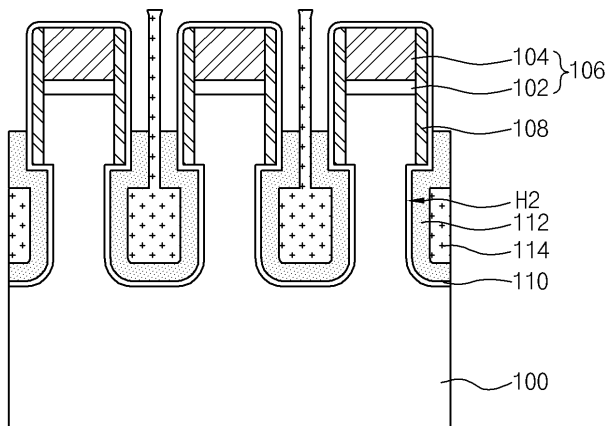
도면1f



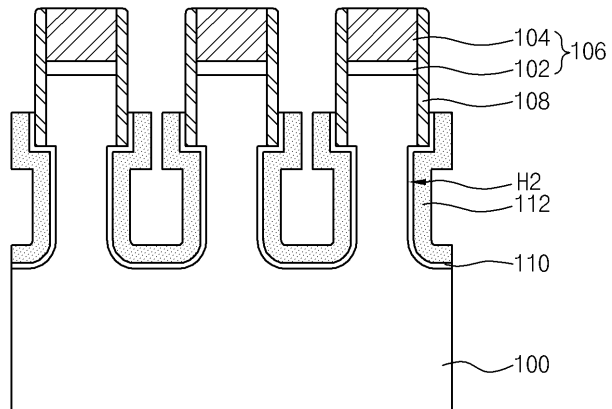
도면1g



도면1h



도면1i



도면1j

