

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6943301号  
(P6943301)

(45) 発行日 令和3年9月29日(2021.9.29)

(24) 登録日 令和3年9月13日(2021.9.13)

| (51) Int.Cl. |                 | F I    |         |
|--------------|-----------------|--------|---------|
| HO 4 L       | 25/03 (2006.01) | HO 4 L | 25/03 C |
| HO 4 L       | 25/49 (2006.01) | HO 4 L | 25/49 K |
| HO 4 L       | 25/02 (2006.01) | HO 4 L | 25/02 J |
| HO 4 B       | 3/04 (2006.01)  | HO 4 B | 3/04 C  |

請求項の数 17 (全 39 頁)

|            |                                     |           |                                  |
|------------|-------------------------------------|-----------|----------------------------------|
| (21) 出願番号  | 特願2020-7491 (P2020-7491)            | (73) 特許権者 | 000002185                        |
| (22) 出願日   | 令和2年1月21日(2020.1.21)                |           | ソニーグループ株式会社                      |
| (62) 分割の表示 | 特願2018-128332 (P2018-128332)<br>の分割 |           | 東京都港区港南1丁目7番1号                   |
| 原出願日       | 平成26年5月30日(2014.5.30)               | (74) 代理人  | 110001357<br>特許業務法人つばさ国際特許事務所    |
| (65) 公開番号  | 特開2020-65298 (P2020-65298A)         | (72) 発明者  | 高橋 宏雄<br>東京都港区港南1丁目7番1号 ソニー株式会社内 |
| (43) 公開日   | 令和2年4月23日(2020.4.23)                | (72) 発明者  | 松本 英之<br>東京都港区港南1丁目7番1号 ソニー株式会社内 |
| 審査請求日      | 令和2年2月13日(2020.2.13)                | (72) 発明者  | 杉岡 達也<br>東京都港区港南1丁目7番1号 ソニー株式会社内 |

最終頁に続く

(54) 【発明の名称】 受信装置および通信システム

(57) 【特許請求の範囲】

【請求項1】

1 または複数の送信信号を受信し、第1の出力信号を出力する第1の受信部と、  
前記1または複数の送信信号に対してイコライズを行うイコライザと、  
前記イコライザによりイコライズされた前記1または複数の送信信号を受信し、第2の出力信号を出力する第2の受信部と、  
前記1または複数の送信信号の遷移パターンに基づいて、前記第1の出力信号および前記第2の出力信号のうち的一方を選択する選択制御部と  
を備えた受信装置。

【請求項2】

前記1または複数の送信信号のそれぞれは、第1の電圧状態と、第2の電圧状態と、前記第1の電圧状態の電圧レベルと前記第2の電圧状態の電圧レベルとの間の電圧レベルを有する第3の電圧状態との間で遷移する  
請求項1に記載の受信装置。

【請求項3】

前記選択制御部は、前記1または複数の送信信号における電圧状態のシーケンスを求め、時間的に隣り合う2つの電圧状態を比較し、その比較結果に基づいて、前記第1の出力信号または前記第2の出力信号を選択する

請求項1または請求項2に記載の受信装置。

【請求項4】

10

20

前記選択制御部は、前記遷移パターンと、イコライズを行うか否かを示すフラグとの関係を示すルックアップテーブルを有し、前記ルックアップテーブルに基づいて、前記第1の出力信号または前記第2の出力信号を選択する

請求項1または請求項2に記載の受信装置。

【請求項5】

前記ルックアップテーブルは、プログラム可能に構成されている

請求項4に記載の受信装置。

【請求項6】

前記イコライズは、前記1または複数の送信信号の高周波成分を大きくするようにイコライズを行う

請求項1から請求項5のいずれか一項に記載の受信装置。

【請求項7】

1または複数の送信信号を送信する送信装置と、

前記1または複数の送信信号を受信する受信装置と

を備え、

前記受信装置は、

前記1または複数の送信信号を受信し、第1の出力信号を出力する第1の受信部と、

前記1または複数の送信信号に対してイコライズを行うイコライズと、

前記イコライズによりイコライズされた前記1または複数の送信信号を受信し、第2の出力信号を出力する第2の受信部と、

前記1または複数の送信信号の遷移パターンに基づいて、前記第1の出力信号および前記第2の出力信号のうち的一方を選択する選択制御部と

を有する

通信システム。

【請求項8】

前記1または複数の送信信号のそれぞれは、第1の電圧状態と、第2の電圧状態と、前記第1の電圧状態の電圧レベルと前記第2の電圧状態の電圧レベルとの間の電圧レベルを有する第3の電圧状態との間で遷移する

請求項7に記載の通信システム。

【請求項9】

前記選択制御部は、前記1または複数の送信信号における電圧状態のシーケンスを求め、時間的に隣り合う2つの電圧状態を比較し、その比較結果に基づいて、前記第1の出力信号または前記第2の出力信号を選択する

請求項7または請求項8に記載の通信システム。

【請求項10】

前記選択制御部は、前記遷移パターンと、イコライズを行うか否かを示すフラグとの関係を示すルックアップテーブルを有し、前記ルックアップテーブルに基づいて、前記第1の出力信号または前記第2の出力信号を選択する

請求項7または請求項8に記載の通信システム。

【請求項11】

前記ルックアップテーブルは、プログラム可能に構成されている

請求項10に記載の通信システム。

【請求項12】

前記イコライズは、前記1または複数の送信信号の高周波成分を大きくするようにイコライズを行う

請求項7から請求項11のいずれか一項に記載の通信システム。

【請求項13】

前記イコライズは、前記1または複数の送信信号の前記遷移パターンに基づいて、前記1または複数の送信信号を選択的にイコライズする

請求項7から請求項12のいずれか一項に記載の通信システム。

10

20

30

40

50

**【請求項 1 4】**

前記送信装置は、  
データ信号に基づいて、選択的にエンファシスを行うことにより前記 1 または複数の送信信号を生成する送信部と、  
前記データ信号の遷移パターンに基づいてエンファシスを行うか否かを判断し前記送信部を制御する送信制御部と  
を有する  
請求項 7 から請求項 1 3 のいずれか一項に記載の通信システム。

**【請求項 1 5】**

前記送信部は、前記 1 または複数の送信信号の高周波成分を選択的に大きくするように、  
選択的にエンファシスを行う  
請求項 1 4 に記載の通信システム。 10

**【請求項 1 6】**

前記送信部は、前記 1 または複数の送信信号の低周波成分を選択的に小さくするように、  
選択的にエンファシスを行う  
請求項 1 4 に記載の通信システム。

**【請求項 1 7】**

撮像動作を行うことにより画像を取得する撮像装置をさらに備え、  
前記送信装置は、前記画像を前記 1 または複数の送信信号として送信する  
請求項 7 から請求項 1 4 のいずれか一項に記載の通信システム。 20

**【発明の詳細な説明】****【技術分野】****【0 0 0 1】**

本開示は、信号を受信する受信装置、およびそのような受信装置を備えた通信システムに関する。

**【背景技術】****【0 0 0 2】**

近年の電子機器の高機能化および多機能化に伴い、電子機器には、半導体チップ、センサ、表示デバイスなどの様々なデバイスが搭載される。これらのデバイス間では、多くのデータのやり取りが行われ、そのデータ量は、電子機器の高機能化および多機能化に応じて多くなってきている。そこで、しばしば、例えば数 G b p s でデータを送受信可能な高速インタフェースを用いて、データのやりとりが行われる。 30

**【0 0 0 3】**

高速インタフェースにおける通信性能の向上を図るため、しばしばエンファシス（プリエンファシス、デエンファシス）や、イコライザが用いられる。プリエンファシスは、送信時に信号の高周波成分をあらかじめ強調するものであり（例えば特許文献 1）、デエンファシスは、送信時に信号の低周波成分をあらかじめ小さくするものである。また、イコライザは、受信時に信号の高周波成分を大きくするものである。これにより、通信システムでは、伝送路による信号の減衰の影響を抑えることができ、通信性能の向上を図ることができるようにしている。 40

**【先行技術文献】****【特許文献】****【0 0 0 4】**

【特許文献 1】特開 2 0 1 1 - 1 4 2 3 8 2 号公報

**【発明の概要】****【発明が解決しようとする課題】****【0 0 0 5】**

このように、通信システムでは、通信性能の向上が望まれており、さらなる通信性能の向上が期待されている。

**【0 0 0 6】**

本開示はかかる問題点に鑑みてなされたもので、その目的は、通信性能を高めることができる受信装置および通信システムを提供することにある。

【課題を解決するための手段】

【0007】

本開示の一実施の形態に係る受信装置は、第1の受信部と、イコライザと、第2の受信部と、選択制御部とを備えている。第1の受信部は、1または複数の送信信号を受信し、第1の出力信号を出力するものである。イコライザは、1または複数の送信信号に対してイコライズを行うものである。第2の受信部は、イコライザによりイコライズされた1または複数の送信信号を受信し、第2の出力信号を出力するものである。選択制御部は、1または複数の送信信号の遷移パターンに基づいて、第1の出力信号および第2の出力信号のうちの一方を選択するものである。

10

【0008】

本開示の一実施の形態に係る通信システムは、1または複数の送信信号を送信する送信装置と、1または複数の送信信号を受信する受信装置とを備えている。受信装置は、第1の受信部と、イコライザと、第2の受信部と、選択制御部とを有する。第1の受信部は、1または複数の送信信号を受信し、第1の出力信号を出力するものである。イコライザは、1または複数の送信信号に対してイコライズを行うものである。第2の受信部は、イコライザによりイコライズされた1または複数の送信信号を受信し、第2の出力信号を出力するものである。選択制御部は、1または複数の送信信号の遷移パターンに基づいて、第1の出力信号および第2の出力信号のうちの一方を選択するものである。

20

【0009】

本開示の一実施の形態に係る受信装置および通信システムでは、1または複数の送信装置は、第1の受信部により受信され、第1の出力信号が出力される。また、この1または複数の送信装置は、イコライザによりイコライズされ、イコライザによりイコライズされた1または複数の送信信号は、第2の受信部により受信され、第2の出力信号が出力される。

【発明の効果】

【0010】

本開示の一実施の形態に係る受信装置および通信システムによれば、第1の受信部が1または複数の送信信号を受信し、イコライザが1または複数の送信信号に対してイコライズを行い、第2の受信部がイコライザによりイコライズされた1または複数の送信信号を受信するようにしたので、通信性能を高めることができる。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれの効果があってもよい。

30

【図面の簡単な説明】

【0011】

【図1】本開示の一実施の形態に係る通信システムの一構成例を表すブロック図である。

【図2】図1に示した通信システムが送受信する信号の電圧状態を表す説明図である。

【図3】第1の実施の形態に係る送信装置の一構成例を表すブロック図である。

【図4】図1に示した通信システムが送受信するシンボルの遷移を表す説明図である。

40

【図5】図3に示した送信部の一構成例を表す回路図である。

【図6】第1の実施の形態に係る受信装置の一構成例を表すブロック図である。

【図7】図6に示した受信装置の受信動作の一例を表す説明図である。

【図8】図3に示した信号生成部の一動作例を表す表である。

【図9A】図3に示した送信装置の一動作例を表す波形図である。

【図9B】図3に示した送信装置の他の動作例を表す波形図である。

【図9C】図3に示した送信装置の他の動作例を表す波形図である。

【図9D】図3に示した送信装置の他の動作例を表す波形図である。

【図9E】図3に示した送信装置の他の動作例を表す波形図である。

【図10A】図3に示した送信装置の他の動作例を表す波形図である。

50

- 【図10B】図3に示した送信装置の他の動作例を表す波形図である。
- 【図10C】図3に示した送信装置の他の動作例を表す波形図である。
- 【図10D】図3に示した送信装置の他の動作例を表す波形図である。
- 【図10E】図3に示した送信装置の他の動作例を表す波形図である。
- 【図11A】図3に示した送信装置の他の動作例を表す波形図である。
- 【図11B】図3に示した送信装置の他の動作例を表す波形図である。
- 【図11C】図3に示した送信装置の他の動作例を表す波形図である。
- 【図11D】図3に示した送信装置の他の動作例を表す波形図である。
- 【図11E】図3に示した送信装置の他の動作例を表す波形図である。
- 【図12A】図3に示した送信装置の他の動作例を表す波形図である。 10
- 【図12B】図3に示した送信装置の他の動作例を表す波形図である。
- 【図12C】図3に示した送信装置の他の動作例を表す波形図である。
- 【図12D】図3に示した送信装置の他の動作例を表す波形図である。
- 【図12E】図3に示した送信装置の他の動作例を表す波形図である。
- 【図13】図3に示した送信装置の他の動作例を表す波形図である。
- 【図14】図3に示した送信装置の他の動作例を表す波形図である。
- 【図15】図3に示した送信装置の他の動作例を表す波形図である。
- 【図16】図3に示した送信装置の他の動作例を表す波形図である。
- 【図17】比較例に係る送信装置の一動作例を表す波形図である。
- 【図18】比較例に係る送信装置の他の動作例を表す波形図である。 20
- 【図19】第1の実施の形態の変形例に係る信号生成部の一動作例を表す表である。
- 【図20】第1の実施の形態の他の変形例に係る送信装置の一構成例を表すブロック図である。
- 【図21】図20に示した信号生成部の一動作例を表す表である。
- 【図22】第1の実施の形態の他の変形例に係る信号生成部の一構成例を表すブロック図である。
- 【図23】第1の実施の形態の他の変形例に係る信号生成部の一動作例を表す表である。
- 【図24A】第1の実施の形態の他の変形例に係る送信装置の一動作例を表す波形図である。
- 【図24B】第1の実施の形態の他の変形例に係る送信装置の他の動作例を表す波形図である。 30
- 【図24C】第1の実施の形態の他の変形例に係る送信装置の他の動作例を表す波形図である。
- 【図24D】第1の実施の形態の他の変形例に係る送信装置の他の動作例を表す波形図である。
- 【図24E】第1の実施の形態の他の変形例に係る送信装置の他の動作例を表す波形図である。
- 【図25A】第1の実施の形態の他の変形例に係る送信装置の他の動作例を表す波形図である。
- 【図25B】第1の実施の形態の他の変形例に係る送信装置の他の動作例を表す波形図である。 40
- 【図25C】第1の実施の形態の他の変形例に係る送信装置の他の動作例を表す波形図である。
- 【図25D】第1の実施の形態の他の変形例に係る送信装置の他の動作例を表す波形図である。
- 【図25E】第1の実施の形態の他の変形例に係る送信装置の他の動作例を表す波形図である。
- 【図26】第1の実施の形態の他の変形例に係る通信システムの一構成例を表すブロック図である。
- 【図27】図26に示した受信装置の一構成例を表すブロック図である。 50

【図 28】図 26 に示した送信装置の一構成例を表すブロック図である。

【図 29】第 1 の実施の形態の他の変形例に係る送信装置の他の動作例を表す波形図である。

【図 30】第 1 の実施の形態の他の変形例に係る送信装置の他の動作例を表す波形図である。

【図 31】第 2 の実施の形態に係る送信装置の一構成例を表すブロック図である。

【図 32】図 31 に示した送信部の一構成例を表す回路図である。

【図 33】第 2 の実施の形態に係る受信装置の一構成例を表すブロック図である。

【図 34】図 33 に示した受信装置の一動作例を表す波形図である。

【図 35】図 33 に示した受信装置の他の動作例を表す波形図である。

【図 36】図 33 に示した受信装置の他の動作例を表す波形図である。

【図 37】図 33 に示した受信装置の他の動作例を表す波形図である。

【図 38】実施の形態に係る通信システムが適用されたスマートフォンの外観構成を表す斜視図である。

【図 39】実施の形態に係る通信システムが適用されたアプリケーションプロセッサの一構成例を表すブロック図である。

【図 40】実施の形態に係る通信システムが適用されたイメージセンサの一構成例を表すブロック図である。

【発明を実施するための形態】

【0012】

以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第 1 の実施の形態（エンファシスを用いた例）

2. 第 2 の実施の形態（イコライザを用いた例）

3. 適用例

【0013】

< 1. 第 1 の実施の形態 >

[構成例]

図 1 は、第 1 の実施の形態に係る送信装置が適用された通信システムの一構成例を表すものである。通信システム 1 は、プリエンファシスにより通信品質の向上を図るものである。

【0014】

通信システム 1 は、送信装置 10 と、受信装置 30 とを備えている。この通信システム 1 では、送信装置 10 が、受信装置 30 に対して、伝送路 9A, 9B, 9C を介して信号 SIGA, SIGB, SIGC をそれぞれ送信している。信号 SIGA, SIGB, SIGC は、それぞれ、3つの電圧状態 SH, SM, SL の間で遷移するものである。ここで、電圧状態 SH は、高レベル電圧 VH に対応する状態である。すなわち、電圧状態 SH が示す電圧は、後述するように、高レベル電圧 VH に加え、この高レベル電圧 VH に対してプリエンファシスを行った場合の電圧をも含むものである。同様に、電圧状態 SM は、中レベル電圧 VM に対応する状態であり、電圧状態 SL は、低レベル電圧 VL に対応する状態である。

【0015】

図 2 は、信号 SIGA, SIGB, SIGC の電圧状態を表すものである。送信装置 10 は、3つの信号 SIGA, SIGB, SIGC を用いて、6つのシンボル “+x”, “-x”, “+y”, “-y”, “+z”, “-z” を送信する。例えば、シンボル “+x” を送信する場合には、送信装置 10 は、信号 SIGA を電圧状態 SH（例えば高レベル電圧 VH）にし、信号 SIGB を電圧状態 SL（例えば低レベル電圧 VL）にし、信号 SIGC を電圧状態 SM（例えば中レベル電圧 VM）にする。シンボル “-x” を送信する場合には、送信装置 10 は、信号 SIGA を電圧状態 SL にし、信号 SIGB を電圧状態 SH にし、信号 SIGC を電圧状態 SM にする。シンボル “+y” を送信する場合には、

10

20

30

40

50

送信装置 10 は、信号 S I G A を電圧状態 S M にし、信号 S I G B を電圧状態 S H にし、信号 S I G C を電圧状態 S L にする。シンボル “ - y ” を送信する場合には、送信装置 10 は、信号 S I G A を電圧状態 S M にし、信号 S I G B を電圧状態 S L にし、信号 S I G C を電圧状態 S H にする。シンボル “ + z ” を送信する場合には、送信装置 10 は、信号 S I G A を電圧状態 S L にし、信号 S I G B を電圧状態 S M にし、信号 S I G C を電圧状態 S H にする。シンボル “ - z ” を送信する場合には、送信装置 10 は、信号 S I G A を電圧状態 S H にし、信号 S I G B を電圧状態 S M にし、信号 S I G C を電圧状態 S L にするようになっている。

【 0 0 1 6 】

図 3 は、送信装置 10 の一構成例を表すものである。送信装置 10 は、信号生成部 11 と、レジスタ 12 と、フリップフロップ ( F / F ) 13 ~ 15 と、送信部 20 とを有している。

10

【 0 0 1 7 】

信号生成部 11 は、シンボル C S、信号 T x F、T x R、T x P、およびクロック T x C K に基づいて、シンボル N S を求めるものである。ここで、シンボル C S、N S は、それぞれ、6 つのシンボル “ + x ”、“ - x ”、“ + y ”、“ - y ”、“ + z ”、“ - z ” のうちのいずれか一つを示すものである。シンボル C S は現在送信しているシンボル ( 現在のシンボル ) であり、シンボル N S は次に送信するシンボル ( 次のシンボル ) である。

【 0 0 1 8 】

図 4 は、信号生成部 11 の動作を表すものである。この図 4 は、6 つのシンボル “ + x ”、“ - x ”、“ + y ”、“ - y ”、“ + z ”、“ - z ” と、それらの間の遷移を示している。

20

【 0 0 1 9 】

信号 T x F は、“ + x ” と “ - x ” との間でシンボルを遷移させ、“ + y ” と “ - y ” との間でシンボルを遷移させ、“ + z ” と “ - z ” との間でシンボルを遷移させるものである。具体的には、信号 T x F が “ 1 ” である場合には、シンボルの極性を変更するように ( 例えば “ + x ” から “ - x ” へ ) 遷移し、信号 T x F が “ 0 ” である場合には、このような遷移を行わないようになっている。

【 0 0 2 0 】

信号 T x R、T x P は、信号 T x F が “ 0 ” である場合において、“ + x ” と “ + x ” 以外との間、“ + y ” と “ + y ” 以外との間、“ + z ” と “ + z ” 以外との間でシンボルを遷移させるものである。具体的には、信号 T x R が “ 1 ” であり、かつ信号 T x P が “ 0 ” である場合には、シンボルの極性を保ったまま、図 4 において右回りに ( 例えば “ + x ” から “ + y ” へ ) 遷移し、信号 T x R が “ 1 ” であり、かつ信号 T x P が “ 1 ” である場合には、シンボルの極性を変更するとともに、図 4 において右回りに ( 例えば “ + x ” から “ - y ” へ ) 遷移する。また、信号 T x R が “ 0 ” であり、かつ信号 T x P が “ 0 ” である場合には、シンボルの極性を保ったまま、図 4 において左回りに ( 例えば “ + x ” から “ + z ” へ ) 遷移し、信号 T x R が “ 0 ” であり、かつ信号 T x P が “ 1 ” である場合には、シンボルの極性を変更するとともに、図 4 において左回りに ( 例えば “ + x ” から “ - z ” へ ) 遷移する。

30

40

【 0 0 2 1 】

このように、信号生成部 11 では、信号 T x F、T x R、T x P により、シンボルの遷移の方向が特定される。よって、信号生成部 11 は、現在のシンボル C S と、これらの信号 T x F、T x R、T x P に基づいて、次のシンボル N S を求めることができる。そして、信号生成部 11 は、このシンボル N S を、この例では、3 ビットの信号 S 1 を用いてフリップフロップ 13 に供給するようになっている。

【 0 0 2 2 】

また、信号生成部 11 は、レジスタ 12 から供給される L U T ( Look Up Table ) 19 に基づいて、信号 E A、E B、E C を生成する機能を有している。信号 E A は、信号 S I G A についてプリエンファシスを行うか否かを示すものであり、信号生成部 11 は、信

50

号 E A をアクティブにすることにより、信号 S I G A に対してプリエンファシスを行うように制御する。同様に、信号 E B は、信号 S I G B についてプリエンファシスを行うか否かを示すものであり、信号生成部 1 1 は、信号 E B をアクティブにすることにより、信号 S I G B に対してプリエンファシスを行うように制御する。また、信号 E C は、信号 S I G C についてプリエンファシスを行うか否かを示すものであり、信号生成部 1 1 は、信号 E C をアクティブにすることにより、信号 S I G C に対してプリエンファシスを行うように制御する。L U T 1 9 は、現在のシンボル C S と、信号 T x F , T x R , T x P と、信号 E A , E B , E C との関係を示したものである。信号生成部 1 1 は、現在のシンボル C S および信号 T x F , T x R , T x P に基づいて、この L U T 1 9 を参照して、信号 E A , E B , E C を生成する。言い換えれば、信号生成部 1 1 は、時間的に隣り合う 2 つのシンボル (現在のシンボル C S および次のシンボル N S )、すなわち連続した 2 つのシンボルに応じて、信号 E A , E B , E C を生成するようになっている。

10

【 0 0 2 3 】

この構成により、信号生成部 1 1 は、例えば、電圧状態 S H , S M , S L の間の遷移のうちの一部の遷移に対して選択的にプリエンファシスを行うことができるとともに、信号 S I G A , S I G B , S I G C のうちの一部の信号に対して選択的にプリエンファシスを行うことができるようになっている。

【 0 0 2 4 】

レジスタ 1 2 は、L U T 1 9 を記憶するものである。この L U T 1 9 は、例えば、送信装置 1 0 の電源投入時に、図示しないアプリケーションプロセッサから、このレジスタ 1 2 に書き込まれるようになっている。

20

【 0 0 2 5 】

フリップフロップ 1 3 は、信号 S 1 を、クロック T x C K の 1 クロック分遅延させ、3 ビットの信号 S 2 として出力するものである。すなわち、フリップフロップ 1 3 は、信号 S 1 が示す次のシンボル N S をクロック T x C K の 1 クロック分遅延させることにより、現在のシンボル C S を生成している。そして、フリップフロップ 1 3 は、その信号 S 2 を、信号生成部 1 1 および送信部 2 0 に供給するようになっている。

【 0 0 2 6 】

フリップフロップ 1 4 は、信号 E A , E B , E C を、クロック T x C K の 1 クロック分遅延させ、それぞれ出力するものである。フリップフロップ 1 5 は、フリップフロップ 1 4 の 3 つの出力信号を、クロック T x C K の 1 クロック分遅延させ、信号 E A 2 , E B 2 , E C 2 としてそれぞれ出力するものである。そして、フリップフロップ 1 5 は、その信号 E A 2 , E B 2 , E C 2 を送信部 2 0 に供給するようになっている。

30

【 0 0 2 7 】

送信部 2 0 は、信号 S 2 および信号 E A 2 , E B 2 , E C 2 に基づいて、信号 S I G A , S I G B , S I G C を生成するものである。

【 0 0 2 8 】

図 5 は、送信部 2 0 の一構成例を表すものである。送信部 2 0 は、出力制御部 2 1 と、出力部 2 2 A , 2 2 B , 2 2 C と、エンファシス制御部 2 3 と、出力部 2 4 A , 2 4 B , 2 4 C とを有している。

40

【 0 0 2 9 】

出力制御部 2 1 は、信号 S 2 に基づいて、出力部 2 2 A , 2 2 B , 2 2 C に制御信号を供給し、出力部 2 2 A , 2 2 B , 2 2 C の動作を制御するものである。

【 0 0 3 0 】

出力部 2 2 A は、出力制御部 2 1 から供給された制御信号に基づいて、信号 S I G A の電圧状態を、電圧状態 S H , S M , S L のうちのいずれかに設定するものである。出力部 2 2 B は、出力制御部 2 1 から供給された制御信号に基づいて、信号 S I G B の電圧状態を、電圧状態 S H , S M , S L のうちのいずれかに設定するものである。出力部 2 2 C は、出力制御部 2 1 から供給された制御信号に基づいて、信号 S I G C の電圧状態を、電圧状態 S H , S M , S L のうちのいずれかに設定するものである。

50

## 【 0 0 3 1 】

この構成により、送信部 2 0 は、信号 S 2 が示すシンボル C S に基づいて、信号 S I G A , S I G B , S I G C を、図 2 に示したように、シンボル C S に対応した電圧状態 S H , S M , S L に設定することができるようになっている。

## 【 0 0 3 2 】

以下、送信部 2 0 の出力部 2 2 A についてより詳細に説明する。出力部 2 2 B , 2 2 C についても同様である。

## 【 0 0 3 3 】

出力部 2 2 A は、トランジスタ 2 5 , 2 6 と、抵抗素子 2 7 , 2 8 とを有している。トランジスタ 2 5 , 2 6 は、この例では、NチャネルMOS (Metal Oxide Semiconductor) 型の F E T (Field Effect Transistor) である。トランジスタ 2 5 のゲートには出力制御部 2 1 から制御信号が供給され、ドレインには電圧 V 1 が供給され、ソースは抵抗素子 2 7 の一端に接続されている。トランジスタ 2 6 のゲートには出力制御部 2 1 から制御信号が供給され、ドレインは抵抗素子 2 8 の一端に接続され、ソースは接地されている。抵抗素子 2 7 , 2 8 は、通信システム 1 における終端抵抗として機能するものである。抵抗素子 2 7 の一端はトランジスタ 2 5 のソースに接続され、他端は、抵抗素子 2 8 の他端に接続されるとともに、出力端子 T outA に接続されている。抵抗素子 2 8 の一端はトランジスタ 2 6 のドレインに接続され、他端は、抵抗素子 2 7 の他端に接続されるとともに、出力端子 T outA に接続されている。

## 【 0 0 3 4 】

例えば信号 S I G A を電圧状態 S H に設定する場合には、出力制御部 2 1 は、高レベルの制御信号をトランジスタ 2 5 に供給するとともに、低レベルの制御信号をトランジスタ 2 6 に供給する。これにより、トランジスタ 2 5 がオン状態になるとともにトランジスタ 2 6 がオフ状態になり、トランジスタ 2 5 を介して出力電流が流れ、信号 S I G A が電圧状態 S H に設定される。また、例えば信号 S I G A を電圧状態 S L に設定する場合には、出力制御部 2 1 は、低レベルの制御信号をトランジスタ 2 5 に供給するとともに、高レベルの制御信号をトランジスタ 2 6 に供給する。これにより、トランジスタ 2 5 がオフ状態になるとともにトランジスタ 2 6 がオン状態になり、トランジスタ 2 6 を介して出力電流が流れ、信号 S I G A が電圧状態 S L に設定される。また、例えば信号 S I G A を電圧状態 S M に設定する場合には、出力制御部 2 1 は、低レベルの制御信号をトランジスタ 2 5 , 2 6 に供給する。これにより、トランジスタ 2 5 , 2 6 がオフ状態になり、受信装置 3 0 の抵抗素子 3 1 A , 3 1 B , 3 1 C (後述) により、信号 S I G A が電圧状態 S M に設定されるようになっている。

## 【 0 0 3 5 】

エンファシス制御部 2 3 は、信号 S 2 および信号 E A 2 , E B 2 , E C 2 に基づいて、出力部 2 4 A , 2 4 B , 2 4 C の動作を制御するものである。具体的には、エンファシス制御部 2 3 は、信号 S 2 および信号 E A 2 に基づいて、出力部 2 4 A に対して制御信号を供給し、信号 S 2 および信号 E B 2 に基づいて、出力部 2 4 B に対して制御信号を供給し、信号 S 2 および信号 E C 2 に基づいて、出力部 2 4 C に対して制御信号を供給するようになっている。

## 【 0 0 3 6 】

出力部 2 4 A は、エンファシス制御部 2 3 から供給された制御信号に基づいて、信号 S I G A に対してプリエンファシスを行うものである。出力部 2 4 B は、エンファシス制御部 2 3 から供給された制御信号に基づいて、信号 S I G B に対してプリエンファシスを行うものである。出力部 2 4 C は、エンファシス制御部 2 3 から供給された制御信号に基づいて、信号 S I G C に対してプリエンファシスを行うものである。出力部 2 4 A , 2 4 B , 2 4 C の構成は、出力部 2 2 A , 2 2 B , 2 2 C と同様である。

## 【 0 0 3 7 】

この構成により、送信部 2 0 は、信号 E A 2 がアクティブである場合に、信号 S I G A に対してプリエンファシスを行い、信号 E B 2 がアクティブである場合に、信号 S I G B

10

20

30

40

50

に対してプリエンファシスを行い、信号 E C 2 がアクティブである場合に、信号 S I G C に対してプリエンファシスを行うようになっている。

【 0 0 3 8 】

なお、送信部 2 0 は、この構成に限定されるものではなく、他の様々な構成が適用可能である。

【 0 0 3 9 】

図 6 は、受信装置 3 0 の一構成例を表すものである。受信装置 3 0 は、抵抗素子 3 1 A , 3 1 B , 3 1 C と、アンプ 3 2 A , 3 2 B , 3 2 C と、クロック生成部 3 3 と、フリップフロップ ( F / F ) 3 4 , 3 5 と、信号生成部 3 6 とを有している。

【 0 0 4 0 】

抵抗素子 3 1 A , 3 1 B , 3 1 C は、通信システム 1 における終端抵抗として機能するものである。抵抗素子 3 1 A の一端は入力端子 T in A に接続されるとともに信号 S I G A が供給され、他端は抵抗素子 3 1 B , 3 1 C の他端に接続されている。抵抗素子 3 1 B の一端は入力端子 T in B に接続されるとともに信号 S I G B が供給され、他端は抵抗素子 3 1 A , 3 1 C の他端に接続されている。抵抗素子 3 1 C の一端は入力端子 T in C に接続されるとともに信号 S I G C が供給され、他端は抵抗素子 3 1 A , 3 1 B の他端に接続されている。

【 0 0 4 1 】

アンプ 3 2 A , 3 2 B , 3 2 C は、それぞれ、正入力端子における信号と負入力端子における信号の差分に応じた信号を出力するものである。アンプ 3 2 A の正入力端子は、アンプ 3 2 C の負入力端子および抵抗素子 3 1 A の一端に接続されるとともに信号 S I G A が供給され、負入力端子は、アンプ 3 2 B の正入力端子および抵抗素子 3 1 B の一端に接続されるとともに信号 S I G B が供給される。アンプ 3 2 B の正入力端子は、アンプ 3 2 A の負入力端子および抵抗素子 3 1 B の一端に接続されるとともに信号 S I G B が供給され、負入力端子は、アンプ 3 2 C の正入力端子および抵抗素子 3 1 C の一端に接続されるとともに信号 S I G C が供給される。アンプ 3 2 C の正入力端子は、アンプ 3 2 B の負入力端子および抵抗素子 3 1 C の一端に接続されるとともに信号 S I G C が供給され、負入力端子は、アンプ 3 2 A の正入力端子および抵抗素子 3 1 A の一端に接続されるとともに信号 S I G A が供給される。

【 0 0 4 2 】

この構成により、アンプ 3 2 A は、信号 S I G A と信号 S I G B との差分  $A B ( S I G A - S I G B )$  に応じた信号を出力し、アンプ 3 2 B は、信号 S I G B と信号 S I G C との差分  $B C ( S I G B - S I G C )$  に応じた信号を出力し、アンプ 3 2 C は、信号 S I G C と信号 S I G A との差分  $C A ( S I G C - S I G A )$  に応じた信号を出力している。

【 0 0 4 3 】

図 7 は、アンプ 3 2 A , 3 2 B , 3 2 C の一動作例を表すものである。この例では、信号 S I G A は高レベル電圧  $V H$  であり、信号 S I G B は低レベル電圧  $V L$  であり、信号 S I G C は中レベル電圧  $V M$  である。この場合には、入力端子 T in A、抵抗素子 3 1 A、抵抗素子 3 1 B、入力端子 T in B の順に電流  $I in$  が流れる。そして、アンプ 3 2 A の正入力端子には高レベル電圧  $V H$  が供給されるとともに負入力端子には低レベル電圧  $V L$  が供給され、差分  $A B$  は正 ( $A B > 0$ ) になるため、アンプ 3 2 A は “ 1 ” を出力する。また、アンプ 3 2 B の正入力端子には低レベル電圧  $V L$  が供給されるとともに負入力端子には中レベル電圧  $V M$  が供給され、差分  $B C$  は負 ( $B C < 0$ ) になるため、アンプ 3 2 B は “ 0 ” を出力する。また、アンプ 3 2 C の正入力端子には中レベル電圧  $V M$  が供給されるとともに負入力端子には高レベル電圧  $V H$  が供給され、差分  $C A$  は負 ( $C A < 0$ ) になるため、アンプ 3 2 C は “ 0 ” を出力している。

【 0 0 4 4 】

クロック生成部 3 3 は、アンプ 3 2 A , 3 2 B , 3 2 C の出力信号に基づいて、クロック  $R x C K$  を生成するものである。

10

20

30

40

50

## 【 0 0 4 5 】

フリップフロップ 3 4 は、アンプ 3 2 A , 3 2 B , 3 2 C の出力信号を、クロック R x C K の 1 クロック分遅延させ、それぞれ出力するものである。すなわち、フリップフロップ 3 4 の出力信号は、現在のシンボル C S 2 を示すものである。ここで、現在のシンボル C S 2 は、シンボル C S , N S と同様に、6 つのシンボル “ + x ” , “ - x ” , “ + y ” , “ - y ” , “ + z ” , “ - z ” のうちのいずれか一つを示すものである。

## 【 0 0 4 6 】

フリップフロップ 3 5 は、フリップフロップ 3 4 の 3 つの出力信号を、クロック R x C K の 1 クロック分遅延させ、それぞれ出力するものである。すなわち、フリップフロップ 3 5 は、現在のシンボル C S 2 をクロック R x C K の 1 クロック分遅延させることにより、シンボル P S 2 を生成している。このシンボル P S 2 は、前に受信したシンボル ( 前のシンボル ) であり、シンボル C S , N S , C S 2 と同様に、6 つのシンボル “ + x ” , “ - x ” , “ + y ” , “ - y ” , “ + z ” , “ - z ” のうちのいずれか一つを示すものである。

10

## 【 0 0 4 7 】

信号生成部 3 6 は、フリップフロップ 3 4 , 3 5 の出力信号、およびクロック R x C K に基づいて、信号 R x F , R x R , R x P を生成するものである。この信号 R x F , R x R , R x P は、送信装置 1 0 における信号 T x F , T x R , T x P にそれぞれ対応するものであり、シンボルの遷移を表すものである。信号生成部 3 6 は、フリップフロップ 3 4 の出力信号が示す現在のシンボル C S 2 と、フリップフロップ 3 5 の出力信号が示す前のシンボル P S 2 に基づいて、シンボルの遷移 ( 図 4 ) を特定し、信号 R x F , R x R , R x P を生成するようになっている。

20

## 【 0 0 4 8 】

ここで、送信装置 1 0 は、本開示における「送信装置」の一具体例に対応する。レジスタ 1 2 および信号生成部 1 1 は、本開示における「送信制御部」の一具体例に対応する。信号 S I G A , S I G B , S I G C は、本開示における「1 または複数の送信信号」の一具体例に対応する。

## 【 0 0 4 9 】

## [ 動作および作用 ]

続いて、本実施の形態の通信システム 1 の動作および作用について説明する。

30

## 【 0 0 5 0 】

## ( 全体動作概要 )

まず、図 1 などを参照して、通信システム 1 の全体動作概要を説明する。送信装置 1 0 において、信号生成部 1 1 は、現在のシンボル C S および信号 T x F , T x R , T x P に基づいて、次のシンボル N S を求め、信号 S 1 として出力する。また、信号生成部 1 1 は、現在のシンボル C S および信号 T x F , T x R , T x P に基づいて、L U T 1 9 を参照して、信号 E A , E B , E C を生成して出力する。フリップフロップ 1 3 は、信号 S 1 を、クロック T x C K の 1 クロック分遅延させ、信号 S 2 として出力する。フリップフロップ 1 4 は、信号 E A , E B , E C を、クロック T x C K の 1 クロック分遅延させ、それぞれ出力する。フリップフロップ 1 5 は、フリップフロップ 1 4 の 3 つの出力信号を、クロック T x C K の 1 クロック分遅延させ、信号 E A 2 , E B 2 , E C 2 としてそれぞれ出力する。送信部 2 0 は、信号 S 2 および信号 E A 2 , E B 2 , E C 2 に基づいて、信号 S I G A , S I G B , S I G C を生成する。

40

## 【 0 0 5 1 】

受信装置 3 0 において、アンプ 3 2 A は、信号 S I G A と信号 S I G B との差分 A B に応じた信号を出力し、アンプ 3 2 B は、信号 S I G B と信号 S I G C との差分 B C に応じた信号を出力し、アンプ 3 2 C は、信号 S I G C と信号 S I G A との差分 C A に応じた信号を出力する。クロック生成部 3 3 は、アンプ 3 2 A , 3 2 B , 3 2 C の出力信号に基づいて、クロック R x C K を生成する。フリップフロップ 3 4 は、アンプ 3 2 A , 3 2 B , 3 2 C の出力信号を、クロック R x C K の 1 クロック分遅延させ、それぞれ出力する。フ

50

リップフロップ35は、フリップフロップ34の3つの出力信号を、クロック $R \times CK$ の1クロック分遅延させ、それぞれ出力する。信号生成部36は、フリップフロップ34, 35の出力信号、およびクロック $R \times CK$ に基づいて、信号 $R \times F$ ,  $R \times R$ ,  $R \times P$ を生成する。

#### 【0052】

(詳細動作)

信号生成部11は、現在のシンボル $CS$ および信号 $T \times F$ ,  $T \times R$ ,  $T \times P$ に基づいて、次のシンボル $NS$ を求めるとともに、 $LUT19$ を参照して、信号 $SIGA$ ,  $SIGB$ ,  $SIGC$ についてプリエンファシスを行うか否かを示す信号 $EA$ ,  $EB$ ,  $EC$ を生成する。

10

#### 【0053】

図8は、 $LUT19$ の一例を表すものであり、現在のシンボル $CS$ と、信号 $T \times F$ ,  $T \times R$ ,  $T \times P$ と、信号 $EA$ ,  $EB$ ,  $EC$ との関係を示している。なお、この図8では、説明の便宜上、次のシンボル $NS$ も示している。

#### 【0054】

信号生成部11は、現在のシンボル $CS$ および信号 $T \times F$ ,  $T \times R$ ,  $T \times P$ に基づいて、この $LUT19$ を参照して、信号 $EA$ ,  $EB$ ,  $EC$ を生成する。そして、フリップフロップ14, 15は、この信号 $EA$ ,  $EB$ ,  $EC$ を遅延させて信号 $EA2$ ,  $EB2$ ,  $EC2$ を生成し、送信部20は、この信号 $EA2$ ,  $EB2$ ,  $EC2$ に基づいて、信号 $SIGA$ ,  $SIGB$ ,  $SIGC$ に対してプリエンファシスを行う。以下に、現在のシンボル $CS$ が“ $+x$ ”である場合と、“ $-x$ ”である場合を例に、詳細に説明する。

20

#### 【0055】

図9A~9E, 10A~10Eは、シンボルが“ $+x$ ”から“ $+x$ ”以外に遷移する場合の動作を表すものであり、図9A~9Eは、信号 $SIGA$ ,  $SIGB$ ,  $SIGC$ の波形を示し、図10A~10Eは、差分 $AB$ ,  $BC$ ,  $CA$ の波形を示す。図9A, 10Aは“ $+x$ ”から“ $-x$ ”への遷移を示し、図9B, 10Bは“ $+x$ ”から“ $+y$ ”への遷移を示し、図9C, 10Cは“ $+x$ ”から“ $-y$ ”への遷移を示し、図9D, 10Dは“ $+x$ ”から“ $+z$ ”への遷移を示し、図9E, 10Eは“ $+x$ ”から“ $-z$ ”への遷移を示す。また、図9A~9E, 10A~10Eにおいて、細線はプリエンファシスを行わない場合を示し、太線はプリエンファシスを行う場合を示す。この例では、伝送路9A~9Cの長さは十分に短くしている。

30

#### 【0056】

シンボルが“ $+x$ ”から“ $-x$ ”へ遷移する場合には、信号生成部11は、図8に示したように、信号 $EA$ ,  $EB$ ,  $EC$ を“1”, “1”, “0”にする。これにより、送信部20は、図9Aに示したように、信号 $SIGA$ に対してプリエンファシスを行い、高レベル電圧 $VH$ から、低レベル電圧 $VL$ よりも低い電圧に遷移させるとともに、信号 $SIGB$ に対してプリエンファシスを行い、低レベル電圧 $VL$ から、高レベル電圧 $VH$ よりも高い電圧に遷移させる。このとき、送信部20は、信号 $SIGC$ に対しては、プリエンファシスを行わず、中レベル電圧 $VM$ を維持させる。これにより、図10Aに示したように、差分 $AB$ は、プリエンファシスを行わない場合に比べて、正の電圧から負の電圧へより早く遷移し、差分 $BC$ ,  $CA$ は、プリエンファシスを行わない場合に比べて、負から正へより早く遷移する。

40

#### 【0057】

シンボルが“ $+x$ ”から“ $+y$ ”へ遷移する場合には、信号生成部11は、図8に示したように、信号 $EA$ ,  $EB$ ,  $EC$ を“0”, “1”, “1”にする。これにより、送信部20は、図9Bに示したように、信号 $SIGB$ に対してプリエンファシスを行い、低レベル電圧 $VL$ から、高レベル電圧 $VH$ よりも高い電圧に遷移させるとともに、信号 $SIGC$ に対してプリエンファシスを行い、中レベル電圧 $VM$ から、低レベル電圧 $VL$ よりも低い電圧に遷移させる。このとき、送信部20は、信号 $SIGA$ に対してはプリエンファシスを行わず、高レベル電圧 $VH$ から中レベル電圧 $VM$ に遷移させる。すなわち、信号 $SIG$

50

Aは電圧状態SHから電圧状態SMに遷移するが、送信部20は、この信号SIGAに対してはプリアンファシスを行わない。これにより、図10Bに示したように、差分ABは、プリアンファシスを行わない場合に比べて、正から負へより早く遷移し、差分BCは、プリアンファシスを行わない場合に比べて、負から正へより早く遷移する。また、差分CAは負の状態を維持する。

【0058】

シンボルが“+x”から“-y”へ遷移する場合には、信号生成部11は、図8に示したように、信号EA, EB, ECを“0”, “1”, “1”にする。これにより、送信部20は、図9Cに示したように、信号SIGBに対してプリアンファシスを行い、低レベル電圧VLから、低レベル電圧VLよりも低い電圧に遷移させるとともに、信号SIGCに対してプリアンファシスを行い、中レベル電圧VMから、高レベル電圧VHよりも高い電圧に遷移させる。すなわち、信号SIGBは電圧状態SLを維持するが、送信部20は、この信号SIGBに対してプリアンファシスを行う。このとき、送信部20は、信号SIGAに対しては、プリアンファシスを行わず、高レベル電圧VHから中レベル電圧VMに遷移させる。すなわち、信号SIGAは電圧状態SHから電圧状態SMに遷移するが、送信部20は、この信号SIGAに対してはプリアンファシスを行わない。これにより、図10Cに示したように、差分CAは、プリアンファシスを行わない場合に比べて、負圧から正圧へより早く遷移する。また、差分ABは正の状態を維持し、差分BCは負の状態を維持する。

【0059】

シンボルが“+x”から“+z”へ遷移する場合には、信号生成部11は、図8に示したように、信号EA, EB, ECを“1”, “0”, “1”にする。これにより、送信部20は、図9Dに示したように、信号SIGAに対してプリアンファシスを行い、高レベル電圧VHから、低レベル電圧VLよりも低い電圧に遷移させるとともに、信号SIGCに対してプリアンファシスを行い、中レベル電圧VMから、高レベル電圧VHよりも高い電圧に遷移させる。このとき、送信部20は、信号SIGBに対してはプリアンファシスを行わず、低レベル電圧VLから中レベル電圧VMに遷移させる。すなわち、信号SIGBは電圧状態SLから電圧状態SMに遷移するが、送信部20は、この信号SIGBに対してはプリアンファシスを行わない。これにより、図10Dに示したように、差分ABは、プリアンファシスを行わない場合に比べて、正から負へより早く遷移し、差分CAは、プリアンファシスを行わない場合に比べて、負から正へより早く遷移する。また、差分BCは負の状態を維持する。

【0060】

シンボルが“+x”から“-z”へ遷移する場合には、信号生成部11は、図8に示したように、信号EA, EB, ECを“1”, “0”, “1”にする。これにより、送信部20は、図9Eに示したように、信号SIGAに対してプリアンファシスを行い、高レベル電圧VHから、高レベル電圧VHよりも高い電圧に遷移させるとともに、信号SIGCに対してプリアンファシスを行い、中レベル電圧VMから、低レベル電圧VLよりも低い電圧に遷移させる。すなわち、信号SIGAは電圧状態SHを維持するが、送信部20は、この信号SIGAに対してプリアンファシスを行う。このとき、送信部20は、信号SIGBに対してはプリアンファシスを行わず、低レベル電圧VLから中レベル電圧VMに遷移させる。すなわち、信号SIGBは電圧状態SLから電圧状態SMに遷移するが、送信部20は、この信号SIGBに対してはプリアンファシスを行わない。これにより、図10Eに示したように、差分BCは、プリアンファシスを行わない場合に比べて、負から正へより早く遷移する。また、差分ABは正の状態を維持し、差分CAは負の状態を維持する。

【0061】

図11A~11E, 12A~12Eは、シンボルが“-x”から“-x”以外に遷移する場合の動作を表すものであり、図11A~11Eは、信号SIGA, SIGB, SIGCの波形を示し、図12A~12Eは、差分AB, BC, CAの波形を示す。図11A,

10

20

30

40

50

1 2 A は “ - x ” から “ + x ” への遷移を示し、図 1 1 B , 1 2 B は “ - x ” から “ + y ” への遷移を示し、図 1 1 C , 1 2 C は “ - x ” から “ - y ” への遷移を示し、図 1 1 D , 1 2 D は “ - x ” から “ + z ” への遷移を示し、図 1 1 E , 1 2 E は “ - x ” から “ - z ” への遷移を示す。

【 0 0 6 2 】

シンボルが “ - x ” から “ + x ” へ遷移する場合には、信号生成部 1 1 は、図 8 に示したように、信号 E A , E B , E C を “ 1 ” , “ 1 ” , “ 0 ” にする。これにより、送信部 2 0 は、図 1 1 A に示したように、信号 S I G A に対してプリエンファシスを行い、低レベル電圧 V L から、高レベル電圧 V H よりも高い電圧に遷移させるとともに、信号 S I G B に対してプリエンファシスを行い、高レベル電圧 V H から、低レベル電圧 V L よりも低い電圧に遷移させる。このとき、送信部 2 0 は、信号 S I G C に対しては、プリエンファシスを行わず、中レベル電圧 V M を維持させる。これにより、図 1 2 A に示したように、差分 A B は、プリエンファシスを行わない場合に比べて、負から正へより早く遷移し、差分 B C , C A は、プリエンファシスを行わない場合に比べて、正から負へより早く遷移する。

10

【 0 0 6 3 】

シンボルが “ - x ” から “ + y ” へ遷移する場合には、信号生成部 1 1 は、図 8 に示したように、信号 E A , E B , E C を “ 0 ” , “ 1 ” , “ 1 ” にする。これにより、送信部 2 0 は、図 1 1 B に示したように、信号 S I G B に対してプリエンファシスを行い、高レベル電圧 V H から、高レベル電圧 V H よりも高い電圧に遷移させるとともに、信号 S I G C に対してプリエンファシスを行い、中レベル電圧 V M から、低レベル電圧 V L よりも低い電圧に遷移させる。すなわち、信号 S I G B は電圧状態 S H を維持するが、送信部 2 0 は、この信号 S I G B に対してプリエンファシスを行う。このとき、送信部 2 0 は、信号 S I G A に対してはプリエンファシスを行わず、低レベル電圧 V L から中レベル電圧 V M に遷移させる。すなわち、信号 S I G A は電圧状態 S L から電圧状態 S M に遷移するが、送信部 2 0 は、この信号 S I G A に対してはプリエンファシスを行わない。これにより、図 1 2 B に示したように、差分 C A は、プリエンファシスを行わない場合に比べて、正から負へより早く遷移する。また、差分 B C は正の状態を維持し、差分 A B は負の状態を維持する。

20

【 0 0 6 4 】

シンボルが “ - x ” から “ - y ” へ遷移する場合には、信号生成部 1 1 は、図 8 に示したように、信号 E A , E B , E C を “ 0 ” , “ 1 ” , “ 1 ” にする。これにより、送信部 2 0 は、図 1 1 C に示したように、信号 S I G B に対してプリエンファシスを行い、高レベル電圧 V H から、低レベル電圧 V L よりも低い電圧に遷移させるとともに、信号 S I G C に対してプリエンファシスを行い、中レベル電圧 V M から、高レベル電圧 V H よりも高い電圧に遷移させる。このとき、送信部 2 0 は、信号 S I G A に対しては、プリエンファシスを行わず、低レベル電圧 V L から中レベル電圧 V M に遷移させる。すなわち、信号 S I G A は電圧状態 S L から電圧状態 S M に遷移するが、送信部 2 0 は、この信号 S I G A に対してはプリエンファシスを行わない。これにより、図 1 2 C に示したように、差分 A B は、プリエンファシスを行わない場合に比べて、負から正へより早く遷移し、差分 B C は、プリエンファシスを行わない場合に比べて、正から負へより早く遷移する。また、差分 C A は正の状態を維持する。

30

40

【 0 0 6 5 】

シンボルが “ - x ” から “ + z ” へ遷移する場合には、信号生成部 1 1 は、図 8 に示したように、信号 E A , E B , E C を “ 1 ” , “ 0 ” , “ 1 ” にする。これにより、送信部 2 0 は、図 1 1 D に示したように、信号 S I G A に対してプリエンファシスを行い、低レベル電圧 V L から、低レベル電圧 V L よりも低い電圧に遷移させるとともに、信号 S I G C に対してプリエンファシスを行い、中レベル電圧 V M から、高レベル電圧 V H よりも高い電圧に遷移させる。すなわち、信号 S I G A は電圧状態 S L を維持するが、送信部 2 0 は、この信号 S I G A に対してプリエンファシスを行う。このとき、送信部 2 0 は、信号

50

S I G Bに対してはプリエンファシスを行わず、高レベル電圧V Hから中レベル電圧V Mに遷移させる。すなわち、信号S I G Bは電圧状態S Hから電圧状態S Mに遷移するが、送信部20は、この信号S I G Bに対してはプリエンファシスを行わない。これにより、図12Dに示したように、差分B Cは、プリエンファシスを行わない場合に比べて、正から負へより早く遷移する。また、差分A Bは負の状態を維持し、差分C Aは正の状態を維持する。

【0066】

シンボルが“- x”から“- z”へ遷移する場合には、信号生成部11は、図8に示したように、信号E A, E B, E Cを“1”, “0”, “1”にする。これにより、送信部20は、図11Eに示したように、信号S I G Aに対してプリエンファシスを行い、低レベル電圧V Lから、高レベル電圧V Hよりも高い電圧に遷移させるとともに、信号S I G Cに対してプリエンファシスを行い、中レベル電圧V Mから、低レベル電圧V Lよりも低い電圧に遷移させる。このとき、送信部20は、信号S I G Bに対してはプリエンファシスを行わず、高レベル電圧V Hから中レベル電圧V Mに遷移させる。すなわち、信号S I G Bは電圧状態S Hから電圧状態S Mに遷移するが、送信部20は、この信号S I G Bに対してはプリエンファシスを行わない。これにより、図12Eに示したように、差分A Bは、プリエンファシスを行わない場合に比べて、負から正へより早く遷移し、差分C Aは、プリエンファシスを行わない場合に比べて、正から負へより早く遷移する。また、差分B Cは正の状態を維持する。

【0067】

このように、送信装置10は、信号S I G A ~ S I G Cのうち、電圧状態S L, S Mから電圧状態S Hに遷移する信号に対してプリエンファシスを行うとともに、電圧状態S H, S Mから電圧状態S Lに遷移した信号に対してプリエンファシスを行う。また、送信装置10は、信号S I G A ~ S I G Cのうち、電圧状態S L, S Hを維持する信号に対してもプリエンファシスを行う。一方、送信装置10は、信号S I G A ~ S I G Cのうち、電圧状態S L, S Hから電圧状態S Mに遷移する信号に対してはプリエンファシスを行わず、また、電圧状態S Mを維持する信号に対してもプリエンファシスを行わない。

【0068】

アンプ32A ~ 32Cは、差分A B, B C, C Aが正であるか負であるかに応じて信号を生成して出力する。よって、この通信システム1では、ジッタT Jは、図10A ~ 10Eおよび図12A ~ 12Eに示したように、差分A B, B C, C Aが“0”をまたぐタイミングのずれ幅で定義される。通信システム1では、信号S I G A ~ S I G Cに対してプリエンファシスを行うようにしたので、信号の遷移が急峻になるため、ジッタT Jを小さくすることができる。特に、シンボル“+ x”から“+ y”へ遷移する場合(図10B)や、シンボル“+ x”から“+ z”へ遷移する場合(図10D)など、差分A B, B C, C Aのうちの2つが“0”をまたぐケースでは、ジッタT Jを効果的に改善することができる。

【0069】

次に、シンボルの遷移のうちのいくつかを例に挙げ、より詳細に説明する。

【0070】

まず、シンボルが“+ x”から“+ y”へ遷移する場合について説明する。この場合には、図9Bに示したように、信号S I G Aが電圧状態S H(例えば高レベル電圧V H)から電圧状態S M(例えば中レベル電圧V M)に遷移し、信号S I G Bが電圧状態S L(例えば低レベル電圧V L)から電圧状態S Hに遷移し、信号S I G Cが電圧状態S Mから電圧状態S Lに遷移する。この場合には、図10Bに示したように、例えば、差分A Bの遷移時間が長くなる。その第1の原因は、信号S I G Aが中レベル電圧V Mに遷移することである。すなわち、信号S I G Aを中レベル電圧V Mにする際、送信部20の出力部22Aは、トランジスタ25, 26の両方をオフ状態にする。つまり、受信装置30の抵抗素子31A ~ 31Cにより、信号S I G Aが電圧状態S Mに設定される。その結果、信号S I G Aの遷移時間が長くなり、差分A Bの遷移時間もまた長くなる。また、第2の原因は

、差分 A B の電圧変化量が大きいことである。

【 0 0 7 1 】

このようなケースは、例えば、シンボルが “ + x ” から “ + z ” へ遷移する場合（図 9 D , 1 0 D）にも生じる。この場合には、図 9 D に示したように、信号 S I G A が電圧状態 S H（例えば高レベル電圧 V H）から電圧状態 S L（例えば低レベル電圧 V L）に遷移し、信号 S I G B が電圧状態 S L から電圧状態 S M（例えば中レベル電圧 V M）に遷移し、信号 S I G C が電圧状態 S M から電圧状態 S H に遷移する。そのほか、シンボルが “ - x ” から “ - y ” へ遷移する場合（図 1 1 C , 1 2 C）や、シンボルが “ - x ” から “ - z ” へ遷移する場合（図 1 1 E , 1 2 E）などでも生じる。

【 0 0 7 2 】

図 1 3 , 1 4 は、シンボルが “ + x ” から “ + y ” へ遷移する場合の動作を表すものであり、図 1 3（A）～（C）は、信号 S I G A , S I G B , S I G C の波形をそれぞれ示し、図 1 4（A）～（C）は、差分 A B , B C , C A の波形をそれぞれ示す。図 1 3 は、図 9 B に対応しており、図 1 4 は、図 1 0 B に対応している。図 1 4 には、アイ開口の基準を示すアイマスク E M を併せて示している。

【 0 0 7 3 】

シンボルが “ + x ” から “ + y ” へ遷移する際、送信部 2 0 は、図 1 3 に示したように、信号 S I G B の遷移を電圧 V だけ強調するとともに、信号 S I G C の遷移を電圧 V だけ強調する。このとき、差分 A B は、図 1 4 の波形 W 1 のようになり、差分 B C は、図 1 4 の波形 W 3 のようになる。このように、通信システム 1 では、プリエンファシスを行い、波形の遷移を急峻にすることにより、アイを広くすることができる。仮に、信号 S I G A ~ S I G C に対してプリエンファシスを行わない場合には、例えば、差分 A B は、図 1 4 の波形 W 2 のようになり、差分 B C は、図 1 4 の波形 W 4 のようになる。すなわち、このような場合には、波形の遷移が鈍るとともに差分の振幅が小さくなるため、アイが狭くなるおそれがある。一方、通信システム 1 では、信号 S I G A ~ S I G C に対してプリエンファシスを行うようにしたので、アイを広くすることができ、通信品質を高めることができる。

【 0 0 7 4 】

次に、シンボルが “ + x ” から “ - z ” へ遷移する場合について説明する。

【 0 0 7 5 】

図 1 5 , 1 6 は、シンボルが “ + x ” から “ - z ” へ遷移する場合の動作を表すものであり、図 1 5（A）～（C）は、信号 S I G A , S I G B , S I G C の波形をそれぞれ示し、図 1 6（A）～（C）は、差分 A B , B C , C A の波形をそれぞれ示す。図 1 5 は、図 9 E に対応しており、図 1 6 は、図 1 0 E に対応している。

【 0 0 7 6 】

シンボルが “ + x ” から “ - z ” へ遷移する際、送信部 2 0 は、図 1 5 に示したように、信号 S I G A の電圧を電圧 V だけ高い電圧に設定するとともに、信号 S I G C の遷移を電圧 V だけ強調する。すなわち、送信部 2 0 は、信号 S I G A が電圧状態 S H を維持するにもかかわらず、信号 S I G A に対してプリエンファシスを行い、また、信号 S I G B が電圧状態 S L から電圧状態 S M に遷移するにもかかわらず、信号 S I G B に対してプリエンファシスを行わない。言い換えれば、送信装置 1 0 は、信号 S I G A , S I G C を選択し、これらに対してプリエンファシスを行う。このとき、差分 A B は、図 1 6 の波形 W 1 1 のようになり、差分 B C は、図 1 6 の波形 W 1 3 のようになる。このように、通信システム 1 では、プリエンファシスを行い、波形の遷移を急峻にすることにより、アイを広くすることができる。仮に、信号 S I G A ~ S I G C に対してプリエンファシスを行わない場合には、例えば、差分 A B は、図 1 6 の波形 W 1 2 のようになり、差分 B C は、図 1 6 の波形 W 1 4 のようになる。すなわち、このような場合には、波形の遷移が鈍るとともに差分の振幅が小さくなるため、アイが狭くなるおそれがある。一方、通信システム 1 では、信号 S I G A ~ S I G C に対してプリエンファシスを行うようにしたので、アイを広くすることができ、通信品質を高めることができる。

10

20

30

40

50

## 【 0 0 7 7 】

## [ 比較例 ]

ここで、比較例として、信号 S I G A ~ S I G C のうち、電圧状態が遷移するものに対してプリエンファシスを行い、電圧状態が遷移しないものに対してはプリエンファシスを行わない場合について検討する。

## 【 0 0 7 8 】

図 1 7 , 1 8 は、シンボルが “ + x ” から “ - z ” へ遷移する場合の動作を表すものであり、図 1 7 ( A ) ~ ( C ) は、信号 S I G A , S I G B , S I G C の波形をそれぞれ示し、図 1 8 ( A ) ~ ( C ) は、差分 A B , B C , C A の波形をそれぞれ示す。

## 【 0 0 7 9 】

シンボルが “ + x ” から “ - z ” へ遷移する際、比較例に係る送信装置 1 0 R は、図 1 7 に示したように、信号 S I G B の遷移を電圧 V だけ強調するとともに、信号 S I G C の遷移を電圧 V だけ強調する。すなわち、電圧状態が遷移する信号 S I G B , S I G C に対してプリエンファシスを行い、電圧状態が変化しない信号 S I G A に対してはプリエンファシスを行わない。このとき、差分 A B は、図 1 8 ( A ) のようになり、アイが狭くなるおそれがある。

## 【 0 0 8 0 】

一方、通信システム 1 では、信号 S I G A ~ S I G C のうち、プリエンファシスを行う信号を選択するようにした。具体的には、本実施の形態に係る送信装置 1 0 は、図 1 5 に示したように、信号 S I G A の電圧を電圧 V だけ高い電圧に設定するとともに、信号 S I G C の遷移を電圧 V だけ強調した。すなわち、送信装置 1 0 は、信号 S I G A が電圧状態 S H を維持するにもかかわらず、信号 S I G A に対してプリエンファシスを行い、また、信号 S I G B が電圧状態 S L から電圧状態 S M に遷移するにもかかわらず、信号 S I G B に対してプリエンファシスを行わないようにした。これにより、通信システム 1 では、アイが狭くなるおそれを低減することができ、通信品質を高めることができる。

## 【 0 0 8 1 】

このように、通信システム 1 では、信号 S I G A ~ S I G C に対して選択的にプリエンファシスを行うようにしたので、例えば、ジッタが大きい遷移である場合にはプリエンファシスを行い、プリエンファシスを行うとアイが狭くなるような遷移である場合にはプリエンファシスを行わないようにすることができる。これにより、通信システム 1 では、通信品質を高めることができる。

## 【 0 0 8 2 】

## [ 効果 ]

以上のように本実施の形態では、信号 S I G A ~ S I G C に対して選択的にプリエンファシスを行うようにしたので、通信品質を高めることができる。

## 【 0 0 8 3 】

## [ 変形例 1 - 1 ]

上記実施の形態では、図 8 に示したように、6 つのシンボル間のどの遷移でも、信号 S I G A , S I G B , S I G C のうちの少なくとも 1 つに対してプリエンファシスを行うようにしたが、これに限定されるものではない。これに代えて、例えば、6 つのシンボル間の遷移のうちの一部についてのみプリエンファシスを行うようにしてもよい。以下に、本変形例に係る通信システム 1 A について詳細に説明する。

## 【 0 0 8 4 】

図 1 9 は、本変形例に係る L U T 1 9 A の一例を表すものである。本変形例に係る信号生成部 1 1 A は、この L U T 1 9 A に基づいて信号 E A , E B , E C を生成する。信号生成部 1 1 A は、例えば、シンボルが “ + x ” から “ - x ” へ遷移する場合、シンボルが “ + x ” から “ - y ” へ遷移する場合、およびシンボルが “ + x ” から “ - z ” へ遷移する場合には、信号 E A , E B , E C の全てを “ 0 ” にする。すなわち、これらの場合では、送信部 2 0 は、信号 S I G A , S I G B , S I G C のいずれに対してもプリエンファシスを行わない。例えば、シンボルが “ + x ” から “ - z ” へ遷移する場合において、例えば

10

20

30

40

50

図17, 18のようにプリアンファシスを行うと、アイが狭くなってしまうので、本変形例では、このような場合にはプリアンファシスを行わない。一方、信号生成部11Aは、例えば、シンボルが“+x”から“+y”へ遷移する場合には、信号EA, EB, ECを“0”, “1”, “1”にし、およびシンボルが“+x”から“+z”へ遷移する場合には、信号EA, EB, ECを“1”, “0”, “1”にする。すなわち、これらの場合では、図10B, 10Dに示したように、差分ABの遷移時間が長くなるので、送信部20は、プリアンファシスを行う。このようにプリアンファシスを行うケースは2種類ある。すなわち、1つは、信号SIGA, SIGB, SIGCのうちの、第1の信号が電圧状態SH(例えば高レベル電圧VH)から電圧状態SM(例えば中レベル電圧VM)に遷移し、第2の信号が電圧状態SL(例えば低レベル電圧VL)から電圧状態SHに遷移し、第3の信号が電圧状態SMから電圧状態SLに遷移するケースである。そして、もう1つは、信号SIGA, SIGB, SIGCのうちの、第1の信号が電圧状態SLから電圧状態SMに遷移し、第2の信号が電圧状態SHから電圧状態SLに遷移し、第3の信号が電圧状態SMから電圧状態SHに遷移するようなケースである。言い換えれば、信号SIGAの電圧状態、信号SIGBの電圧状態、および信号SIGCの電圧状態のいずれもが遷移するケースである。このように、通信システム1Aでは、差分AB, BC, CAの遷移時間のうちのいずれかが長くなる場合に限り、プリアンファシスを行い、それ以外ではプリアンファシスを行わない。このように構成しても、上記実施の形態に係る通信システム1と同様の効果を得ることができる。

【0085】

なお、6つのシンボル間の遷移のうち、プリアンファシスを行う遷移は、図19の例に限定されるものではなく、どの遷移に対してプリアンファシスを行うかは任意に設定することができる。

【0086】

[変形例1-2]

上記実施の形態では、信号生成部11は、3つの信号EA, EB, ECを生成し、信号SIGA~SIGCに対するプリアンファシスをそれぞれ独立して制御するようにしたが、これに限定されるものではない。以下に、本変形例に係る送信装置10Bについて詳細に説明する。

【0087】

図20は、送信装置10Bの一構成例を表すものである。送信装置10Bは、信号生成部11Bと、フリップフロップ14B, 15Bと、送信部20Bとを有している。信号生成部11Bは、現在のシンボルCSおよび信号TxF, TR, TPに基づいて、次のシンボルNSを求めるとともに、LUT19Bを参照して、信号EEを生成するものである。フリップフロップ14Bは、信号EEを、クロックTxCkの1クロック分遅延させ、出力するものである。フリップフロップ15Bは、フリップフロップ14の出力信号を、クロックTxCkの1クロック分遅延させ、信号EE2として出力するものである。送信部20Bは、信号S2および信号EE2に基づいて、信号SIGA, SIGB, SIGCを生成するものである。その際、送信部20Bは、信号EE2がアクティブである場合には、信号SIGA, SIGB, SIGCに対してプリアンファシスを行うようになっている。この構成により、送信装置10Bでは、信号生成部11Bが、信号SIGA~SIGCに対するプリアンファシスをまとめて制御するようになっている。

【0088】

図21は、本変形例に係るLUT19Bの一例を表すものである。信号生成部11Bは、例えば、シンボルが“+x”から“-x”へ遷移する場合、シンボルが“+x”から“-y”へ遷移する場合、およびシンボルが“+x”から“-z”へ遷移する場合には、信号EEを“0”にする。すなわち、これらの場合では、送信部20Bは、信号SIGA, SIGB, SIGCに対してプリアンファシスを行わない。一方、信号生成部11Bは、例えば、シンボルが“+x”から“+y”へ遷移する場合、およびシンボルが“+x”から“+z”へ遷移する場合には、信号EEを“1”にする。すなわち、これらの場合では

10

20

30

40

50

、上記変形例 1 - 1 の場合と同様に、差分 A B の遷移時間が長くなるので、送信部 2 0 B は、信号 S I G A , S I G B , S I G C に対してプリエンファシスを行う。このように、送信装置 1 0 B では、差分 A B , B C , C A の遷移時間のうちのいずれかが長くなる場合に限り、プリエンファシスを行い、それ以外ではプリエンファシスを行わないように動作する。このように構成しても、上記実施の形態に係る通信システム 1 と同様の効果を得ることができる。

【 0 0 8 9 】

なお、6 つのシンボル間の遷移のうち、プリエンファシスを行う遷移は、図 2 1 の例に限定されるものではなく、どの遷移に対してプリエンファシスを行うかは任意に設定することができる。例えば、差分 A B , B C , C A のうちのいずれかが 2 つが “ 0 ” をまたいで遷移する場合にのみプリエンファシスを行うようにしてもよい。また、例えば、差分 A B , B C , C A の全てが “ 0 ” をまたいで遷移する場合にのみプリエンファシスを行うようにしてもよい。

【 0 0 9 0 】

[ 変形例 1 - 3 ]

信号生成部 1 1 は、L U T 1 9 を参照して信号 E A , E B , E C を生成する動作は、ソフトウェアにより実現してもよいし、ハードウェアにより実現してもよい。以下に、ハードウェアにより実現する方法の一例を示す。ここでは、変形例 1 - 2 に係る信号生成部 1 1 B に本変形例を適用した例で説明する。

【 0 0 9 1 】

図 2 2 は、本変形例に係る信号生成部 1 1 C のうち、信号 E E を生成する部分の一構成例を表すものである。この例では、信号生成部 1 1 C は、現在のシンボル C S 、次のシンボル N S 、および L U T 1 9 B に基づいて、信号 E E を生成している。信号生成部 1 1 C は、シンボル判定部 1 0 0 , 1 1 0 と、論理回路 1 2 0 , 1 3 0 , 1 4 0 , 1 5 0 , 1 6 0 , 1 7 0 と、論理和回路 1 8 0 とを有している。

【 0 0 9 2 】

シンボル判定部 1 0 0 は、現在のシンボル C S が、6 つのシンボル “ + x ” , “ - x ” , “ + y ” , “ - y ” , “ + z ” , “ - z ” のうちのいずれであるかを判定するものである。シンボル判定部 1 0 0 は、比較部 1 0 1 ~ 1 0 6 を有している。比較部 1 0 1 は、現在のシンボル C S がシンボル “ + x ” である場合に “ 1 ” を出力するものである。比較部 1 0 2 は、現在のシンボル C S がシンボル “ - x ” である場合に “ 1 ” を出力するものである。比較部 1 0 3 は、現在のシンボル C S がシンボル “ + y ” である場合に “ 1 ” を出力するものである。比較部 1 0 4 は、現在のシンボル C S がシンボル “ - y ” である場合に “ 1 ” を出力するものである。比較部 1 0 5 は、現在のシンボル C S がシンボル “ + z ” である場合に “ 1 ” を出力するものである。比較部 1 0 6 は、現在のシンボル C S がシンボル “ - z ” である場合に “ 1 ” を出力するものである。

【 0 0 9 3 】

シンボル判定部 1 1 0 は、次のシンボル N S が、6 つのシンボル “ + x ” , “ - x ” , “ + y ” , “ - y ” , “ + z ” , “ - z ” のうちのいずれであるかを判定するものである。シンボル判定部 1 1 0 は、比較部 1 1 1 ~ 1 1 6 を有している。比較部 1 1 1 は、次のシンボル N S がシンボル “ + x ” である場合に “ 1 ” を出力するものである。比較部 1 1 2 は、次のシンボル N S がシンボル “ - x ” である場合に “ 1 ” を出力するものである。比較部 1 1 3 は、次のシンボル N S がシンボル “ + y ” である場合に “ 1 ” を出力するものである。比較部 1 1 4 は、次のシンボル N S がシンボル “ - y ” である場合に “ 1 ” を出力するものである。比較部 1 1 5 は、次のシンボル N S がシンボル “ + z ” である場合に “ 1 ” を出力するものである。比較部 1 1 6 は、次のシンボル N S がシンボル “ - z ” である場合に “ 1 ” を出力するものである。

【 0 0 9 4 】

論理回路 1 2 0 は、比較部 1 0 1 の出力信号、比較部 1 1 2 ~ 1 1 6 の出力信号、および L U T 1 9 B におけるプリエンファシスの設定に基づいて、信号を生成するものである

。

## 【 0 0 9 5 】

論理回路 1 2 0 は、論理積回路 1 2 1 ~ 1 2 5 を有している。論理積回路 1 2 1 の第 1 の入力端子には比較部 1 0 1 の出力信号が供給され、第 2 の入力端子には比較部 1 1 2 の出力信号が供給され、第 3 の入力端子には、L U T 1 9 B に含まれる、シンボル C S = “ + x ” およびシンボル N S = “ - x ” に対応する信号 E E の値（この例では “ 0 ” ）が供給される。すなわち、比較部 1 0 1 は、現在のシンボル C S がシンボル “ + x ” である場合に “ 1 ” を出力するものであり、比較部 1 1 2 は、次のシンボル N S がシンボル “ - x ” である場合に “ 1 ” を出力するものであるため、第 3 の入力端子には、シンボル C S = “ + x ” およびシンボル N S = “ - x ” に対応する信号 E E の値が供給される。同様に、論理積回路 1 2 2 の第 1 の入力端子には比較部 1 0 1 の出力信号が供給され、第 2 の入力端子には比較部 1 1 3 の出力信号が供給され、第 3 の入力端子には、L U T 1 9 B に含まれる、シンボル C S = “ + x ” およびシンボル N S = “ + y ” に対応する信号 E E の値（この例では “ 1 ” ）が供給される。論理積回路 1 2 3 の第 1 の入力端子には比較部 1 0 1 の出力信号が供給され、第 2 の入力端子には比較部 1 1 4 の出力信号が供給され、第 3 の入力端子には、L U T 1 9 B に含まれる、シンボル C S = “ + x ” およびシンボル N S = “ - y ” に対応する信号 E E の値（この例では “ 0 ” ）が供給される。論理積回路 1 2 4 の第 1 の入力端子には比較部 1 0 1 の出力信号が供給され、第 2 の入力端子には比較部 1 1 5 の出力信号が供給され、第 3 の入力端子には、L U T 1 9 B に含まれる、シンボル C S = “ + x ” およびシンボル N S = “ + z ” に対応する信号 E E の値（この例では “ 1 ” ）が供給される。論理積回路 1 2 5 の第 1 の入力端子には比較部 1 0 1 の出力信号が供給され、第 2 の入力端子には比較部 1 1 6 の出力信号が供給され、第 3 の入力端子には、L U T 1 9 B に含まれる、シンボル C S = “ + x ” およびシンボル N S = “ - z ” に対応する信号 E E の値（この例では “ 0 ” ）が供給される。

10

20

## 【 0 0 9 6 】

これにより、論理回路 1 2 0 は、図 2 1 のように、シンボル C S = “ + x ” およびシンボル N S = “ + y ” の場合に、論理積回路 1 2 2 が “ 1 ” を出力し、シンボル C S = “ + x ” およびシンボル N S = “ + z ” の場合に、論理積回路 1 2 4 が “ 1 ” を出力するようになっている。

## 【 0 0 9 7 】

同様に、論理回路 1 3 0 は、比較部 1 0 2 の出力信号、比較部 1 1 1 , 1 1 3 ~ 1 1 6 の出力信号、および L U T 1 9 B におけるプリアンファシスの設定に基づいて、信号を生成するものである。論理回路 1 4 0 は、比較部 1 0 3 の出力信号、比較部 1 1 1 , 1 1 2 , 1 1 4 ~ 1 1 6 の出力信号、および L U T 1 9 B におけるプリアンファシスの設定に基づいて、信号を生成するものである。論理回路 1 5 0 は、比較部 1 0 4 の出力信号、比較部 1 1 1 ~ 1 1 3 , 1 1 5 , 1 1 6 の出力信号、および L U T 1 9 B におけるプリアンファシスの設定に基づいて、信号を生成するものである。論理回路 1 6 0 は、比較部 1 0 5 の出力信号、比較部 1 1 1 ~ 1 1 4 , 1 1 6 の出力信号、および L U T 1 9 B におけるプリアンファシスの設定に基づいて、信号を生成するものである。論理回路 1 7 0 は、比較部 1 0 6 の出力信号、比較部 1 1 1 ~ 1 1 6 の出力信号、および L U T 1 9 B におけるプリアンファシスの設定に基づいて、信号を生成するものである。論理回路 1 3 0 , 1 4 0 , 1 5 0 , 1 6 0 , 1 7 0 は、論理回路 1 2 0 と同様の構成を有している。

30

40

## 【 0 0 9 8 】

論理和回路 1 8 0 は、論理回路 1 2 0 , 1 3 0 , 1 4 0 , 1 5 0 , 1 6 0 , 1 7 0 内の全ての論理積回路の出力信号の論理和を求めるものである。

## 【 0 0 9 9 】

このように構成しても、上記実施の形態に係る通信システム 1 と同様の効果を得ることができる。

## 【 0 1 0 0 】

[ 変形例 1 - 4 ]

50

上記実施の形態では、送信装置 10 は、信号 S I G A , S I G B , S I G C に対してプリアンファシスを行うようにしたが、これに限定されるものではなく、これに代えて、例えばデアンファシスを行うようにしてもよい。以下に、本変形例に係る送信装置 10 D について、詳細に説明する。

【 0 1 0 1 】

図 2 3 は、本変形例に係る L U T 1 9 D の一例を表すものである。送信装置 10 D の信号生成部 1 1 D は、現在のシンボル C S および信号 T x F , T x R , T x P に基づいて、この L U T 1 9 D を参照して、信号 E A , E B , E C を生成する。そして、送信装置 10 D の送信部 2 0 D は、信号 E A 2 , E B 2 , E C 2 に基づいて、信号 S I G A , S I G B , S I G C に対してデアンファシスを行う。以下に、現在のシンボル C S が “ + x ” である場合を例に、詳細に説明する。

10

【 0 1 0 2 】

図 2 4 A ~ 2 4 E , 2 5 A ~ 2 5 E は、シンボルが “ + x ” から “ + x ” 以外に遷移する場合の動作を表すものであり、図 2 4 A ~ 2 4 E は、信号 S I G A , S I G B , S I G C の波形を示し、図 2 5 A ~ 2 5 E は、差分 A B , B C , C A の波形を示す。この例では、伝送路 9 A ~ 9 C の長さは十分に短くしている。

【 0 1 0 3 】

シンボルが “ + x ” から “ - x ” へ遷移する場合には、信号生成部 1 1 D は、図 2 3 に示したように、信号 E A , E B , E C を “ 0 ” , “ 0 ” , “ 0 ” にする。これにより、送信部 2 0 D は、図 2 4 A に示したように、信号 S I G A ~ S I G C に対してデアンファシスを行わない。これにより、差分 A B , B C , C A は、図 2 5 A に示したような波形になる。

20

【 0 1 0 4 】

シンボルが “ + x ” から “ + y ” へ遷移する場合には、信号生成部 1 1 D は、図 2 3 に示したように、信号 E A , E B , E C を “ 0 ” , “ 0 ” , “ 0 ” にする。これにより、送信部 2 0 D は、図 2 4 B に示したように、信号 S I G A ~ S I G C に対してデアンファシスを行わない。これにより、差分 A B , B C , C A は、図 2 5 B に示したような波形になる。

【 0 1 0 5 】

シンボルが “ + x ” から “ - y ” へ遷移する場合には、信号生成部 1 1 D は、図 2 3 に示したように、信号 E A , E B , E C を “ 0 ” , “ 1 ” , “ 0 ” にする。これにより、送信部 2 0 D は、図 2 4 C に示したように、信号 S I G B に対してデアンファシスを行い、低レベル電圧 V L から、低レベル電圧 V L よりも高い電圧に遷移させる。このとき、送信部 2 0 D は、信号 S I G A , S I G C に対しては、デアンファシスを行わない。これにより、差分 A B , B C , C A は、図 2 5 C に示したような波形になる。すなわち、この例では、“ 0 ” をまたいで遷移する差分 C A は、デアンファシスの影響を受けない。

30

【 0 1 0 6 】

シンボルが “ + x ” から “ + z ” へ遷移する場合には、信号生成部 1 1 D は、図 2 3 に示したように、信号 E A , E B , E C を “ 0 ” , “ 0 ” , “ 0 ” にする。これにより、送信部 2 0 D は、図 2 4 D に示したように、信号 S I G A ~ S I G C に対してデアンファシスを行わない。これにより、差分 A B , B C , C A は、図 2 5 D に示したような波形になる。

40

【 0 1 0 7 】

シンボルが “ + x ” から “ - z ” へ遷移する場合には、信号生成部 1 1 D は、図 2 3 に示したように、信号 E A , E B , E C を “ 1 ” , “ 0 ” , “ 0 ” にする。これにより、送信部 2 0 D は、図 2 4 E に示したように、信号 S I G A に対してデアンファシスを行い、高レベル電圧 V H から、高レベル電圧 V H よりも低い電圧に遷移させる。このとき、送信部 2 0 D は、信号 S I G B , S I G C に対しては、デアンファシスを行わない。これにより、差分 A B , B C , C A は、図 2 5 E に示したような波形になる。すなわち、この例では、“ 0 ” をまたいで遷移する差分 B C は、デアンファシスの影響を受けない。

50

## 【 0 1 0 8 】

このように、送信装置 1 0 D では、差分 A B , B C , C A のうちの “ 0 ” をまたいで遷移するものに影響が及ばないように、デエンファシスを行う。このように構成しても、上記実施の形態に係る通信システム 1 と同様の効果を得ることができる。

## 【 0 1 0 9 】

なお、6つのシンボル間の遷移のうち、デエンファシスを行う遷移は、図 2 3 の例に限定されるものではなく、どの遷移に対してデエンファシスを行うかは任意に設定することができる。

## 【 0 1 1 0 】

## [ 変形例 1 - 5 ]

上記実施の形態では、信号生成部 1 1 は、レジスタ 1 2 に格納された L U T 1 9 を用いて信号 E A , E B , E C を生成した。その際、この L U T 1 9 は、プリエンファシスの設定を変更できるように構成してもよい。以下に、本変形例に係る通信システム 1 E について詳細に説明する。

## 【 0 1 1 1 】

図 2 6 は、通信システム 1 E の一構成例を表すものである。通信システム 1 E は、受信装置 3 0 E と、送信装置 1 0 E とを備えている。通信システム 1 E は、キャリブレーション用の所定のパターンを送受信した結果に基づいてプリエンファシスの設定を変更するものである。

## 【 0 1 1 2 】

図 2 7 は、受信装置 3 0 E の一構成例を表すものである。受信装置 3 0 E は、信号生成部 3 6 E を有している。信号生成部 3 6 E はパターン検出部 3 7 E を有している。パターン検出部 3 7 E は、キャリブレーションモードにおいて、受信装置 3 0 E が受信した信号のパターンをキャリブレーション用の所定のパターンと比較し、その比較結果を信号 D E T として送信装置 1 0 E に供給するものである。

## 【 0 1 1 3 】

図 2 8 は、送信装置 1 0 E の一構成例を表すものである。送信装置 1 0 E は、L U T 生成部 1 6 E を有している。L U T 生成部 1 6 E は、信号 D E T に基づいて L U T 1 9 を生成し、レジスタ 1 2 に格納するものである。

## 【 0 1 1 4 】

この通信システム 1 E では、キャリブレーションモードにおいて、例えばビットエラーレートが低くなるように、プリエンファシスの設定を変更する。具体的には、まず、送信装置 1 0 E がキャリブレーション用の所定のパターンを有する信号 S I G A ~ S I G C を送信する。そして、受信装置 3 0 E は、この信号 S I G A ~ S I G C を受信し、パターン検出部 3 7 E が、その受信した信号のパターンをキャリブレーション用の所定のパターンと比較して、その比較結果を送信装置 1 0 E に通知する。そして、送信装置 1 0 E の L U T 生成部 1 6 E は、この比較結果に基づいて、プリエンファシスの設定を変更する。通信システム 1 E では、このような動作により、例えばビットエラーレートが低くなるように、プリエンファシスの設定を変更する。そして、プリエンファシスの設定終了後に、キャリブレーションモードを終了して通常のデータ伝送を行う。このようなキャリブレーションは、例えば、電源投入時に実施するようにしてもよいし、定期的実施するようにしてもよいし、やりとりされるデータ量が少ないときに実施するようにしてもよい。

## 【 0 1 1 5 】

## [ 変形例 1 - 6 ]

上記実施の形態では、現在のシンボル C S と、信号 T x F , T x R , T x P と、信号 E A , E B , E C との関係を示す L U T 1 9 を用いたが、これに限定されるものではなく、これに代えて、例えば、次のシンボル N S と、信号 T x F , T x R , T x P と、信号 E A , E B , E C との関係を示す L U T を用いてもよいし、また、例えば、現在のシンボル C S と、次のシンボル N S と、信号 E A , E B , E C との関係を示す L U T を用いてもよい。

10

20

30

40

50

## 【 0 1 1 6 】

## [ 変形例 1 - 7 ]

上記実施の形態では、図 1 3 などに示したように、1つのシンボルを送信する期間にわたりプリエンファシスを行うようにしたが、これに限定されるものではなく、これに代えて、例えば、図 2 9 , 3 0 に示すように、信号 S I G A , S I G B , S I G C の遷移後の所定の期間だけプリエンファシスを行うようにしてもよい。図 2 9 , 3 0 は、シンボルが “ + x ” から “ + y ” へ遷移する場合を示している。送信部 2 0 は、図 2 9 に示したように、信号 S I G A , S I G B , S I G C の遷移後の所定の期間だけプリエンファシスを行う。このとき、差分 A B は、図 3 0 の波形 W 2 1 のようになり、差分 B C は、図 3 0 の波形 W 2 3 のようになる。仮に、信号 S I G A ~ S I G C に対してプリエンファシスを行わない場合には、例えば、差分 A B は、図 3 0 の波形 W 2 2 のようになり、差分 B C は、図 3 0 の波形 W 2 4 のようになる。すなわち、このような場合には、波形の遷移が鈍るため、アイが狭くなるおそれがある。一方、本変形例では、信号 S I G A , S I G B , S I G C の遷移後の所定の期間だけプリエンファシスを行うようにしたので、アイを広くすることができ、通信品質を高めることができる。

10

## 【 0 1 1 7 】

## [ その他の変形例 ]

また、これらの変形例のうちの 2 以上を組み合わせてもよい。

## 【 0 1 1 8 】

## &lt; 2 . 第 2 の実施の形態 &gt;

次に、第 2 の実施の形態に係る通信システム 2 について説明する。通信システム 2 は、イコライザにより通信品質の向上を図るものである。すなわち、上記第 1 の実施の形態に係る通信システム 1 では、送信装置 1 0 が信号 S I G A ~ S I G C に対してプリエンファシスを行うようにしたが、この通信システム 2 では、受信装置が信号 S I G A ~ S I G C に対してイコライズを行うものである。すなわち、なお、上記第 1 の実施の形態に係る通信システム 1 と実質的に同一の構成部分には同一の符号を付し、適宜説明を省略する。

20

## 【 0 1 1 9 】

図 1 に示したように、通信システム 2 は、送信装置 4 0 と、受信装置 6 0 とを備えている。通信システム 2 は、送信装置 4 0 は信号 S I G A ~ S I G C に対してプリエンファシスを行わず、受信装置 6 0 が信号 S I G A ~ S I G C に対してイコライズを行うものである。

30

## 【 0 1 2 0 】

図 3 1 は、送信装置 4 0 の一構成例を表すものである。送信装置 4 0 は、信号生成部 4 1 と、送信部 5 0 とを有している。信号生成部 4 1 は、第 1 の実施の形態に係る信号生成部 1 1 と同様に、現在のシンボル C S、信号 T x F , T x R , T x P、およびクロック T x C K に基づいて、次のシンボル N S を求め、信号 S 1 として出力するものである。すなわち、信号生成部 4 1 は、信号生成部 1 1 から、信号 E A , E B , E C を生成する機能を省いたものである。送信部 5 0 は、信号 S 2 に基づいて、信号 S I G A , S I G B , S I G C を生成するものである。

## 【 0 1 2 1 】

図 3 2 は、送信部 5 0 の一構成例を表すものである。送信部 5 0 は、出力制御部 2 1 と、出力部 2 2 A , 2 2 B , 2 2 C とを有している。すなわち、送信部 5 0 は、第 1 の実施の形態に係る送信部 2 0 から、エンファシス制御部 2 3 および出力部 2 4 A ~ 2 4 C を省いたものである。

40

## 【 0 1 2 2 】

図 3 3 は、受信装置 6 0 の一構成例を表すものである。受信装置 6 0 は、イコライザ 6 1 と、受信部 6 2 , 6 3 と、F I F O ( First In First Out ) メモリ 6 6 , 6 7 と、セレクトク 6 8 とを有している。

## 【 0 1 2 3 】

イコライザ 6 1 は、信号 S I G A の高周波成分を大きくして信号 S I G A 2 として出力

50

し、信号SIGBの高周波成分を大きくして信号SIGB2として出力し、信号SIGCの高周波成分を大きくして信号SIGC2として出力するものである。

【0124】

受信部62は、イコライズされた信号SIGA2, SIGB2, SIGC2に基づいて、信号RxF1, R x R1, R x P1と、クロックR x CK1とを生成するものである。受信部62は、アンプ32A, 32B, 32Cと、クロック生成部33と、フリップフロップ34, 35と、信号生成部36とを有している。すなわち、受信部62は、第1の実施の形態に係る受信装置30と同様の構成である。

【0125】

受信部63は、イコライズされていない信号SIGA, SIGB, SIGCに基づいて、信号RxF2, R x R2, R x P2と、クロックR x CK2とを生成するものである。受信部63は、アンプ32A, 32B, 32Cと、クロック生成部33と、フリップフロップ34, 35と、信号生成部65と、レジスタ64とを有している。すなわち、受信部63は、受信部62において、信号生成部36を信号生成部65に置き換えるとともに、レジスタ64を追加したものである。

10

【0126】

信号生成部65は、信号生成部36と同様に、フリップフロップ34, 35の出力信号、およびクロックR x CK2に基づいて、信号RxF2, R x R2, R x P2を生成するものである。さらに、信号生成部65は、レジスタ64から供給されるLUT59に基づいて、信号SELを生成する機能をも有している。信号SELは、イコライズされた信号SIGA2, SIGB2, SIGC2に基づいて生成した信号RxF1, R x R1, R x P1と、イコライズされていない信号SIGA, SIGB, SIGCに基づいて生成した信号RxF2, R x R2, R x P2のうちのどちらを選択するかを示すものである。LUT59は、例えば、現在のシンボルCS2と、信号RxF2, R x R2, R x P2と、信号SELとの関係を示したものであり、例えば、第1の実施の形態に係るLUT19等と同様のものである。信号生成部65は、現在のシンボルCS2および信号RxF2, R x R2, R x P2に基づいて、このLUT59を参照して、信号SELを生成して出力するようになっている。

20

【0127】

レジスタ64は、LUT59を記憶するものである。このLUT59は、例えば、受信装置60の電源投入時に、図示しないアプリケーションプロセッサから、このレジスタ64に書き込まれるようになっている。

30

【0128】

FIFOメモリ66は、受信部62から供給された信号RxF1, R x R1, R x P1を一時的に記憶するバッファメモリである。この例では、FIFOメモリ66は、クロックR x CK1を用いて、データの書き込みおよび読み出しを行うようになっている。

【0129】

FIFOメモリ67は、受信部63から供給された信号RxF2, R x R2, R x P2および信号SELを一時的に記憶するバッファメモリである。この例では、FIFOメモリ67は、クロックR x CK2を用いてデータの書き込みを行うとともに、クロックR x CK1を用いてデータの読み出しを行うようになっている。

40

【0130】

セレクタ68は、FIFOメモリ67から読み出した信号SELに基づいて、FIFOメモリ66から読み出された信号RxF1, R x R1, R x P1、またはFIFOメモリ67から読み出された信号RxF2, R x R2, R x P2を選択し、信号R x F, R x R, R x Pとして出力するものである。

【0131】

ここで、送信装置40は、本開示における「送信装置」の一具体例に対応する。受信装置60は、本開示における「受信装置」の一具体例に対応する。信号SIGA, SIGB, SIGCは、本開示における「1または複数の送信信号」の一具体例に対応する。受信

50

部 6 3 は、本開示における「第 1 の受信部」の一具体例に対応する。信号  $R \times F 2$  ,  $R \times R 2$  ,  $R \times P 2$  は、本開示における「第 1 の出力信号」の一具体例に対応する。イコライザ 6 1 は、本開示における「イコライザ」の一具体例に対応する。受信部 6 2 は、本開示における「第 2 の受信部」の一具体例に対応する。信号  $R \times F 1$  ,  $R \times R 1$  ,  $R \times P 1$  は、本開示における「第 2 の出力信号」の一具体例に対応する。レジスタ 6 4 および信号生成部 6 5 は、本開示における「選択制御部」の一具体例に対応する。

【 0 1 3 2 】

次に、シンボルの遷移のうちのいくつかを例に挙げ、詳細に説明する。

【 0 1 3 3 】

図 3 4 , 3 5 は、シンボルが “ + x ” から “ + y ” へ遷移する場合の動作を表すものであり、図 3 4 ( A ) ~ ( C ) は、イコライズされた信号  $S I G A 2$  ,  $S I G B 2$  ,  $S I G C 2$  の波形をそれぞれ示し、図 3 5 ( A ) ~ ( C ) は、信号  $S I G A 2$  ,  $S I G B 2$  の差分  $A B 2$ 、信号  $S I G B 2$  ,  $S I G C 2$  の差分  $B C 2$ 、および信号  $S I G C 2$  ,  $S I G A 2$  との差分  $C A 2$  の波形をそれぞれ示す。この例では、伝送路 9 A ~ 9 C の長さは十分に短くしている。

10

【 0 1 3 4 】

シンボルが “ + x ” から “ + y ” へ遷移する際、イコライザ 6 1 は、図 3 4 に示したように、信号  $S I G A \sim S I G C$  における遷移を強調することにより、信号  $S I G A 2 \sim S I G C 2$  を生成する。このとき、差分  $A B 2$  ,  $B C 2$  ,  $C A 2$  は、図 3 5 のようになる。このように、通信システム 2 では、イコライズを行い、波形の遷移を急峻にすることにより、アイを広くすることができる。よって、このような遷移では、セクタ 6 8 は、イコライズされた信号  $S I G A 2$  ,  $S I G B 2$  ,  $S I G C 2$  に基づいて生成した信号  $R \times F 1$  ,  $R \times R 1$  ,  $R \times P 1$  を選択して、信号  $R \times F$  ,  $R \times R$  ,  $R \times P$  として出力する。

20

【 0 1 3 5 】

図 3 6 , 3 7 は、シンボルが “ + x ” から “ - z ” へ遷移する場合の動作を表すものであり、図 3 6 ( A ) ~ ( C ) は、イコライズされた信号  $S I G A 2$  ,  $S I G B 2$  ,  $S I G C 2$  の波形をそれぞれ示し、図 3 7 ( A ) ~ ( C ) は、差分  $A B 2$  ,  $B C 2$  ,  $C A 2$  の波形をそれぞれ示す。

【 0 1 3 6 】

シンボルが “ + x ” から “ - z ” へ遷移する際も、イコライザ 6 1 は、図 3 6 に示したように、信号  $S I G A \sim S I G C$  における遷移を強調することにより、信号  $S I G A 2 \sim S I G C 2$  を生成する。このとき、差分  $A B 2$  ,  $B C 2$  ,  $C A 2$  は、図 3 7 のようになる。このように、差分  $A B 2$  の波形は、図 3 7 ( A ) に示したように、遷移の際にアンダーシュートが生じ、アイが狭くなるおそれがある。よって、このような遷移では、セクタ 6 8 は、イコライズされていない信号  $S I G A$  ,  $S I G B$  ,  $S I G C$  に基づいて生成した信号  $R \times F 2$  ,  $R \times R 2$  ,  $R \times P 2$  を選択して、信号  $R \times F$  ,  $R \times R$  ,  $R \times P$  として出力する。

30

【 0 1 3 7 】

このように、通信システム 2 では、信号  $S I G A$  ,  $S I G B$  ,  $S I G C$  に対して選択的にイコライズを行うようにしたので、例えば、イコライズを行うとアイが狭くなるような遷移である場合にはイコライズを行わないようにすることができる。これにより、通信システム 2 では、通信品質を高めることができる。

40

【 0 1 3 8 】

以上のように本実施の形態では、信号  $S I G A \sim S I G C$  に対して選択的にイコライズを行うようにしたので、通信品質を高めることができる。

【 0 1 3 9 】

[ 変形例 2 - 1 ]

上記実施の形態では、受信部 6 3 の信号生成部 6 5 が信号  $S E L$  を生成するようにしたが、これに限定されるものではなく、これに代えて、例えば、受信部 6 2 の信号生成部 3 6 が信号  $S E L$  を生成してもよい。また、受信部 6 2 の信号生成部 3 6 および受信部 6 3

50

の信号生成部 65 がそれぞれ信号 S E L を生成し、これらの信号 S E L に基づいて、セクタ 68 が選択動作を行うようにしてもよい。

【 0 1 4 0 】

[ 変形例 2 - 2 ]

また、第 1 の実施の形態に係る送信装置 10 と、本実施の形態に係る受信装置 60 とを組み合わせ、通信システムを構成してもよい。この場合には、送信装置 10 が信号 S I G A , S I G B , S I G C に対してプリアンチプスを行い、受信装置 60 が信号 S I G A , S I G B , S I G C に対してイコライズを行うため、より長い伝送路 9 A , 9 B , 9 C を介してデータの送受信を行うことができる。

【 0 1 4 1 】

< 3 . 適用例 >

次に、上記実施の形態および変形例で説明した通信システムの適用例について説明する。

【 0 1 4 2 】

図 38 は、上記実施の形態等の通信システムが適用されるスマートフォン 300 (多機能携帯電話)の外観を表すものである。このスマートフォン 300 には、様々なデバイスが搭載されており、それらのデバイス間でデータのやり取りを行う通信システムにおいて、上記実施の形態等の通信システムが適用されている。

【 0 1 4 3 】

図 39 は、スマートフォン 300 に用いられるアプリケーションプロセッサ 310 の一構成例を表すものである。アプリケーションプロセッサ 310 は、C P U (Central Processing Unit) 311 と、メモリ制御部 312 と、電源制御部 313 と、外部インタフェース 314 と、G P U (Graphics Processing Unit) 315 と、メディア処理部 316 と、ディスプレイ制御部 317 と、M I P I (Mobile Industry Processor Interface) インタフェース 318 とを有している。C P U 311、メモリ制御部 312、電源制御部 313、外部インタフェース 314、G P U 315、メディア処理部 316、ディスプレイ制御部 317 は、この例では、システムバス 319 に接続され、このシステムバス 319 を介して、互いにデータのやり取りをすることができるようになっている。

【 0 1 4 4 】

C P U 311 は、プログラムに従って、スマートフォン 300 で扱われる様々な情報を処理するものである。メモリ制御部 312 は、C P U 311 が情報処理を行う際に使用するメモリ 501 を制御するものである。電源制御部 313 は、スマートフォン 300 の電源を制御するものである。

【 0 1 4 5 】

外部インタフェース 314 は、外部デバイスと通信するためのインタフェースであり、この例では、無線通信部 502 およびイメージセンサ 503 と接続されている。無線通信部 502 は、携帯電話の基地局と無線通信をするものであり、例えば、ベースバンド部や、R F (Radio Frequency) フロントエンド部などを含んで構成される。イメージセンサ 503 は、画像を取得するものであり、例えば C M O S センサを含んで構成される。

【 0 1 4 6 】

G P U 315 は、画像処理を行うものである。メディア処理部 316 は、音声や、文字や、図形などの情報を処理するものである。ディスプレイ制御部 317 は、M I P I インタフェース 318 を介して、ディスプレイ 504 を制御するものである。M I P I インタフェース 318 は画像信号をディスプレイ 504 に送信するものである。画像信号としては、例えば、Y U V 形式や R G B 形式などの信号を用いることができる。この M I P I インタフェース 318 とディスプレイ 504 との間の通信システムには、例えば、上記実施の形態等の通信システムが適用される。

【 0 1 4 7 】

図 40 は、イメージセンサ 410 の一構成例を表すものである。イメージセンサ 410 は、センサ部 411 と、I S P (Image Signal Processor) 412 と、J P E G (Joint

10

20

30

40

50

Photographic Experts Group) エンコーダ 4 1 3 と、CPU 4 1 4 と、RAM (Random Access Memory) 4 1 5 と、ROM (Read Only Memory) 4 1 6 と、電源制御部 4 1 7 と、I<sup>2</sup>C (Inter-Integrated Circuit) インタフェース 4 1 8 と、MIPI インタフェース 4 1 9 とを有している。これらの各ブロックは、この例では、システムバス 4 2 0 に接続され、このシステムバス 4 2 0 を介して、互いにデータのやり取りをすることができるようになっている。

#### 【0148】

センサ部 4 1 1 は、画像を取得するものであり、例えば CMOS センサにより構成されるものである。ISP 4 1 2 は、センサ部 4 1 1 が取得した画像に対して所定の処理を行うものである。JPEG エンコーダ 4 1 3 は、ISP 4 1 2 が処理した画像をエンコードして JPEG 形式の画像を生成するものである。CPU 4 1 4 は、プログラムに従ってイメージセンサ 4 1 0 の各ブロックを制御するものである。RAM 4 1 5 は、CPU 4 1 4 が情報処理を行う際に使用するメモリである。ROM 4 1 6 は、CPU 4 1 4 において実行されるプログラムを記憶するものである。電源制御部 4 1 7 は、イメージセンサ 4 1 0 の電源を制御するものである。I<sup>2</sup>C インタフェース 4 1 8 は、アプリケーションプロセッサ 3 1 0 から制御信号を受け取るものである。また、図示していないが、イメージセンサ 4 1 0 は、アプリケーションプロセッサ 3 1 0 から、制御信号に加えてクロック信号をも受け取るようになっている。具体的には、イメージセンサ 4 1 0 は、様々な周波数のクロック信号に基づいて動作できるよう構成されている。MIPI インタフェース 4 1 9 は、画像信号をアプリケーションプロセッサ 3 1 0 に送信するものである。画像信号としては、例えば、YUV 形式や RGB 形式などの信号を用いることができる。この MIPI インタフェース 4 1 9 とアプリケーションプロセッサ 3 1 0 との間の通信システムには、例えば、上記実施の形態等の通信システムが適用される。

#### 【0149】

以上、いくつかの実施の形態および変形例、ならびに電子機器への適用例を挙げて本技術を説明したが、本技術はこれらの実施の形態等には限定されず、種々の変形が可能である。

#### 【0150】

例えば、上記の各実施の形態では、信号 SIGA, SIGB, SIGC は、それぞれ、3つの電圧状態 SH, SM, SL 間で遷移するものとしたが、これに限定されるものではなく、これに代えて、例えば、2つの電圧状態間で遷移してもよいし、または4つ以上の電圧状態間で遷移してもよい。

#### 【0151】

また、例えば、上記の各実施の形態では、3つの信号 SIGA, SIGB, SIGC を用いて通信を行ったが、これに限定されるものではなく、これに代えて、例えば2つの信号を用いて通信を行ってもよいし、4つ以上の信号を用いて通信を行ってもよい。

#### 【0152】

なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

#### 【符号の説明】

#### 【0153】

1, 1E, 2...通信システム、9A~9C...伝送路、10, 10B, 10E, 40...送信装置、11, 11B...信号生成部、12...レジスタ、13~15, 14B, 15B...フリップフロップ、16E...LUT生成部、19, 19B, 59...LUT、20, 20B, 50...送信部、21...出力制御部、22A~22C...出力部、23...エンファシス制御部、24A~24C...出力部、25, 26...トランジスタ、27, 28...抵抗素子、30, 30E, 60...受信装置、31A~31C...抵抗素子、32A~32C...アンプ、33...クロック生成部、34, 35...フリップフロップ、36, 36E...信号生成部、37E...パターン検出部、61...イコライザ、62, 63...受信部、64...レジスタ、65...信号生成部、66, 67...FIFOメモリ、68...セレクタ、100, 110...シンボル判定

10

20

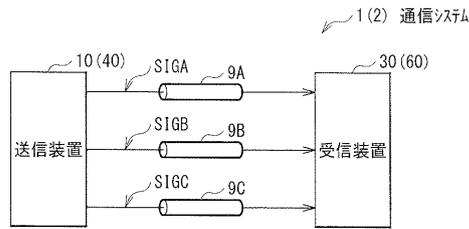
30

40

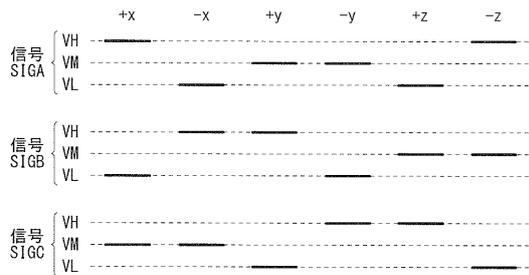
50

部、120, 130, 140, 150, 160, 170...論理回路、121~125...論理積回路、180...論理和回路、AB, BC, CA, AB2, BC2, CA2...差分、CS, CS2, NS, PS2...シンボル、EA~EC, EE, EA2~EC2, EE2, SEL, SIGA~SIGC, SIGA2~SIGC2, S1, S2, RxF, RxF1, RxF2, RxR, RxR1, RxR2, RxP, RxP1, RxP2, TxR, TxR1, TxR2, TxP, TxP1, TxP2...信号、DET...信号、EM...アイマスク、SH, SL, SM...電圧状態、RxCK, RxCK1, RxCK2, TxCK...クロック、TinA, TinB, TinC...入力端子、Tj...ジッタ、ToutA, ToutB, ToutC...出力端子、VH...高レベル電圧、VL...低レベル電圧、VM...中レベル電圧、V1...電圧。

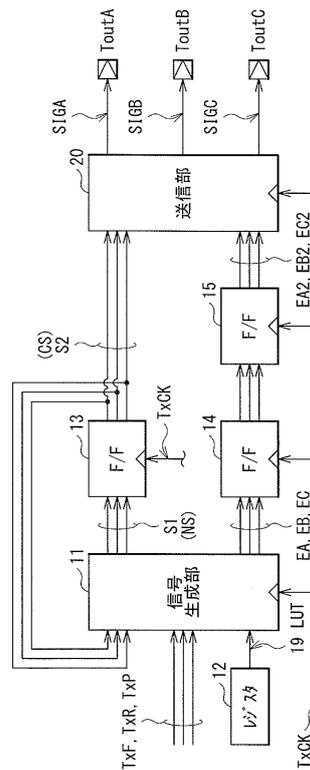
【図1】



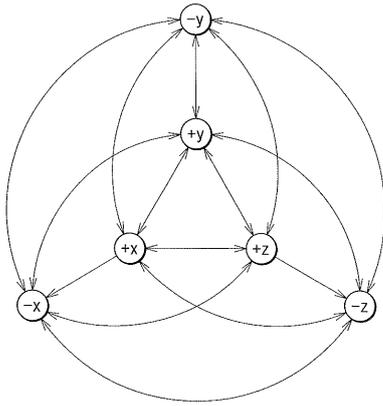
【図2】



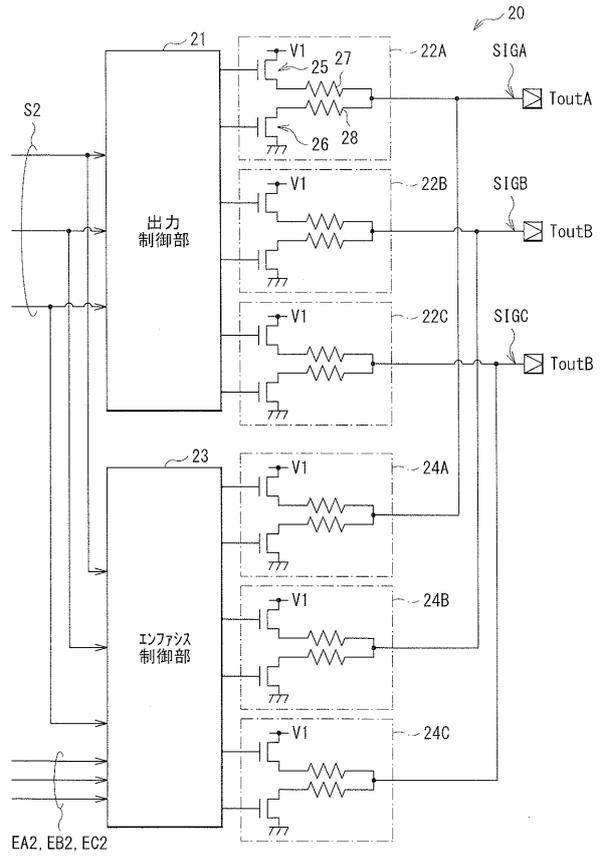
【図3】



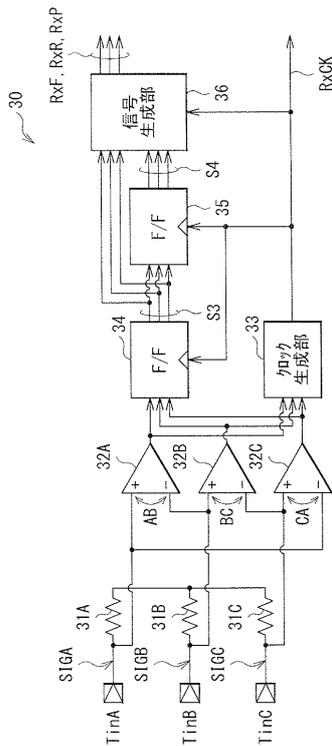
【図4】



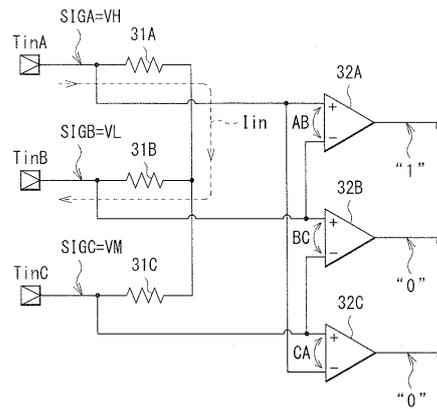
【図5】



【図6】



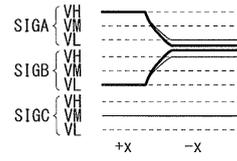
【図7】



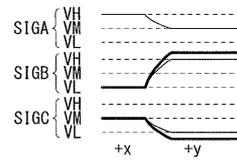
【 図 8 】

| CS | TxF, TxR, TxP | NS | EA, EB, EC |
|----|---------------|----|------------|
| +x | 000           | +z | 101        |
|    | 001           | -z | 101        |
|    | 010           | +y | 011        |
|    | 011           | -y | 011        |
| +y | 100           | -x | 110        |
|    | 000           | +x | 110        |
|    | 001           | -x | 101        |
|    | 010           | +z | 101        |
| +z | 011           | -z | 101        |
|    | 100           | -y | 011        |
|    | 000           | +y | 011        |
|    | 001           | -y | 011        |
| -x | 010           | +x | 110        |
|    | 011           | -x | 110        |
|    | 100           | -z | 101        |
|    | 000           | -z | 101        |
| -y | 001           | +z | 101        |
|    | 010           | -y | 011        |
|    | 011           | +y | 011        |
|    | 100           | +x | 110        |
| -z | 000           | -x | 110        |
|    | 001           | +x | 110        |
|    | 010           | -z | 101        |
|    | 011           | +z | 101        |
| +x | 100           | +y | 011        |
|    | 000           | -y | 011        |
|    | 001           | +y | 011        |
|    | 010           | -x | 110        |
| +y | 011           | +x | 110        |
|    | 100           | +z | 101        |
|    | 000           | -z | 101        |
|    | 001           | -z | 101        |

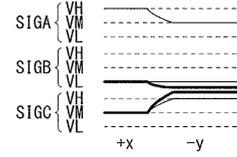
【 図 9 A 】



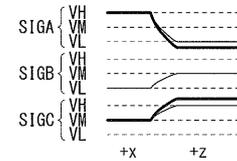
【 図 9 B 】



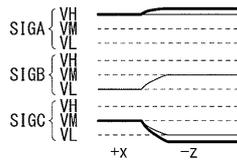
【 図 9 C 】



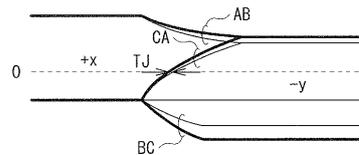
【 図 9 D 】



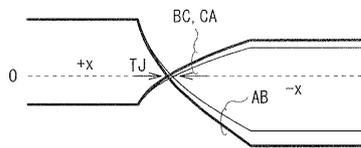
【 図 9 E 】



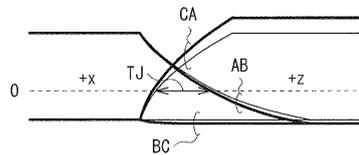
【 図 10 C 】



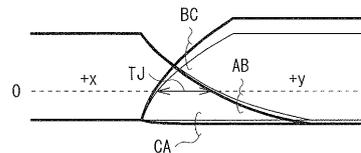
【 図 10 A 】



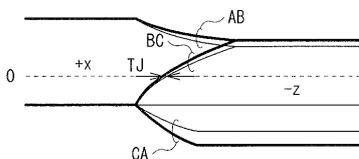
【 図 10 D 】



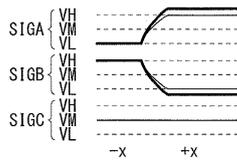
【 図 10 B 】



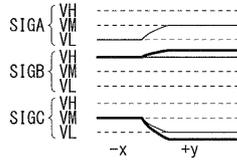
【 図 10 E 】



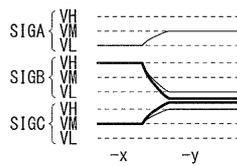
【 1 1 A】



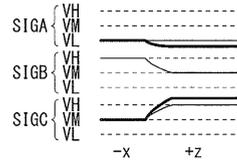
【 1 1 B】



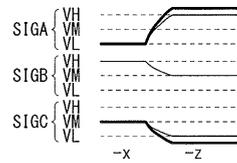
【 1 1 C】



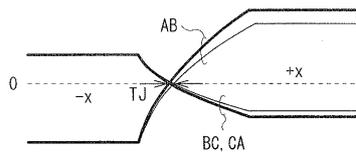
【 1 1 D】



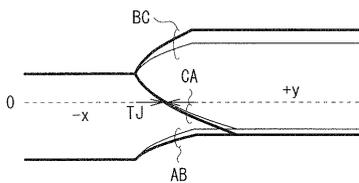
【 1 1 E】



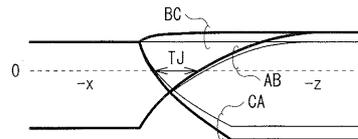
【 1 2 A】



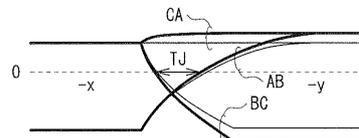
【 1 2 B】



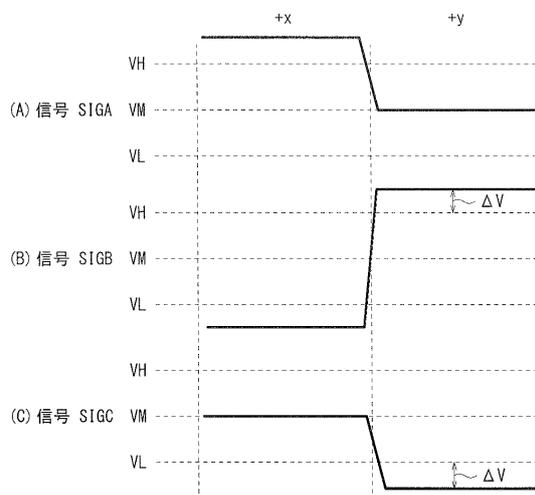
【 1 2 E】



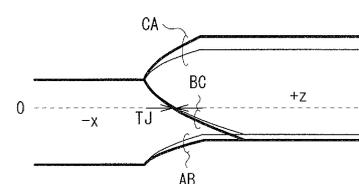
【 1 2 C】



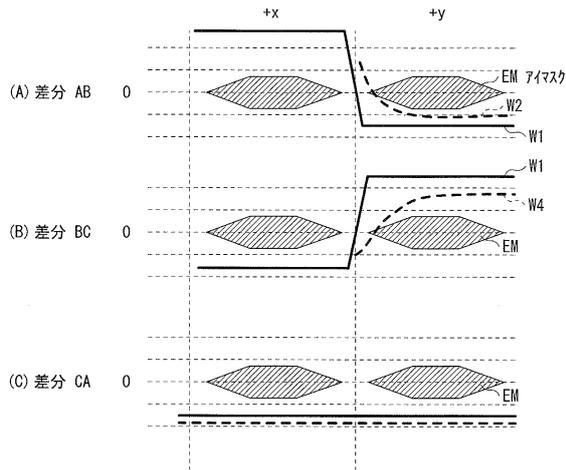
【 1 3】



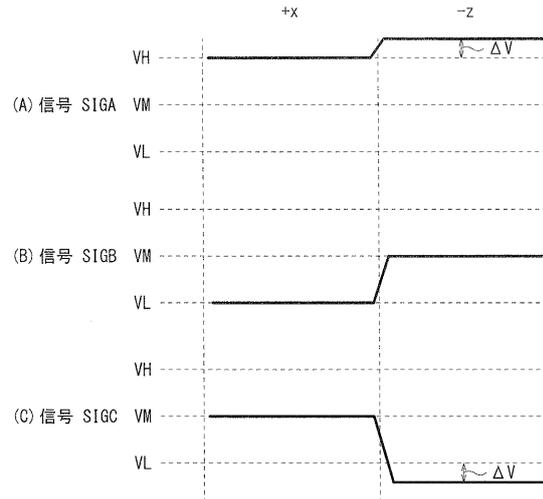
【 1 2 D】



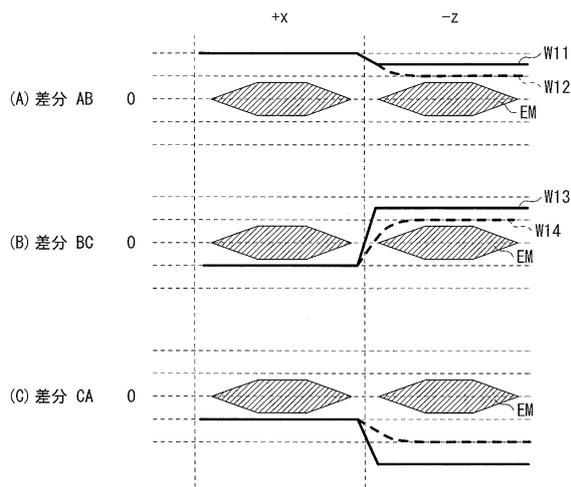
【図 14】



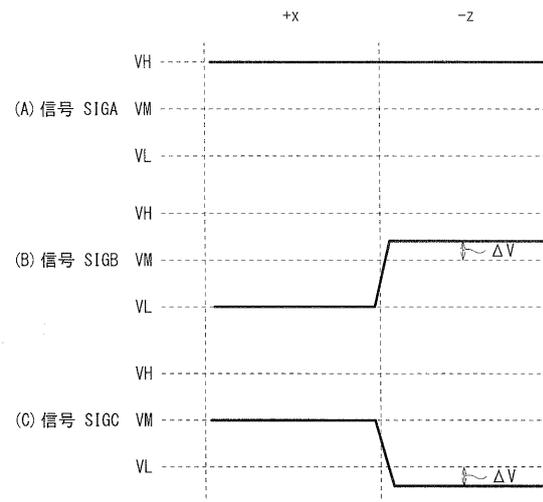
【図 15】



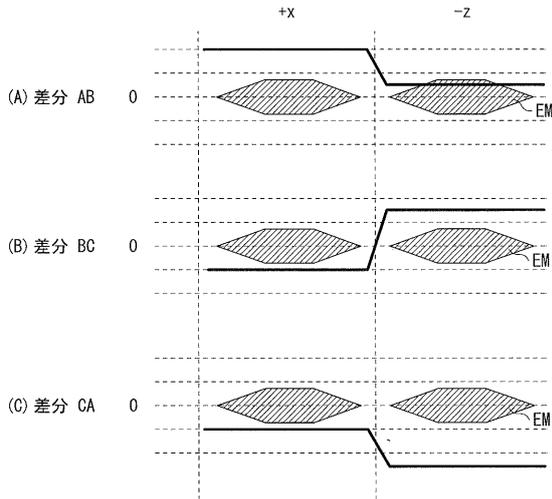
【図 16】



【図 17】



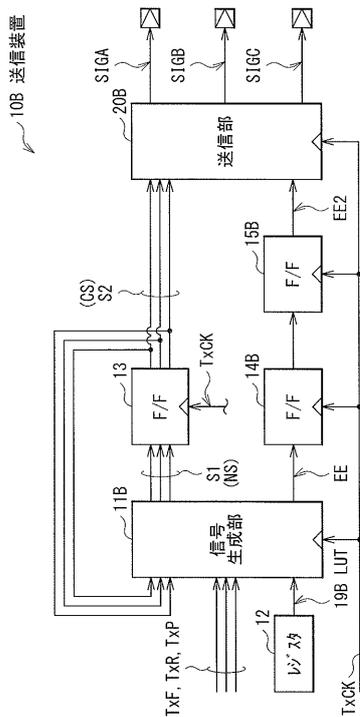
【図 18】



【図 19】

| CS | TxF, TxR, TxP | NS | EA, EB, EC |
|----|---------------|----|------------|
| +x | 000           | +z | 101        |
|    | 001           | -z | 000        |
|    | 010           | +y | 011        |
|    | 011           | -y | 000        |
| +y | 100           | -x | 000        |
|    | 000           | +x | 110        |
|    | 001           | -x | 000        |
|    | 010           | +z | 101        |
| +z | 011           | -z | 000        |
|    | 100           | -y | 000        |
|    | 000           | +y | 011        |
|    | 001           | -y | 000        |
| -x | 010           | +x | 110        |
|    | 011           | -x | 000        |
|    | 100           | +z | 101        |
|    | 000           | -z | 000        |
| -y | 010           | -y | 011        |
|    | 011           | +y | 000        |
|    | 100           | +x | 000        |
|    | 000           | -x | 110        |
| -z | 001           | +x | 000        |
|    | 010           | -z | 101        |
|    | 011           | +z | 000        |
|    | 100           | +y | 000        |

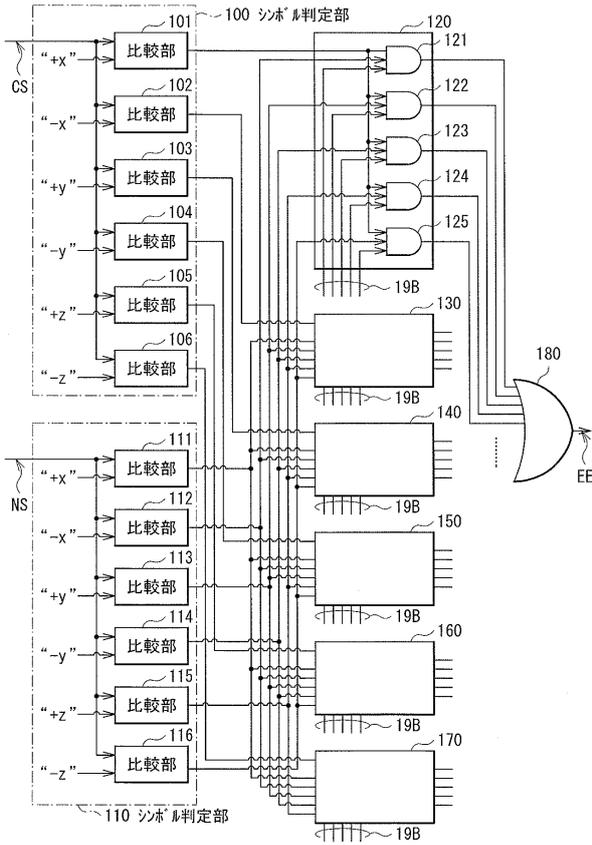
【図 20】



【図 21】

| CS | TxF, TxR, TxP | NS | EE |
|----|---------------|----|----|
| +x | 000           | +z | 1  |
|    | 001           | -z | 0  |
|    | 010           | +y | 1  |
|    | 011           | -y | 0  |
| +y | 100           | -x | 0  |
|    | 000           | +x | 1  |
|    | 001           | -x | 0  |
|    | 010           | +z | 1  |
| +z | 011           | -z | 0  |
|    | 100           | -y | 0  |
|    | 000           | +y | 1  |
|    | 001           | -y | 0  |
| -x | 010           | +x | 1  |
|    | 011           | -x | 0  |
|    | 100           | +z | 1  |
|    | 000           | -z | 0  |
| -y | 010           | -y | 1  |
|    | 011           | +y | 0  |
|    | 100           | +x | 0  |
|    | 000           | -x | 1  |
| -z | 001           | +x | 0  |
|    | 010           | -z | 1  |
|    | 011           | +z | 0  |
|    | 100           | +y | 0  |

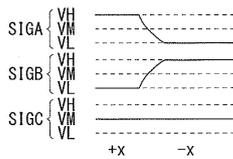
【図 2 2】



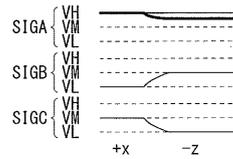
【図 2 3】

| CS | TxF, TxR, TxP | NS | EA, EB, EC |
|----|---------------|----|------------|
| +x | 000           | +z | 000        |
|    | 001           | -z | 100        |
|    | 010           | +y | 000        |
|    | 011           | -y | 010        |
| +y | 100           | -x | 000        |
|    | 000           | +x | 000        |
|    | 001           | -x | 010        |
|    | 010           | +z | 000        |
| +z | 011           | -z | 001        |
|    | 100           | -y | 000        |
|    | 000           | +y | 000        |
|    | 001           | -y | 001        |
| -x | 010           | +x | 000        |
|    | 011           | -x | 100        |
|    | 100           | -z | 000        |
|    | 000           | -z | 000        |
| -y | 001           | +z | 100        |
|    | 010           | -y | 000        |
|    | 011           | +y | 010        |
|    | 100           | +x | 000        |
| -z | 000           | -x | 000        |
|    | 001           | +x | 010        |
|    | 010           | -z | 000        |
|    | 011           | +z | 001        |
| -z | 100           | +y | 000        |
|    | 000           | -y | 000        |
|    | 001           | +y | 001        |
|    | 010           | -x | 000        |
| -z | 011           | +x | 100        |
|    | 100           | +z | 000        |

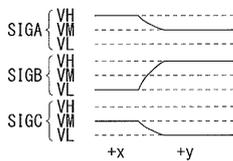
【図 2 4 A】



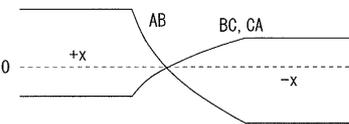
【図 2 4 E】



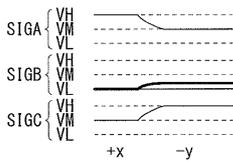
【図 2 4 B】



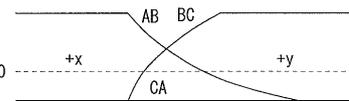
【図 2 5 A】



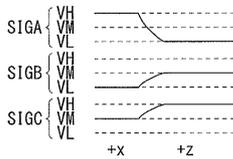
【図 2 4 C】



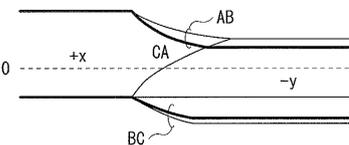
【図 2 5 B】



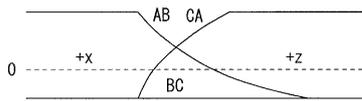
【図 2 4 D】



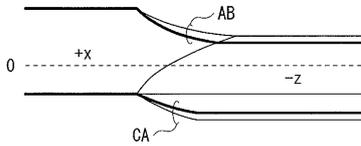
【図 2 5 C】



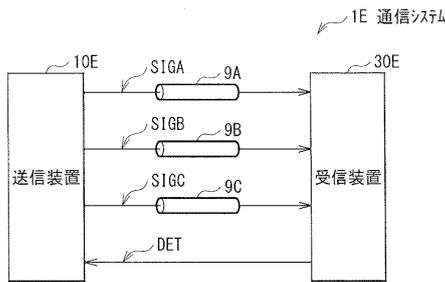
【図 25 D】



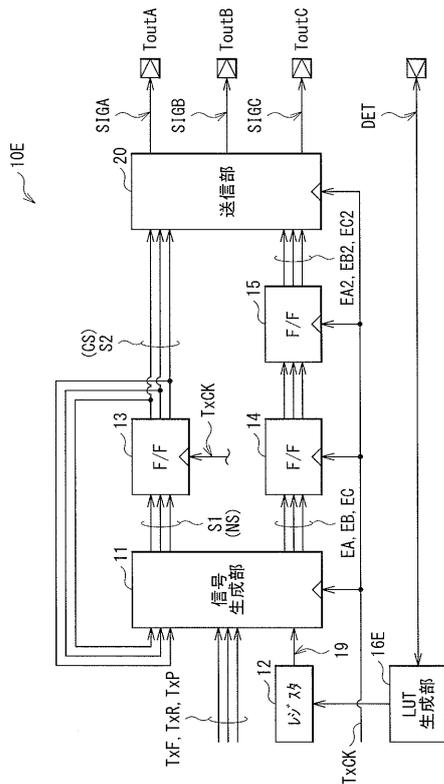
【図 25 E】



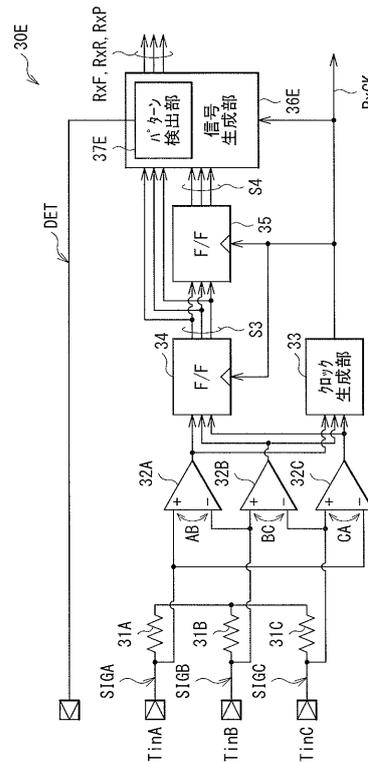
【図 26】



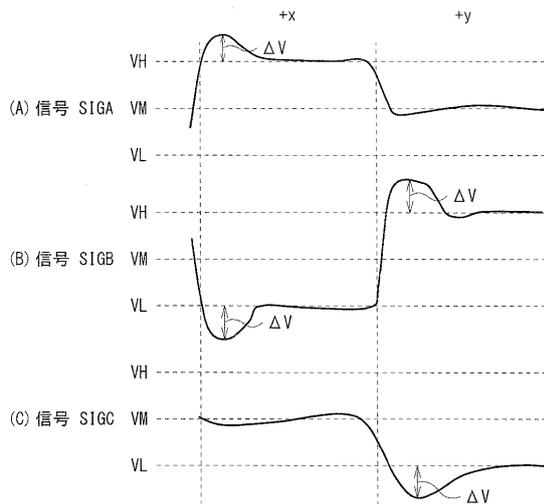
【図 28】



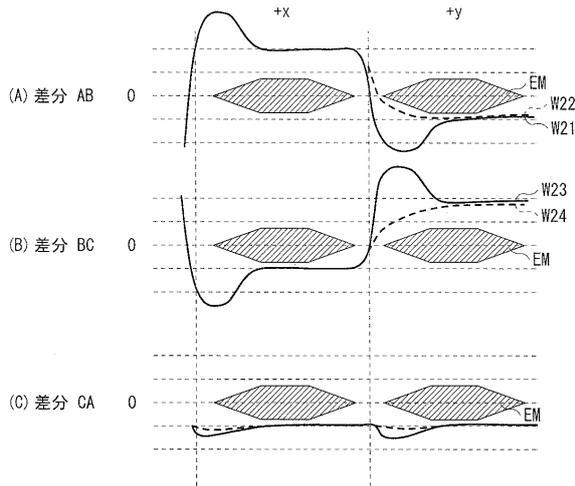
【図 27】



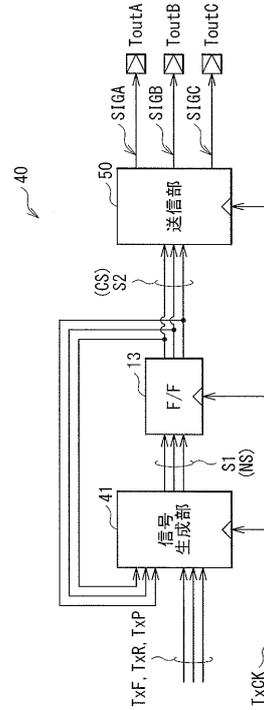
【図 29】



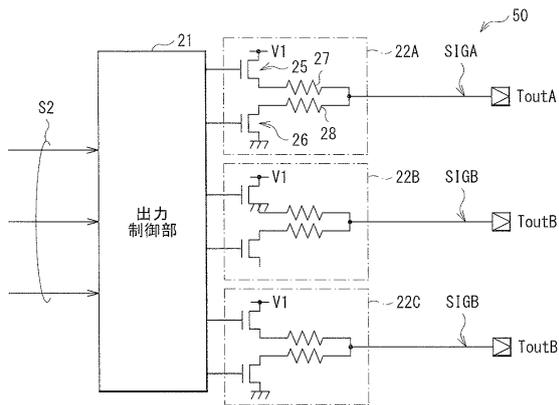
【図30】



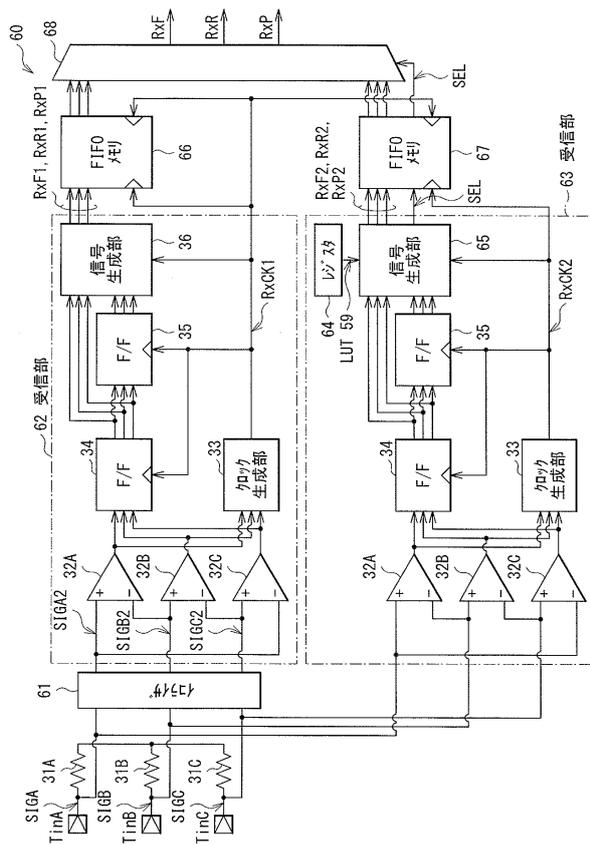
【図31】



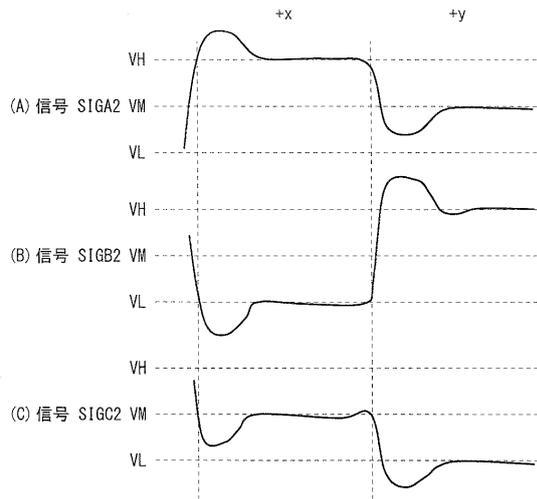
【図32】



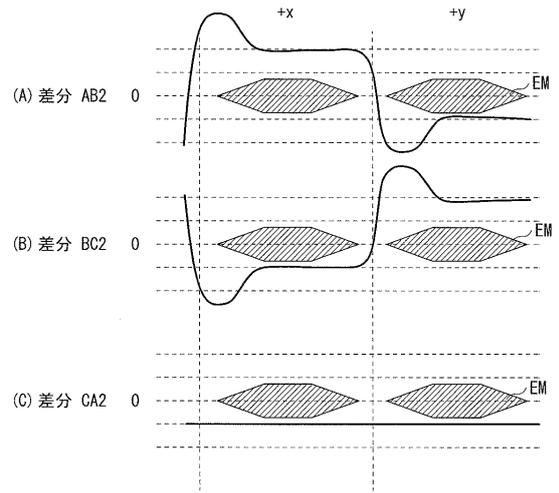
【図33】



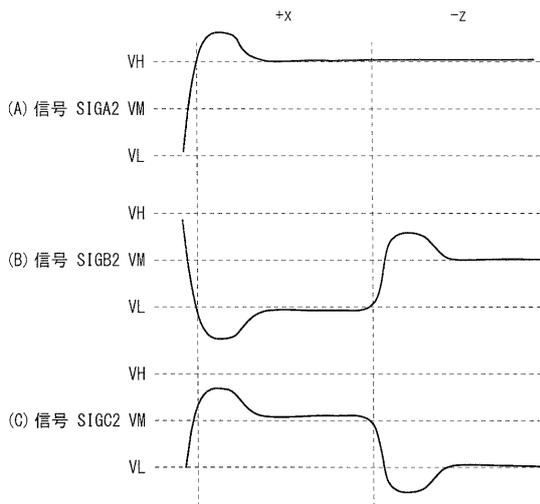
【 図 3 4 】



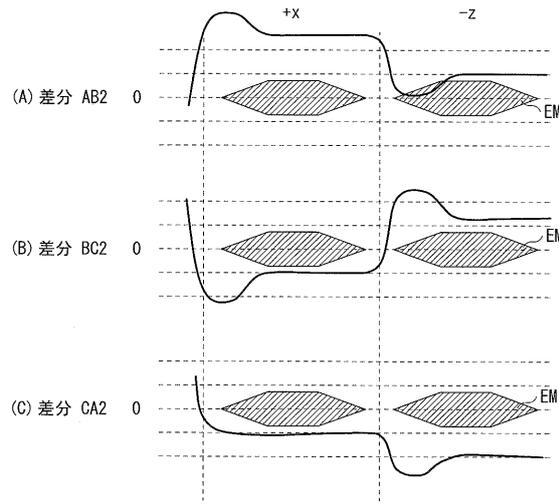
【 図 3 5 】



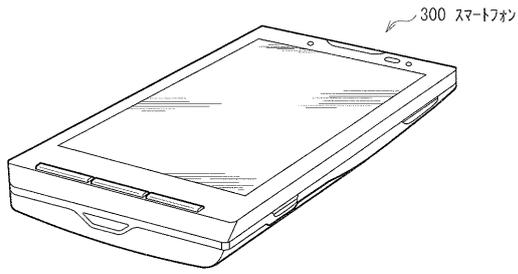
【 図 3 6 】



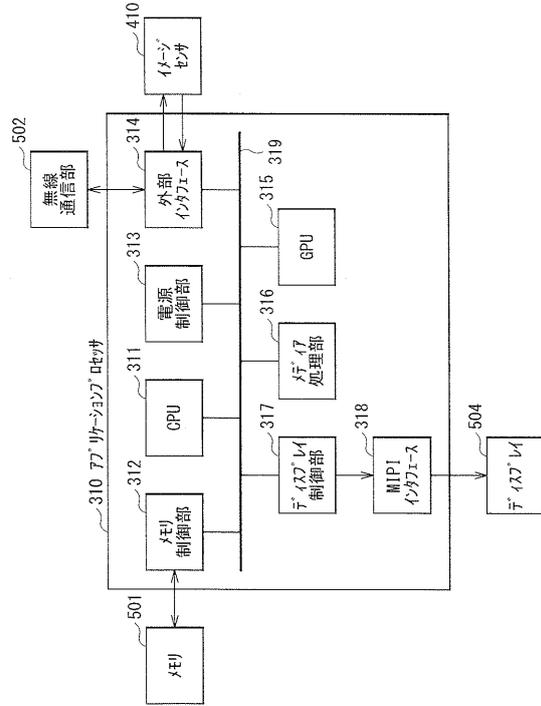
【 図 3 7 】



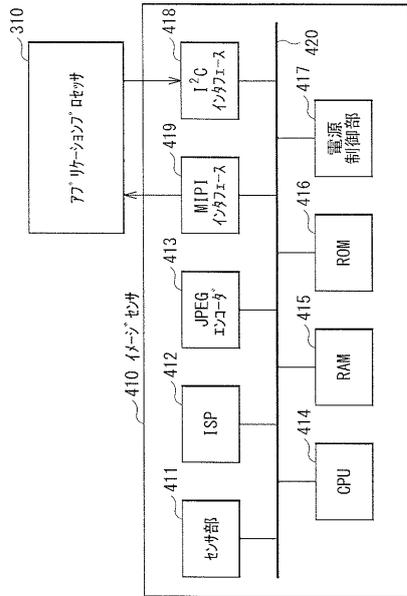
【図38】



【図39】



【図40】



---

フロントページの続き

(72)発明者 林 宏暁  
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 吉江 一明

(56)参考文献 特開2011-109522(JP,A)  
特開2010-028207(JP,A)  
特開2008-035485(JP,A)  
特開2006-093988(JP,A)  
特開2002-094365(JP,A)  
特開平06-237246(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H04L 25/03  
H04L 25/49  
H04L 25/02  
H04B 3/04