

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4706141号
(P4706141)

(45) 発行日 平成23年6月22日 (2011.6.22)

(24) 登録日 平成23年3月25日 (2011.3.25)

(51) Int.Cl. F I
 HO 1 L 21/8246 (2006.01) HO 1 L 27/10 4 4 4 Z
 HO 1 L 27/105 (2006.01) HO 1 L 27/10 4 8 1
 HO 1 L 27/10 (2006.01)

請求項の数 6 (全 42 頁)

(21) 出願番号	特願2001-231601 (P2001-231601)	(73) 特許権者	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成13年7月31日 (2001.7.31)	(74) 代理人	100094363 弁理士 山本 孝久
(65) 公開番号	特開2003-46066 (P2003-46066A)	(72) 発明者	落合 昭彦 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(43) 公開日	平成15年2月14日 (2003.2.14)	審査官	小森 重樹
審査請求日	平成20年6月6日 (2008.6.6)	(56) 参考文献	特開平11-040768 (JP, A) 特開平10-079473 (JP, A) 特開平07-115141 (JP, A)

最終頁に続く

(54) 【発明の名称】 強誘電体型不揮発性半導体メモリ、及び、半導体装置

(57) 【特許請求の範囲】

【請求項1】

トランジスタが形成された半導体基板の上に設けられた絶縁層上に、第1の電極と強誘電体層と第2の電極とから成るメモリセルが、(N-1)層の層間絶縁層(但し、N-2)を介して、N層、積層された構造を有する強誘電体型不揮発性半導体メモリであって、
 該トランジスタのソース/ドレイン領域及び/又はゲート電極の上の絶縁層、及び、絶縁層と層間絶縁層には、接続孔が形成され、

第1層目のメモリセルを構成する第1の電極は、第1層目の第1の導電材料層から構成されており、

第1層目のメモリセルを構成する第2の電極は、第1層目の第2の導電材料層から構成されており、

絶縁層に形成された接続孔の頂面は、第1の導電材料層から成る第1の導電体層、及び、第2の導電材料層から成る第2の導電体層の積層構造によって被覆されており、

第(k+1)層目(但し、k=1, 2, ..., N-1)のメモリセルを構成する第1の電極は、第(k+1)層目の第1の導電材料層から構成されており、

第(k+1)層目のメモリセルを構成する第2の電極は、第(k+1)層目の第2の導電材料層から構成されており、

第k層目の層間絶縁層に形成された接続孔の頂面は、第(k+1)層目の第1の導電材料層から成る第1の導電体層、及び、第(k+1)層目の第2の導電材料層から成る第2の導電体層の積層構造によって被覆されている強誘電体型不揮発性半導体メモリ。

10

20

【請求項2】

- (A) ビット線と、
- (B) 選択用トランジスタと、
- (C) それぞれがM個(但し、 $M \geq 2$)のメモリセルから構成された、N個(但し、 $N \geq 2$)のメモリユニットと、
- (D) $M \times N$ 本のプレート線、

から成り、

第1層目のメモリユニットは、絶縁層を介して選択用トランジスタの上方に形成されており、

N個のメモリユニットは、 $(N - 1)$ 層の層間絶縁層を介して積層されており、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

各メモリユニットにおいて、メモリセルの第1の電極は共通であり、

第n層目(但し、 $n = 1, 2, \dots, N$)のメモリユニットにおいて、第m番目(但し、 $m = 1, 2, \dots, M$)のメモリセルの第2の電極は、第 $[(n - 1)M + m]$ 番目のプレート線に接続されており、

選択用トランジスタの一方のソース/ドレイン領域はビット線に接続され、

選択用トランジスタの他方のソース/ドレイン領域は、絶縁層に設けられた第1層目の接続孔を介して、第1層目のメモリユニットにおける共通の第1の電極に接続され、

選択用トランジスタの他方のソース/ドレイン領域は、更に、絶縁層に設けられた第1層目の接続孔、及び、第1層目の層間絶縁層から第k層目(但し、 $k = 1, 2, \dots, N - 1$)までの層間絶縁層のそれぞれに設けられた第2層目の接続孔から第 $(k + 1)$ 層目の接続孔のそれぞれを介して、第 $(k + 1)$ 層目のメモリユニットにおける共通の第1の電極に接続されている強誘電体型不揮発性半導体メモリであって、

第1層目のメモリユニットのメモリセルを構成する第1の電極は、第1層目の第1の導電材料層から構成されており、

第1層目のメモリユニットのメモリセルを構成する第2の電極は、第1層目の第2の導電材料層から構成されており、

絶縁層に形成された第1層目の接続孔の頂面は、第1層目の第1の導電材料層から成る第1の導電体層、及び、第1層目の第2の導電材料層から成る第2の導電体層の積層構造によって被覆されており、

第 $(k + 1)$ 層目のメモリユニットのメモリセルを構成する第1の電極は、第 $(k + 1)$ 層目の第1の導電材料層から構成されており、

第 $(k + 1)$ 層目のメモリユニットのメモリセルを構成する第2の電極は、第 $(k + 1)$ 層目の第2の導電材料層から構成されており、

第k層目の層間絶縁層に形成された第 $(k + 1)$ 層目の接続孔の頂面は、第 $(k + 1)$ 層目の第1の導電材料層から成る第1の導電体層、及び、第 $(k + 1)$ 層目の第2の導電材料層から成る第2の導電体層の積層構造によって被覆されている強誘電体型不揮発性半導体メモリ。

【請求項3】

- (A) ビット線と、
- (B) N個(但し、 $N \geq 2$)の選択用トランジスタと、
- (C) それぞれがM個(但し、 $M \geq 2$)のメモリセルから構成された、N個のメモリユニットと、
- (D) M本のプレート線、

から成り、

第1層目のメモリユニットは、絶縁層を介して選択用トランジスタの上方に形成されており、

N個のメモリユニットは、 $(N - 1)$ 層の層間絶縁層を介して積層されており、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

各メモリユニットにおいて、メモリセルの第1の電極は共通であり、

10

20

30

40

50

第 n 層目 (但し、 $n = 1, 2, \dots, N$) のメモリユニットにおいて、第 m 番目 (但し、 $m = 1, 2, \dots, M$) のメモリセルの第 2 の電極は、メモリユニット間で共通とされた第 m 番目のプレート線に接続されており、

各選択用トランジスタの一方のソース/ドレイン領域はビット線に接続され、

第 1 番目の選択用トランジスタの他方のソース/ドレイン領域は、絶縁層に設けられた第 1 層目の接続孔を介して、第 1 層目のメモリユニットにおける共通の第 1 の電極に接続され、

第 $(k + 1)$ 番目 (但し、 $k = 1, 2, \dots, N - 1$) の選択用トランジスタの他方のソース/ドレイン領域は、絶縁層に設けられた第 1 層目の接続孔、及び、第 1 層目の層間絶縁層から第 k 層目までの層間絶縁層のそれぞれに設けられた第 2 層目の接続孔から第 $(k + 1)$ 層目の接続孔のそれぞれを介して、第 $(k + 1)$ 層目のメモリユニットにおける共通の第 1 の電極に接続されている強誘電体型不揮発性半導体メモリであって、

第 1 層目のメモリユニットのメモリセルを構成する第 1 の電極は、第 1 層目の第 1 の導電材料層から構成されており、

第 1 層目のメモリユニットのメモリセルを構成する第 2 の電極は、第 1 層目の第 2 の導電材料層から構成されており、

絶縁層に形成された第 1 層目の接続孔の頂面は、第 1 層目の第 1 の導電材料層から成る第 1 の導電体層、及び、第 1 層目の第 2 の導電材料層から成る第 2 の導電体層の積層構造によって被覆されており、

第 $(k + 1)$ 層目のメモリユニットのメモリセルを構成する第 1 の電極は、第 $(k + 1)$ 層目の第 1 の導電材料層から構成されており、

第 $(k + 1)$ 層目のメモリユニットのメモリセルを構成する第 2 の電極は、第 $(k + 1)$ 層目の第 2 の導電材料層から構成されており、

第 k 層目の層間絶縁層に形成された第 $(k + 1)$ 層目の接続孔の頂面は、第 $(k + 1)$ 層目の第 1 の導電材料層から成る第 1 の導電体層、及び、第 $(k + 1)$ 層目の第 2 の導電材料層から成る第 2 の導電体層の積層構造によって被覆されている強誘電体型不揮発性半導体メモリ。

【請求項 4】

(A) N 本 (但し、 $N \geq 2$) ビット線と、

(B) N 個の選択用トランジスタと、

(C) それぞれが M 個 (但し、 $M \geq 2$) のメモリセルから構成された、 N 個のメモリユニットと、

(D) M 本のプレート線、

から成り、

第 1 層目のメモリユニットは、絶縁層を介して選択用トランジスタの上方に形成されており、

N 個のメモリユニットは、 $(N - 1)$ 層の層間絶縁層を介して積層されており、

各メモリセルは、第 1 の電極と強誘電体層と第 2 の電極とから成り、

各メモリユニットにおいて、メモリセルの第 1 の電極は共通であり、

第 n 層目 (但し、 $n = 1, 2, \dots, N$) のメモリユニットにおいて、第 m 番目 (但し、 $m = 1, 2, \dots, M$) のメモリセルの第 2 の電極は、メモリユニット間で共通とされた第 m 番目のプレート線に接続されており、

第 n 番目の選択用トランジスタの一方のソース/ドレイン領域は第 n 番目のビット線に接続され、

第 1 番目の選択用トランジスタの他方のソース/ドレイン領域は、絶縁層に設けられた第 1 層目の接続孔を介して、第 1 層目のメモリユニットにおける共通の第 1 の電極に接続され、

第 $(k + 1)$ 番目 (但し、 $k = 1, 2, \dots, N - 1$) の選択用トランジスタの他方のソース/ドレイン領域は、絶縁層に設けられた第 1 層目の接続孔、及び、第 1 層目の層間絶縁層から第 k 層目までの層間絶縁層のそれぞれに設けられた第 2 層目の接続孔から第 $(k + 1)$ 層目の接続孔のそれぞれを介して、第 $(k + 1)$ 層目のメモリユニットにおける共通の第 1 の電極に接続されている強誘電体型不揮発性半導体メモリであって、

第 1 層目のメモリユニットのメモリセルを構成する第 1 の電極は、第 1 層目の第 1 の導電材料層から構成されており、

第 1 層目のメモリユニットのメモリセルを構成する第 2 の電極は、第 1 層目の第 2 の導電材料層から構成されており、

絶縁層に形成された第 1 層目の接続孔の頂面は、第 1 層目の第 1 の導電材料層から成る第 1 の導電体層、及び、第 1 層目の第 2 の導電材料層から成る第 2 の導電体層の積層構造によって被覆されており、

第 $(k + 1)$ 層目のメモリユニットのメモリセルを構成する第 1 の電極は、第 $(k + 1)$ 層目の第 1 の導電材料層から構成されており、

第 $(k + 1)$ 層目のメモリユニットのメモリセルを構成する第 2 の電極は、第 $(k + 1)$ 層目の第 2 の導電材料層から構成されており、

第 k 層目の層間絶縁層に形成された第 $(k + 1)$ 層目の接続孔の頂面は、第 $(k + 1)$ 層目の第 1 の導電材料層から成る第 1 の導電体層、及び、第 $(k + 1)$ 層目の第 2 の導電材料層から成る第 2 の導電体層の積層構造によって被覆されている強誘電体型不揮発性半導体メモリ。

10

20

30

40

50

$k + 1$) 層目の接続孔のそれぞれを介して、第 $(k + 1)$ 層目のメモリユニットにおける共通の第 1 の電極に接続されている強誘電体型不揮発性半導体メモリであって、

第 1 層目のメモリユニットのメモリセルを構成する第 1 の電極は、第 1 層目の第 1 の導電材料層から構成されており、

第 1 層目のメモリユニットのメモリセルを構成する第 2 の電極は、第 1 層目の第 2 の導電材料層から構成されており、

絶縁層に形成された第 1 層目の接続孔の頂面は、第 1 層目の第 1 の導電材料層から成る第 1 の導電体層、及び、第 1 層目の第 2 の導電材料層から成る第 2 の導電体層の積層構造によって被覆されており、

第 $(k + 1)$ 層目のメモリユニットのメモリセルを構成する第 1 の電極は、第 $(k + 1)$) 層目の第 1 の導電材料層から構成されており、

第 $(k + 1)$ 層目のメモリユニットのメモリセルを構成する第 2 の電極は、第 $(k + 1)$) 層目の第 2 の導電材料層から構成されており、

第 k 層目の層間絶縁層に形成された第 $(k + 1)$ 層目の接続孔の頂面は、第 $(k + 1)$) 層目の第 1 の導電材料層から成る第 1 の導電体層、及び、第 $(k + 1)$ 層目の第 2 の導電材料層から成る第 2 の導電体層の積層構造によって被覆されている強誘電体型不揮発性半導体メモリ。

【請求項 5】

(a) 選択用トランジスタが形成された半導体基板の上に設けられた絶縁層上に、第 1 の電極と強誘電体層と第 2 の電極とから成るメモリセルが、 $(N - 1)$ 層の層間絶縁層 (但し、 $N - 2$) を介して、 N 層、積層された構造を有する強誘電体型不揮発性半導体メモリと、

(b) 強誘電体型不揮発性半導体メモリを駆動するための周辺回路、から構成された半導体装置であって、

周辺回路は、半導体基板に形成されたトランジスタと、絶縁層上及び層間絶縁層上に形成された配線と、トランジスタと配線とを接続する接続孔から構成され、

接続孔は、該トランジスタのソース/ドレイン領域及び/又はゲート電極の上の絶縁層、及び、絶縁層と層間絶縁層に形成され、

第 1 層目のメモリセルを構成する第 1 の電極は、第 1 層目の第 1 の導電材料層から構成されており、

第 1 層目のメモリセルを構成する第 2 の電極は、第 1 層目の第 2 の導電材料層から構成されており、

絶縁層に形成された接続孔の頂面は、第 1 の導電材料層から成る第 1 の導電体層、及び、第 2 の導電材料層から成る第 2 の導電体層の積層構造によって被覆されており、

絶縁層上に形成された配線は、少なくとも、第 1 層目の第 2 の導電材料層から成り、

第 $(k + 1)$ 層目 (但し、 $k = 1, 2, \dots, N - 1$) のメモリセルを構成する第 1 の電極は、第 $(k + 1)$ 層目の第 1 の導電材料層から構成されており、

第 $(k + 1)$ 層目のメモリセルを構成する第 2 の電極は、第 $(k + 1)$ 層目の第 2 の導電材料層から構成されており、

第 k 層目の層間絶縁層に形成された接続孔の頂面は、第 $(k + 1)$ 層目の第 1 の導電材料層から成る第 1 の導電体層、及び、第 $(k + 1)$ 層目の第 2 の導電材料層から成る第 2 の導電体層の積層構造によって被覆されており、

第 k 層目の層間絶縁層上に形成された配線は、少なくとも、第 $(k + 1)$ 層目の第 2 の導電材料層から成る半導体装置。

【請求項 6】

絶縁層上に形成された配線は、第 1 層目の第 1 の導電材料層、及び、第 1 層目の第 2 の導電材料層の積層構造から成り、

第 k 層目 (但し、 $k = 1, 2, \dots, N - 1$) の層間絶縁層上に形成された配線は、第 $(k + 1)$ 層目の第 1 の導電材料層、及び、第 $(k + 1)$ 層目の第 2 の導電材料層の積層構造から成ることを特徴とする請求項 5 に記載の半導体装置。

10

20

30

40

50

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、強誘電体型不揮発性半導体メモリ（所謂FERAM）、及び、強誘電体型不揮発性半導体メモリとその周辺回路から構成された半導体装置に関する。

【0002】

【従来の技術】

近年、大容量の強誘電体型不揮発性半導体メモリに関する研究が盛んに行われている。強誘電体型不揮発性半導体メモリ（以下、不揮発性メモリと略称する場合がある）は、高速アクセスが可能で、しかも、不揮発性であり、また、小型で低消費電力であり、更には、
10 衝撃にも強く、例えば、ファイルのストレージやレジューム機能を有する各種電子機器、例えば、携帯用コンピュータや携帯電話、ゲーム機の主記憶装置としての利用、あるいは、音声や映像を記録するための記録メディアとしての利用が期待されている。

【0003】

この不揮発性メモリは、強誘電体薄膜の高速分極反転とその残留分極を利用し、強誘電体層を有するキャパシタ部の蓄積電荷量の変化を検出する方式の、高速書き換えが可能な不揮発性メモリであり、基本的には、メモリセル（キャパシタ部）と選択用トランジスタ（スイッチング用トランジスタ）とから構成されている。メモリセル（キャパシタ部）は、
20 例えば、下部電極、上部電極、及び、これらの電極間に挟まれた強誘電体層から構成されている。この不揮発性メモリにおけるデータの書き込みや読み出しは、図24に示す強誘電体のP-Eヒステリシスループを応用して行われる。即ち、強誘電体層に外部電界を加えた後、外部電界を除いたとき、強誘電体層は自発分極を示す。そして、強誘電体層の残留分極は、プラス方向の外部電界が印加されたとき+ P_r 、マイナス方向の外部電界が印加されたとき- P_r となる。ここで、残留分極が+ P_r の状態（図24の「D」参照）の場合を「0」とし、残留分極が- P_r の状態（図24の「A」参照）の場合を「1」とする。

【0004】

「1」あるいは「0」の状態を判別するために、強誘電体層に例えばプラス方向の外部電界を印加する。これによって、強誘電体層の分極は図24の「C」の状態となる。このとき、データが「0」であれば、強誘電体層の分極状態は、「D」から「C」の状態に変化
30 する。一方、データが「1」であれば、強誘電体層の分極状態は、「A」から「B」を経由して「C」の状態に変化する。データが「0」の場合には、強誘電体層の分極反転は生じない。一方、データが「1」の場合には、強誘電体層に分極反転が生じる。その結果、メモリセル（キャパシタ部）の蓄積電荷量に差が生じる。選択された不揮発性メモリの選択用トランジスタをオンにすることで、この蓄積電荷を信号電流として検出する。データの読み出し後、外部電界を0にすると、データが「0」のときでも「1」のときでも、強誘電体層の分極状態は図24の「D」の状態となってしまう。即ち、読み出し時、データ「1」は、一旦、破壊されてしまう。それ故、データが「1」の場合、マイナス方向の外部電界を印加して、「D」、「E」という経路で「A」の状態とし、データ「1」を再度書き込む。
40

【0005】

現在主流となっている不揮発性メモリの構造及びその動作は、米国特許第4873664号において、S. Sheffiledらが提案したものである。この不揮発性メモリは、
図25に回路図を示すように、2つの不揮発性メモリセルから構成されている。尚、図25において、1つの不揮発性メモリを点線で囲った。各不揮発性メモリは、例えば、選択用トランジスタ TR_{11} 、 TR_{12} 、メモリセル（キャパシタ部） FC_{11} 、 FC_{12} から構成されている。

【0006】

尚、2桁あるいは3桁の添字、例えば添字「11」は、本来、添字「1, 1」と表示すべき添字であり、例えば「111」は、本来、添字「1, 1, 1」と表示すべき添字である
50

が、表示の簡素化のため、2桁あるいは3桁の添字で表示する。また、添字「M」を、例えば複数のメモリセルやプレート線を総括的に表示する場合に使用し、添字「m」を、例えば複数のメモリセルやプレート線を個々に表示する場合に使用し、添字「N」を、例えば選択用トランジスタやメモリユニットを総括的に表示する場合に使用し、添字「n」を、例えば選択用トランジスタやメモリユニットを個々に表示する場合に使用する。

【0007】

そして、それぞれのメモリセルに相補的なデータを書き込むことにより、1ビットを記憶する。図25において、符号「WL」はワード線を示し、符号「BL」はビット線を示し、符号「PL」はプレート線を意味する。1つの不揮発性メモリに着目すると、ワード線 WL_1 は、ワード線デコーダ/ドライバWDに接続されている。また、ビット線 BL_1 、 BL_2 は、センスアンプSAに接続されている。更には、プレート線 PL_1 は、プレート線デコーダ/ドライバPDに接続されている。

10

【0008】

このような構造を有する不揮発性メモリにおいて、記憶されたデータを読み出す場合、ワード線 WL_1 を選択し、更には、プレート線 PL_1 を駆動すると、相補的なデータが、対となったメモリセル(キャパシタ部) FC_{11} 、 FC_{12} から選択用トランジスタ TR_{11} 、 TR_{12} を介して対となったビット線 BL_1 、 BL_2 に電圧(ビット線電位)として現れる。かかる対となったビット線 BL_1 、 BL_2 の電圧(ビット線電位)を、センスアンプSAで検出する。

【0009】

1つの不揮発性メモリは、ワード線 WL_1 、及び、対となったビット線 BL_1 、 BL_2 によって囲まれた領域を占めている。従って、仮に、ワード線及びビット線が最短ピッチで配置されるとすると、1つの不揮発性メモリの最小面積は、加工最小寸法をFとしたとき、 $8F^2$ である。従って、このような構造を有する不揮発性メモリの最小面積は $8F^2$ である。

20

【0010】

このような構造の不揮発性メモリを大容量化しようとした場合、その実現は加工寸法の微細化に依存するしかない。また、1つの不揮発性メモリを構成するために2つの選択用トランジスタ及び2つのメモリセル(キャパシタ部)が必要とされる。更には、ワード線と同じピッチでプレート線を配設する必要がある。それ故、不揮発性メモリを最小ピッチで配置することは殆ど不可能であり、現実には、1つの不揮発性メモリの占める面積は、 $8F^2$ よりも大幅に増加してしまう。

30

【0011】

しかも、不揮発性メモリと同等のピッチで、ワード線デコーダ/ドライバWD及びプレート線デコーダ/ドライバPDを配設する必要がある。言い換えれば、1つのロー・アドレスを選択するために2つのデコーダ/ドライバが必要とされる。従って、周辺回路のレイアウトが困難となり、しかも、周辺回路の占有面積も大きなものとなる。

【0012】

不揮発性メモリの面積を縮小する手段の1つが、特開平9-121032号公報から公知である。図26に等価回路を示すように、この特許公開公報に開示された不揮発性メモリは、1つの選択用トランジスタ TR_1 の一端に並列にそれぞれの一端が接続された複数のメモリセル MC_{1M} (例えば、 $M=4$) から構成され、かかるメモリセルと対となったメモリセルも、1つの選択用トランジスタ TR_2 の一端に並列にそれぞれの一端が接続された複数のメモリセル MC_{2M} から構成されている。選択用トランジスタ TR_1 、 TR_2 の他端は、それぞれ、ビット線 BL_1 、 BL_2 に接続されている。対となったビット線 BL_1 、 BL_2 は、センスアンプSAに接続されている。また、メモリセル MC_{1m} 、 MC_{2m} ($m=1, 2, \dots, M$) の他端はプレート線 PL_m に接続されており、プレート線 PL_m はプレート線デコーダ/ドライバPDに接続されている。更には、ワード線WLは、ワード線デコーダ/ドライバWDに接続されている。

40

【0013】

50

そして、対となったメモリセル MC_{1m} , MC_{2m} ($m = 1, 2, \dots, M$) に相補的なデータが記憶される。例えば、メモリセル MC_{1m} , MC_{2m} (ここで、 m は 1, 2, 3, 4 のいずれか) に記憶されたデータを読み出す場合、ワード線 WL を選択し、プレート線 PL_j ($m = j$) には $(1/2)V_{cc}$ の電圧を印加した状態で、プレート線 PL_m を駆動する。ここで、 V_{cc} は、例えば、電源電圧である。これによって、相補的なデータが、対となったメモリセル MC_{1m} , MC_{2m} から選択用トランジスタ TR_1 , TR_2 を介して対となったビット線 BL_1 , BL_2 に電圧(ビット線電位)として現れる。そして、かかる対となったビット線 BL_1 , BL_2 の電圧(ビット線電位)を、センスアンプ SA で検出する。

【0014】

対となった不揮発性メモリにおける一对の選択用トランジスタ TR_1 及び TR_2 は、ワード線 WL 、及び、対となったビット線 BL_1 , BL_2 によって囲まれた領域を占めている。従って、仮に、ワード線及びビット線が最短ピッチで配置されるとすると、対となった不揮発性メモリにおける一对の選択用トランジスタ TR_1 及び TR_2 の最小面積は、 $8F^2$ である。しかしながら、一对の選択用トランジスタ TR_1 , TR_2 を、 M 組の対となったメモリセル MC_{1m} , MC_{2m} ($m = 1, 2, \dots, M$) で共有するが故に、1ビット当たりの選択用トランジスタ TR_1 , TR_2 の数が少なく済み、また、ワード線 WL の配置も緩やかなので、不揮発性メモリの縮小化を図り易い。しかも、周辺回路についても、1本のワード線デコーダ/ドライバ WD と M 本のプレート線デコーダ/ドライバ PD で M ビットを選択することができる。従って、このような構成を採用することで、セル面積が $8F^2$ に近いレイアウトを実現可能であり、 $DRAM$ 並のチップサイズを実現することができる。

【0015】

【発明が解決しようとする課題】

特開平9-121032号公報に開示された不揮発性メモリの面積を縮小する手法は、非常に効果的な手法であるが、不揮発性メモリの面積の更に一層の縮小に対する強い要望がある。このような要望に対処するための方策の1つに、複数のメモリセルから成るメモリユニットを積層する方法が考えられる。このような方法を採用した不揮発性メモリを含む半導体装置の模式的な一部断面図を図27及び図28に例示する。尚、図27はビット線の延びる方向と平行な仮想垂直面で半導体装置を切断したときの模式的な一部断面図であり、図28はワード線の延びる方向と平行な仮想垂直面で半導体装置を切断したときの模式的な一部断面図である。また、図27において、メモリユニット MU_1 とメモリユニット MU_2 とは同一仮想垂直面に位置しておらず、しかも、選択用トランジスタ TR_1 と選択用トランジスタ TR_2 とは同一仮想垂直面に位置していないが、図面を簡素化するために、図27と一緒に図示した。等価回路は図26に示したとおりである。

【0016】

この不揮発性メモリは、

- (1) 2本のビット線 BL_1 , BL_2 と、
 - (2) 半導体基板10に形成された2つの選択用トランジスタ TR_1 , TR_2 と、
 - (3) それぞれが4個のメモリセルから構成された、2個のメモリユニット MU_1 , MU_2 と、
 - (4) 4本のプレート線、
- から構成されている。

【0017】

そして、メモリユニット MU_1 は、絶縁層16を介して選択用トランジスタ TR_1 の上方に形成されており、2個のメモリユニット MU_1 , MU_2 は層間絶縁層26を介して積層されている。また、各メモリセルは、第1の電極21, 31と強誘電体層23, 33と第2の電極24, 34とから成り、各メモリユニット MU_1 , MU_2 において、メモリセルの第1の電極21, 31は共通である。更には、第 n 番目(但し、 $n = 1, 2, 3, 4$)のメモリユニットにおいて、第 m 番目(但し、 $m = 1, 2, 3, 4$)のメモリセルの第2の電極24, 34は、メモリユニット MU_1 , MU_2 間で共通とされた第 m 番目のプレート線に接続されている。尚、図27には、プレート線が接続された状態の図示は省略した。そして

、選択用トランジスタ TR_1 の一方のソース/ドレイン領域13Aはビット線 BL_1 に接続され、選択用トランジスタ TR_2 の一方のソース/ドレイン領域13Aはビット線 BL_2 に接続されている。尚、図27において、ビット線 BL_1 、 BL_2 は左右方向に延びているが、図面を簡素化するために、ビット線 BL_1 、 BL_2 の一部のみを図示した。

【0018】

また、選択用トランジスタ TR_1 の他方のソース/ドレイン領域13Bは、絶縁層16に設けられた接続孔17を介して、メモリユニット MU_1 における共通の第1の電極21に接続されている。一方、選択用トランジスタ TR_2 の他方のソース/ドレイン領域13は、絶縁層16、及び、層間絶縁層26に設けられた接続孔27Aを介して、メモリユニット MU_2 における共通の第1の電極31に接続されている。

10

【0019】

更に、図27に示す周辺回路においては、ゲート電極112及びソース/ドレイン領域113から成るトランジスタ TR_{P1} 、 TR_{P2} 等から構成されたセンスアンプSA等が設けられている。一方、図28に示す周辺回路においては、ゲート電極212及びソース/ドレイン領域213から成るトランジスタ TR_{P3} 、 TR_{P4} 、 TR_{P5} 等から構成されたワードデコーダ/ドライバWDやプレート線デコーダ/ドライバPD等が設けられている。

【0020】

尚、図27及び図28中、参照番号36A、46Aは絶縁膜であり、参照番号150、250、251A、251Bは、メタル配線であり、参照番号47Aは、メタル配線材料から成るパッド部であり、参照番号37A、37B、47Bは、不揮発性メモリにおける接続孔(コンタクトホール)であり、参照番号337A、337Bは周辺回路における接続孔(コンタクトホール)である。

20

【0021】

このような構造を有する不揮発性メモリにおいては、第2の電極24、34から延びるプレート線PLと、周辺回路に相当するプレート線デコーダ/ドライバPDを構成するトランジスタとを電気的に接続するためには、従来の考え方では、メタル配線251A、251B及び接続孔(コンタクトホール)37A、37B、37Bを採用する方法が一般的である。

【0022】

ところが、このような方法では、メタル配線の層数が増加するといった問題を内在している。また、多数の層間絶縁層や絶縁膜を積層した状態で接続孔(コンタクトホール)を形成する場合、接続孔のアスペクト比が大きくなるが故に、接続孔の形成が困難となる虞がある。層間絶縁層や絶縁膜を形成する毎に接続孔を形成する方法も考えられるが、接続孔を形成した後、第1の電極を構成する第1電極材料層を成膜し、かかる第1電極材料層をエッチングによってパターンニングしたとき、接続孔の頂面が露出し、接続孔の頂面がエッチングされて損傷を生じる虞がある。更には、第1の電極を構成する第1電極材料層を成膜し、かかる第1電極材料層をエッチングによってパターンニングしたとき、かかる第1電極材料層を一種のパッド部として接続孔の頂面に残す方法も考えられるが、第2の電極を構成する第2電極材料層を成膜し、かかる第2電極材料層をエッチングによってパターンニングしたとき、第1電極材料層から成るパッド部がエッチングされ、接続孔の頂面が露出し、接続孔の頂面がエッチングされて損傷を生じる虞がある。

30

40

【0023】

従って、本発明の第1の目的は、複数のメモリセルが層間絶縁層を介して積層されたマルチスタック構造を有する強誘電体型不揮発性半導体メモリであって、接続孔の頂面に損傷が生じ難い構造を有する強誘電体型不揮発性半導体メモリを提供することにある。

【0024】

更に、本発明の第2の目的は、上記の第1の目的に加えて、接続孔(コンタクトホール)を確実に形成することができる強誘電体型不揮発性半導体メモリを提供することにある。

【0025】

また、本発明の第3の目的は、周辺回路の配線層数の減少を可能とする、強誘電体型不揮

50

発性半導体メモリとその周辺回路から構成された半導体装置を提供することにある。

【0026】

【課題を解決するための手段】

上記の第1の目的を達成するための本発明の第1の態様に係る強誘電体型不揮発性半導体メモリは、トランジスタが形成された半導体基板の上に設けられた絶縁層上に、第1の電極と強誘電体層と第2の電極とから成るメモリセルが、(N-1)層の層間絶縁層(但し、N-2)を介して、N層、積層された構造を有する強誘電体型不揮発性半導体メモリであって、

該トランジスタのソース/ドレイン領域及び/又はゲート電極の上の絶縁層、及び、絶縁層と層間絶縁層には、接続孔が形成され、

絶縁層に形成された接続孔の頂面は、第1層目のメモリセルを構成する第1の電極と同時に形成された第1の導電体層、及び、第1層目のメモリセルを構成する第2の電極と同時に形成された第2の導電体層の積層構造によって被覆されていることを特徴とする。

【0027】

本発明の第1の態様に係る強誘電体型不揮発性半導体メモリにあつては、第k層目(但し、 $k = 1, 2, \dots, N - 1$)の層間絶縁層に形成された接続孔の頂面は、第(k+1)層目のメモリセルを構成する第1の電極と同時に形成された第1の導電体層、及び、第(k+1)層目のメモリセルを構成する第2の電極と同時に形成された第2の導電体層の積層構造によって被覆されている構造とすることが好ましく、これによって、上記の第2の目的を達成することができる。

【0028】

上記の第1及び第2の目的を達成するための本発明の第2の態様に係る強誘電体型不揮発性半導体メモリは、

(A) ビット線と、

(B) 選択用トランジスタと、

(C) それぞれがM個(但し、 $M \geq 2$)のメモリセルから構成された、N個(但し、 $N \geq 2$)のメモリユニットと、

(D) $M \times N$ 本のプレート線、

から成り、

第1層目のメモリユニットは、絶縁層を介して選択用トランジスタの上方に形成されており、

N個のメモリユニットは、(N-1)層の層間絶縁層を介して積層されており、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

各メモリユニットにおいて、メモリセルの第1の電極は共通であり、

第n層目(但し、 $n = 1, 2, \dots, N$)のメモリユニットにおいて、第m番目(但し、 $m = 1, 2, \dots, M$)のメモリセルの第2の電極は、第[(n-1)M+m]番目のプレート線に接続されており、

選択用トランジスタの一方のソース/ドレイン領域はビット線に接続され、

選択用トランジスタの他方のソース/ドレイン領域は、絶縁層に設けられた第1層目の接続孔を介して、第1層目のメモリユニットにおける共通の第1の電極に接続され、

選択用トランジスタの他方のソース/ドレイン領域は、更に、絶縁層に設けられた第1層目の接続孔、及び、第1層目の層間絶縁層から第k層目(但し、 $k = 1, 2, \dots, N - 1$)までの層間絶縁層のそれぞれに設けられた第2層目の接続孔から第(k+1)層目の接続孔のそれぞれを介して、第(k+1)層目のメモリユニットにおける共通の第1の電極に接続されている強誘電体型不揮発性半導体メモリであつて、

絶縁層に形成された第1層目の接続孔の頂面は、第1層目のメモリユニットのメモリセルを構成する第1の電極と同時に形成された第1の導電体層、及び、第1層目のメモリユニットのメモリセルを構成する第2の電極と同時に形成された第2の導電体層の積層構造によって被覆されており、

第k層目の層間絶縁層に形成された第(k+1)層目の接続孔の頂面は、第(k+1)層

10

20

30

40

50

目のメモリユニットのメモリセルを構成する第1の電極と同時に形成された第1の導電体層、及び、第(k+1)層目のメモリユニットのメモリセルを構成する第2の電極と同時に形成された第2の導電体層の積層構造によって被覆されていることを特徴とする。

【0029】

上記の第1及び第2の目的を達成するための本発明の第3の態様に係る強誘電体型不揮発性半導体メモリは、

(A) ビット線と、

(B) N個(但し、 $N \geq 2$)の選択用トランジスタと、

(C) それぞれがM個(但し、 $M \geq 2$)のメモリセルから構成された、N個のメモリユニットと、

(D) M本のプレート線、

から成り、

第1層目のメモリユニットは、絶縁層を介して選択用トランジスタの上方に形成されており、

N個のメモリユニットは、(N-1)層の層間絶縁層を介して積層されており、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

各メモリユニットにおいて、メモリセルの第1の電極は共通であり、

第n層目(但し、 $n = 1, 2, \dots, N$)のメモリユニットにおいて、第m番目(但し、 $m = 1, 2, \dots, M$)のメモリセルの第2の電極は、メモリユニット間で共通とされた第m番目のプレート線に接続されており、

各選択用トランジスタの一方のソース/ドレイン領域はビット線に接続され、

第1番目の選択用トランジスタの他方のソース/ドレイン領域は、絶縁層に設けられた第1層目の接続孔を介して、第1層目のメモリユニットにおける共通の第1の電極に接続され、

第(k+1)番目(但し、 $k = 1, 2, \dots, N-1$)の選択用トランジスタの他方のソース/ドレイン領域は、絶縁層に設けられた第1層目の接続孔、及び、第1層目の層間絶縁層から第k層目までの層間絶縁層のそれぞれに設けられた第2層目の接続孔から第(k+1)層目の接続孔のそれぞれを介して、第(k+1)層目のメモリユニットにおける共通の第1の電極に接続されている強誘電体型不揮発性半導体メモリであって、

絶縁層に形成された第1層目の接続孔の頂面は、第1層目のメモリユニットのメモリセルを構成する第1の電極と同時に形成された第1の導電体層、及び、第1層目のメモリユニットのメモリセルを構成する第2の電極と同時に形成された第2の導電体層の積層構造によって被覆されており、

第k層目の層間絶縁層に形成された第(k+1)層目の接続孔の頂面は、第(k+1)層目のメモリユニットのメモリセルを構成する第1の電極と同時に形成された第1の導電体層、及び、第(k+1)層目のメモリユニットのメモリセルを構成する第2の電極と同時に形成された第2の導電体層の積層構造によって被覆されていることを特徴とする。

【0030】

上記の第1及び第2の目的を達成するための本発明の第4の態様に係る強誘電体型不揮発性半導体メモリは、

(A) N本(但し、 $N \geq 2$)ビット線と、

(B) N個の選択用トランジスタと、

(C) それぞれがM個(但し、 $M \geq 2$)のメモリセルから構成された、N個のメモリユニットと、

(D) M本のプレート線、

から成り、

第1層目のメモリユニットは、絶縁層を介して選択用トランジスタの上方に形成されており、

N個のメモリユニットは、(N-1)層の層間絶縁層を介して積層されており、

各メモリセルは、第1の電極と強誘電体層と第2の電極とから成り、

10

20

30

40

50

各メモリユニットにおいて、メモリセルの第1の電極は共通であり、
 第n層目(但し、 $n = 1, 2, \dots, N$)のメモリユニットにおいて、第m番目(但し、 $m = 1, 2, \dots, M$)のメモリセルの第2の電極は、メモリユニット間で共通とされた第m番目のプレート線に接続されており、
 第n番目の選択用トランジスタの一方のソース/ドレイン領域は第n番目のビット線に接続され、
 第1番目の選択用トランジスタの他方のソース/ドレイン領域は、絶縁層に設けられた第1層目の接続孔を介して、第1層目のメモリユニットにおける共通の第1の電極に接続され、
 第($k + 1$)番目(但し、 $k = 1, 2, \dots, N - 1$)の選択用トランジスタの他方のソース/ドレイン領域は、絶縁層に設けられた第1層目の接続孔、及び、第1層目の層間絶縁層から第k層目までの層間絶縁層のそれぞれに設けられた第2層目の接続孔から第($k + 1$)層目の接続孔のそれぞれを介して、第($k + 1$)層目のメモリユニットにおける共通の第1の電極に接続されている強誘電体型不揮発性半導体メモリであって、
 絶縁層に形成された第1層目の接続孔の頂面は、第1層目のメモリユニットのメモリセルを構成する第1の電極と同時に形成された第1の導電体層、及び、第1層目のメモリユニットのメモリセルを構成する第2の電極と同時に形成された第2の導電体層の積層構造によって被覆されており、
 第k層目の層間絶縁層に形成された第($k + 1$)層目の接続孔の頂面は、第($k + 1$)層目のメモリユニットのメモリセルを構成する第1の電極と同時に形成された第1の導電体層、及び、第($k + 1$)層目のメモリユニットのメモリセルを構成する第2の電極と同時に形成された第2の導電体層の積層構造によって被覆されていることを特徴とする。

【0031】

上記の第3の目的を達成するための本発明の半導体装置は、
 (a) 選択用トランジスタが形成された半導体基板の上に設けられた絶縁層上に、第1の電極と強誘電体層と第2の電極とから成るメモリセルが、($N - 1$)層の層間絶縁層(但し、 $N - 2$)を介して、N層、積層された構造を有する強誘電体型不揮発性半導体メモリと、
 (b) 強誘電体型不揮発性半導体メモリを駆動するための周辺回路、
 から構成された半導体装置であって、
 周辺回路は、半導体基板に形成されたトランジスタと、絶縁層上及び層間絶縁層上に形成された配線と、トランジスタと配線とを接続する接続孔から構成され、
 接続孔は、該トランジスタのソース/ドレイン領域及び/又はゲート電極の上の絶縁層、及び、絶縁層と層間絶縁層に形成され、
 絶縁層に形成された接続孔の頂面は、第1層目のメモリセルを構成する第1の電極と同時に形成された第1の導電体層、及び、第1層目のメモリセルを構成する第2の電極と同時に形成された第2の導電体層の積層構造によって被覆されており、
 絶縁層上に形成された配線は、少なくとも、第1層目のメモリセルを構成する第2の電極と同時に形成された第2の導電体層から成り、
 第k層目(但し、 $k = 1, 2, \dots, N - 1$)の層間絶縁層に形成された接続孔の頂面は、第($k + 1$)層目のメモリセルを構成する第1の電極と同時に形成された第1の導電体層、及び、第($k + 1$)層目のメモリセルを構成する第2の電極と同時に形成された第2の導電体層の積層構造によって被覆されており、
 第k層目の層間絶縁層上に形成された配線は、少なくとも、第($k + 1$)層目のメモリセルを構成する第2の電極と同時に形成された第2の導電体層から成ることを特徴とする。

【0032】

本発明の半導体装置にあつては、絶縁層上に形成された配線は、第1層目のメモリセルを構成する第1の電極と同時に形成された第1の導電体層、及び、第1層目のメモリセルを構成する第2の電極と同時に形成された第2の導電体層の積層構造から成り、
 第k層目(但し、 $k = 1, 2, \dots, N - 1$)の層間絶縁層上に形成された配線は、第($k + 1$)層目のメモリセルを構成する第1の電極と同時に形成された第1の導電体層、及び、第($k + 1$)層目のメモリセルを構成する第2の電極と同時に形成された第2の導電体層の積層構造から成ることを特徴とする。

10

20

30

40

50

k + 1) 層目のメモリセルを構成する第1の電極と同時に形成された第1の導電体層、及び、第(k + 1)層目のメモリセルを構成する第2の電極と同時に形成された第2の導電体層の積層構造から成る構成とすることもできる。

【0033】

また、本発明の半導体装置における強誘電体型不揮発性半導体メモリの構成を、本発明の第2の態様～第4の態様に係る強誘電体型不揮発性半導体メモリとすることもできる。

【0034】

本発明の強誘電体型不揮発性半導体メモリあるいは半導体装置(以下、これらを総称して、単に、本発明と呼ぶ場合がある)においては、N₂を満足すればよく、実際的なNの値として、例えば、2のべき数(2, 4, 8, ...)を挙げることができる。また、本発明の第2の態様～第4の態様に係る強誘電体型不揮発性半導体メモリにおいては、M₂を満足すればよく、実際的なMの値として、例えば、2のべき数(2, 4, 8, ...)を挙げることができる。

【0035】

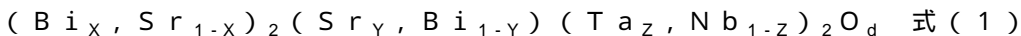
本発明の第2の態様～第4の態様に係る強誘電体型不揮発性半導体メモリにおいては、実用的には、かかる強誘電体型不揮発性半導体メモリを一对とし(便宜上、不揮発性メモリ-A、不揮発性メモリ-Bと呼ぶ)、一对の強誘電体型不揮発性半導体メモリを構成するビット線は、同一のセンスアンプに接続されている構成とすることができる。そして、この場合、不揮発性メモリ-Aを構成する選択用トランジスタと、不揮発性メモリ-Bを構成する選択用トランジスタとは、同一のワード線に接続されていてもよいし、異なるワード線に接続されていてもよい。不揮発性メモリ-A及び不揮発性メモリ-Bの構成及び動方法に依り、不揮発性メモリ-Aと不揮発性メモリ-Bとを構成するそれぞれのメモリセルに1ビットを記憶させることもできるし、不揮発性メモリ-Aを構成するメモリセルの1つと、このメモリセルと同じプレート線に接続された不揮発性メモリ-Bを構成するメモリセルの1つとを対として、これらの対となったメモリセルに相補的なデータを記憶させることもできる。

【0036】

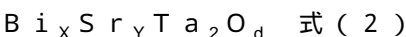
強誘電体型不揮発性半導体メモリにおける強誘電体層を構成する材料として、ピスマス層状化合物、より具体的には、Bi系層状構造ペロブスカイト型の強誘電体材料を挙げることができる。Bi系層状構造ペロブスカイト型の強誘電体材料は、所謂不定比化合物に属し、金属元素、アニオン(O等)元素の両サイトにおける組成ずれに対する寛容性がある。また、化学量論的組成からやや外れたところで最適な電気的特性を示すことも珍しくない。Bi系層状構造ペロブスカイト型の強誘電体材料は、例えば、一般式(Bi₂O₂)²⁺(A_{m-1}B_mO_{3m+1})²⁻で表すことができる。ここで、「A」は、Bi、Pb、Ba、Sr、Ca、Na、K、Cd等の金属から構成された群から選択された1種類の金属を表し、「B」は、Ti、Nb、Ta、W、Mo、Fe、Co、Crから成る群から選択された1種類、若しくは複数種の任意の比率による組み合わせを表す。また、mは1以上の整数である。

【0037】

あるいは又、強誘電体層を構成する材料は、



(但し、0.9 > X > 1.0、0.7 > Y > 1.0、0 < Z < 1.0、8.7 < d < 9.3)で表される結晶相を主たる結晶相として含んでいることが好ましい。あるいは又、強誘電体層を構成する材料は、



(但し、X + Y = 3、0.7 > Y > 1.3、8.7 < d < 9.3)で表される結晶相を主たる結晶相として含んでいることが好ましい。これらの場合、式(1)若しくは式(2)で表される結晶相を主たる結晶相として85%以上含んでいることが一層好ましい。尚、式(1)中、(Bi_x, Sr_{1-x})の意味は、結晶構造における本来Biが占めるサイトをSrが占め、このときのBiとSrの割合がX : (1 - X)であることを意味する。また

10

20

30

40

50

、 (Sr_Y, Bi_{1-Y}) の意味は、結晶構造における本来Srが占めるサイトをBiが占め、このときのSrとBiの割合がY： $(1 - Y)$ であることを意味する。式(1)若しくは式(2)で表される結晶相を主たる結晶相として含む強誘電体層を構成する材料には、Biの酸化物、TaやNbの酸化物、Bi、TaやNbの複合酸化物が若干含まれている場合もあり得る。

【0038】

あるいは又、強誘電体層を構成する材料は、



(但し、 $1.7 < X < 2.5$ 、 $0.6 < Y < 1.2$ 、 $0 < Z < 1.0$ 、 $8.0 < d < 10.0$)で表される結晶相を含んでいてもよい。尚、「 (Sr, Ca, Ba) 」は、Sr、Ca及びBaから構成された群から選択された1種類の元素を意味する。これらの各式で表される強誘電体層を構成する材料の組成を化学量論的組成で表せば、例えば、 $Bi_2SrTa_2O_9$ 、 $Bi_2SrNb_2O_9$ 、 $Bi_2BaTa_2O_9$ 、 $Bi_2Sr(Ta, Nb)_2O_9$ 等を挙げることができる。あるいは又、強誘電体層を構成する材料として、 $Bi_4SrTi_4O_{15}$ 、 Bi_3TiNbO_9 、 Bi_3TiTaO_9 、 $Bi_4Ti_3O_{12}$ 、 $Bi_2PbTa_2O_9$ 等を例示することができるが、これらの場合においても、各金属元素の比率は、結晶構造が変化しない程度に変化させ得る。即ち、金属元素及び酸素元素の両サイトにおける組成ずれがあってもよい。

【0039】

あるいは又、強誘電体層を構成する材料として、 $PbTiO_3$ 、ペロブスカイト型構造を有する $PbZrO_3$ と $PbTiO_3$ の固溶体であるチタン酸ジルコン酸鉛 $[PZT, Pb(Zr_{1-y}, Ti_y)O_3]$ (但し、 $0 < y < 1$)、PZTにLaを添加した金属酸化物であるPLZT、あるいはPZTにNbを添加した金属酸化物であるPNZTといったPZT系化合物を挙げることができる。

【0040】

強誘電体層を得るためには、強誘電体薄膜を形成した後の工程において、強誘電体薄膜をパターンングすればよい。場合によっては、強誘電体薄膜のパターンングは不要である。強誘電体薄膜の形成は、例えば、MOCVD法、パルスレーザアブレーション法、スパッタ法、ゾル-ゲル法といった強誘電体薄膜を構成する材料に適宜適した方法にて行うことができる。また、強誘電体薄膜のパターンングは、例えば異方性イオンエッチング(RIE)法にて行うことができる。

【0041】

本発明の第2の態様～第4の態様に係る強誘電体型不揮発性半導体メモリにおいては、強誘電体層の下に第1の電極を形成し、強誘電体層の上に第2の電極を形成する構成(即ち、第1の電極は下部電極に相当し、第2の電極は上部電極に相当する)とすることもできるし、強誘電体層の上に第1の電極を形成し、強誘電体層の下に第2の電極を形成する構成(即ち、第1の電極は上部電極に相当し、第2の電極は下部電極に相当する)とすることもできる。プレート線は、第2の電極から延在している構成とすることが、配線構造の簡素化といった観点から好ましい。第1の導電体層と第2の導電体層の積層構造にあっては、前者の場合、第1の導電体層が下であり、第2の導電体層が上である。一方、後者の場合、第2の導電体層が下であり、第1の導電体層が上である。第1の電極が共通である構造として、具体的には、ストライプ状の第1の電極を形成し、かかるストライプ状の第1の電極の全面を覆うように強誘電体層を形成する構成を挙げることができる。尚、このような構造においては、第1の電極と強誘電体層と第2の電極の重複領域がメモリセルに相当する。第1の電極が共通である構造として、その他、第1の電極の所定の領域に、それぞれの強誘電体層が形成され、強誘電体層上に第2の電極が形成された構造、あるいは又、配線層の所定の表面領域に、それぞれの第1の電極が形成され、かかるそれぞれの第1の電極上に強誘電体層が形成され、強誘電体層上に第2の電極が形成された構造を挙げることができるが、これらの構成に限定するものではない。

【0042】

10

20

30

40

50

更には、本発明の第2の態様～第4の態様に係る強誘電体型不揮発性半導体メモリにおいて、強誘電体層の下に第1の電極を形成し、強誘電体層の上に第2の電極を形成する場合、メモリセルを構成する第1の電極や第1の導電体層は、所謂ダマシ構造を有しており、強誘電体層の上に第1の電極を形成し、強誘電体層の下に第2の電極を形成する場合、メモリセルを構成する第2の電極は、所謂ダマシ構造を有していることが、強誘電体層を平坦な下地上に形成することができるといった観点から好ましい。

【0043】

本発明において、第1の電極、第1の導電体層、第2の電極及び第2の導電体層を構成する材料として、例えば、Ir、 IrO_{2-x} 、 SrIrO_3 、Ru、 RuO_{2-x} 、 SrRuO_3 、Pt、 Pt/IrO_{2-x} 、 Pt/RuO_{2-x} 、Pd、 Pt/Ti の積層構造、 Pt/Ta の積層構造、 Pt/Ti/Ta の積層構造、 $\text{La}_{0.5}\text{Sr}_{0.5}\text{CoO}_3$ (LSCO)、 Pt/LSCO の積層構造、 $\text{YBa}_2\text{Cu}_3\text{O}_7$ を挙げることができる。ここで、Xの値は、 $0 < X < 2$ である。尚、積層構造においては、「/」の前に記載された材料が上層を構成し、「/」の後ろに記載された材料が下層を構成する。第1の電極と第2の電極、あるいは、第1の導電体層と第2の導電体層は、同じ材料から構成されていてもよいし、同種の材料から構成されていてもよいし、異種の材料から構成されていてもよい。第1の電極、第1の導電体層、あるいは、第2の電極、第2の導電体層を形成するためには、第1の導電材料層あるいは第2の導電材料層を形成した後の工程において、第1の導電材料層あるいは第2の導電材料層をパターニングすればよい。第1の導電材料層あるいは第2の導電材料層の形成は、例えばスパッタ法、反応性スパッタ法、電子ビーム蒸着法、MOCVD法、あるいはパルスレーザアブレーション法といった第1の導電材料層や第2の導電材料層を構成する材料に適宜適した方法にて行うことができる。また、第1の導電材料層や第2の導電材料層のパターニングは、例えばイオンミリング法やRIE法にて行うことができる。

【0044】

選択用トランジスタ(スイッチング用トランジスタ)や各種のトランジスタは、例えば、周知のMIS型FETやMOS型FETから構成することができる。ビット線を構成する材料として、不純物がドーピングされたポリシリコンや高融点金属材料を挙げることができる。接続孔は、例えば、タングステンプラグを埋め込むことによって得ることができる。

【0045】

本発明において、絶縁層や層間絶縁層を構成する材料として、酸化シリコン(SiO_2)、窒化シリコン(SiN)、 SiON 、 SiON 、 SiON 、 SiON 、 SiON 、 SiON 、 SiON 、 SiON あるいはLTOを例示することができる。

【0046】

本発明の強誘電体型不揮発性半導体メモリあるいは半導体装置において、接続孔の頂面は、第1の電極と同時に形成された第1の導電体層、及び、第2の電極と同時に形成された第2の導電体層の積層構造によって被覆されているので、接続孔の頂面に損傷が生じ難い。更には、層間絶縁層のそれぞれに接続孔を形成するので、接続孔のアスペクト比が左程大きくなることはない。本発明の半導体装置にあっては、周辺回路を構成する配線は、少なくとも、第2の電極と同時に形成された第2の導電体層から構成されているので、周辺回路の配線層数を減少させることができる。

【0047】

【発明の実施の形態】

以下、図面を参照して、発明の実施の形態(以下、実施の形態と略称する)に基づき本発明を説明する。

【0048】

(実施の形態1)

実施の形態1は、本発明の第1の態様及び第2の態様に係る強誘電体型不揮発性半導体メモリ(以下、不揮発性メモリと略称する)、並びに、本発明の半導体装置に関する。ピッ

10

20

30

40

50

ト線の延びる方向と平行な仮想垂直面で実施の形態1の半導体装置を切断したときの模式的な一部断面図を図1に示し、ワード線の延びる方向と平行な仮想垂直面(図1の矢印A-A参照)で実施の形態1の半導体装置を切断したときの模式的な一部断面図を図2に示す。更には、本発明の第2の態様に係る不揮発性メモリの概念的な回路図を図3の(A)及び(B)に示し、図3の(A)の概念的な回路図のより具体的な回路図を図4に示し、図3の(B)の概念的な回路図のより具体的な回路図を図5に示す。尚、図4及び図5には、2つの不揮発性メモリ M_1 、 M_2 を図示するが、これらの不揮発性メモリ M_1 、 M_2 の構造は同一であり、以下においては、不揮発性メモリ M_1 に関する説明を行う。

【0049】

実施の形態1の不揮発性メモリは、トランジスタ TR_1 、 $TR_{P1} \sim TR_{P5}$ が形成された半導体基板10の上に設けられた絶縁層16上に、第1の電極21、31と強誘電体層23、33と第2の電極24、34とから成るメモリセル $MC_{111} \sim MC_{114}$ 、 $MC_{121} \sim MC_{124}$ が、(N-1)層の層間絶縁層(但し、N=2であり、実施の形態1においては、N=2)26を介して、N層(具体的には2層)、積層された構造を有する強誘電体型不揮発性半導体メモリである。

【0050】

そして、トランジスタ TR_1 、 $TR_{P1} \sim TR_{P5}$ のソース/ドレイン領域13、113、213及び/又はゲート電極12、112、212の上の絶縁層16と層間絶縁層26には、接続孔17、117、27、127、217、227が形成され、絶縁層16に形成された接続孔17、117、217の頂面は、第1層目のメモリセルを構成する第1の電極21と同時に形成された第1の導電体層22、122、及び、第1層目のメモリセルを構成する第2の電極24と同時に形成された第2の導電体層25、125の積層構造によって被覆されている。

【0051】

更には、第k層目(但し、 $k=1, 2, \dots, N-1$ である、実施の形態1においては、 $k=1$)の層間絶縁層26に形成された接続孔27、127、227の頂面は、第(k+1)層目(実施の形態1においては、第2層目)のメモリセルを構成する第1の電極31と同時に形成された第1の導電体層32、132、及び、第(k+1)層目(実施の形態1においては、第2層目)のメモリセルを構成する第2の電極34と同時に形成された第2の導電体層35、135の積層構造によって被覆されている。尚、第1の導電体層32及び第2の導電体層35の積層構造によって被覆された接続孔27の図示は省略した。以下の実施の形態においても同様である。

【0052】

あるいは又、実施の形態1の不揮発性メモリ M_1 は、
 (A)ビット線 BL_1 と、
 (B)選択用トランジスタ TR_1 と、
 (C)それぞれがM個(但し、 $M=2$ であり、実施の形態1においては、 $M=4$)のメモリセル MC_{1NM} から構成された、N個(但し、 $N=2$ であり、実施の形態1においては、 $N=2$)のメモリユニット MU_{11} 、 MU_{12} と、
 (D) $M \times N$ 本のプレート線 PL 、
 から成る。

【0053】

そして、第1層目のメモリユニット MU_{11} は、絶縁層16を介して選択用トランジスタ TR_1 の上方に形成されており、N個のメモリユニット MU_N は、(N-1)層(実施の形態1においては、1層)の層間絶縁層26を介して積層されている。

【0054】

また、第1層目のメモリユニット MU_{11} を構成する各メモリセル MC_{11M} は、第1の電極21と強誘電体層23と第2の電極24とから成り、第2層目のメモリユニット MU_{12} を構成する各メモリセル MC_{12M} は、第1の電極31と強誘電体層33と第2の電極34とから成る。更には、各メモリユニットにおいて、メモリセルの第1の電極は共通である。

即ち、第1層目のメモリユニット MU_{11} において、メモリセル MC_{11M} の第1の電極21は共通である。この共通の第1の電極21を第1の共通ノード CN_{11} と呼ぶ場合がある。また、第2層目のメモリユニット MU_{12} において、メモリセル MC_{12M} の第1の電極31は共通である。この共通の第1の電極31を第2の共通ノード CN_{12} と呼ぶ場合がある。更には、第 n 層目(但し、 $n = 1, 2, \dots, N$)のメモリユニット MU_{1n} において、第 m 番目(但し、 $m = 1, 2, \dots, M$)のメモリセル MC_{1nm} の第2の電極24, 34は、第 $[(n-1)M+m]$ 番目のプレート線 $PL_{(n-1)M+m}$ に接続されている。尚、このプレート線 $PL_{(n-1)M+m}$ は、不揮発性メモリ M_2 を構成する各メモリセルの第2の電極24, 34にも接続されている。実施の形態1においては、より具体的には、各プレート線は、第2の電極24, 34から延在している。

10

【0055】

そして、選択用トランジスタ TR_1 の一方のソース/ドレイン領域13Aはビット線 BL_1 に接続され、選択用トランジスタ TR_1 の他方のソース/ドレイン領域13Bは、絶縁層16に設けられた第1層目の接続孔17を介して、第1層目のメモリユニット MU_{11} における共通の第1の電極21(第1の共通ノード CN_{11})に接続されている。更には、選択用トランジスタ TR_1 の他方のソース/ドレイン領域13Bは、絶縁層16に設けられた第1層目の接続孔17、及び、第1層目の層間絶縁層から第 k 層目(但し、 $k = 1, 2, \dots, N-1$)までの層間絶縁層のそれぞれに設けられた第2層目の接続孔から第 $(k+1)$ 層目の接続孔のそれぞれ(実施の形態1においては、より具体的には、第1層目の層間絶縁層26に設けられた第2層目の接続孔27)を介して、第 $(k+1)$ 層目のメモリ

20

【0056】

尚、 $N = 4$ とした場合には、選択用トランジスタの他方のソース/ドレイン領域は、
 (1) 絶縁層に設けられた第1層目の接続孔を介して、第1層目のメモリユニットにおける共通の第1の電極に接続され、
 (2) 絶縁層に設けられた第1層目の接続孔、第1層目の接続孔の頂面を被覆する第1の導電体層と第2の導電体層の積層構造、及び、第1層の層間絶縁層に設けられた第2層目の接続孔を介して、第2層目のメモリユニットにおける共通の第1の電極に接続され、
 (3) 絶縁層に設けられた第1層目の接続孔、第1層目の接続孔の頂面を被覆する第1の導電体層と第2の導電体層の積層構造、第1層の層間絶縁層に設けられた第2層目の接続孔、第2層目の接続孔の頂面を被覆する第1の導電体層と第2の導電体層の積層構造、及び、第2層の層間絶縁層に設けられた第3層目の接続孔を介して、第3層目のメモリ

30

【0057】

実施の形態1の不揮発性メモリ M_1 にあつては、絶縁層16に形成された第1層目の接続孔17の頂面は、第1層目のメモリユニット MU_{11} のメモリセル MC_{11M} を構成する第1の電極21と同時に形成された第1の導電体層22、及び、第1層目のメモリユニット MU_{11} のメモリセル MC_{11M} を構成する第2の電極24と同時に形成された第2の導電体層25の積層構造によって被覆されている。一方、第 k 層目(実施の形態1においては、第1層目)の層間絶縁層26に形成された第 $(k+1)$ 層目(実施の形態1においては、第2層目)の接続孔27の頂面は、第 $(k+1)$ 層目(実施の形態1においては、第2層目)のメモリユニット MU_{12} のメモリセル MC_{12M} を構成する第1の電極31と同時に形成

50

された第1の導電体層32、及び、第(k+1)層目のメモリユニット MU_{12} のメモリセル MC_{12m} を構成する第2の電極34と同時に形成された第2の導電体層35の積層構造によって被覆されている。

【0058】

ビット線 BL_n は、センスアンプSAに接続されている。また、プレート線 $PL_{(n-1)M+m}$ はプレート線デコーダ/ドライバPDに接続されている。更には、ワード線WL(あるいはワード線 WL_1, WL_2)は、ワード線デコーダ/ドライバWDに接続されている。ワード線WLは、図1の紙面垂直方向に延びている。また、不揮発性メモリ M_1 を構成するメモリセル MC_{11m} の第2の電極24は、図1の紙面垂直方向に隣接する不揮発性メモリ M_2 を構成するメモリセル MC_{21m} の第2の電極と共通であり、プレート線 $PL_{(n-1)M+m}$ を兼ねている。更には、不揮発性メモリ M_1 を構成するメモリセル MC_{12m} の第2の電極34は、図1の紙面垂直方向に隣接する不揮発性メモリ M_2 を構成するメモリセル MC_{22m} の第2の電極と共通であり、プレート線 $PL_{(n-1)M+m}$ を兼ねている。また、ワード線WLは、不揮発性メモリ M_1 を構成する選択用トランジスタ TR_1 と、図1の紙面垂直方向に隣接する不揮発性メモリ M_2 を構成する選択用トランジスタ TR_2 とで共通である。

10

【0059】

また、実施の形態1の半導体装置は、

(a) 選択用トランジスタ TR_1 が形成された半導体基板10の上に設けられた絶縁層16上に、第1の電極21, 31と強誘電体層23, 33と第2の電極24, 34とから成るメモリセル MC_{11m}, MC_{12m} が、(N-1)層の層間絶縁層(但し、N=2であり、実施の形態1においては、N=2)を介して、N層、積層された構造を有する強誘電体型不揮発性半導体メモリと、

20

(b) 強誘電体型不揮発性半導体メモリを駆動するための周辺回路、から構成されている。

【0060】

そして、周辺回路は、半導体基板10に形成されたトランジスタ $TR_{P1} \sim TR_{P5}$ と、絶縁層16上及び層間絶縁層26上に形成された配線129, 139(図2参照)と、トランジスタ $TR_{P1} \sim TR_{P5}$ と配線129, 139とを接続する接続孔117, 127, 217, 227から構成されている。更には、接続孔117, 127, 217, 227は、トランジスタ $TR_{P1} \sim TR_{P5}$ のソース/ドレイン領域113, 213及び/又はゲート電極112, 212(ワード線として機能するゲート電極の延在部を含む)の上の絶縁層16、若しくは、絶縁層16と層間絶縁層26に形成されている。尚、図1には、周辺回路を構成する配線の図示を省略したが、この周辺回路にも、配線が形成されている。センスアンプSAは、ゲート電極112及びソース/ドレイン領域113から成るトランジスタ TR_{P1}, TR_{P2} 等から構成されている。また、ワード線デコーダ/ドライバWDやプレート線デコーダ/ドライバPDは、ゲート電極212及びソース/ドレイン領域213から成るトランジスタ $TR_{P3}, TR_{P4}, TR_{P5}$ 等から構成されている。

30

【0061】

また、絶縁層16に形成された接続孔117, 217の頂面は、第1層目のメモリセル MC_{11m} を構成する第1の電極21と同時に形成された第1の導電体層122、及び、第1層目のメモリセル MC_{11m} を構成する第2の電極24と同時に形成された第2の導電体層125の積層構造によって被覆されている。更には、絶縁層16上に形成された配線129は、第1層目のメモリセル MC_{11m} を構成する第2の電極24と同時に形成された第2の導電体層125から成る。

40

【0062】

一方、第k層目(但し、 $k=1, 2, \dots, N-1$ であり、実施の形態1においては、 $k=1$)の層間絶縁層26に形成された接続孔127, 227の頂面は、第(k+1)層目(実施の形態1においては第2層目)のメモリセル MC_{12m} を構成する第1の電極31と同時に形成された第1の導電体層132、及び、第(k+1)層目のメモリセル MC_{12m} を構成する第2の電極34と同時に形成された第2の導電体層135の積層構造によって

50

被覆されている。更には、第 k 層目の層間絶縁層 26 上に形成された配線 139 は、第 $(k+1)$ 層目のメモリセル MC_{12m} を構成する第 2 の電極 34 と同時に形成された第 2 の導電体層 135 から成る。尚、図 2 において、配線 139 の一部を点線で表しているが、これは、絶縁膜 36A に設けられた接続孔 237A との接触を避けるように配線 139 を形成したことを意味する。

【0063】

尚、図 1 及び図 2 中、参照番号 46A は絶縁膜であり、参照番号 150, 250 はメタル配線であり、参照番号 137A, 237A は周辺回路において、絶縁膜 36A に設けられた接続孔（コンタクトホール）である。

【0064】

図 3 の (A) 及び図 4 に回路図を示す不揮発性メモリ M_1, M_2 において、不揮発性メモリ M_1, M_2 を構成する選択用トランジスタ TR_1, TR_2 は同じワード線 WL に接続されている。そして、対となったメモリセル MC_{1nm}, MC_{2nm} ($n = 1, 2$ 、及び、 $m = 1, 2 \dots M$) に相補的なデータが記憶される。例えば、メモリセル MC_{1nm}, MC_{2nm} (ここで、 m は 1, 2, 3, 4 のいずれか) に記憶されたデータを読み出す場合、ワード線 WL を選択し、プレート線 PL_j ($m = j$) には $(1/2)V_{cc}$ の電圧を印加した状態で、プレート線 $PL_{(n-1)M+m}$ を駆動する。ここで、 V_{cc} は、例えば、電源電圧である。これによって、相補的なデータが、対となったメモリセル MC_{1nm}, MC_{2nm} から選択用トランジスタ TR_1, TR_2 を介して対となったビット線 BL_1, BL_2 に電圧（ビット線電位）として現れる。そして、かかる対となったビット線 BL_1, BL_2 の電圧（ビット線電位）を、センスアンプ SA で検出する。尚、不揮発性メモリ M_1, M_2 を構成する選択用トランジスタ TR_1, TR_2 を、それぞれ、異なるワード線 WL_1, WL_2 に接続し、メモリセル MC_{1nm}, MC_{2nm} を独立して制御し、対となったビット線 BL_1, BL_2 の一方に参照電圧を印加することによって、メモリセル MC_{1nm}, MC_{2nm} のそれぞれからデータを読み出すこともできる。このような構成を採用する場合の回路図は、図 3 の (B) 及び図 5 を参照のこと。尚、選択用トランジスタ TR_1, TR_2 を同時に駆動すれば、図 3 の (A) 及び図 4 に示した回路と等価となる。このように、各メモリセル MC_{1nm}, MC_{2nm} ($n = 1, 2$ であり、 $m = 1, 2, 3, 4$) のそれぞれに 1 ビットがデータとして記憶され（図 3 の (B) 及び図 5 参照）、あるいは又、対となったメモリセル MC_{1nm}, MC_{2nm} に相補的なデータが 1 ビットとして記憶される（図 3 の (A) 及び図 4 参照）。実際の不揮発性メモリにおいては、この 16 ビットあるいは 8 ビットを記憶するメモリユニットの集合がアクセス単位ユニットとしてアレイ状に配設されている。尚、 M の値は 4 に限定されない。 M の値は、 $M-2$ を満足すればよく、実際的な M の値として、例えば、2 のべき数 (2, 4, 8, 16, ...) を挙げることができる。また、 N の値は、 $N-2$ を満足すればよく、実際的な N の値として、例えば、2 のべき数 (2, 4, 8, ...) を挙げることができる。

【0065】

以下、ビット線の延びる方向と平行な仮想垂直面で半導体基板等を切断したときの模式的な一部断面図である図 6 ~ 図 8 を参照して、実施例 1 の不揮発性メモリ及び半導体装置の製造方法の概要を説明する。尚、他の実施の形態における不揮発性メモリも実質的に同様の工程にて製造することができる。

【0066】

[工程 - 100]

先ず、不揮発性メモリにおける選択用トランジスタや周辺回路を構成するトランジスタとして機能する MOS 型トランジスタを半導体基板 10 に形成する。そのために、例えば LOCOS 構造を有する素子分離領域 11 を公知の方法に基づき形成する。尚、素子分離領域は、トレンチ構造を有していてもよいし、LOCOS 構造とトレンチ構造の組合せとしてもよい。その後、半導体基板 10 の表面を例えばパイロジェニック法により酸化し、ゲート絶縁膜を形成する。次いで、不純物がドーピングされたポリシリコン層を CVD 法にて全面に形成した後、ポリシリコン層をパターンングし、ゲート電極 12, 112, 212 を形成する。このゲート電極 12, 112, 212 はワード線を兼ねている。尚、ゲー

10

20

30

40

50

ト電極 12, 112, 212 をポリシリコン層から構成する代わりに、ポリサイドや金属シリサイドから構成することもできる。次に、半導体基板 10 にイオン注入を行い、LDD 構造を形成する。その後、全面に CVD 法にて SiO_2 層を形成した後、この SiO_2 層をエッチバックすることによって、ゲート電極 12 の側面にゲートサイドウォール（図示せず）を形成する。次いで、半導体基板 10 にイオン注入を施した後、イオン注入された不純物の活性化アニール処理を行うことによって、ソース/ドレイン領域 13A, 13B, 113, 213 を形成する。

【0067】

[工程 - 110]

次いで、 SiO_2 から成る下層絶縁層を CVD 法にて形成した後、一方のソース/ドレイン領域 13A の上方の下層絶縁層に開口部を RIE 法にて形成する。そして、かかる開口部内を含む下層絶縁層上に不純物がドーピングされたポリシリコン層を CVD 法にて形成する。これによって、コンタクトホールが形成される。次に、下層絶縁層上のポリシリコン層をパターニングすることによって、ビット線 BL_1 を形成する。その後、BPSG から成る上層絶縁層を CVD 法にて全面に形成する。尚、BPSG から成る上層絶縁層の形成後、窒素ガス雰囲気中で例えば $900^\circ\text{C} \times 20$ 分間、上層絶縁層をリフローさせることが好ましい。更には、必要に応じて、例えば化学的機械的研磨法（CMP 法）にて上層絶縁層の頂面を化学的及び機械的に研磨し、上層絶縁層を平坦化することが望ましい。尚、下層絶縁層と上層絶縁層を纏めて、絶縁層 16 と呼ぶ。

【0068】

[工程 - 120]

次に、他方のソース/ドレイン領域 13B 及びソース/ドレイン領域 113, 213 の上方の絶縁層 16 に開口部を RIE 法にて形成した後、かかる開口部内を、不純物をドーピングしたポリシリコンで埋め込み、接続孔（コンタクトホール）17, 117, 217 を完成させる（図 6 の（A）参照）。ビット線 BL は、下層絶縁層上を、図の左右方向に接続孔 17 と接触しないように延びている。尚、図には、接続孔 217 は図示されていない。

【0069】

尚、接続孔 17, 117, 217 は、絶縁層 16 に形成された開口部内に、例えば、タングステン、Ti、Pt、Pd、Cu、TiW、TiNW、 WSi_2 、 MoSi_2 等の高融点金属や金属シリサイドから成る金属配線材料を埋め込むことによって形成することもできる。接続孔 17, 117, 217 の頂面は絶縁層 16 の表面と略同じ平面に存在していることが好ましい。タングステンにて開口部を埋め込み、接続孔 17, 117, 217 を形成する条件を、以下の表 1 に例示する。尚、タングステンにて開口部を埋め込む前に、Ti 層及び TiN 層を順に例えばマグネトロンスパッタ法にて開口部内を含む絶縁層 16 の上に形成することが好ましい。ここで、Ti 層及び TiN 層を形成する理由は、オーミックな低コンタクト抵抗を得ること、ブランケットタングステン CVD 法における半導体基板 10 の損傷発生の防止、タングステンの密着性向上のためである。

【0070】

10

20

30

[表1]

Ti層 (厚さ: 20 nm) のスパッタ条件

プロセスガス: Ar = 35 sccm

圧力 : 0.52 Pa

RFパワー : 2 kW

基板の加熱 : 無し

TiN層 (厚さ: 100 nm) のスパッタ条件

プロセスガス: N₂/Ar = 100/35 sccm

圧力 : 1.0 Pa

RFパワー : 6 kW

基板の加熱 : 無し

タングステンのCVD形成条件

使用ガス: WF₆/H₂/Ar = 40/400/2250 sccm

圧力 : 10.7 kPa

形成温度: 450°C

タングステン層及びTiN層、Ti層のエッチング条件

第1段階のエッチング: タングステン層のエッチング

使用ガス : SF₆/Ar/He = 110 : 90 : 5 sccm

圧力 : 46 Pa

RFパワー: 275 W

第2段階のエッチング: TiN層/Ti層のエッチング

使用ガス : Ar/Cl₂ = 75/5 sccm

圧力 : 6.5 Pa

RFパワー: 250 W

【0071】

[工程 - 130]

次に、絶縁層16上に、窒化チタン (TiN) から成る密着層 (図示せず) を形成することが望ましい。そして、密着層上にIrO₂/Irから成る第1の電極 (下部電極) 21を構成する第1の導電材料層を、例えばスパッタ法にて形成し、第1の導電材料層及び密着層をフォトリソグラフィ技術及びドライエッチング技術に基づきパターンニングすることによって、ストライプ状の第1の電極21を得ることができる。併せて、絶縁層16に形成された接続孔17, 117, 217の頂面は、第1の電極21と同時に形成された第1の導電体層22 (実施の形態1においては、更に、密着層) で被覆される (図6の(B)参照)。その後、全面に、CVD法にてSiO₂膜あるいはSiO₂/TiO₂膜 (図示せず) を形成し、CMP法にてこの膜を平坦化して、第1の電極21の間がこの膜によって埋め込まれた状態 (所謂ダマシ構造) を得ることができる。CMP法においては、アルミナを含むスラリーを研磨剤として用いればよい。

【0072】

尚、絶縁層16上に例えばSiN膜を形成し、次いで、第1の電極や第1の導電体層を形

10

20

30

40

50

成すべき部分のSiN膜を選択的に除去した後、SiN膜及び露出した絶縁層16上に密着層、第1の導電材料層を形成し、その後、CMP法にてSiN膜上の第1の導電材料層及び密着層を除去することによって、所謂ダマシ構造を有する第1の電極、第1の導電体層を形成することもできる。

【0073】

[工程-140]

その後、例えば、MOCVD法によって、Bi系層状構造ペロブスカイト型の強誘電体材料(具体的には、例えば、結晶化温度750°Cの $\text{Bi}_2\text{SrTa}_2\text{O}_9$)から成る強誘電体薄膜を全面に形成する。その後、250°Cの空气中で乾燥処理を行った後、750°Cの酸素ガス雰囲気中で1時間の熱処理を施し、結晶化を促進させる。その後、強誘電体薄膜をパターンングして、強誘電体層23を形成する。

10

【0074】

[工程-150]

次に、 IrO_{2-x} 層、Pt層を、スパッタ法にて、順次、全面に形成した後、フォトリソグラフィ技術、ドライエッチング技術に基づき、Pt層、 IrO_{2-x} 層を順次、パターンングして、強誘電体層23上に第2の電極24を形成し、第2の電極24から延びるプレート線PLを形成し、更に、第1の導電体層22、122上に第2の導電体層25、125を形成し、加えて、配線129を形成する(図7の(A)参照)。尚、図7の(A)には、配線129は図示されていない。エッチングによって、強誘電体層23にダメージが加わる場合には、ダメージ回復に必要とされる温度にて、その後、ダメージ回復アニール処理を行えばよい。

20

【0075】

[工程-160]

その後、

- ・層間絶縁層26の形成及び平坦化処理
- ・開口部の形成及び接続孔27、127、227の形成(図7の(B)参照)
- ・例えば、ダマシ構造を有する第1の電極31、第1の導電体層32、132の形成(図8の(A)参照)
- ・結晶化温度700°Cの $\text{Bi}_2\text{Sr}(\text{Ta}_{1.5}\text{Nb}_{0.5})\text{O}_9$ から成る強誘電体層33の形成
- ・第2の電極34、第2の導電体層35、135、配線139の形成(図8の(B)参照)
- ・絶縁膜36Aの形成
- ・コンタクトホール137A、237Aの形成
- ・例えばアルミニウム合金から成る金属配線層150、250の形成
- ・絶縁膜46Aの形成

30

を、順次、行う。尚、各図においては、上記の参照番号で表した構成要素が図示されていない場合がある。 $\text{Bi}_2\text{Sr}(\text{Ta}_{1.5}\text{Nb}_{0.5})\text{O}_9$ から成る強誘電体層33に対して、結晶化促進のための熱処理を、700°Cの酸素ガス雰囲気中で1時間、行えばよい。

【0076】

尚、上方に位置するメモリユニットを構成する強誘電体層の結晶化温度を、下方に位置するメモリユニットを構成する強誘電体層の結晶化温度よりも低くすれば、積層されたメモリユニットの段数だけ結晶化熱処理を行っても、下方に位置するメモリユニットを構成するメモリセルの特性劣化といった問題は生じない。また、各段におけるメモリユニットを構成するメモリセルに対して、最適な条件での結晶化熱処理を行うことができ、特性の優れた不揮発性メモリを得ることができる。以下の表2に結晶化温度を例示する。

40

【0077】

[表2]

材料名	結晶化温度
$\text{Bi}_2\text{SrTa}_2\text{O}_9$	700~800°C

50

$\text{Bi}_2\text{Sr}(\text{Ta}_{1.5}, \text{Nb}_{0.5})\text{O}_9$	650 ~ 750 ° C
$\text{Bi}_4\text{Ti}_3\text{O}_{12}$	600 ~ 700 ° C
$\text{Pb}(\text{Zr}_{0.48}, \text{Ti}_{0.52})\text{O}_3$	550 ~ 650 ° C
PbTiO_3	500 ~ 600 ° C

【0078】

例えば、 $\text{Bi}_2\text{SrTa}_2\text{O}_9$ から成る強誘電体薄膜の形成条件を以下の表3に例示する。尚、表3中、「thd」は、テトラメチルヘプタンジオネートの略である。また、表3に示したソース原料はテトラヒドロフラン（THF）を主成分とする溶媒中に溶解されている。

【0079】

10

[表3]

MOCVD法による形成

ソース材料 : $\text{Sr}(\text{thd})_2$ -tetraglyme
 $\text{Bi}(\text{C}_6\text{H}_5)_3$
 $\text{Ta}(\text{O}-\text{iC}_3\text{H}_7)_4(\text{thd})$

形成温度 : 400 ~ 700 ° C

プロセスガス : $\text{Ar}/\text{O}_2 = 1000/1000 \text{ cm}^3$

20

形成速度 : 5 ~ 20 nm/分

【0080】

あるいは又、 $\text{Bi}_2\text{SrTa}_2\text{O}_9$ から成る強誘電体薄膜をパルスレーザーアブレーション法、ゾル-ゲル法、あるいはRFスパッタ法にて全面に形成することもできる。これらの場合の形成条件を以下に例示する。尚、ゾル-ゲル法によって厚い強誘電体薄膜を形成する場合、所望の回数、スピコート及び乾燥、あるいはスピコート及び焼成（又は、アニール処理）を繰り返せばよい。

【0081】

[表4]

30

パルスレーザーアブレーション法による形成

ターゲット : $\text{Bi}_2\text{SrTa}_2\text{O}_9$

使用レーザー : KrFエキシマレーザー（波長 248 nm、パルス幅 25 n秒、5 Hz）

形成温度 : 400 ~ 800 ° C

酸素濃度 : 3 Pa

【0082】

[表5]

ゾル-ゲル法による形成

原料：Bi(CH₃(CH₂)₃CH(C₂H₅)COO)₃

[ビスマス・2エチルヘキサン酸, Bi(OOC)₃]

Sr(CH₃(CH₂)₃CH(C₂H₅)COO)₂

[ストロンチウム・2エチルヘキサン酸, Sr(OOC)₂]

Ta(OEt)₅ [タンタル・エトキシド]

10

スピコート条件：3000rpm×20秒

乾燥：250°C×7分

焼成：700~800°C×1時間(必要に応じてRTA処理を加える)

【0083】

[表6]

RFスパッタ法による形成

ターゲット：Bi₂SrTa₂O₉セラミックターゲット

RFパワー：1.2W~2.0W/ターゲット1cm²

20

雰囲気圧力：0.2~1.3Pa

形成温度：室温~600°C

プロセスガス：Ar/O₂の流量比=2/1~9/1

【0084】

強誘電体層を、PZTあるいはPLZTから構成するときの、マグネトロンスパッタ法によるPZTあるいはPLZTの形成条件を以下の表7に例示する。あるいは又、PZTやPLZTを、反応性スパッタ法、電子ビーム蒸着法、ゾル-ゲル法、又はMOCVD法にて形成することもできる。

【0085】

[表7]

30

ターゲット：PZTあるいはPLZT

プロセスガス：Ar/O₂=90体積%/10体積%

圧力：4Pa

パワー：50W

形成温度：500°C

【0086】

更には、PZTやPLZTをパルスレーザアブレーション法にて形成することもできる。この場合の形成条件を以下の表8に例示する。

【0087】

[表8]

40

ターゲット：PZT又はPLZT

使用レーザ：KrFエキシマレーザ(波長248nm、パルス幅25ns、3Hz)

出力エネルギー：400mJ(1.1J/cm²)

形成温度：550~600°C

酸素濃度：40~120Pa

【0088】

尚、絶縁層16上に形成された配線を、第1層目のメモリセルMC_{11m}を構成する第1の電極21と同時に形成された第1の導電体層、及び、第1層目のメモリセルMC_{11m}を構成する第2の電極と同時に形成された第2の導電体層の積層構造から構成し、第k層目(但し、k=1, 2, ..., N-1であり、実施の形態1においては、k=1)の層間絶縁

50

層 2 6 上に形成された配線を、第 (k + 1) 層目のメモリセル MC_{12m} を構成する第 1 の電極 3 1 と同時に形成された第 1 の導電体層、及び、第 (k + 1) 層目のメモリセル MC_{12m} を構成する第 2 の電極 3 4 と同時に形成された第 2 の導電体層の積層構造から構成することもできる。

【 0 0 8 9 】

(実施の形態 2)

実施の形態 2 は、本発明の第 1 の態様及び第 3 の態様に係る不揮発性メモリ、並びに、本発明の半導体装置に関する。ビット線の延びる方向と平行な仮想垂直面で実施の形態 2 の半導体装置を切断したときの模式的な一部断面図を図 9 に示す。尚、ワード線の延びる方向と平行な仮想垂直面で実施の形態 2 の半導体装置を切断したときの模式的な一部断面図は、実質的に図 2 に示したと同様の構成を有する。更には、本発明の第 2 の態様に係る不揮発性メモリの概念的な回路図を図 1 0 の (A) 及び (B) に示し、図 1 0 の (A) の概念的な回路図のより具体的な回路図を図 1 1 に示し、図 1 0 の (B) の概念的な回路図のより具体的な回路図を図 1 2 に示す。尚、図 1 1 及び図 1 2 には、2 つの不揮発性メモリ M_1 , M_2 を図示するが、これらの不揮発性メモリ M_1 , M_2 の構造は同一であり、以下においては、不揮発性メモリ M_1 に関しての説明を行う。また、周辺回路は、実質的に実施の形態 1 の半導体装置における周辺回路と同じ構成とすることができるので、詳細な説明は省略する。

【 0 0 9 0 】

実施の形態 2 の不揮発性メモリ M_1 は、

(A) ビット線 BL_1 と、

(B) N 個 (但し、N = 2 であり、実施の形態 2 においては、N = 2) の選択用トランジスタ TR_{11} , TR_{12} と、

(C) それぞれが M 個 (但し、M = 2 であり、実施の形態 2 においては、M = 4) のメモリセル MC_{11M} , MC_{12M} から構成された、N 個のメモリユニット MU_{11} , MU_{12} と、

(D) M 本のプレート線 PL_M から成る。

【 0 0 9 1 】

そして、第 1 層目のメモリユニット MU_{11} は、絶縁層 1 6 を介して選択用トランジスタ TR_{11} , TR_{21} の上方に形成されており、N 個のメモリユニット MU_{11} , MU_{12} は、(N - 1) 層 (実施の形態 2 においては 1 層) の層間絶縁層 2 6 を介して積層されている。

【 0 0 9 2 】

また、第 1 層目のメモリユニット MU_{11} を構成する各メモリセル MC_{11M} は、第 1 の電極 2 1 と強誘電体層 2 3 と第 2 の電極 2 4 とから成り、第 2 層目のメモリユニット MU_{12} を構成する各メモリセル MC_{12M} は、第 1 の電極 3 1 と強誘電体層 3 3 と第 2 の電極 3 4 とから成る。更には、各メモリユニットにおいて、メモリセルの第 1 の電極は共通である。即ち、第 1 層目のメモリユニット MU_{11} において、メモリセル MC_{11M} の第 1 の電極 2 1 は共通である。この共通の第 1 の電極 2 1 を第 1 の共通ノード CN_{11} と呼ぶ場合がある。また、第 2 層目のメモリユニット MU_{12} において、メモリセル MC_{12M} の第 1 の電極 3 1 は共通である。この共通の第 1 の電極 3 1 を第 2 の共通ノード CN_{12} と呼ぶ場合がある。更には、第 n 層目 (但し、n = 1 , 2 , … , N) のメモリユニット MU_{1n} において、第 m 番目 (但し、m = 1 , 2 , … , M) のメモリセルの第 2 の電極 2 4 , 3 4 は、メモリユニット MU_{1n} 間で共通とされた第 m 番目のプレート線 PL_m に接続されている。実施の形態 2 においては、より具体的には、各プレート線は、第 2 の電極 2 4 , 3 4 から延在している。

【 0 0 9 3 】

そして、各選択用トランジスタ TR_{11} , TR_{12} の一方のソース/ドレイン領域 1 3 A はビット線 BL_1 に接続され、第 1 番目の選択用トランジスタ TR_{11} の他方のソース/ドレイン領域 1 3 B は、絶縁層 1 6 に設けられた第 1 層目の接続孔 1 7 を介して、第 1 層目のメモリユニット MU_{11} における共通の第 1 の電極 2 1 (第 1 の共通ノード CN_{11}) に接続さ

10

20

30

40

50

れている。また、第 $(k+1)$ 番目(但し、 $k=1, 2, \dots, N-1$ であり、実施の形態2においては、 $k=1$)の選択用トランジスタ TR_{12} の他方のソース/ドレイン領域13Bは、絶縁層16に設けられた第1層目の接続孔17、及び、第1層目の層間絶縁層から第 k 層目(但し、 $k=1, 2, \dots, N-1$)までの層間絶縁層のそれぞれに設けられた第2層目の接続孔から第 $(k+1)$ 層目の接続孔のそれぞれ(実施の形態2においては、より具体的には、第1層目の層間絶縁層26に設けられた第2層目の接続孔27)を介して、第 $(k+1)$ 層目のメモリユニット MU_{12} における共通の第1の電極31(第2の共通ノード CN_{12})に接続されている。

【0094】

実施の形態2の不揮発性メモリ M_1 にあっても、絶縁層16に形成された第1層目の接続孔17の頂面は、第1層目のメモリユニット MU_{11} のメモリセル MC_{11m} を構成する第1の電極21と同時に形成された第1の導電体層22、及び、第1層目のメモリユニット MU_{11} のメモリセル MC_{11m} を構成する第2の電極24と同時に形成された第2の導電体層25の積層構造によって被覆されている。一方、第 k 層目(実施の形態2においては、第1層目)の層間絶縁層26に形成された第 $(k+1)$ 層目(実施の形態2においては、第2層目)の接続孔27の頂面は、第 $(k+1)$ 層目(実施の形態2においては、第2層目)のメモリユニット MU_{12} のメモリセル MC_{12m} を構成する第1の電極31と同時に形成された第1の導電体層32、及び、第 $(k+1)$ 層目のメモリユニット MU_{12} のメモリセル MC_{12m} を構成する第2の電極34と同時に形成された第2の導電体層35の積層構造によって被覆されている。

【0095】

ビット線 BL_n は、センスアンプSAに接続されている。また、プレート線 PL_m はプレート線デコーダ/ドライバPDに接続されている。更には、ワード線 WL_1, WL_2 (あるいはワード線 $WL_{11}, WL_{12}, WL_{21}, WL_{22}$)は、ワード線デコーダ/ドライバWDに接続されている。ワード線は、図9の紙面垂直方向に延びている。また、不揮発性メモリ M_1 を構成するメモリセル MC_{11m} の第2の電極24は、図9の紙面垂直方向に隣接する不揮発性メモリ M_2 を構成するメモリセル MC_{21m} の第2の電極と共通であり、プレート線 PL_m を兼ねている。更には、不揮発性メモリ M_1 を構成するメモリセル MC_{12m} の第2の電極34は、図9の紙面垂直方向に隣接する不揮発性メモリ M_2 を構成するメモリセル MC_{22m} の第2の電極と共通であり、プレート線 PL_m を兼ねている。これらのプレート線 PL_m は、図示しない領域において接続されている。また、ワード線 WL_1 は、不揮発性メモリ M_1 を構成する選択用トランジスタ TR_{11} と、図9の紙面垂直方向に隣接する不揮発性メモリ M_2 を構成する選択用トランジスタ TR_{21} とで共通である。更には、ワード線 WL_2 は、不揮発性メモリ M_1 を構成する選択用トランジスタ TR_{12} と、図9の紙面垂直方向に隣接する不揮発性メモリ M_2 を構成する選択用トランジスタ TR_{22} とで共通である。

【0096】

尚、 $N=4$ とした場合には、第1番目の選択用トランジスタの他方のソース/ドレイン領域は、絶縁層に設けられた第1層目の接続孔を介して、第1層目のメモリユニットにおける共通の第1の電極に接続されている。また、第2番目の選択用トランジスタの他方のソース/ドレイン領域は、絶縁層に設けられた第1層目の接続孔、第1層目の接続孔の頂面を被覆する第1の導電体層と第2の導電体層の積層構造、及び、第1層の層間絶縁層に設けられた第2層目の接続孔を介して、第2層目のメモリユニットにおける共通の第1の電極に接続されている。更には、第3番目の選択用トランジスタの他方のソース/ドレイン領域は、絶縁層に設けられた第1層目の接続孔、第1層目の接続孔の頂面を被覆する第1の導電体層と第2の導電体層の積層構造、第1層の層間絶縁層に設けられた第2層目の接続孔、第2層目の接続孔の頂面を被覆する第1の導電体層と第2の導電体層の積層構造、及び、第2層の層間絶縁層に設けられた第3層目の接続孔を介して、第3層目のメモリユニットにおける共通の第1の電極に接続されている。また、第4番目の選択用トランジスタの他方のソース/ドレイン領域は、絶縁層に設けられた第1層目の接続孔、第1層目の接続孔の頂面を被覆する第1の導電体層と第2の導電体層の積層構造、第1層の層間絶縁

10

20

30

40

50

層に設けられた第2層目の接続孔、第2層目の接続孔の頂面を被覆する第1の導電体層と第2の導電体層の積層構造、第2層の層間絶縁層に設けられた第3層目の接続孔、第3層目の接続孔の頂面を被覆する第1の導電体層と第2の導電体層の積層構造、及び、第3層の層間絶縁層に設けられた第4層目の接続孔を介して、第4層目のメモリユニットにおける共通の第1の電極に接続されている。尚、後述する実施の形態3における不揮発性メモリにおいて、 $N = 4$ と下場合も、同様の構造を有する。

【0097】

図10の(A)及び図11に回路図を示す不揮発性メモリ M_1 、 M_2 において、不揮発性メモリ M_1 、 M_2 を構成する選択用トランジスタ TR_{1n} 、 TR_{2n} は同じワード線 WL_n に接続されている。そして、対となったメモリセル MC_{1nm} 、 MC_{2nm} ($n = 1, 2$ 、及び、 $m = 1, 2 \dots M$)に相補的なデータが記憶される。例えば、メモリセル MC_{11m} 、 MC_{21m} (ここで、 m は1, 2, 3, 4のいずれか)に記憶されたデータを読み出す場合、ワード線 WL_1 を選択し、プレート線 PL_j ($m = j$)には $(1/2)V_{cc}$ の電圧を印加した状態で、プレート線 PL_m を駆動する。ここで、 V_{cc} は、例えば、電源電圧である。これによって、相補的なデータが、対となったメモリセル MC_{11m} 、 MC_{21m} から選択用トランジスタ TR_{11} 、 TR_{21} を介して対となったビット線 BL_1 、 BL_2 に電圧(ビット線電位)として現れる。そして、かかる対となったビット線 BL_1 、 BL_2 の電圧(ビット線電位)を、センスアンプSAで検出する。尚、不揮発性メモリ M_1 、 M_2 を構成する選択用トランジスタ TR_{11} 、 TR_{12} 、 TR_{21} 、 TR_{22} を、それぞれ、異なるワード線 WL_{11} 、 WL_{12} 、 WL_{21} 、 WL_{22} に接続し、メモリセル MC_{1nm} 、 MC_{2nm} を独立して制御し、対となったビット線 BL_1 、 BL_2 の一方に参照電圧を印加することによって、メモリセル MC_{1nm} 、 MC_{2nm} のそれぞれからデータを読み出すこともできる。このような構成を採用する場合の回路図は、図10の(B)及び図12を参照のこと。尚、選択用トランジスタ TR_{11} 、 TR_{21} を同時に駆動し、選択用トランジスタ TR_{12} 、 TR_{22} を同時に駆動すれば、図10の(A)及び図11に示した回路と等価となる。このように、各メモリセル MC_{1nm} 、 MC_{2nm} ($m = 1, 2, 3, 4$)のそれぞれに1ビットがデータとして記憶され(図10の(B)及び図12参照)、あるいは又、対となったメモリセル MC_{1nm} 、 MC_{2nm} に相補的なデータが1ビットとして記憶される(図10の(A)及び図11参照)。実際の不揮発性メモリにおいては、この16ビットあるいは8ビットを記憶するメモリユニットの集合がアクセス単位ユニットとしてアレイ状に配設されている。尚、 M の値は4に限定されない。 M の値は、 $M - 2$ を満足すればよく、実際的な M の値として、例えば、2のべき数(2, 4, 8, 16...)を挙げることができる。また、 N の値は、 $N - 2$ を満足すればよく、実際的な N の値として、例えば、2のべき数(2, 4, 8...)を挙げることができる。

【0098】

実施の形態2の不揮発性メモリ及び半導体装置は、実質的に、実施の形態1の不揮発性メモリ及び半導体装置の製造方法と同様の方法で作製することができるので、詳細な説明は省略する。

【0099】

(実施の形態3)

実施の形態3は、本発明の第1の態様及び第4の態様に係る不揮発性メモリ、並びに、本発明の半導体装置に関する。ビット線の延びる方向と平行な仮想垂直面で実施の形態3の半導体装置を切断したときの模式的な一部断面図を図13に示す。尚、ワード線の延びる方向と平行な仮想垂直面で実施の形態3の半導体装置を切断したときの模式的な一部断面図は、実質的に図2に示したと同様の構成を有する。更には、本発明の第3の態様に係る不揮発性メモリの概念的な回路図を図14の(A)及び(B)に示し、具体的な回路図を図15に示す。尚、図14の(A)及び(B)には、2つの不揮発性メモリ M_1 、 M_2 を図示するが、これらの不揮発性メモリ M_1 、 M_2 の構造は同一であり、以下においては、不揮発性メモリ M_1 に関しての説明を行う。また、周辺回路は、実質的に実施の形態1の半導体装置における周辺回路と同じ構成とすることができるので、詳細な説明は省略する。

【0100】

10

20

30

40

50

実施の形態 3 の不揮発性メモリ M_1 は、

(A) N 本 (但し、 $N = 2$ であり、実施の形態 3 においては、 $N = 2$) ビット線 BL_{11} 、 BL_{12} と、

(B) N 個の選択用トランジスタ TR_{11} 、 TR_{12} と、

(C) それぞれが M 個 (但し、 $M = 2$ であり、実施の形態 3 においては、 $M = 4$) のメモリセル MC_{11M} 、 MC_{12M} から構成された、 N 個のメモリユニット MU_{11} 、 MU_{12} と、

(D) M 本のプレート線 PL_M 、

から成る。

【0101】

尚、図 14、図 15 中、ビット線 BL_{11} と、選択用トランジスタ TR_{11} と、メモリセル MC_{11M} から構成されたメモリユニット MU_{11} を、サブユニット SU_{11} で表し、ビット線 BL_{12} と、選択用トランジスタ TR_{12} と、メモリセル MC_{12M} から構成されたメモリユニット MU_{12} を、サブユニット SU_{12} で表す。

【0102】

そして、第 1 層目のメモリユニット MU_{11} は、絶縁層 16 を介して選択用トランジスタ TR_{11} 、 TR_{12} の上方に形成されており、 N 個のメモリユニット MU_{11} 、 MU_{12} は、($N - 1$) 層 (実施の形態 3 においては 1 層) の層間絶縁層 26 を介して積層されている。

【0103】

また、第 1 層目のメモリユニット MU_{11} を構成する各メモリセル MC_{11M} は、第 1 の電極 21 と強誘電体層 23 と第 2 の電極 24 とから成り、第 2 層目のメモリユニット MU_{12} を構成する各メモリセル MC_{12M} は、第 1 の電極 31 と強誘電体層 33 と第 2 の電極 34 とから成る。更には、各メモリユニットにおいて、メモリセルの第 1 の電極は共通である。即ち、第 1 層目のメモリユニット MU_{11} において、メモリセル MC_{11M} の第 1 の電極 21 は共通である。この共通の第 1 の電極 21 を第 1 の共通ノード CN_{11} と呼ぶ場合がある。また、第 2 層目のメモリユニット MU_{12} において、メモリセル MC_{12M} の第 1 の電極 31 は共通である。この共通の第 1 の電極 31 を第 2 の共通ノード CN_{12} と呼ぶ場合がある。更には、第 n 層目 (但し、 $n = 1, 2, \dots, N$) のメモリユニット MU_{1n} において、第 m 番目 (但し、 $m = 1, 2, \dots, M$) のメモリセルの第 2 の電極 24、34 は、メモリユニット MU_{1n} 間で共通とされた第 m 番目のプレート線 PL_m に接続されている。実施の形態 3 においては、より具体的には、各プレート線は、第 2 の電極 24、34 から延在している。

【0104】

そして、第 n 番目の選択用トランジスタ TR_{1n} の一方のソース/ドレイン領域 13A は第 n 番目のビット線 BL_{1n} に接続され、第 1 番目の選択用トランジスタ TR_{11} の他方のソース/ドレイン領域 13B は、絶縁層 16 に設けられた第 1 層目の接続孔 17 を介して、第 1 層目のメモリユニット MU_{11} における共通の第 1 の電極 21 (第 1 の共通ノード CN_{11}) に接続されている。また、第 ($k + 1$) 番目 (但し、 $k = 1, 2, \dots, N - 1$ であり、実施の形態 3 においては、 $k = 1$) の選択用トランジスタ TR_{12} の他方のソース/ドレイン領域 13B は、絶縁層 16 に設けられた第 1 層目の接続孔 17、及び、第 1 層目の層間絶縁層から第 k 層目 (但し、 $k = 1, 2, \dots, N - 1$) までの層間絶縁層のそれぞれに設けられた第 2 層目の接続孔から第 ($k + 1$) 層目の接続孔のそれぞれ (実施の形態 3 においては、より具体的には、第 1 層目の層間絶縁層 26 に設けられた第 2 層目の接続孔 27) を介して、第 ($k + 1$) 層目のメモリユニット MU_{12} における共通の第 1 の電極 31 (第 2 の共通ノード CN_{12}) に接続されている。

【0105】

実施の形態 3 の不揮発性メモリ M_1 にあっても、絶縁層 16 に形成された第 1 層目の接続孔 17 の頂面は、第 1 層目のメモリユニット MU_{11} のメモリセル MC_{11m} を構成する第 1 の電極 21 と同時に形成された第 1 の導電体層 22、及び、第 1 層目のメモリユニット MU_{11} のメモリセル MC_{11M} を構成する第 2 の電極 24 と同時に形成された第 2 の導電体層 25 の積層構造によって被覆されている。一方、第 k 層目 (実施の形態 3 においては、第

10

20

30

40

50

1層目)の層間絶縁層26に形成された第(k+1)層目(実施の形態3においては、第2層目)の接続孔27の頂面は、第(k+1)層目(実施の形態2においては、第2層目)のメモリユニット MU_{12} のメモリセル MC_{12M} を構成する第1の電極31と同時に形成された第1の導電体層32、及び、第(k+1)層目のメモリユニット MU_{12} のメモリセル MC_{12M} を構成する第2の電極34と同時に形成された第2の導電体層35の積層構造によって被覆されている。

【0106】

ビット線 BL_{1n} は、センスアンプSAに接続されている。また、プレート線 PL_M はプレート線デコーダ/ドライバPDに接続されている。更には、ワード線 WL_1, WL_2 (あるいはワード線 $WL_{11}, WL_{12}, WL_{21}, WL_{22}$)は、ワード線デコーダ/ドライバWDに接続されている。ワード線は、図13の紙面垂直方向に延びている。また、不揮発性メモリ M_1 を構成するメモリセル MC_{11m} の第2の電極24は、図13の紙面垂直方向に隣接する不揮発性メモリ M_2 を構成するメモリセル MC_{21m} の第2の電極と共通であり、プレート線 PL_m を兼ねている。更には、不揮発性メモリ M_1 を構成するメモリセル MC_{12m} の第2の電極34は、図13の紙面垂直方向に隣接する不揮発性メモリ M_2 を構成するメモリセル MC_{22m} の第2の電極と共通であり、プレート線 PL_m を兼ねている。これらのプレート線 PL_m は、図示しない領域において接続されている。また、ワード線 WL_1 は、不揮発性メモリ M_1 を構成する選択用トランジスタ TR_{11} と、図13の紙面垂直方向に隣接する不揮発性メモリ M_2 を構成する選択用トランジスタ TR_{21} とで共通である。更には、ワード線 WL_2 は、不揮発性メモリ M_1 を構成する選択用トランジスタ TR_{12} と、図13の紙面垂直方向に隣接する不揮発性メモリ M_2 を構成する選択用トランジスタ TR_{22} とで共通である。

【0107】

図14の(A)及び図15に回路図を示す不揮発性メモリ M_1, M_2 においては、不揮発性メモリ M_1, M_2 を構成する選択用トランジスタ TR_{11}, TR_{21} は同じワード線 WL_1 に接続され、選択用トランジスタ TR_{12}, TR_{22} は同じワード線 WL_2 に接続されている。そして、対となったメモリセル MC_{1nm}, MC_{2nm} ($n=1, 2$ 、及び、 $m=1, 2 \dots M$)に相補的なデータが記憶される。例えば、メモリセル MC_{11m}, MC_{21m} (ここで、 m は1, 2, 3, 4のいずれか)に記憶されたデータを読み出す場合、ワード線 WL_1 を選択し、プレート線 PL_j ($m=j$)には $(1/2)V_{cc}$ の電圧を印加した状態で、プレート線 PL_m を駆動する。ここで、 V_{cc} は、例えば、電源電圧である。これによって、相補的なデータが、対となったメモリセル MC_{11m}, MC_{21m} から選択用トランジスタ TR_{11}, TR_{21} を介して対となったビット線 BL_{11}, BL_{21} に電圧(ビット線電位)として現れる。そして、かかる対となったビット線 BL_{11}, BL_{21} の電圧(ビット線電位)を、センスアンプSAで検出する。尚、不揮発性メモリ M_1, M_2 を構成する選択用トランジスタ $TR_{11}, TR_{12}, TR_{21}, TR_{22}$ を、それぞれ、異なるワード線 $WL_{11}, WL_{12}, WL_{21}, WL_{22}$ に接続し、メモリセル MC_{1nm}, MC_{2nm} を独立して制御し、対となったビット線 BL_{11}, BL_{21} 、あるいは、対となったビット線 BL_{12}, BL_{22} の一方に参照電圧を印加することによって、メモリセル MC_{1nm}, MC_{2nm} のそれぞれからデータを読み出すこともできる。このような構成を採用する場合の回路図は、図14の(B)及び図15を参照のこと。尚、選択用トランジスタ TR_{11}, TR_{21} を同時に駆動し、選択用トランジスタ TR_{12}, TR_{22} を同時に駆動すれば、図14の(A)に示した回路と等価となる。このように、各メモリセル MC_{1nm}, MC_{2nm} ($m=1, 2, 3, 4$)のそれぞれに1ビットがデータとして記憶され(図14の(B)参照)、あるいは又、対となったメモリセル MC_{1nm}, MC_{2nm} に相補的なデータが1ビットとして記憶される(図14の(A)参照)。実際の不揮発性メモリにおいては、この16ビットあるいは8ビットを記憶するメモリユニットの集合がアクセス単位ユニットとしてアレイ状に配設されている。尚、Mの値は4に限定されない。Mの値は、M-2を満足すればよく、実際的なMの値として、例えば、2のべき数(2, 4, 8, 16...)を挙げることができる。また、Nの値は、N-2を満足すればよく、実際的なNの値として、例えば、2のべき数(2, 4, 8...)を挙げることがで

10

20

30

40

50

きる。

【0108】

あるいは又、図14の(A)及び図15に回路図を示す不揮発性メモリ M_1 において、例えば、対となったメモリセル MC_{11m} 、 MC_{12m} ($m = 1, 2, \dots, M$)に相補的なデータを記憶してもよい。例えば、メモリセル MC_{11m} 、 MC_{12m} (ここで、 m は1, 2, 3, 4のいずれか)に記憶されたデータを読み出す場合、ワード線 WL_1 、 WL_2 を選択し、プレート線 PL_j ($m = j$)には、例えば $(1/2)V_{cc}$ の電圧を印加した状態で、プレート線 PL_m を駆動する。これによって、相補的なデータが、対となったメモリセル MC_{11m} 、 MC_{12m} から選択用トランジスタ TR_{11} 、 TR_{12} を介して対となったビット線 BL_{11} 、 BL_{12} に電圧(ビット線電位)として現れる。そして、かかる対となったビット線 BL_{11} 、 BL_{12} の電圧(ビット線電位)を、センスアンプSAで検出する。尚、メモリセル MC_{11m} 、 MC_{12m} を独立して制御し、対となったビット線 BL_{11} 、 BL_{12} の一方に参照電圧を印加することによって、メモリセル MC_{11m} 、 MC_{12m} のそれぞれからデータを読み出すこともできる。このような構成を採用する場合の回路図は、図14の(B)及び図15を参照のこと。

10

【0109】

実施の形態3の不揮発性メモリ及び半導体装置は、実質的に、実施の形態1の不揮発性メモリ及び半導体装置の製造方法と同様の方法で作製することができるので、詳細な説明は省略する。

【0110】

以上、本発明を、発明の実施の形態に基づき説明したが、本発明はこれらに限定されるものではない。発明の実施の形態にて説明した不揮発性メモリや半導体装置の構造、使用した材料、各種の形成条件、回路構成、駆動方法等は例示であり、適宜変更することができる。

20

【0111】

一般に、単位ユニットの駆動用の信号線の合計本数をA本、その内のワード線本数をB本、プレート線の本数をC本とすると、 $A = B + C$ である。ここで、合計本数Aを一定とした場合、単位ユニットの総アドレス数($= B \times C$)が最大となるには、 $B = C$ を満足すればよい。従って、最も効率良く周辺回路を配置するためには、単位ユニットにおけるワード線本数Bとプレート線の本数Cとを等しくすればよい。また、ロー・アドレスのアクセス単位ユニットにおけるワード線本数は、例えばメモリセルの積層段数に一致し、プレート線本数はメモリユニットを構成するメモリセルの数に一致するが、これらのワード線本数、プレート線本数が多いほど、実質的な不揮発性メモリの集積度は向上する。そして、ワード線本数とプレート線本数の積がアクセス可能なアドレス回数である。ここで、一括して、且つ、連続したアクセスを前提とすると、その積から「1」を減じた値がディスタープ回数である。従って、ワード線本数とプレート線本数の積の値は、メモリセルのディスタープ耐性、プロセス要因等から決定される。ここで、ディスタープとは、非選択のメモリセルを構成する強誘電体層に対して、分極が反転する方向に、即ち、保存されていたデータが劣化若しくは破壊される方向に、電界が加わる現象を指す。

30

【0112】

実施の形態2において説明した不揮発性メモリを、図16に示す構造のように変形することもできる。尚、回路図を図17に示す。

40

【0113】

この不揮発性メモリは、センスアンプSAに接続されているビット線 BL_1 と、MOS型FETから構成されたN個(但し、 $N \geq 2$ であり、この例においては $N = 4$)の選択用トランジスタ TR_{11} 、 TR_{12} 、 TR_{13} 、 TR_{14} と、N個のメモリユニット MU_{11} 、 MU_{12} 、 MU_{13} 、 MU_{14} と、プレート線から構成されている。第1層目のメモリユニット MU_{11} は、M個(但し、 $M \geq 2$ であり、この例においては $M = 8$)のメモリセル MC_{11m} ($m = 1, 2, \dots, 8$)から構成されている。また、第2層目のメモリユニット MU_{12} も、M個($M = 8$)のメモリセル MC_{12m} ($m = 1, 2, \dots, 8$)から構成されている。更には、

50

第3層目のメモリユニット MU_{13} も、 M 個 ($M = 8$) のメモリセル MC_{13m} ($m = 1, 2, \dots, 8$) から構成され、第4層目のメモリユニット MU_{14} も、 M 個 ($M = 8$) のメモリセル MC_{14m} ($m = 1, 2, \dots, 8$) から構成されている。プレート線の本数は、 M 本 (この例においては8本) であり、 PL_m ($m = 1, 2, \dots, 8$) で表している。選択用トランジスタ TR_{1n} のゲート電極に接続されたワード線 WL_{1n} は、ワード線デコーダ/ドライバ WD に接続されている。一方、各プレート線 PL_m は、プレート線デコーダ/ドライバ PD に接続されている。

【0114】

また、第1層目のメモリユニット MU_{11} を構成する各メモリセル MC_{11m} は、第1の電極21Aと強誘電体層23Aと第2の電極24とから成り、第2層目のメモリユニット MU_{12} を構成する各メモリセル MC_{12m} は、第1の電極21Bと強誘電体層23Bと第2の電極24とから成り、第3層目のメモリユニット MU_{13} を構成する各メモリセル MC_{13m} は、第1の電極31Aと強誘電体層33Aと第2の電極34とから成り、第4層目のメモリユニット MU_{14} を構成する各メモリセル MC_{14m} は、第1の電極31Bと強誘電体層33Bと第2の電極34とから成る。そして、各メモリユニット MU_{11} , MU_{12} , MU_{13} , MU_{14} において、メモリセルの第1の電極21A, 21B, 31A, 31Bは共通である。この共通の第1の電極21A, 21B, 31A, 31Bを、便宜上、共通ノード CN_{11} , CN_{12} , CN_{13} , CN_{14} と呼ぶ。

【0115】

ここで、第1層目のメモリユニット MU_{11} における共通の第1の電極21A (第1の共通ノード CN_{11}) は、第1番目の選択用トランジスタ TR_{11} を介してビット線 BL_1 に接続されている。また、第2層目のメモリユニット MU_{12} における共通の第1の電極21B (第2の共通ノード CN_{12}) は、第2番目の選択用トランジスタ TR_{12} を介してビット線 BL_1 に接続されている。更には、第3層目のメモリユニット MU_{13} における共通の第1の電極31A (第3の共通ノード CN_{13}) は、第3番目の選択用トランジスタ TR_{13} を介してビット線 BL_1 に接続されている。また、第4層目のメモリユニット MU_{14} における共通の第1の電極31B (第4の共通ノード CN_{14}) は、第4番目の選択用トランジスタ TR_{14} を介してビット線 BL_1 に接続されている。

【0116】

また、第1層目のメモリユニット MU_{11} を構成するメモリセル MC_{11m} と、第2層目のメモリユニット MU_{12} を構成するメモリセル MC_{12m} は、第2の電極24を共有しており、この共有された第 m 番目の第2の電極24はプレート線 PL_m に接続されている。更には、第3層目のメモリユニット MU_{13} を構成するメモリセル MC_{13m} と、第4層目のメモリユニット MU_{14} を構成するメモリセル MC_{14m} は、第2の電極34を共有しており、この共有された第 m 番目の第2の電極34はプレート線 PL_m に接続されている。具体的には、この共有された第 m 番目の第2の電極24の延在部からプレート線 PL_m が構成され、この共有された第 m 番目の第2の電極34の延在部からプレート線 PL_m が構成されており、各プレート線 PL_m は図示しない領域で接続されている。

【0117】

この不揮発性メモリにおいては、メモリユニット MU_{11} , MU_{12} とメモリユニット MU_{13} , MU_{14} は、層間絶縁層26を介して積層されている。メモリユニット MU_{14} は絶縁膜36Aで被覆されている。また、メモリユニット MU_{11} は、半導体基板10の上方に絶縁層16を介して形成されている。半導体基板10には素子分離領域11が形成されている。また、選択用トランジスタ TR_{11} , TR_{12} , TR_{13} , TR_{14} は、ゲート電極12、ゲート絶縁膜、ソース/ドレイン領域13から構成されている。そして、第1の選択用トランジスタ TR_{11} 、第2の選択用トランジスタ TR_{12} 、第3の選択用トランジスタ TR_{13} 、第4の選択用トランジスタ TR_{14} の一方のソース/ドレイン領域13はコンタクトホールを介してビット線 BL_1 に接続されている。また、第1の選択用トランジスタ TR_{11} の他方のソース/ドレイン領域13は、絶縁層16に形成された開口部中に設けられた接続孔17を介して第1の共通ノード CN_{11} に接続されている。更には、第2の選択用トランジスタ

10

20

30

40

50

TR₁₂の他方のソース/ドレイン領域13は、接続孔17、第1の導電体層22A、第2の導電体層25、第1の導電体層22Bを介して第2の共通ノードCN₁₂に接続されている。また、第3の選択用トランジスタTR₁₃の他方のソース/ドレイン領域13は、接続孔17、絶縁層16上に形成された第1の導電体層22A、第2の導電体層25、第1の導電体層22B、層間絶縁層26に形成された開口部中に設けられた接続孔27を介して第3の共通ノードCN₁₃に接続されている。更には、第4の選択用トランジスタTR₁₄の他方のソース/ドレイン領域13は、接続孔17、絶縁層16上に形成された第1の導電体層22A、第2の導電体層25、第1の導電体層22B、接続孔27、層間絶縁層26上に形成された第1の導電体層32A、第2の導電体層35、第1の導電体層32Bを介して第4の共通ノードCN₁₄に接続されている。

10

【0118】

また、本発明の第2の態様～第4の態様に係る不揮発性メモリを、所謂ゲインセル型とすることもできる。このような不揮発性メモリの回路図を図18に示し、不揮発性メモリを構成する各種のトランジスタの模式的なレイアウトを図19に示し、不揮発性メモリの模式的な一部断面図を図20及び図21に示す。尚、図19において、各種のトランジスタの領域を点線で囲み、活性領域及び配線を実線で示し、ゲート電極あるいはワード線を一点鎖線で示した。また、図20に示す不揮発性メモリの模式的な一部断面図は、図19の線A-Aに沿った模式的な一部断面図であり、図21に示す不揮発性メモリの模式的な一部断面図は、図19の線B-Bに沿った模式的な一部断面図である。

【0119】

この不揮発性メモリは、例えば、ビット線BLと、書込用トランジスタ(本発明の第2の態様～第4の態様に係る不揮発性メモリにおける選択用トランジスタである)TR_wと、M個(但し、M≧2であり、例えば、M=8)のメモリセルMC_mから構成され、層間絶縁層を介して積層されたN個のメモリユニットMUと、M本のプレート線PL_mから成るメモリユニットMUから構成されている。尚、図面においては、第1層目のメモリユニットのみを図示した。そして、各メモリセルMC_mは、第1の電極21と強誘電体層23と第2の電極24とから成り、メモリユニットMUを構成するメモリセルMC_mの第1の電極21は、メモリユニットMUにおいて共通であり、この共通の第1の電極(共通ノードCN)は、書込用トランジスタTR_wを介してビット線BLに接続され、各メモリセルMC_mを構成する第2の電極24はプレート線PL_mに接続されている。メモリセルMC_mは層間絶縁層26によって被覆されている。尚、不揮発性メモリのメモリユニットMUを構成するメモリセルの数(M)は8個に限定されず、一般には、M≧2を満足すればよく、2のべき数(M=2, 4, 8, 16, …)とすることが好ましい。

20

30

【0120】

更には、共通の第1の電極の電位変化を検出し、該検出結果をビット線に電流又は電圧として伝達する信号検出回路を備えている。言い換えれば、検出用トランジスタTR_s、及び、読出用トランジスタTR_rを備えている。信号検出回路は、検出用トランジスタTR_s及び読出用トランジスタTR_rから構成されている。そして、検出用トランジスタTR_sの一端は所定の電位V_{cc}を有する配線(例えば、不純物層から構成された電源線)に接続され、他端は読出用トランジスタTR_rを介してビット線BLに接続され、各メモリセルMC_mに記憶されたデータの読み出し時、読出用トランジスタTR_rが導通状態とされ、各メモリセルMC_mに記憶されたデータに基づき共通の第1の電極(共通ノードCN)に生じた電位により、検出用トランジスタTR_sの動作が制御される。

40

【0121】

具体的には、各種のトランジスタはMOS型FETから構成されており、書込用トランジスタ(選択用トランジスタ)TR_wの一方のソース/ドレイン領域は絶縁層16に形成されたコンタクトホール14を介してビット線BLに接続され、他方のソース/ドレイン領域は、絶縁層16に形成された開口部中に設けられた接続孔17を介して共通の第1の電極(共通ノードCN)に接続されている。また、検出用トランジスタTR_sの一方のソース/ドレイン領域は、所定の電位V_{cc}を有する配線に接続され、他方のソース/ドレイン

50

領域は、読出用トランジスタ TR_R の一方のソース/ドレイン領域に接続されている。より具体的には、検出用トランジスタ TR_S の他方のソース/ドレイン領域と読出用トランジスタ TR_R の一方のソース/ドレイン領域とは、1つのソース/ドレイン領域を占めている。更には、読出用トランジスタ TR_R の他方のソース/ドレイン領域はコンタクトホール14を介してビット線BLに接続され、更に、共通の第1の電極（共通ノードCN、あるいは、書込用トランジスタ TR_W の他方のソース/ドレイン領域）は、開口部中に設けられた接続孔17A、ワード線 WL_S を介して検出用トランジスタ TR_S のゲート電極に接続されている。また、書込用トランジスタ TR_W のゲート電極に接続されたワード線 WL_W 及び読出用トランジスタ TR_R のゲート電極に接続されたワード線 WL_R は、ワード線デコーダ/ドライバWDに接続されている。一方、各プレート線 PL_m は、プレート線デコーダ/ドライバPDに接続されている。更には、ビット線BLはセンスアンプSAに接続されている。

10

【0122】

この不揮発性メモリのメモリセル MC_1 からデータを読み出す場合、選択プレート線 PL_1 に V_{cc} を印加する。このとき、選択メモリセル MC_1 にデータ「1」が記憶されていれば、強誘電体層に分極反転が生じ、蓄積電荷量が増加し、共通ノードCNの電位が上昇する。一方、選択メモリセル MC_1 にデータ「0」が記憶されていれば、強誘電体層に分極反転が生ぜず、共通ノードCNの電位は殆ど上昇しない。即ち、共通ノードCNは、非選択メモリセルの強誘電体層を介して複数の非選択プレート線 PL_k にカップリングされているので、共通ノードCNの電位は0ボルトに比較的近いレベルに保たれる。このようにして、選択メモリセル MC_1 に記憶されたデータに依存して共通ノードCNの電位に変化が生じる。従って、選択メモリセルの強誘電体層には、分極反転に十分な電界を与えることができる。そして、ビット線BLを浮遊状態とし、読出用トランジスタ TR_R をオン状態とする。一方、選択メモリセル MC_1 に記憶されたデータに基づき共通の第1の電極（共通ノードCN）に生じた電位により、検出用トランジスタ TR_S の動作が制御される。具体的には、選択メモリセル MC_1 に記憶されたデータに基づき共通の第1の電極（共通ノードCN）に高い電位が生じれば、検出用トランジスタ TR_S は導通状態となり、検出用トランジスタ TR_S の一方のソース/ドレイン領域は所定の電位 V_{cc} を有する配線に接続されているので、かかる配線から、検出用トランジスタ TR_S 及び読出用トランジスタ TR_R を介してビット線BLに電流が流れ、ビット線BLの電位が上昇する。即ち、信号検出回路によって共通の第1の電極（共通ノードCN）の電位変化が検出され、この検出結果がビット線BLに電圧（電位）として伝達される。ここで、検出用トランジスタ TR_S の閾値を V_{th} 、検出用トランジスタ TR_S のゲート電極の電位（即ち、共通ノードCNの電位）を V_g とすれば、ビット線BLの電位は概ね $(V_g - V_{th})$ となる。尚、検出用トランジスタ TR_S をディプレッション型のNMOSFETとすれば、閾値 V_{th} は負の値をとる。これにより、ビット線BLの負荷の大小に拘わらず、安定したセンス信号量を確保できる。尚、検出用トランジスタ TR_S をPMOSFETから構成することもできる。

20

30

【0123】

尚、検出用トランジスタの一端が接続された配線の所定の電位は V_{cc} に限定されず、例えば、接地されていてもよい。即ち、検出用トランジスタの一端が接続された配線の所定の電位を0ボルトとしてもよい。但し、この場合には、選択メモリセルにおけるデータの読み出し時に電位（ V_{cc} ）がビット線に現れた場合、再書き込み時には、ビット線の電位を0ボルトとし、選択メモリセルにおけるデータの読み出し時に0ボルトがビット線に現れた場合、再書き込み時には、ビット線の電位を V_{cc} とする必要がある。そのためには、図22に例示するような、トランジスタ TR_{IV-1} 、 TR_{IV-2} 、 TR_{IV-3} 、 TR_{IV-4} から構成された一種のスイッチ回路（反転回路）をビット線間に配設し、データの読み出し時には、トランジスタ TR_{IV-2} 、 TR_{IV-4} をオン状態とし、データの再書き込み時には、トランジスタ TR_{IV-1} 、 TR_{IV-3} をオン状態とすればよい。

40

【0124】

また、例えば、図23に示すように、実施の形態2の不揮発性メモリの変形例として、第

50

1の電極21'、31'を上部電極とし、第2の電極24'、34'を下部電極とするこ
ともできる。このような構造は、他の発明の実施の形態における不揮発性メモリにも適用
することができる。尚、図23中、参照番号22'、32'は、第1の導電体層を示し、
参照番号25'、35'は第2の導電体層を示す。

【0125】

【発明の効果】

本発明の強誘電体型不揮発性半導体メモリあるいは半導体装置において、接続孔の頂面は
、第1の電極と同時に形成された第1の導電体層、及び、第2の電極と同時に形成された
第2の導電体層の積層構造によって被覆されているので、第2の電極の形成時に接続孔の
頂面に損傷が生じることを確実に防止することができる。更には、層間絶縁層のそれぞれ
に接続孔を形成するので、接続孔のアスペクト比が左程大きくなることなく、確実に接
続孔を形成することができる。また、第1の電極等を所謂ダマシ構造とする場合、第1
の導電体層が形成されているので、CMP法における加工精度の向上を図ることができる
。本発明の半導体装置にあっては、周辺回路を構成する配線は、少なくとも、第2の電極
と同時に形成された第2の導電体層から構成されているので、周辺回路の配線層数を減少
させることができる。また、接続孔の頂面に第1の導電体層及び2の導電体層の積層構造
によって一種の接続用のパッド部を形成するので、周辺回路における接続領域の面積の縮
小化を図ることができる。しかも、本発明の半導体装置においては、配線形成のプロセス
を、従来の技術と比較して簡略化することができるし、チップ面積の縮小を図ることもで
き、結果として、半導体装置の製造コストダウンを図ることができる。

【図面の簡単な説明】

【図1】発明の実施の形態1の強誘電体型不揮発性半導体メモリを含む半導体装置をピット
線の延びる方向と平行な仮想垂直面で切断したときの模式的な一部断面図である。

【図2】発明の実施の形態1の強誘電体型不揮発性半導体メモリを含む半導体装置をワー
ド線の延びる方向と平行な仮想垂直面で切断したときの模式的な一部断面図である。

【図3】本発明の第2の態様に係る不揮発性メモリの概念的な回路図である。

【図4】図3の(A)に示す概念的な回路図のより具体的な回路図である。

【図5】図3の(B)に示す概念的な回路図のより具体的な回路図である。

【図6】発明の実施の形態1の半導体装置の製造方法を説明するための半導体基板等の模
式的な一部断面図である。

【図7】図6に引き続き、発明の実施の形態1の半導体装置の製造方法を説明するための
半導体基板等の模式的な一部断面図である。

【図8】図7に引き続き、発明の実施の形態1の半導体装置の製造方法を説明するための
半導体基板等の模式的な一部断面図である。

【図9】発明の実施の形態2の強誘電体型不揮発性半導体メモリを含む半導体装置をピット
線の延びる方向と平行な仮想垂直面で切断したときの模式的な一部断面図である。

【図10】本発明の第3の態様に係る不揮発性メモリの概念的な回路図である。

【図11】図10の(A)に示す概念的な回路図のより具体的な回路図である。

【図12】図10の(B)に示す概念的な回路図のより具体的な回路図である。

【図13】発明の実施の形態3の強誘電体型不揮発性半導体メモリを含む半導体装置をピ
ット線の延びる方向と平行な仮想垂直面で切断したときの模式的な一部断面図である。

【図14】本発明の第4の態様に係る不揮発性メモリの概念的な回路図である。

【図15】図14に示す概念的な回路図のより具体的な回路図である。

【図16】発明の実施の形態2にて説明した強誘電体型不揮発性半導体メモリの変形例を
示す模式的な一部断面図である。

【図17】図16に示す強誘電体型不揮発性半導体メモリの回路図である。

【図18】ゲインセル型の強誘電体型不揮発性半導体メモリの回路図である。

【図19】図18に示したの強誘電体型不揮発性半導体メモリにおけるレイアウト図であ
る。

【図20】図18に示した強誘電体型不揮発性半導体メモリの模式的な一部断面図である

10

20

30

40

50

。

【図 2 1】図 1 8 に示した強誘電体型不揮発性半導体メモリの、図 2 0 とは異なる断面で見たときの模式的な一部断面図である。

【図 2 2】検出用トランジスタの一端が接続された配線の所定の電位を 0 ボルトとした場合の、ビット線間に配設された一種のスイッチ回路を示す回路図である。

【図 2 3】発明の実施の形態 2 の強誘電体型不揮発性半導体メモリの別の変形例の模式的な一部断面図である。

【図 2 4】強誘電体の P - E ヒステリシスループ図である。

【図 2 5】米国特許第 4 8 7 3 6 6 4 号に開示された強誘電体型不揮発性半導体メモリの回路図である。

10

【図 2 6】特開平 9 - 1 2 1 0 3 2 号公報に開示された強誘電体型不揮発性半導体メモリの回路図である。

【図 2 7】特開平 9 - 1 2 1 0 3 2 号公報に開示された不揮発性メモリにおいて、複数のメモリセルから成るメモリユニットを積層した場合を想定した半導体装置の模式的な一部断面図である。

【図 2 8】図 2 7 とは別の角度から眺めた、特開平 9 - 1 2 1 0 3 2 号公報に開示された不揮発性メモリにおいて、複数のメモリセルから成るメモリユニットを積層した場合を想定した半導体装置の模式的な一部断面図である。

【符号の説明】

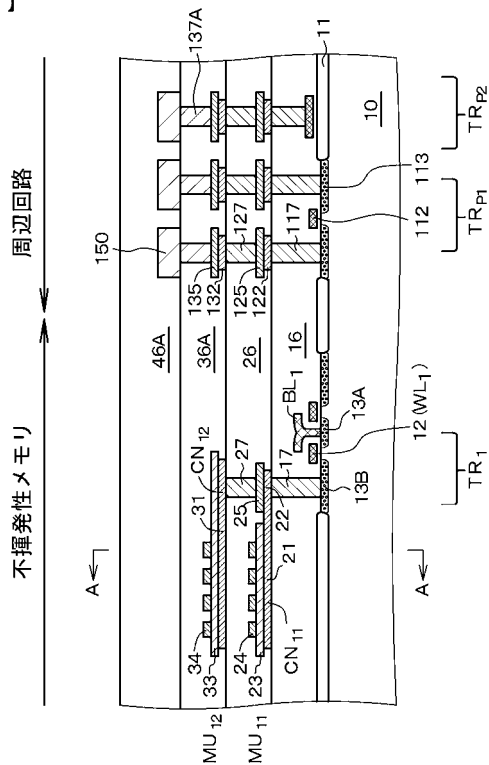
1 0・・・シリコン半導体基板、1 1・・・素子分離領域、1 2, 1 1 2, 2 1 2・・・ゲート電極、1 3, 1 3 A, 1 3 B, 1 1 3, 2 1 3・・・ソース/ドレイン領域、1 4・・・コンタクトホール、1 6・・・絶縁層、1 7, 2 7, 1 1 7, 1 2 7, 2 1 7, 2 2 7・・・接続孔、2 1, 2 1 A, 2 1 B, 2 1', 3 1, 3 1 A, 3 1 B, 3 1'・・・第 1 の電極、2 2, 2 2', 2 2 A, 2 2 B, 3 2, 3 2', 3 2 A, 3 2 B, 1 2 2, 1 3 2・・・第 1 の導電体層、2 3, 2 3 A, 2 3 B, 2 3', 3 3, 3 3 A, 3 3 B, 3 3'・・・強誘電体層、2 4, 3 4・・・第 2 の電極、2 5, 2 5', 3 5, 3 5', 1 2 5, 1 3 5・・・第 2 の導電体層、2 6・・・層間絶縁層、3 6 A, 4 6 A・・・絶縁膜、T R・・・選択用トランジスタ、T R_W・・・書込用トランジスタ、T R_R・・・読出用トランジスタ、T R_S・・・検出用トランジスタ、T R_{SW}・・・スイッチング用のトランジスタ、W L・・・ワード線、B L・・・ビット線、P L・・・プレート線、W D・・・ワード線デコーダ/ドライバ、S A・・・センスアンプ、P D・・・プレート線デコーダ/ドライバ、C N・・・共通ノード

20

30

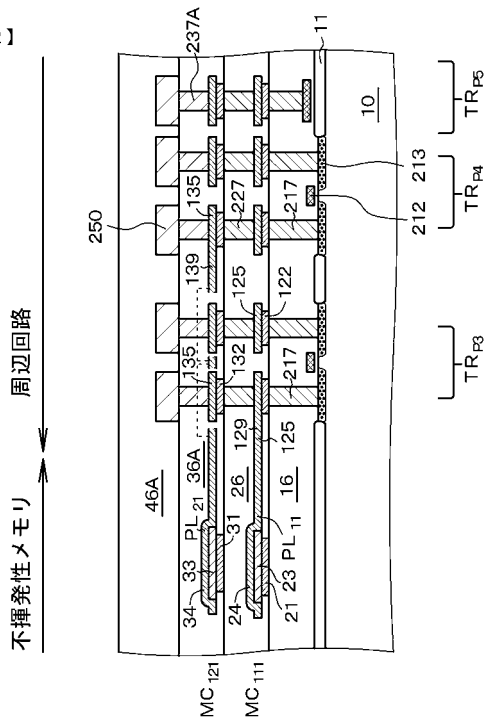
【図 1】

【図 1】



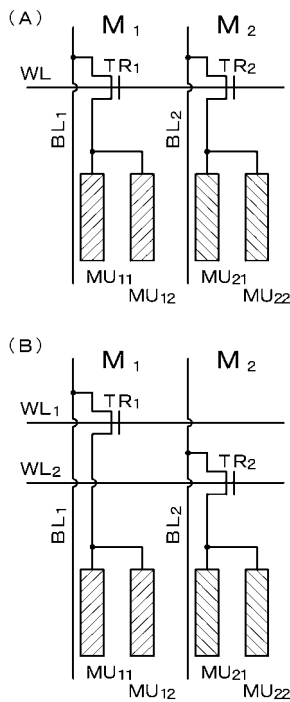
【図 2】

【図 2】



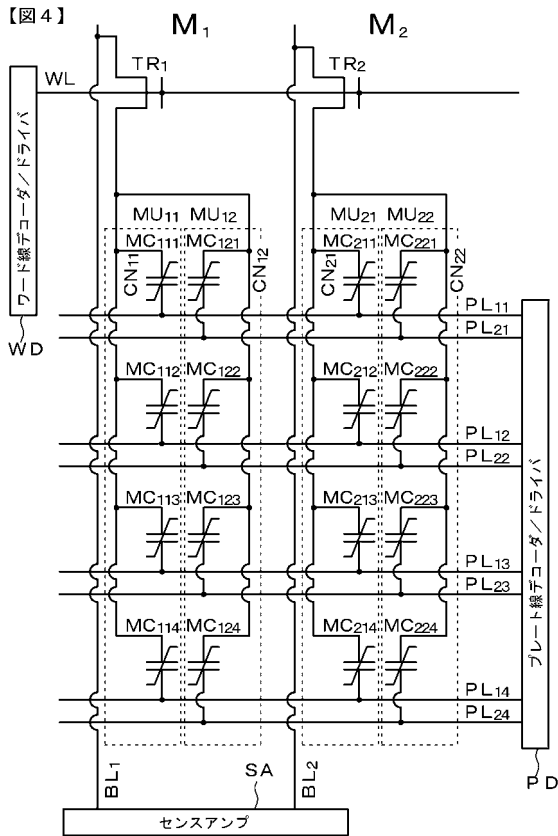
【図 3】

【図 3】

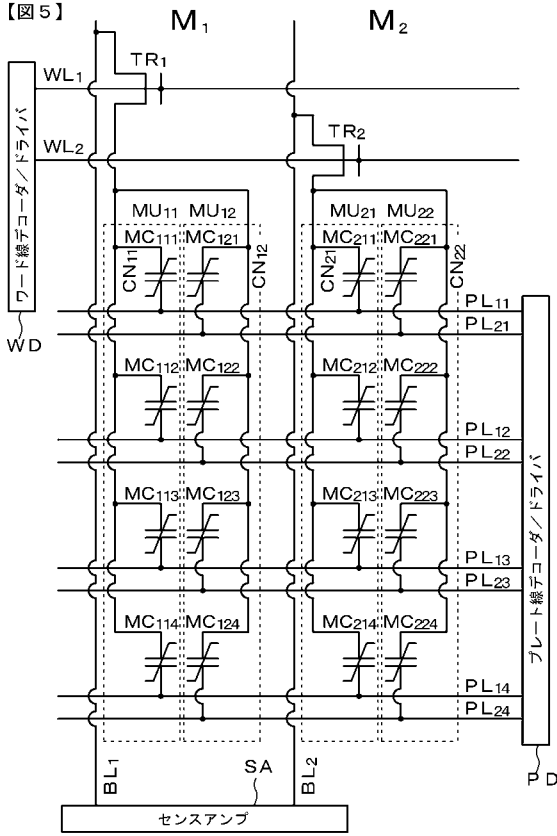


【図 4】

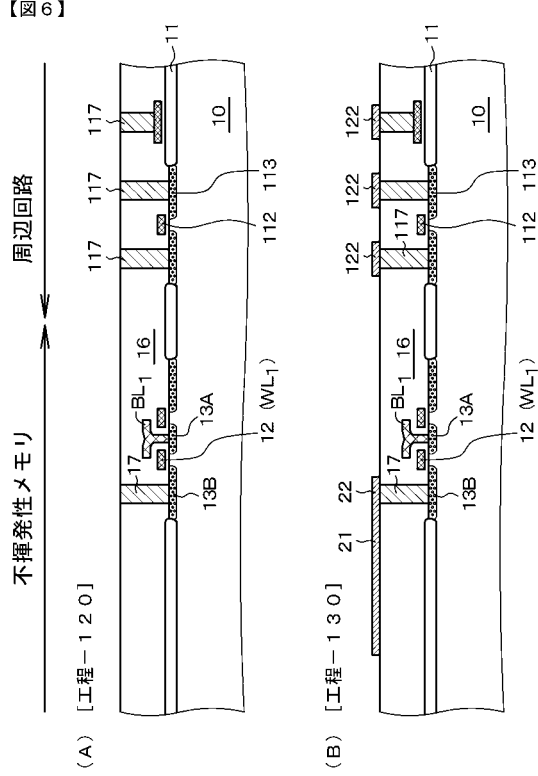
【図 4】



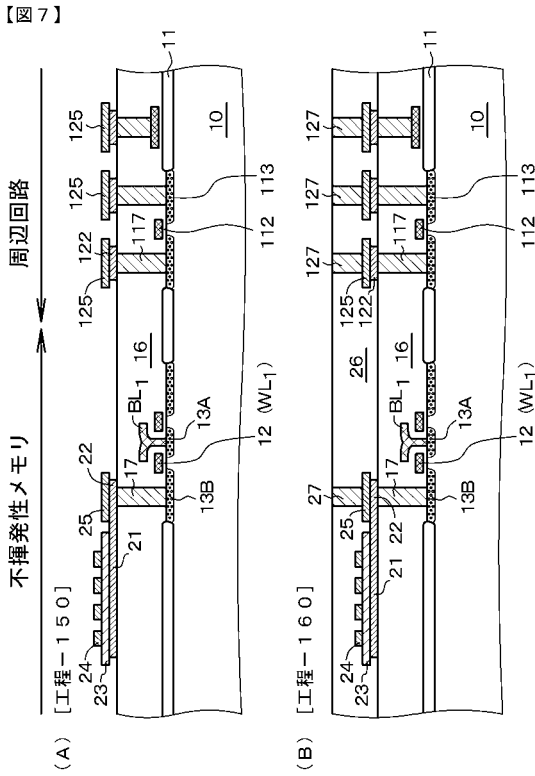
【図5】



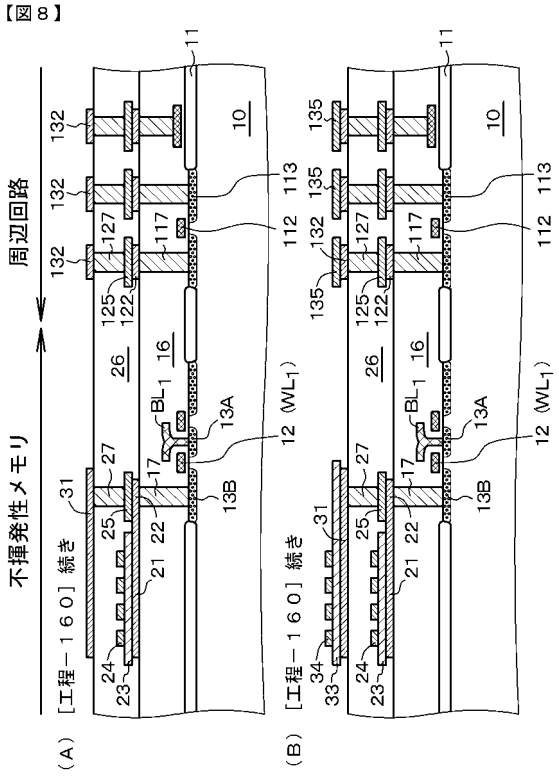
【図6】



【図7】

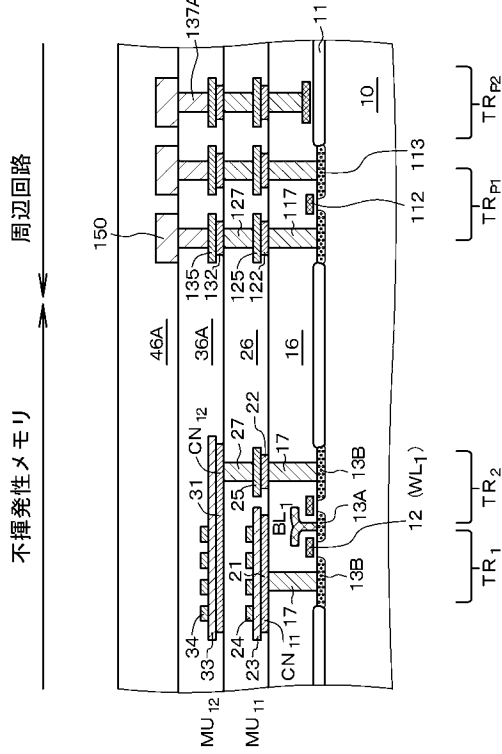


【図8】



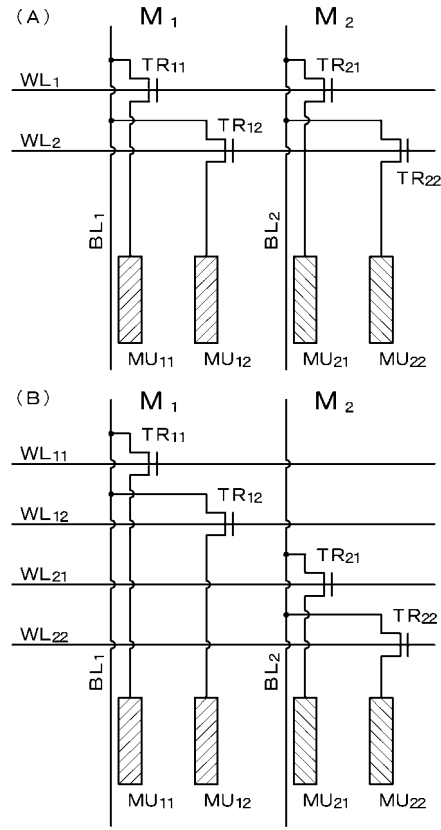
【図9】

【図9】



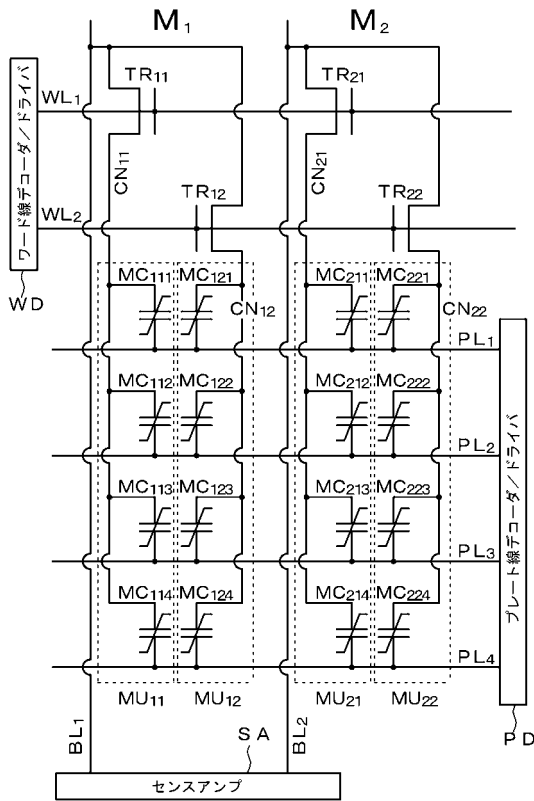
【図10】

【図10】



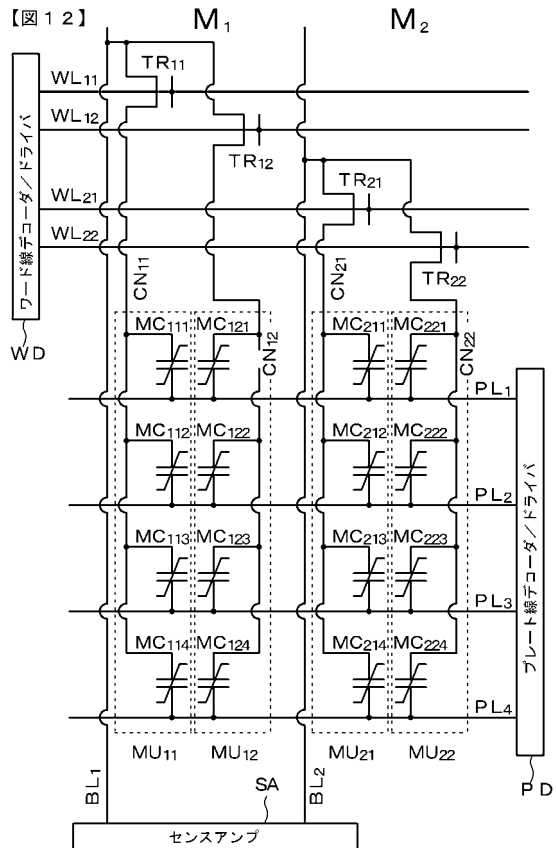
【図11】

【図11】



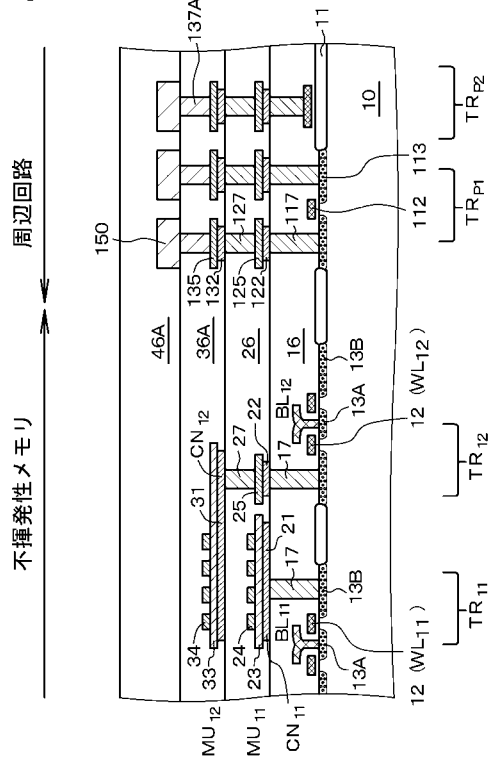
【図12】

【図12】



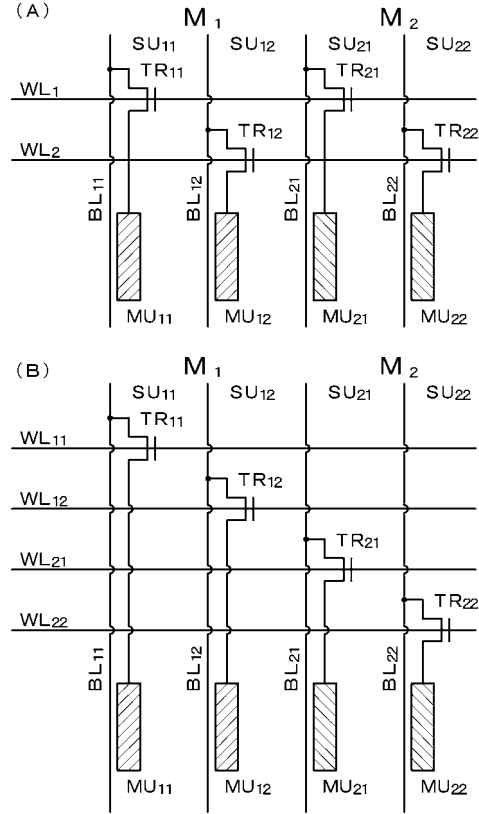
【図13】

【図13】



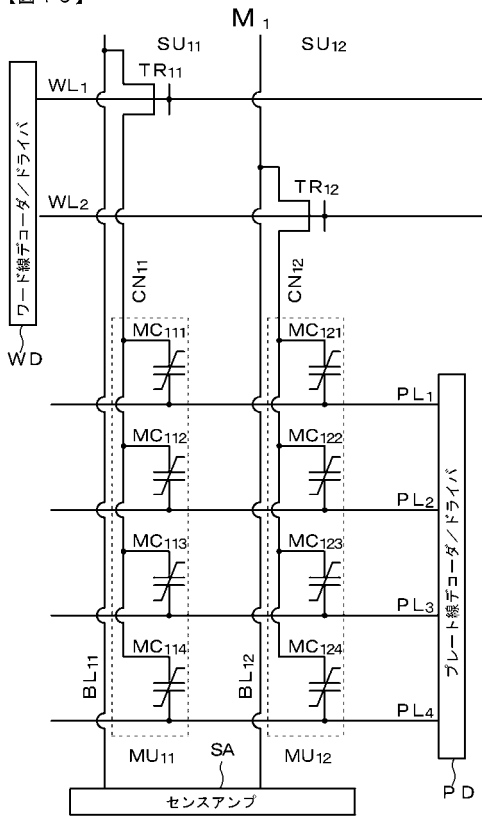
【図14】

【図14】



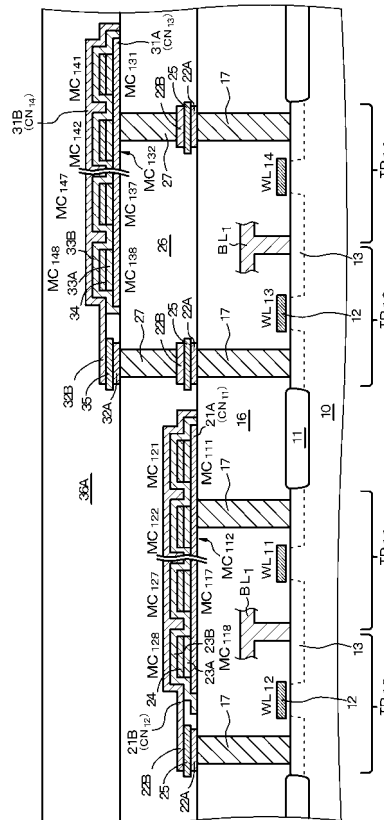
【図15】

【図15】



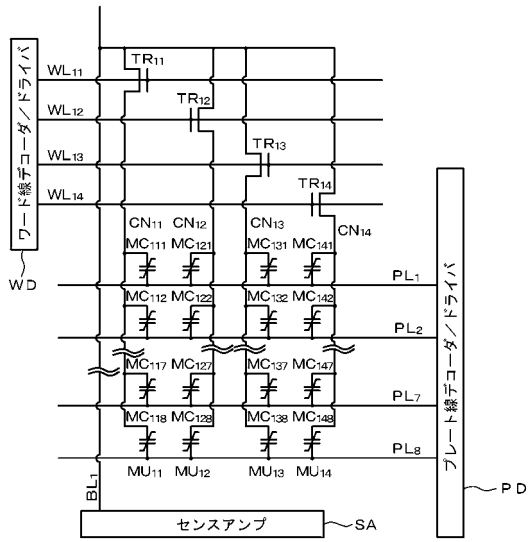
【図16】

【図16】



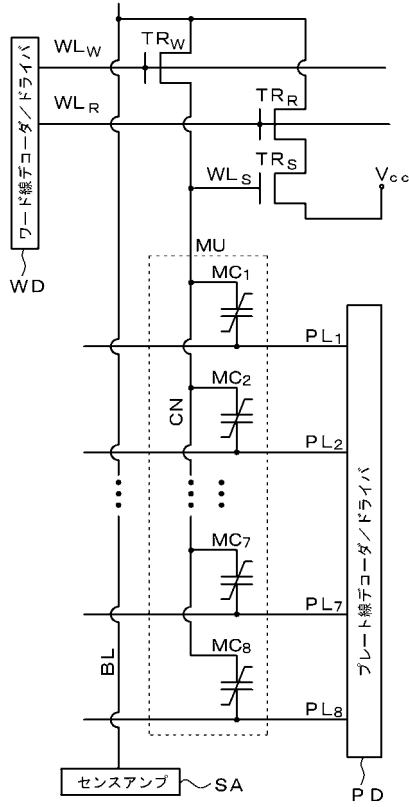
【図 17】

【図 17】



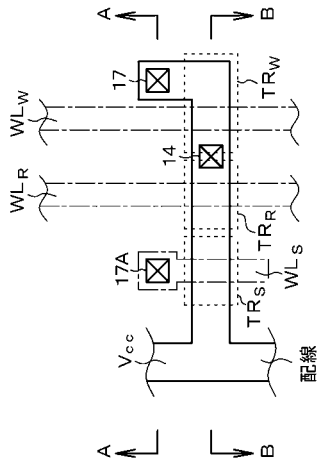
【図 18】

【図 18】



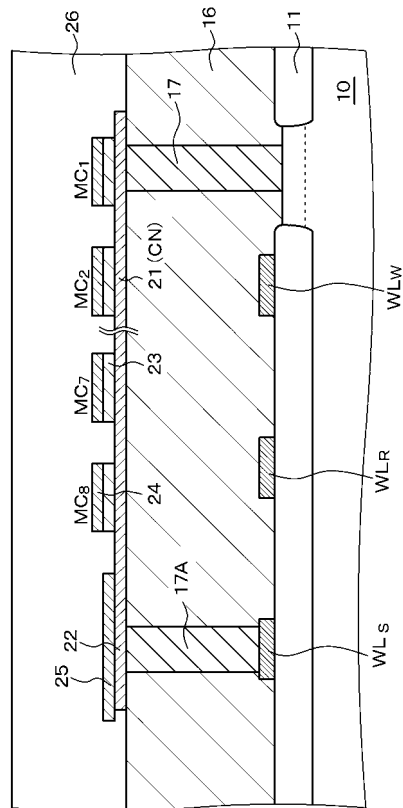
【図 19】

【図 19】



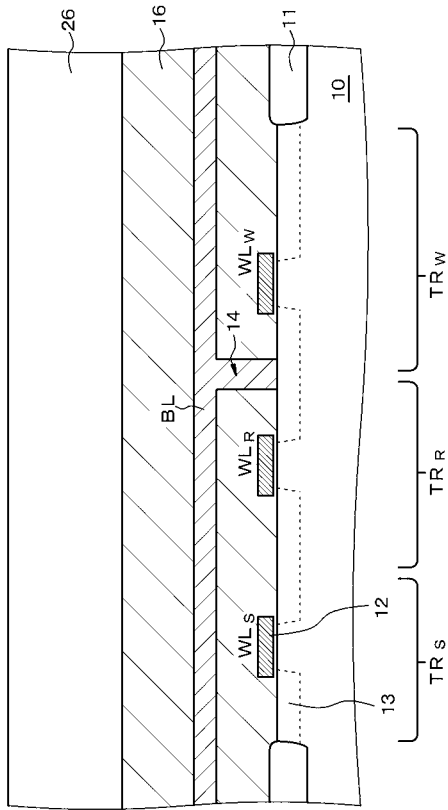
【図 20】

【図 20】



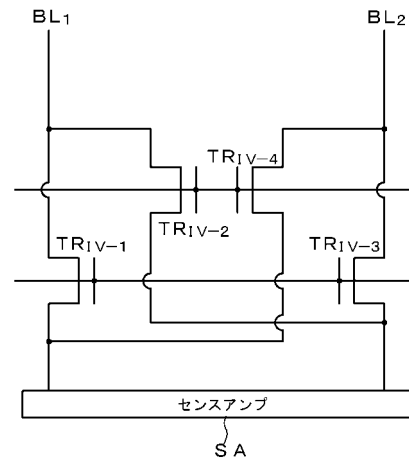
【図21】

【図21】



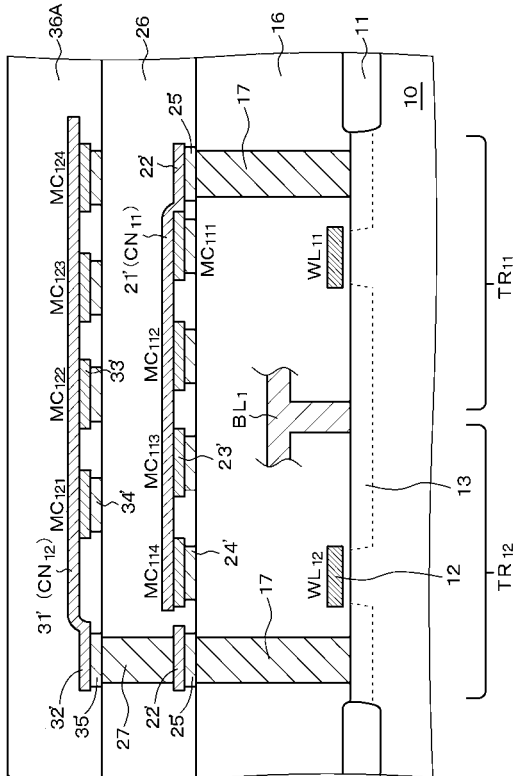
【図22】

【図22】



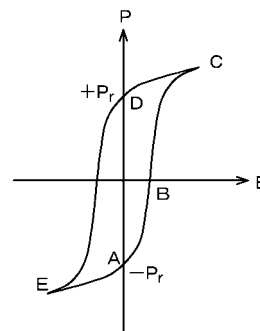
【図23】

【図23】



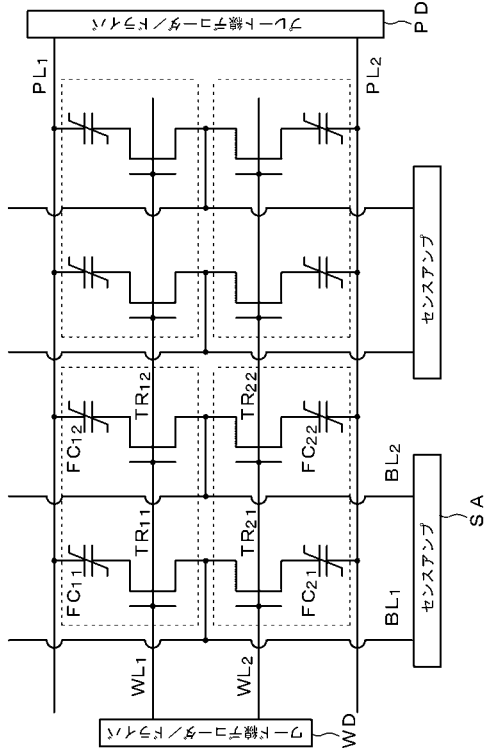
【図24】

【図24】



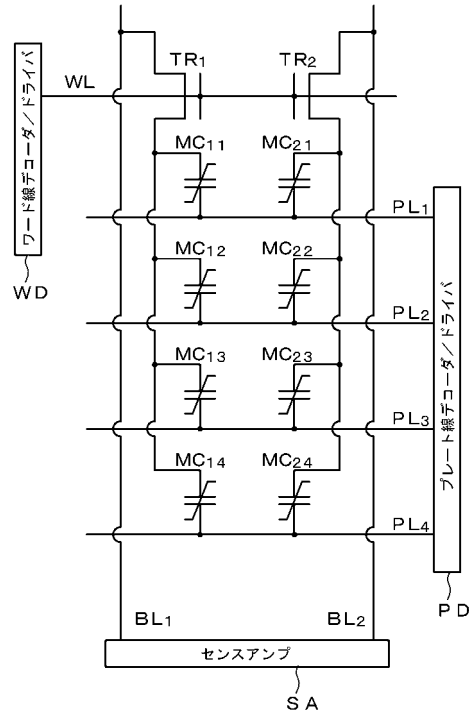
【図25】

【図25】 (従来の技術)



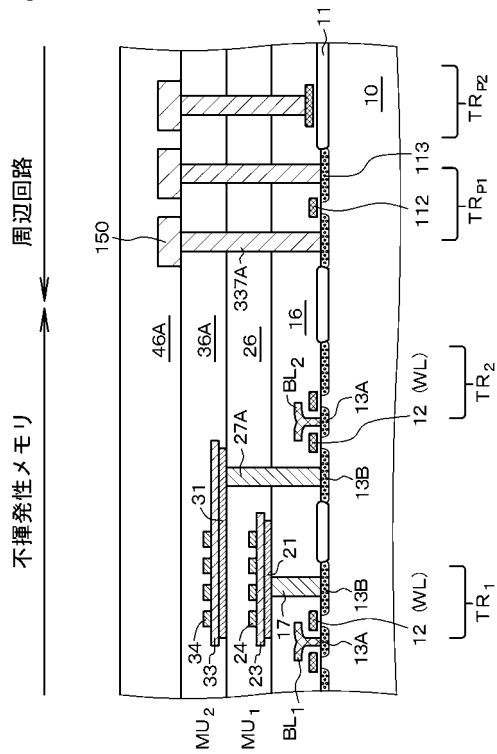
【図26】

【図26】 (従来の技術)



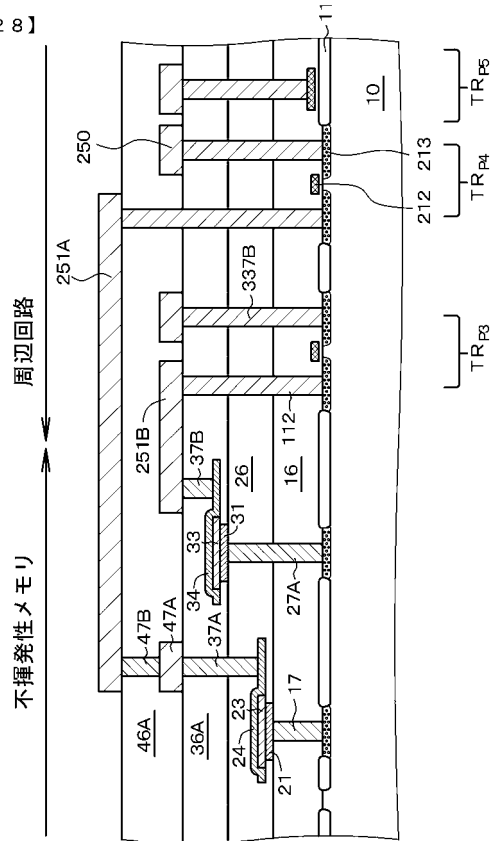
【図27】

【図27】



【図28】

【図28】



フロントページの続き

(58)調査した分野(Int.Cl. , D B名)

H01L 21/8246

H01L 27/10

H01L 27/105