

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 27/10	(45) 공고일자 1998년12월 15일	(11) 등록번호 특0164945
(21) 출원번호 특1995-023618	(24) 등록일자 1998년09월 15일	(65) 공개번호 특1996-009179
(22) 출원일자 1995년08월01일	(43) 공개일자 1996년03월22일	
(30) 우선권주장 94-197160 1994년08월01일 일본(JP)		
(73) 특허권자 니뽀 덴끼 가부시끼 가이사 일본 도오쿄도 미나또꾸 시바 5조메 7반 1고	가네꼬 히사시	
(72) 발명자 고가 히로끼		
(74) 대리인 이병호, 최달용	일본 도오쿄도 미나또꾸 시바 5조메 7반 1고 니뽀 덴끼 가부시끼 가이사 나 이	

심사관 : 민병준

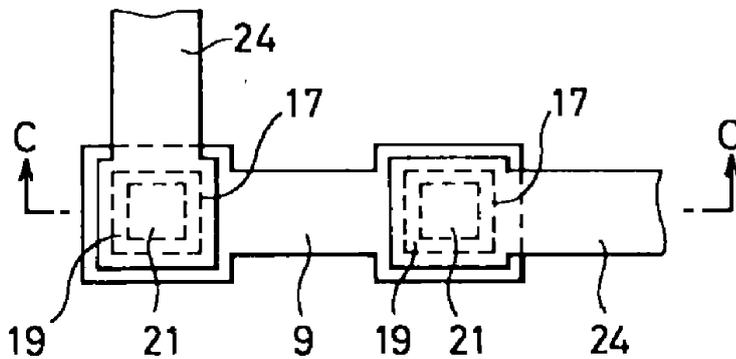
(54) 반도체 메모리 장치

요약

퓨즈를 파괴함으로써 결함 비트셀을 용장 비트셀로 대체하는 반도체 메모리 장치는 (a) 상부 절연층(16)을 통해 형성되는 접촉홀(17) 및/또는 상부 및 하부 절연층(16, 10)을 통해 형성되는 접촉홀(17)에 매립되고 고용용점을 갖는 금속으로 이루어지는 플러그(21), (b) 상부 절연층(16)을 통해 형성되는 채널(18)에 형성되고 상기 플러그(21)와 동일한 물질로 이루어지는 퓨즈 및 (c) 상부 절연층(16)상에 형성되고 상기 플러그(21) 및 퓨즈(22)의 대향 단부에 접속되는 상호접속층(24)을 구비하는 것을 특징으로 한다. 반도체 메모리 장치에서, 고용용점을 갖는 금속으로 이루어지고 동시에 플러그(21)에 형성되어 접촉홀(17)을 채우는 금속층(22)은 퓨즈로서 작용한다.

따라서, 종래 기술과 비교하여 제조 단계수를 증가시키지 않고 저저항 퓨즈를 얻을 수 있는데, 그 결과 비용상승 없이 메모리 장치의 동작 속도를 고속으로 할 수 있다.

대표도



명세서

[발명의 명칭]

반도체 메모리 장치

[도면의 간단한 설명]

제1도는 종래 반도체 메모리 장치에 사용되는 퓨즈의 평면도.

제2a도 내지 2c도는 반도체 메모리 장치를 제조하는 종래 공정 단계를 도시하는 단면도.

제3도는 본 발명의 제1실시예에 따른 반도체 메모리 장치의 단면도.

제4도는 본 발명의 제1실시예에 따른 반도체 메모리 장치에 사용되는 퓨즈의 평면도.

제5a도 내지 5f도는 제1실시예에 따른 반도체 메모리 장치를 제조하는 공정 단계를 도시하는 단면도.

그러나, W, Mo, Cr 및 V중 하나로 퓨즈를 만드는데에는 추가 단계가 필요로 된다.

제1도 및 제2a도 내지 2c도를 참조하여 언급된 제1종래 기술에서, 퓨즈는 인-도핑된 폴리실리콘, 텅스텐 실리사이드 또는 텅스텐 폴리사이드로 이루어지는데, 이들 모두는 단위 면적당 수백옴의 총저항을 갖는다. 따라서, 이와 같은 물질로 이루어진 메모리 장치의 동작 속도는 단위 면적당 대략 0.1옴의 총저항을 갖는 텅스텐으로 이루어진 메모리 디바이스와 비교하여 볼때 감소된다.

제2종래 기술인 제 62-119938호에서, 퓨즈는 텅스텐과 같은 금속으로 이루어진다. 그러나, 이 종래 기술에서, 퓨즈와 관계되는 상호접속부는 알루미늄보다 높은 저항율을 갖는 텅스텐으로 이루어져 있기 때문에 제1종래 기술의 문제와 같은 문제가 초래된다. 게다가, 제2종래 기술은 부가적으로 포토리소그래피 단계와, 텅스텐층을 형성하는 에칭 단계와, 퓨즈를 패턴닝하는 단계를 부가적으로 포함해야만 하므로 제조 단계수의 증가를 피할 수 없다.

[발명의 요약]

본 발명의 목적은 제조 단계수를 증가시키지 않고 보다 낮은 저항을 갖는 반도체 메모리 장치를 제공하는 것이다.

본 발명은 (a) 상부 절연층을 통해 형성된 접촉홀 및/또는 상부 및 하부 절연층을 통해 형성된 접촉홀에 매립되고 고용용점을 갖는 금속으로 이루어진 플러그와, (b) 상부 절연층을 통해 형성된 채널내에 형성되고 상기 플러그의 물질과 동일한 물질로 이루어진 퓨즈와, (c) 상부 절연층상에 형성되고 상기 플러그 및 상기 퓨즈의 대향 단부에 접속된 상호접속층을 포함하는 반도체 메모리 셀을 제공하는 것이다.

본 실시예에서, 고용용점을 갖는 금속은 텅스텐(W), 몰리브덴(Mo), 크롬(Cr) 또는 바나듐(V)으로부터 선택된다.

본 실시예에서, 반도체 메모리 장치는 퓨즈 또는 장벽층 밑에 배치되는 전기 도전층을 또한 포함한다. 이 도전층은 채널이 형성되는 동안에 에칭 스톱퍼로서 작용한다.

본 실시예에서, 상기 도전층은 저절연층상에 형성되는 상호 접속층 또는 전극물질과 동일한 물질로 이루어져 있다.

본 실시예에서, 상부 및 하부 절연층은 붕소-인 규산 유리(BPSG)층으로 이루어져 있다.

본 실시예에서, 전기 도전층은 (a) 폴리실리콘, (b) 고용용점을 갖는 금속 실리사이드 또는 (c) 폴리실리콘 및 고용용점을 갖는 금속 실리드의 결합 물질로부터 선택된 물질로 이루어져 있다.

본 실시예에서, 상호접속층은 알루미늄으로 이루어져 있다.

본 실시예에서, 반도체 메모리 장치는 상부 절연층 및 상호접속층간에, 또한 퓨즈 및 상호접속층간에 그리고 퓨즈 및 상호접속층간에 배치된 장벽층을 포함한다. 장벽층은 금속으로 이루어져 있다.

본 실시예에서, 장벽층은 Ti/TiN으로 이루어져 있다.

본 발명은 (a) 상부 절연층을 통해 형성된 접촉홀 및/또는 상부 및 하부 절연층을 통해 형성된 접촉홀에 매립되고 고용용점을 갖는 금속으로 이루어진 플러그와, (b) 상부 절연층을 통해 형성된 채널내에 형성되고 상기 플러그 물질과 동일한 물질로 이루어진 퓨즈와, (c) 상기 퓨즈밑에 배치되고 금속으로 이루어진 장벽층 및 (d) 상부 절연층상에 형성되고 상기 플러그 및 상기 퓨즈의 대향 단부에 접속되는 상호 접속층을 포함하는 반도체 메모리 셀을 제공하는 것이다.

본 실시예에서, 반도체 메모리 장치는 또한 플러그를 주변(surroundings)으로부터 분리시키는 제2장벽층을 포함한다.

본 실시예에서, 제2장벽층은 장벽층 물질과 동일한 물질로 이루어져 있다.

본 실시예에서, 장벽층은 상부 절연층 및 상호접속층간에서 확장된다.

본 실시예에서, 제2장벽층은 상부 절연층 및 상호접속층간에서 확장된다.

상술된 본 발명에 의해 얻어지는 장점이 이하에 후술될 것이다.

본 발명을 따른 반도체 메모리 장치에서, 플러그와 동시에 형성되어 상기 플러그와 더불어 제2접촉홀을 매립하는 고용용점을 갖는 금속으로 이루어진 층이 퓨즈로서 사용된다. 따라서, 종래 기술보다 제조 단계수를 증가시키지 않고 저저항성 퓨즈를 얻을 수 있다. 따라서, 본 발명은 비용 상승없이 메모리 장치의 동작 속도를 보다 빠르게 한다.

게다가, 텅스텐과 같은 고용용점을 갖는 금속으로 퓨즈를 만들므로써 저에너지로 퓨즈를 용융하거나 파괴할 수 있다. 또한, 퓨즈가 용융되거나 파괴될때 생성되는 산화물을 손쉽게 제거하는 부수 효과를 얻을 수 있다.

본 발명의 상기 목적 및 그외 다른 목적과 장점이 첨부한 도면을 참조하여 후술되는데, 전체 도면에서 동일하거나 유사한 소자에는 동일한 참조번호가 병기된다.

[본 실시예의 설명]

[실시예 1]

제3도는 본 발명의 제1실시예에 따른 반도체 메모리 장치를 도시한다. 제4도는 제3도에 도시된 반도체 메모리 장치에 사용되는 퓨즈만을 도시한 것이며, 제3도는 제4도의 선 A-A를 따라서 본 단면도이다.

제3도 및 4도에 도시된 바와 같이, 퓨즈(22)는 제3층간 절연층(16)에 형성된 채널(18)에 매립되어, 상기 채널(18)이 상기 퓨즈(22)로 채워지도록 한다. 채널(18)은 제2접촉홀(17)과 동시에 형성되고 퓨즈(22)는

제2점속출(17)을 채우는 텅스텐 플러그(21)와 동시에 형성된다.

금속으로 이루어진 장벽층(19)이 퓨즈(22) 밑에 형성되며, 상기 금속 밑에는 에칭 스톱퍼(15)가 또한 형성된다. 에칭 스톱퍼(15)는 캐패시터의 대향 전극(14)과 동시에 형성되어 데이터를 저장한다. 에칭 스톱퍼(15)는 채널(18)이 형성되는 동안 스톱퍼층으로서 작용한다. 특히, 비교적 얇게 되는 채널(18)은 제2점속출(17)과 동시에 형성되고 그에 따라서 에칭 스톱퍼(15)는 채널(18)이 너무 깊게 형성되지 않도록 한다.

장벽층(19)은 Ti/TiN과 같은 금속으로 이루어져 있다. 장벽층(19)은 퓨즈(22)를 제3층간 절연층(16) 및 에칭 스톱퍼(15)와 분리시킨다. 장벽층(19)은 제3층간 절연층(16) 및 상호접속층(24)간에서 확장되어 상호접속층(24)을 제3층간 절연층(16)과 물리적으로 분리시킨다. 장벽층(19)은 또한 텅스텐 플러그(22)를 제3층간 절연층(16), 제2층간 절연층(10) 및 제1층간 절연층(6)과 같은 주변과 분리시킨다.

제3도에 도시된 단면도와 동일한 단면도를 도시하는 제5a도 내지 5f도를 참조하여 본 발명의 제1실시예에 따라서 반도체 메모리 장치를 제조하는 방법이 후술될 것이다.

제5a도에 도시된 바와 같이, 800 °C 내지 1200 °C 범위의 온도에서 300nm 내지 400nm 범위의 두께로 선택적으로 산화되므로써 단결정 p형 실리콘 기판(1)의 표면에 소자 격리용 산화물층(2)을 우선 형성한다. 그리고 나서, 700 °C 내지 800 °C 범위의 온도에서 열 산화가 실행되므로써 10nm 내지 20nm 범위의 두께를 갖는 게이트 산화물층(3)을 형성한다.

그리고 나서, 화학적 증기 증착(CVD)에 의해 폴리실리콘층을 대략 150nm 두께로 증착시킨다. 그리고 나서, 폴리실리콘층은 게이트(4)를 형성하도록 패터닝된 다음, 이온 주입이 마스크로서 작용하는 게이트(4)에 실행되어 소스 및 드레인 영역으로서 작용하는 n형 확산층(5a 및 5b)을 형성한다. 대략 100nm의 두께를 갖는 실리콘 산화물층 및 대략 200nm의 두께를 갖는 붕소인 규산 유리(BPSG)층으로 이루어진 제1층간 절연층(6)이 증착된다.

그리고 나서, 제5b도에 도시된 바와 같이, MOS 트랜지스터의 n형 확산층(5a)상에 포토리소그래피 기술 및 비등방성 에칭에 의해 제1점속출(7)이 형성된다. 제1점속출(7)은 스퍼터링에 의해 대략 100nm 두께를 갖는 텅스텐 실리사이드층으로 커버되고 나서 이 텅스텐 실리사이드층의 불필요한 부분은 포토리소그래피 기술 및 비등방성 에칭에 의해 제거되어 제1점속출(7)내에 비트선(8)을 형성시킨다. 그리고 나서, BPSG층으로 이루어지고 대략 200nm 두께를 갖는 제2층간 절연층(10)은 CVD에 의해 증착된다.

그리고 나서, 제5c도에 도시된 바와 같이, 포토리소그래피 기술 및 비등방성 에칭에 의해 용량성 접촉층(11)이 MOS 트랜지스터의 n형 확산층(5b)상에 형성된다. CVD에 의해 200nm 내지 300nm 범위의 두께를 갖는 폴리실리콘층이 용량성 접촉층(11)내에 증착된다. 인이 폴리실리콘층으로 확산된 후, 폴리실리콘층의 불필요한 부분은 포토리소그래피 및 비등방성 에칭에 의해 제거되므로써 제5c도에 도시된 바와 같이 축적 전극(12)을 형성한다.

그리고 나서, 대략 10nm의 두께를 갖는 실리콘 질화물층 및 대략 150nm의 두께를 갖는 폴리실리콘층이 순서대로 CVD에 의해 증착된다. 인이 폴리실리콘층으로 확산되어 이 폴리실리콘층의 저항을 보다 낮게 한 후, 실리콘 질화물층 및 폴리실리콘층의 불필요한 부분은 포토리소그래피 기술 및 비등방성 에칭에 의해 제거되므로써 용량성 절연층(13) 및 대향 전극(14)을 형성한다. 두개의 층의 불필요한 부분을 제거시, 두개의 층들은 퓨즈가 형성되는 에리어에 남게 된다. 따라서, 제거되지 않은 폴리실리콘층은 에칭 스톱퍼로서 작용한다. 그리고 나서, BPSG로 이루어지고 대략 200nm의 두께를 갖는 제3층간 절연층 CVD에 의해 증착된다.

그리고 나서, 제5d도에 도시된 바와 같이, 다수의 제2점속출(17)(이 홀들중 단지 하나의 홀만이 제5d도에 도시된다)은 n형 확산층(5a 및 5b), p형 확산층(도시되지 않음), 게이트(4), 비트선(8) 및 대향 전극(14)과 같은 소정 에리어상에 CF_4 및 CHF_3 를 함유하는 혼합 가스를 이용하여 포토리소그래피 기술 및 비등방성 에칭에 의해 형성된다. 동시에, 퓨즈가 형성되는 에리어가 에칭되므로써 이 에리어내에 채널(18)을 형성한다. 에칭 스톱퍼(15)가 채널(18)이 형성되는 에리어에 이미 형성되었기 때문에, 채널이 에칭에 의해 형성될때 제3층간 절연층(16)만이 에칭된다.

대향 전극(14)이 본 실시예에서 폴리실리콘으로 이루어졌지만, 대향 전극(14)은 텅스텐 실리사이드와 같은 고용융점을 갖는 금속 실리사이드 또는 폴리실리콘 및 고용융점을 갖는 금속 실리사이드로 이루어진 다층으로 이루어질 수 있다. 대향 전극(14)이 이와 같은 금속으로 이루어지는 경우, 에칭 스톱퍼(15)는 반드시 동일한 물질로 이루어진다.

그리고 나서, Ti/TiN의 다층으로 이루어진 장벽층(19)이 150nm의 두께로 증착된다. 또한, 텅스텐과 같은 고용융점을 갖는 금속으로 이루어진 층(20)이 CVD에 의해 500nm 내지 1000nm 범위 두께로 증착되므로써 제2점속출(17) 및 채널(18) 모두가 제5d도에 도시된 바와 같이 채워진다.

그리고 나서, 제5e도에 도시된 바와 같이 텅스텐층(20)은 비등방적으로 에칭백되어 텅스텐은 제2점속출(17) 및 채널(18)에만 남게 된다. 따라서, 텅스텐 플러그(21)는 제2점속출(17)에 형성되고 텅스텐으로 이루어진 퓨즈(22)는 채널(18)에 형성된다. 그리고 나서, 스퍼터링에 의해 대략 500nm의 두께를 갖는 알루미늄층으로 전체가 커버되므로써 상호접속부(24)가 형성되는 층(23)을 형성한다.

그리고 나서, 제5f도에 도시된 바와 같이, 층(23) 및 장벽층(19)의 불필요한 부분은 제거되거나, 층(23) 및 장벽층(19)은 포토리소그래피 기술 및 비등방성 에칭에 의해 패터닝 되므로써 알루미늄으로 이루어진 상호접속층(24)을 형성한다. Cl_2 및 BCl_3 를 함유하는 혼합 가스가 비등방성 에칭에 사용되는 경우, 알루미늄으로 이루어진 층(23) 및 Ti/TiN으로 이루어진 장벽층(19)은 손쉽게 에칭되지만, 텅스텐으로 이루어진 플러그(21) 및 퓨즈(22)는 거의 에칭되지 않는다.

[실시예 2]

제6도 및 7a도 내지 7c도를 참조하여 본 발명을 따른 제2실시예가 이하에 설명될 것이다. 제6도는 제2실

시에에서 사용되는 퓨즈를 도시하는 평면도이고 제7a도 내지 7c도는 본 발명을 따라서 반도체 메모리 장치를 제조하는 공정 단계를 도시한다. 제7a도 내지 7c도는 제6도의 선을 따라서 본 단면도이다.

제1실시예를 도시하는 제4도와 제2실시예를 도시한 제6도를 비교하여 알 수 있는 바와 같이, 제2실시예는 장벽층(19)이 채널(18)의 내부 표면을 따라서 형성되지 않는다는 것만이 제1실시예와 상이하다. 게다가, 제2실시예에 따라서 반도체 메모리 장치를 제조하는 공정은 텅스텐과 같은 고용융점 금속으로 제2접촉홀(17) 및 채널(18)을 채우는 단계 및 장벽층(19)을 형성하는 단계 순서가 상이하다는 점에서 제1실시예와 상이하다. 이들 두가지 단계를 제외한 나머지 단계는 제1 및 제2실시예간에서 기본적으로 공통된다. 따라서, 제2접촉홀(17) 및 채널(18)에 고용융점 금속을 증착시키는 단계 다음에 실행될 단계가 후술된다.

제2실시예에 사용되는 방법에서, 제5a도 내지 5c도를 참조하여 설명되는 단계가 또한 실행된다. 그리고 나서, 제7a도에 도시된 바와 같이, 다수의 제2접촉홀(17)(이 홀들중 하나의 홀만이 제7a도에 도시된다)은 n형 확산층(5a 및 5b), p형 확산층(도시되지 않음), 게이트(4), 비트선(8) 및 대향 전극(14)과 같은 소정 에리어상에 CF_4 및 CHF_3 를 함유하는 혼합 가스를 이용하여 포토리소그래피 기술 및 비등방성 에칭에 의해 형성된다. 동시에, 퓨즈가 형성되는 에리어가 또한 에칭되므로써 이 에리어내에서 채널을 형성한다. 그리고 나서, 텅스텐과 같은 고용융점을 갖는 금속은 제2접촉홀(17) 및 채널(18)이 채워지도록 제2접촉홀(17) 및 채널(18)에 선택적으로 증착되므로써 텅스텐 플러그(21) 및 퓨즈(22)를 형성한다.

그리고 나서, 제7b도에 도시된 바와 같이, Ti/TiN과 같은 금속으로 이루어진 장벽층(19)이 대략 150nm 두께로 증착되고, 이 장벽층(19)상에 알루미늄과 같은 금속으로 이루어진 층(23)이 스퍼터링에 의해 대략 500nm 두께로 증착된다.

그리고 나서, 제7c도에 도시된 바와 같이, 층(23) 및 장벽층(19)의 불필요한 부분이 제거되거나 층(23) 및 장벽층(19)이 포토리소그래피 기술 및 비등방성 에칭에 의해 패턴닝되므로써 알루미늄으로 이루어진 상호접속층(24)을 형성한다.

본 실시예에서 서술된 바와 같이, 제2접촉홀을 채우는 텅스텐과 같은 고용융점을 갖는 금속이 퓨즈로서 사용된다. 따라서, 종래 기술과 관계하여 제조 단계수를 증가시키지 않고 저저항성 퓨즈를 얻을 수 있다.

상기 실시예에서, 퓨즈를 이루는 고용융점 금속으로서 텅스텐(W)이 예시되었다. 이 텅스텐(W)은 CVD에 사용되는 소스 개스로서 손쉽게 취급되고 실리콘과 반응하지 않기 때문에 바람직하다. 그러나, 텅스텐은 몰리브덴(Mo), 크롬(Cr) 및 바나듐(V)과 같은 고용융점을 갖는 다른 금속으로 대체될 수 있다.

또한, 본 발명은 SRAM, EPROM, EEPROM 및 플래시 메모리 뿐만 아니라 DRAM과 같은 각종 반도체 메모리 장치에 적용될 수 있다.

본 발명이 바람직한 실시예와 관련하여 서술되었지만, 본 발명은 이들 특정 실시예에만 국한되지 않는다. 따라서, 당업자는 본 발명의 원리 및 영역을 벗어남이 없이 각종 수정 및 변경을 행할 수 있다는 것을 알 수 있을 것이다.

(57) 청구의 범위

청구항 1

퓨즈를 파괴하여 결합 비트셀을 용장 비트셀로 대체하는 반도체 메모리 장치에 있어서, 상부 절연층(16)을 통해 형성되는 접촉홀(17) 및/또는 상부 및 하부 절연층(16, 10)을 통해 형성되는 접촉홀(17)에 매립되고 고용융점을 갖는 금속으로 이루어지는 플러그(21)와, 상기 상부 절연층(16)을 통해 형성되는 채널(18)에 형성되고 상기 플러그(21)와 동일한 물질로 이루어진 퓨즈(22)와, 상기 상부 절연층(16)상에 형성되고 상기 플러그(21) 및 상기 퓨즈(22)의 대향 단부에 접속되는 상호접속층(24)을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 2

제1항에 있어서, 상기 퓨즈(22) 밑에 배치되고 금속으로 이루어진 장벽층(19)을 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3

제1항 또는 제2항에 있어서, 고용융점을 갖는 상기 금속은 텅스텐(W), 몰리브덴(Mo), 크롬(Cr) 또는 바나듐(V)으로부터 선택되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 4

제1항 또는 제2항에 있어서, 상기 퓨즈(22) 밑에 배치되고 상기 채널(18)이 형성되는 동안 에칭 스톱퍼로서 작용하는 전기도전층(15)을 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 5

제4항에 있어서, 상기 도전층(15)은 전극(14) 또는 상기 하부 절연층(10)상에 형성되는 상호접속층과 동일한 물질로 이루어지는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6

제5항에 있어서, 상기 전기 도전층(15)은 (a) 폴리실리콘, (b) 고용융점을 갖는 금속 실리사이드 또는 (c) 고용융점을 갖는 금속 실리사이드 및 폴리실리콘의 결합 물질로부터 선택되는 물질로 이루어지는 것을 특징으로 하는 반도체 메모리 장치.

청구항 7

제1항에 있어서, 상기 상부 절연층(16) 및 상기 상호접속층(24)간에 배치되며, 또한 상기 퓨즈(22) 및 상기 상호접속층(24)간에 배치되며, 게다가 상기 플러그(21) 및 상기 상호접속층(24)간에 배치되고 금속으로 이루어진 장벽층(19)을 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 8

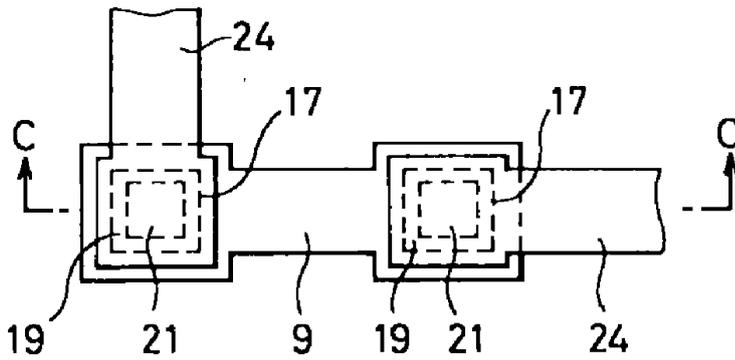
제2항에 있어서, 상기 플러그(21)를 주변으로부터 분리시키는 제2장벽층(19)을 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 9

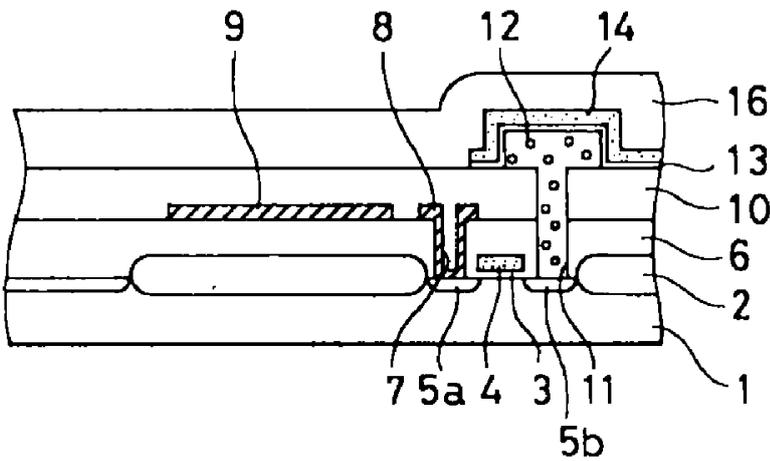
제8항에 있어서, 상기 제2장벽층(19)은 상기 장벽층(19)과 동일한 물질로 이루어지는 것을 특징으로 하는 반도체 메모리 장치.

도면

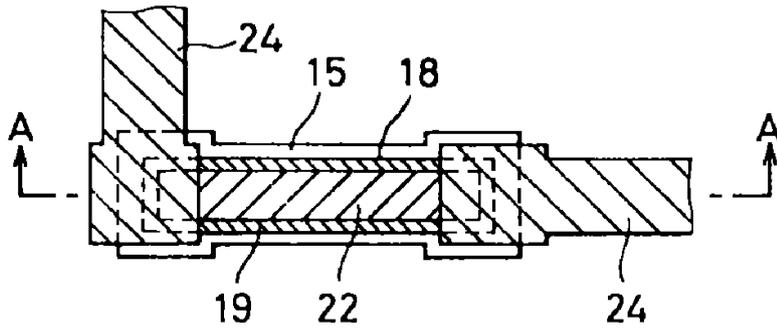
도면1



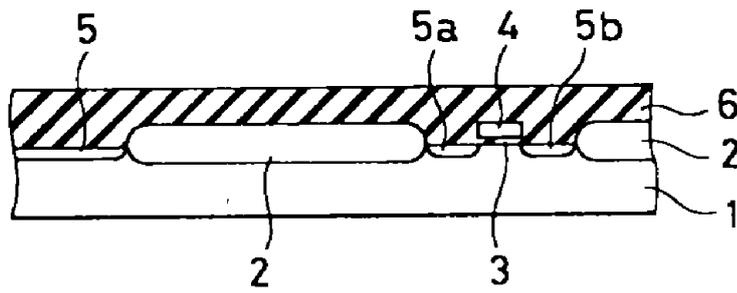
도면2a



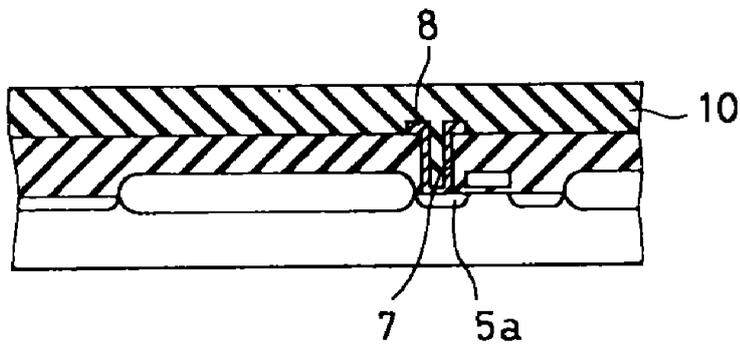
도면4



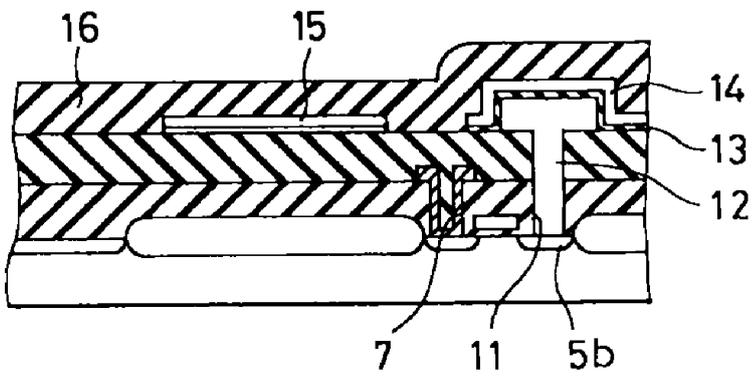
도면5a



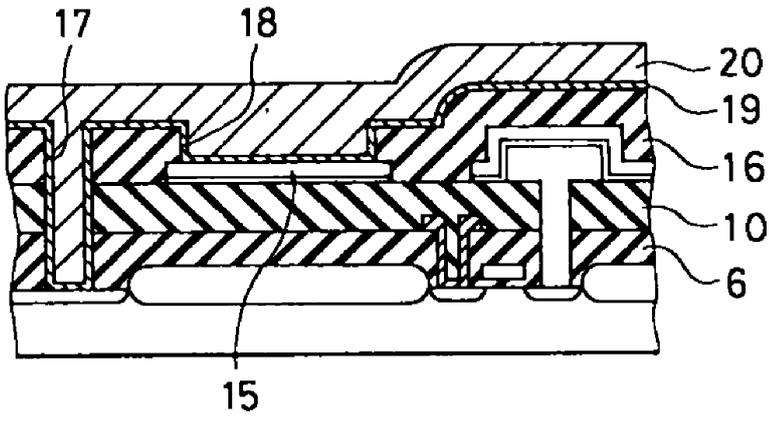
도면5b



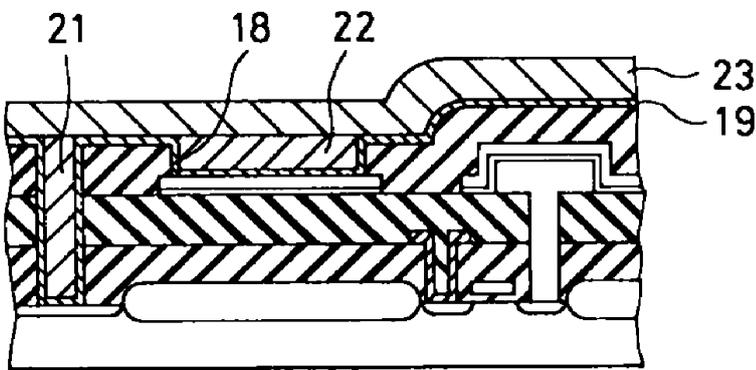
도면5c



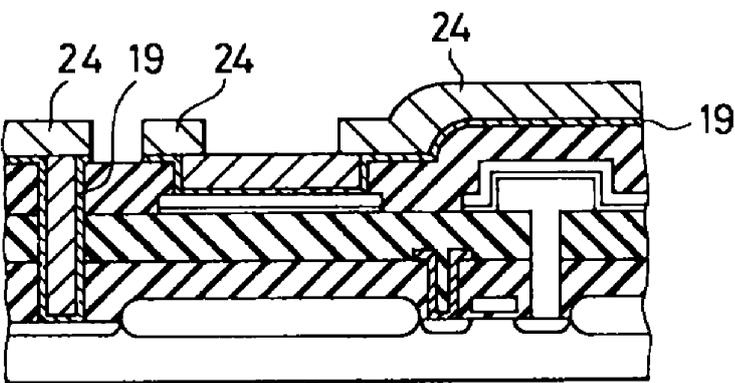
도면5d



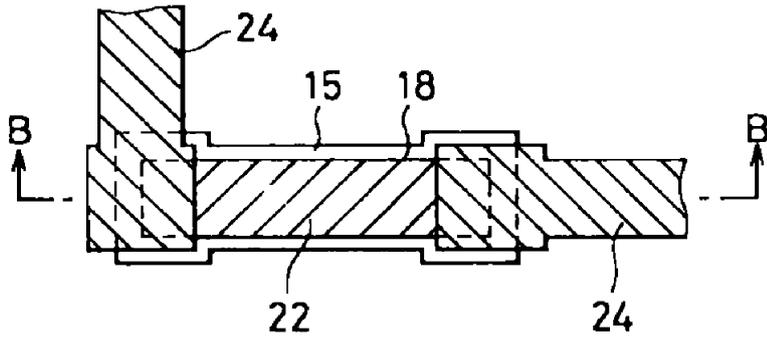
도면5e



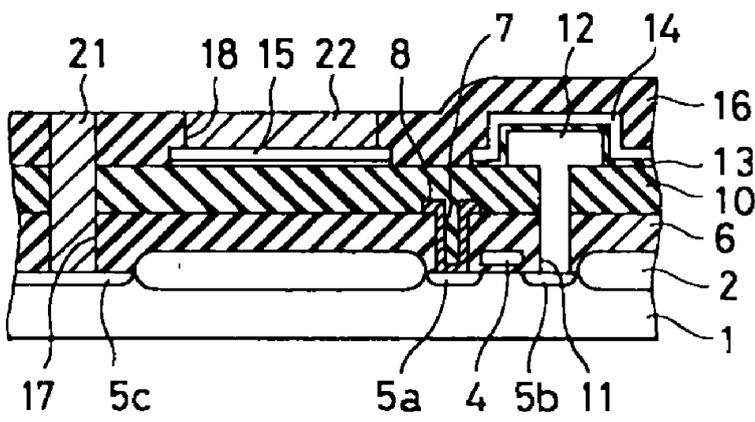
도면5f



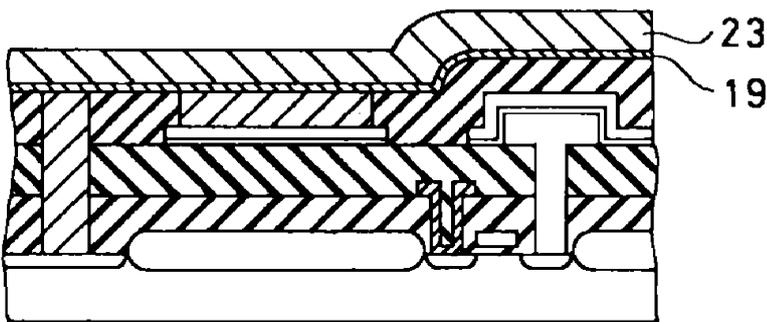
도면6



도면7a



도면7b



도면7c

