

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2008年1月3日 (03.01.2008)

PCT

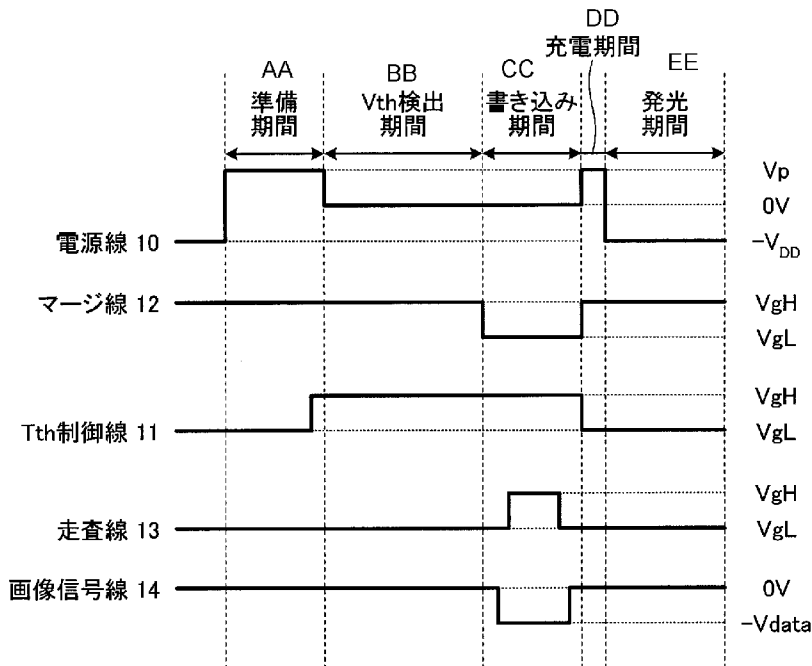
(10) 国際公開番号
WO 2008/001911 A1

- (51) 国際特許分類:
G09G 3/30 (2006.01) H01L 51/50 (2006.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2007/063167
- (22) 国際出願日: 2007年6月29日 (29.06.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-179696 2006年6月29日 (29.06.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 京セラ株式会社 (KYOCERA CORPORATION) [JP/JP]; 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 高杉 親知 (TAKASUGI, Shinji) [JP/JP]; 〒2428502 神奈川県大和市下鶴間1623-14 株式会社京セラディスプレイ研究所内 Kanagawa (JP).
- (74) 代理人: 酒井 宏明 (SAKAI, Hiroaki); 〒1006019 東京都千代田区霞が関三丁目2番5号 霞が関ビルディング 酒井国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ,

[続葉有]

(54) Title: METHOD FOR DRIVING IMAGE DISPLAY APPARATUS

(54) 発明の名称: 画像表示装置の駆動方法



(57) Abstract: A contrast ratio is improved in an image display apparatus. The image display apparatus is provided with a plurality of pixel circuits, which have organic light emitting elements (OLED), and a driving transistor (Td), which is electrically connected to the organic light emitting elements (OLED) and controls light emission from the organic light emitting elements (OLED). A method for driving the image display apparatus includes a step of supplying an image signal, which corresponds to the emission luminance of the organic light emitting elements (OLED), to pixel circuits; a step of applying reverse bias voltages to the organic light emitting elements (OLED); and a step of permitting the organic light emitting elements (OLED) to emit light based on the image signal.

(57) 要約: 画像表示装置において、コントラスト比を改善すること。有機発光素子OLEDと、有機発光素子OLEDに電氣的に接続さ

- 10 POWER SUPPLY LINE
- AA PREPARATION PERIOD
- 12 MERGE LINE
- BB V_{th} DETECTION PERIOD
- 11 T_{th} CONTROL LINE
- CC WRITING PERIOD
- 13 SCANNING LINE
- DD CHARGING PERIOD
- 14 IMAGE SIGNAL LINE
- EE LIGHT EMITTING PERIOD

れ、有機発光素子OLEDの発光を制御する駆動トランジスタTdと、を有する画素回路を複数備えた画像表示装置

[続葉有]

WO 2008/001911 A1



OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK,
SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW.

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,

添付公開書類:

- 国際調査報告書
- 補正書・説明書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

画像表示装置の駆動方法

技術分野

[0001] 本発明は、画像表示装置の駆動方法に関するものである。

背景技術

[0002] 従来から、発光層に注入された正孔と電子とが再結合することによって光を生じる機能を有する電流制御型の有機EL (Electroluminescence) 素子を用いた画像表示装置が提案されている。

[0003] この種の画像表示装置では、例えばアモルファスシリコンや多結晶シリコン等で形成された薄膜トランジスタ (Thin Film Transistor: 以下「TFT」という) や有機EL素子の一つである有機発光ダイオード (Organic Light Emitting Diode: 以下「OLED」という) などが各画素を構成しており、各画素に適切な電流値が設定されることにより、各画素の輝度が制御される。

[0004] 例えば発光素子と、TFTなどの駆動トランジスタとが直列に配置された画素を複数持つアクティブ・マトリクス型の画像表示装置では、各画素に設けられた駆動トランジスタの閾値電圧のばらつきにより、発光素子に流れる電流値が変化して輝度むらが発生する。この現象を改善するための手法として、例えば駆動トランジスタの閾値電圧を予め検出するとともに、検出した閾値電圧に基づいて発光素子に流れる電流を制御する方式 (例えば非特許文献1) や、当該方式に基づく具体的な回路構成 (例えば非特許文献2) などが開示されている。

[0005] 非特許文献1: R. M. A. Dawson, et al. (1998). Design of an Improved Pixel for a Polysilicon Active-Matrix Organic LED Display. SID 98 Digest, pp. 11-14.

非特許文献2: S. Ono et al. (2003). Pixel Circuit for a-Si AM-OLED. Proceedings of IDW '03, pp. 255-258.

発明の開示

発明が解決しようとする課題

[0006] しかしながら、上記非特許文献などに開示された手法では、黒レベルの画像を表示するため、駆動トランジスタの閾値電圧近傍におけるオフ電流を十分に小さくしても、発光素子の容量及び画素回路の寄生容量に対して充電がされるまでは発光素子に電流が流れ、その結果、発光期間の初期段階において発光素子が発光してしまう。それ故、黒レベルの輝度に対する白レベルの輝度比であるコントラスト比が低下してしまうという問題点を発明者が見出した。

[0007] 本発明は、上記に鑑みてなされたものであって、コントラスト比の改善を簡易な手法にて実現する画像表示装置の駆動方法を提供することを目的とする。

課題を解決するための手段

[0008] 上述した課題を解決し、目的を達成するため、本発明にかかる画像表示装置の駆動方法は、発光手段と、前記発光手段に電氣的に接続され、前記発光手段の発光を制御するドライバ手段と、を有する画素回路を複数備えた画像表示装置の駆動方法において、前記発光手段の発光輝度に対応した画像信号を前記画素回路に供給するステップと、前記発光手段に逆バイアス電圧を印加するステップと、前記画像信号に基づいて前記発光手段を発光させるステップと、を含むことを特徴とする。

[0009] また、つぎの発明にかかる画像表示装置の駆動方法は、上記の発明において、前記発光手段に対する逆バイアス電圧の印加は、該発光手段および前記ドライバ手段に対して電氣的に接続される電源線の電位を変化させることによって行われることを特徴とする。

[0010] また、つぎの発明にかかる画像表示装置の駆動方法は、上記の発明において、前記発光手段に逆バイアスを印加する際、ならびに前記発光手段を発光させる際に、前記発光手段と前記ドライバ手段とが電氣的に直列に接続されていることを特徴とする。

[0011] また、つぎの発明にかかる画像表示装置の駆動方法は、上記の発明において、前記発光手段は有機発光素子により、前記ドライバ手段は薄膜トランジスタにより、それぞれ構成されており、前記有機発光素子の持つ素子容量は、前記薄膜トランジスタのソース・ドレイン間の寄生容量よりも大きいことを特徴とする。

発明の効果

[0012] 本発明にかかる画像表示装置の駆動方法によれば、画素回路に画像信号を供給した後、発光手段に逆バイアス電圧を印加し、しかる後、発光手段を発光させるようにしているので、発光期間の初期段階において発光手段に多量に電流が流れることが抑制され、発光手段を低階調レベルで発光させる際に発光手段に流れる電流量を低減できる。その結果、画像表示装置におけるコントラスト比を改善することができるという効果が得られる。

図面の簡単な説明

[0013] [図1]図1は、本発明の実施の形態1を説明するための画像表示装置の1画素に対応する画素回路の構成を示す図である。

[図2]図2は、図1に示した画素回路上にトランジスタの寄生容量および素子容量を示した回路構成を示す図である。

[図3]図3は、図2に示した画素回路の一般的な動作を説明するためのシーケンス図である。

[図4]図4は、図3に示すシーケンスの準備期間における動作を説明する図である。

[図5]図5は、図3に示すシーケンスの閾値電圧検出期間における動作を説明する図である。

[図6]図6は、図3に示すシーケンスの書き込み期間における動作を説明する図である。

[図7]図7は、図3に示すシーケンスの発光期間における動作を説明する図である。

[図8]図8は、駆動トランジスタ T_d のゲート・ソース間電圧 V_{gs} に対する電流 $(I_{ds})^{1/2}$ の関係($V-I^{1/2}$ 特性)を示す図である。

[図9]図9は、本発明の好適な実施の形態にかかる制御手法を図2に示した画素回路に適用した場合のシーケンス図である。

[図10]図10は、図3に示す従来のシーケンスに基づいて発光制御を行った場合の動作を説明する図である。

[図11]図11は、図9に示す本発明のシーケンスに基づいて発光制御を行った場合の動作を説明する図である。

[図12]図12は、図3に示す従来シーケンスに基づいて発光制御を行った場合の発光

時間と発光輝度との関係を示す図である。

[図13]図13は、図9に示す本発明の制御シーケンスに基づいて発光制御を行った場合の発光時間と発光輝度との関係を示す図である。

[図14]図14は、図9に示す本発明の制御シーケンスに基づいて発光制御を行ったときの駆動トランジスタTdのゲート・ソース間電圧Vgsと有機発光素子OLEDの発光輝度との関係を示す図である。

[図15]図15は、電圧制御型の画素回路の構成例を示す図である。

[図16]図16は、電圧制御型の画素回路の図15とは異なる構成例を示す図である。

[図17]図17は、図15、図16とは異なる電流制御型の画素回路の構成例を示す図である。

符号の説明

- [0014] 10 電源線
11 制御線
12 マージ線
13 走査線
14 画像信号線
OLED 有機発光素子
Cs 容量
Td 駆動トランジスタ
Tm, Ts スイッチングトランジスタ
Tth 閾値電圧検出用トランジスタ
D1, D2, D3 発光素子
Q1, Q2, Q3 駆動素子
U1, U2, U3 コントローラ

発明を実施するための最良の形態

- [0015] 以下に、本発明の画像表示装置の駆動方法にかかる好適な実施の形態を図面に基づいて詳細に説明する。なお、以下に示す実施の形態により本発明が限定されるものではない。

- [0016] 図1は、本発明の好適な実施の形態を説明するための画像表示装置の1画素に対応する画素回路の構成を示す図である。同図に示す画素回路は、マトリクス状に配列されており、各画素回路は、有機EL素子の一つである有機発光素子OLED、駆動トランジスタTd、閾値電圧検出用トランジスタTth、閾値電圧や画像信号電位を保持する容量Csを所定ラインに所定期間接続するためのスイッチングトランジスタTs、Tmを備えるように構成されている。なお、図1に示す構成は、有機発光素子などを制御する画素回路の一般的構成であり、本発明の特徴を示すものではない。
- [0017] 図1において、駆動トランジスタTdは、ゲート電極・ソース電極間に与えられる電位差に応じて有機発光素子OLEDに流れる電流量を制御するための素子である。また、閾値電圧検出用トランジスタTthは、オン状態となったときに、駆動トランジスタTdのゲート電極とドレイン電極とを電氣的に接続し、駆動トランジスタTdのゲート電極・ソース電極間の電位差が駆動トランジスタTdの閾値電圧Vthとなるまで駆動トランジスタTdのゲート電極からドレイン電極に向かって電流を流すことにより、駆動トランジスタTdの閾値電圧Vthを検出する機能を有している。
- [0018] 有機発光素子OLEDは、両端に閾値電圧以上の電位差(アノード・カソード間電圧)が生じることにより電流が流れ、発光する特性を有する素子である。具体的な構造や機能として、有機発光素子OLEDは、Al、Cu、ITO(Indium Tin Oxide)等によって形成されたアノード層およびカソード層と、アノード層とカソード層との間にフタルシアニン、トリスアルミニウム錯体、ベンゾキノリノラト、ベリリウム錯体等の有機系の材料によって形成された発光層とを少なくとも備えた構造を有し、発光層に注入された正孔と電子とが再結合することによって光を生じる機能を有する。
- [0019] 駆動トランジスタTd、閾値電圧検出用トランジスタTth、スイッチングトランジスタTsおよびスイッチングトランジスタTmは、例えば、薄膜トランジスタである。なお、以下に参照される各図面において、各薄膜トランジスタのチャンネル(N型またはP型)については、N型、P型のいずれのタイプを用いてもよい。
- [0020] 電源線10は、駆動トランジスタTdおよびスイッチングトランジスタTmに電源を供給する。Tth制御線11は、閾値電圧検出用トランジスタTthを制御するための信号を供給する。マージ線12は、スイッチングトランジスタTmを制御するための信号を供給す

る。走査線13は、スイッチングトランジスタTsを制御するための信号を供給する。画像信号線14は、有機発光素子OLEDの発光輝度に対応する画像信号を供給する。

[0021] なお、図1では、有機発光素子OLEDに所定電源を供給するために、高電位のグラウンド線と低電位の電源線10との間に有機発光素子OLEDを配するようになっているが、高電位側を電源線10として駆動し、低電位側をグラウンド線として固定電位にしたり、両方を電源線とし、両電源線の電位を変動させてもよい。

[0022] ところで、トランジスタには、一般的にゲート・ソース間およびゲート・ドレイン間に寄生容量が存在する。これらのうち、駆動トランジスタTdのゲート電位に影響を与えるのは、駆動トランジスタTdのゲート・ソース間容量CgsTd、駆動トランジスタTdのゲート・ドレイン間容量CgdTd、および閾値電圧検出用トランジスタTthのゲート・ソース間容量CgsTth、閾値電圧検出用トランジスタTthのゲート・ドレイン間容量CgdTthである。なお、これらの寄生容量と、有機発光素子OLEDが固有に有している素子容量Coledを表示した画素回路を図2に示す。

[0023] つぎに、本実施の形態の動作について、図3～図7を参照して説明する。ここで、図3は、図2に示した画素回路の一般的な動作を説明するためのシーケンス図であり、図4～図7は、4つの期間に区分された準備期間(図4)、閾値電圧検出期間(図5)、書き込み期間(図6)および発光期間(図7)の各区間の動作を説明するための図である。なお、以下に説明する動作は、制御部(図示略)の制御下で行われる。

[0024] (準備期間)

準備期間の動作については、図3および図4を参照して説明する。準備期間では、電源線10が高電位(Vp)、マージ線12が高電位(VgH)、Tth制御線11が低電位(VgL)、走査線13が低電位(VgL)、画像信号線14がゼロ電位とされる。これにより、図4に示すように、閾値電圧検出用トランジスタTthがオフ、スイッチングトランジスタTsがオフ、駆動トランジスタTdがオン、スイッチングトランジスタTmがオンとされ、電源線10→駆動トランジスタTd→素子容量Coledという経路で電流が流れ、素子容量Coledに電荷が蓄積される。なお、この準備期間で素子容量Coledに電荷を蓄積する理由は、後述する閾値電圧検出期間に駆動トランジスタTdのゲート・ソース間電圧を閾値電圧に近づける際に、素子容量Coledを駆動トランジスタTdのドレイン・ソース

間に流す電流の供給源として作用させるためである。

[0025] (閾値電圧検出期間)

つぎに、閾値電圧検出期間の動作について図3および図5を参照して説明する。閾値電圧検出期間では、電源線10がゼロ電位、マージ線12が高電位(VgH)、Tth制御線11が高電位(VgH)、走査線13が低電位(VgL)、画像信号線14がゼロ電位とされる。これにより、図5に示すように、閾値電圧検出用トランジスタTthがオンとなり、駆動トランジスタTdのゲートとドレインとが接続される。

[0026] また、容量Csおよび素子容量Coledに蓄積された電荷が放電され、駆動トランジスタTd→電源線10という経路で電流が流れる。そして、駆動トランジスタTdのゲート・ソース間電圧Vgsが閾値電圧Vthに達すると、駆動トランジスタTdがオフとされるため、結果的に、駆動トランジスタTdの閾値電圧Vthが検出される。

[0027] (書き込み期間)

さらに、書き込み期間の動作について図3および図6を参照して説明する。書き込み期間では、データ電位(-Vdata)を容量Csに供給することにより、駆動トランジスタTdのゲート電位を所望電位に変化させることが行われる。具体的には、電源線10がゼロ電位、マージ線12が低電位(VgL)、Tth制御線11が高電位(VgH)、走査線13が高電位(VgH)、画像信号線14がデータ電位(-Vdata)とされる。

[0028] これにより、図6に示したように、スイッチングトランジスタTsがオン、スイッチングトランジスタTmがオフとなり、素子容量Coledに蓄積された電荷が放電され、容量Coled→閾値電圧検出用トランジスタTth→容量Csという経路で電流が流れ、容量Csに電荷が蓄積される。すなわち、素子容量Coledに蓄積された電荷は、容量Csに移動する。

[0029] ここで、駆動トランジスタTdのゲート電位Vglは、駆動トランジスタTdの閾値電圧をVthとすると、容量Csの容量値をCs、閾値電圧検出用トランジスタTthがオンの場合の全容量(すなわち駆動トランジスタTdのゲートに接続された静電容量および寄生容量)をCallとすると、次式で表される(なお、上記仮定は、以下の式についても及ぶものとする)。

[0030] $Vg = Vth - (Cs/Call) \cdot Vdata \quad \dots (1)$

[0031] また、容量 C_s の両端電圧 V_{Cs} は、次式で表される。

$$V_{Cs} = V_g - (-V_{data}) = V_{th} + [(C_{all} - C_s) / C_{all}] \cdot V_{data} \quad \dots (2)$$

[0032] 上記(2)式に示される全容量 C_{all} は、閾値電圧検出用トランジスタ T_{th} の導通時の全容量であり、次式で表される。

$$C_{all} = C_{oled} + C_s + C_{gs}T_{th} + C_{gd}T_{th} + C_{gs}T_d \quad \dots (3)$$

[0033] なお、上記(3)式に駆動トランジスタ T_d のゲート・ドレイン間容量 $C_{gd}T_d$ が含まれていないのは、駆動トランジスタ T_d のゲート・ドレイン間が閾値電圧検出用トランジスタ T_{th} によって接続され、駆動トランジスタ T_d 両端が略同電位となっているからである。また、容量 C_s と素子容量 C_{oled} との間には、一般に $C_s < C_{oled}$ の関係がある。

[0034] (発光期間)

最後に、発光期間の動作について図3および図7を参照して説明する。発光期間では、電源線10がマイナス電位($-V_{DD}$)、マージ線12が高電位(V_{gH})、 T_{th} 制御線11が低電位(V_{gL})、走査線13が低電位(V_{gL})、画像信号線14がゼロ電位とされる。

[0035] これにより、図7に示したように、駆動トランジスタ T_d がオン、閾値電圧検出用トランジスタ T_{th} がオフ、スイッチングトランジスタ T_s がオフとなり、素子OLED→駆動トランジスタ T_d →電源線10という経路で電流が流れ、有機発光素子OLEDが発光する。

[0036] なお、駆動トランジスタ T_d のドレインからソースに流れる電流(I_{ds})は、駆動トランジスタ T_d の構造、材質から決定される定数 β 、駆動トランジスタ T_d のゲート・ソース間電圧 V_{gs} 、ドレイン・ソース間電圧 V_{ds} および閾値電圧 V_{th} とともに、以下に示す、 V_{gs} 、 V_{th} および V_{ds} との間の大小関係(N型トランジスタの場合)によって決定される駆動トランジスタ T_d の動作特性に応じて、次式のように近似される。

[0037] (a) $V_{gs} - V_{th} < V_{ds}$ (飽和領域) のとき

$$I_{ds} = \beta \times [(V_{gs} - V_{th})^2] \quad \dots (4)$$

(b) $V_{gs} - V_{th} \geq V_{ds}$ (線形領域) のとき

$$I_{ds} = 2 \times \beta \times [(V_{gs} - V_{th}) \times V_{ds} - (1/2 \times V_{ds}^2)] \quad \dots (5)$$

[0038] ここで、上記(4)式および(5)式に表れる β は、駆動トランジスタ T_d の特性係数であり、駆動トランジスタ T_d のチャンネル幅(以下、 W :単位cm)、チャンネル長(以下、 L :単

位 cm)、絶縁膜の単位面積あたり容量(以下、 C_{ox} :単位F/cm²)、移動度(以下、 μ :単位cm²/Vs)と定義したときに、次式のように表される。

$$\beta = 1/2 \times \mu \times C_{ox} \times W/L \quad \dots (6)$$

[0039] つぎに、上記(4)式で示される飽和領域について考察する。なお、以下の考察は、線形領域における本発明の適用を排除することを意味するものではない。

[0040] 式(4)において、 I_{ds} の平方根をとると、次式のように表される。

$$(I_{ds})^{1/2} = (\beta)^{1/2} \times (V_{gs} - V_{th}) \quad \dots (7)$$

[0041] いま、駆動トランジスタT_dのゲート・ソース間電圧V_{gs}と電流I_{ds}との関係を考察するため画素回路の寄生容量を考慮しない場合のV_{gs}を算出する。図7において、発光時には駆動トランジスタT_dが導通しており、ゲート・ソース間電圧V_{gs}は次式で表せる。

$$V_{gs} = V_{th} + C_{oled}/(C_s + C_{oled}) \cdot V_{data} \quad \dots (8)$$

[0042] したがって、駆動トランジスタT_dのゲート・ソース間電圧V_{gs}と電流I_{ds}の平方根との関係式は、上記(7)式、(8)式を用いて次式のようになる。

$$\begin{aligned} (I_{ds})^{1/2} &= (\beta)^{1/2} \cdot (C_{oled}/(C_s + C_{oled}) \cdot V_{data}) \\ &= a \cdot V_{data} \quad \dots (9) \end{aligned}$$

[0043] 上記(9)式によれば、電流I_{ds}の平方根である $(I_{ds})^{1/2}$ は、閾値電圧V_{th}に依存せず、書き込み電位に比例することになる。

[0044] ところが、近時、V_{th}近傍において、電流I_{ds}の平方根の実測値が前述の計算式、すなわち上記(9)式から求めた値より大きいという事実を本願発明者らは見出した。

[0045] 例えば、図8は、駆動トランジスタT_dのゲート・ソース間電圧V_{gs}に対する電流(I_{ds})^{1/2}の関係(V-I^{1/2}特性)を示す図である。同図において、実線部の波形は実測値の一例であり、破線部の波形は、前述の(9)式に従う特性を示した計算値である。また、同図の縦軸は $(I_{ds})^{1/2}$ 、横軸はV_{gs}である。

[0046] 図8を参照すると、V_{gs}に対する $(I_{ds})^{1/2}$ の変化の傾きは、この飽和領域において最大値が存在する。この傾きが最大となるV-I^{1/2}特性曲線における接線が、破線で示した計算値の直線であり、この直線と横軸($(I_{ds})^{1/2} = 0$)との交点が駆動トランジスタT_dの閾値電圧V_{th}となる。なお、同図の例では、閾値電圧V_{th}は約2Vである。

- [0047] 一方、閾値電圧 V_{th} の近傍(例えば、閾値電圧 V_{th} に対して $\pm 2V$ の範囲内)において、実測値と計算値とが大きく食い違っている。このため、予め検出した閾値電圧 V_{th} を用いて補正した画素レベルに基づいて発光制御を行っても、閾値電圧 V_{th} の近傍の電流 I_{ds} が十分小さくならないので、閾値電圧近傍の画素レベル(低階調レベル)の輝度が生じて、画像表示装置のコントラスト比が低下してしまうことになる。
- [0048] そこで、本実施の形態では、容量 C_s に画像信号電位として保持された画素レベルに基づいて有機発光素子の発光制御を行う場合であって、書き込み期間と発光期間との間において、例えば電源線の電位を変化させることにより、有機発光素子OLEDに逆バイアス電圧を印加する工程を付加するようにする。なお、ここでいう逆バイアス電圧とは、有機発光素子OLEDが発光するときの電流(すなわち順方向電流)を与える印加電圧に対して、それとは逆極性の印加電圧を意味する。
- [0049] つぎに、書き込み期間と発光期間との間において、電源線の電位を変化させる工程を付加した本実施の形態にかかる制御手法について説明する。なお、電源線の電位を変化させるとき、素子容量 C_{oled} には、ある一定の電荷が蓄積されることになる。したがって、この期間を充電期間として定義する。
- [0050] 図9は、本発明の好適な実施の形態にかかる制御手法を図2に示した画素回路に適用した場合のシーケンス図である。図9において、図2に示したシーケンス図との相違点は、書き込み期間と発光期間との間に設けられた充電期間において、電源線10の電位を0から V_p に上昇させているところにある。電源線10の電位を上昇させることにより、駆動トランジスタ T_d のソース電位が上昇するので、準備期間のときと同様に、素子容量 C_{oled} に所定の電荷を蓄積することができる。ここで、準備期間において、素子容量 C_{oled} に電荷を蓄積するようにしたのは、閾値電圧を検出する際の電流供給源として作用させるためであった。一方、この充電期間では、有機発光素子OLEDにおいて、発光期間初期に瞬間的に流れる電流を低減させるために行うものである。
- [0051] 図10は、図3に示す従来のシーケンスに基づいて発光制御を行った場合の動作を説明する図であり、図11は、図9に示す本発明のシーケンスに基づいて発光制御を行った場合の動作を説明する図である。これらの図では、図2に示す画素回路におい

て、有機発光素子OLED、素子容量 C_{oled} および駆動トランジスタ T_d の各構成部のみを抽出して示している。なお、駆動トランジスタ T_d に並列に付加される容量は、駆動トランジスタ T_d のドレイン・ソース間における寄生容量であるドレイン・ソース間容量 C_{dsT_d} である。

[0052] まず、図10において、同図の左側の図は、発光期間に移行する直前の状態(電源線に0Vが印加されている状態)を示している。一方、同図の右側の図は、発光期間に移行した直後の状態(電源線10に $-V_{DD}$ が印加された直後の状態)を示している。ところで、有機発光素子OLEDには、素子容量 C_{oled} と駆動トランジスタの寄生容量に電荷が蓄積されるまで電流が流れる。同図の左側の状態では、有機発光素子OLEDのカソード電位 V_A は、略ゼロ電位であり、有機発光素子OLEDには電荷がほとんど蓄積されていない。このため、同図の右側の状態となったときに、有機発光素子OLEDに電流が流れる。したがって、同図の右側の状態で、有機発光素子OLEDを低階調で発光させようとしても、有機発光素子OLEDに電流が流れてしまう。この現象を数式を用いて解析してみると、以下のようになる。

[0053] すなわち、電源線10に $-V_{DD}$ が印加された直後には、かかる電圧が素子容量 C_{oled} とドレイン・ソース間容量 C_{dsT_d} に対して分圧された状態で印加されるため、有機発光素子OLEDのカソード電位 V_A は、

$$V_A = -k_1 V_{DD}$$

となる。

k_1 は、 $0 < k_1 < 1$ を満たす実数であり、理論的には、 $k_1 = Q_{td} / (Q_{oled} + Q_{td})$ の値をとる。ただし、 Q_{oled} は有機発光素子OLEDに蓄積された電荷、 Q_{td} は駆動トランジスタ T_d に蓄積された電荷である。

[0054] このとき、素子容量 C_{oled} に電荷がほとんど蓄積されていないため、 Q_{oled} は0に近い値となり、 k_1 の値が大きくなる。その結果、 V_A の絶対値が大きくなる。したがって、電源線10を $-V_{DD}$ に設定した際には、有機発光素子OLEDの両端に印加される電位差が大きくなり、駆動トランジスタ T_d への印加電圧がオフレベル、あるいはオフレベル近傍の場合(すなわち発光輝度が黒レベル、あるいは黒レベルに近い場合)であっても、有機発光素子OLEDに多くの発光電流が流れてしまうことになる。

[0055] これに対して、図11に示す左側の図は、図9に示した本発明にかかる制御シーケンスにおいて、充電期間から発光期間に移行する直前の状態を示している。本発明のシーケンスでは、書き込み期間と発光期間との間に設けられた充電期間によって、電源線10に $+V_p$ が印加されるので、発光期間に移行する直前において、素子容量 C_{oled} には、逆バイアス電圧が印加された状態となる。したがって、有機発光素子OLEDには、ある量の電荷が蓄積される。その結果、図11の右側の図に示すように、発光期間に移行して、電源線10に $-V_{DD}$ の電位が印加された直後の状態においては、まず、有機発光素子OLEDに蓄積された容量が放電され、有機発光素子OLEDには電流が流れにくい。そして、有機発光素子OLEDに蓄積された電荷が抜けた後には有機発光素子OLEDに電流が流れ易い状態にあるため、駆動トランジスタ T_d への印加電圧に応じて有機発光素子OLEDに電流が流れるようになる。したがって、駆動トランジスタ T_d への印加電圧がオフレベル、あるいはオフレベル近傍の場合に、発光期間の初期において、有機発光素子OLEDに発光電流が流れてしまうといった現象を防止することができる。この現象は、上述した数式を用いると以下のように説明できる。

[0056] すなわち、有機発光素子OLEDに逆バイアスを印加することにより、 Q_{oled} の値が大きくなり、 k_1 の値が小さくなる。その結果、カソード電位 V_A の絶対値が小さくなる。したがって、電源線10を $-V_{DD}$ に設定した直後においても、有機発光素子OLEDの両端に印加される電位差を非常に小さくすることができ、発光期間の初期において接地線から有機発光素子OLEDを通過する電流量を大幅に低減することが可能となる。なお、 Q_{td} を小さくした方が k_1 を小さくすることができ、その結果、発光期間の初期段階における有機発光素子OLEDに流れる電流量を小さくできるため、 $C_{oled} > C_{ds}T_d$ の関係を満足することが好ましい。

[0057] 図12は、図3に示した従来シーケンスのように有機発光素子OLEDに逆バイアス電圧を印加することなく発光制御を行った場合の発光時間と発光輝度との関係を示す図である。なお、具体的な数値として、 V_{ds} を10V(固定)とし、 V_{gs} を $-1V$ (黒レベル)~ $4V$ まで変動させている。また、グラフの横軸では発光時間を対数プロットし、縦軸では発光輝度を線形プロットしている。

- [0058] 図12において、従来のシーケンスでは、例えば同図の曲線K1 ($V_{gs} = -1V$) のように、発光期間の初期に発光輝度が瞬間的に大きくなる期間が存在する。したがって、従来のシーケンスでは、発光初期において、有機発光素子OLEDを低階調で発光させる際の発光輝度が十分小さくならず、黒レベルの輝度が浮いてしまい、コントラスト比が設定値よりも低下してしまうといった問題点が生ずることになる。
- [0059] 一方、図13は、図9に示した本発明にかかる制御シーケンスのように有機発光素子OLEDに逆バイアス電圧を印加するための期間(充電期間)を設けて発光制御を行った場合の発光時間と発光輝度との関係を示す図である。測定パラメータ等は図12の場合と同様であるが、上述の充電期間において、電源線10に約6Vの電位を付与している。
- [0060] 図13において、本発明のシーケンスでは、例えば同図の曲線K2 ($V_{gs} = -1V$) のように、発光期間の初期における発光輝度が極めて小さくなっている。したがって、発光初期において、有機発光素子OLEDを低階調レベルで発光させる際の発光輝度が十分低下し、コントラスト比の低下を抑止することが可能となる。
- [0061] なお、本実施形態においては、発光期間の初期において有機発光素子OLEDの発光輝度を小さく抑制するため、例えば同図の曲線K3 ($V_{gs} = 4V$) のような高階調レベルで発光させる場合のように、発光期間の初期から高い発光輝度で発光させた方が有利と思われる場合に本発明を適用すると、従来よりも白レベルの発光輝度が低下することが懸念されるが、発光輝度の低下が生ずる期間は1フレームで $20 \mu \text{sec}$ 以下としているので、一般に2msec以上ある発光期間と比べて十分短く、画像表示装置の視認性に与える影響は殆どない。むしろ、本実施形態のように、発光期間の初期において、低階調レベルの発光輝度を抑える方が画像表示装置のコントラスト比を向上させる点で好ましい。
- [0062] なお、本実施形態においては、駆動トランジスタTdがN型の場合について説明しているが、駆動トランジスタTdがP型であってもよい。
- [0063] また、本実施形態では、図9に示す制御シーケンスの充電期間において、準備期間時の印加電位である電位 V_p を印加するようにしているが、準備期間時の印加電位と同電位である必要はない。肝要な点は、本充電期間において、有機発光素子OL

EDに逆バイアス電圧が印加されるような電荷が素子容量 C_{oled} に蓄積されるような制御が行われていればよい。なお、充電期間については、有機発光素子OLEDに対する確実な逆バイアス電圧付与の観点や発光期間を十分に確保する観点などを考慮して決定することが好ましく、例えば、素子容量 C_{oled} と駆動トランジスタ T_d で決まる時定数の $1/2$ 以上2倍以下の時間が確保されていればよい。

[0064] また、本実施形態においては、有機発光素子OLEDに対する逆バイアスの印加は、画像信号を書き込んだ後に行なっているため、逆バイアスの印加がデータの書き込み動作に与える影響がほとんどない。また全ての画素に対して画像信号を書き込んだ後に逆バイアスを印加しているため、全画素でほぼ均一な期間、逆バイアスの印加が可能である。

[0065] 図14は、図9に示した本発明にかかる制御シーケンスに基づいて発光制御を行った場合の駆動トランジスタ T_d のゲート・ソース間電圧 V_{gs} と有機発光素子OLEDの発光輝度との関係を示す図である。図14に示すグラフでは、発光期間の長さを7.8msとしたときの赤画素における発光輝度を示している。また、同図に示すグラフでは、 V_{ds} を10V(固定)とし、 V_{gs} を-1V(黒レベル)~4Vまで変動させるとともに、充電期間において電源線10の電位を0V~6Vまで変動させている。なお、グラフの横軸には V_{gs} を線形プロットし、縦軸には発光輝度を対数プロットしている。

[0066] 図14において、電源線10の電位が0V(すなわち従来シーケンス相当:曲線M1)のときには、低階調表示($V_{gs} = -1V$)の場合でも、 $0.1 [cd/m^2]$ 程度の発光輝度が生じているが、電源線10の電位が6V(曲線M2)のときには、同じ黒表示において、発光輝度が $0.02 [cd/m^2]$ 程度に低下している。一方、高階調表示($V_{gs} = 4V$)のときには、電源線10の電位に依存することなく、ほぼ一定の輝度が得られる。このように、本発明にかかる制御シーケンスによれば、高階調表示の発光輝度を維持し、低階調表示の発光輝度を低下させることができるので、コントラスト比の改善が可能となる。

[0067] ところで、上記の説明では、図9に示すような制御シーケンスを図2に示す構成の画素回路に適用する場合について説明してきた。しかしながら、図2に示す画素回路には、本発明にとって、本質的ではない部分が多く含まれている。

- [0068] 例えば、図2に示す画素回路は閾値電圧を検出する機能を有する画素回路として構成されているが、本発明においては、画像信号であるデータ電位を書き込む書込期間と発光期間との間の段階において、有機発光素子OLEDに逆バイアス電圧を印加する期間を設けていればよく、ドライバ手段である駆動トランジスタTdの閾値電圧を検出する期間が存在するか否かは、本発明にとって本質的ではない。また、同様な意義において、駆動トランジスタ以外の制御トランジスタの数も上述の実施形態に限定されるものではない。また、図2に示す画素回路は、発光手段として有機発光素子OLEDを用いているが、発光手段としてLEDを用いても良いし、他の電流発光型の発光素子であっても構わない。
- [0069] また、図2に示す画素回路は、電圧制御型の画素回路として構成されたものであるが、この構成とは異なる電流制御型の画素回路においても、本発明にかかる制御シーケンスを適用することができる。
- [0070] ここで、電圧制御型の画素回路と電流制御型の画素回路との差異について、図15～図17の各図面を用いて簡単に説明する。
- [0071] 図15に示す画素回路は、発光素子D1と、発光素子D1に直列に接続される駆動素子Q1と、駆動素子Q1を制御するコントローラU1と、を備えており、図1に示した画素回路に相当するものである。例えば、発光素子D1は上述の有機発光素子であり、そのアノードが印加電圧の高圧側のVP端子(上記のグランド電位に相当)に接続され、そのカソードが、例えば上述の駆動トランジスタTdに相当する駆動素子Q1のドレイン側に接続される。また、駆動素子Q1のソースは印加電圧の低圧側のVN端子(上記の電源線10に相当)に接続され、ゲートはコントローラU1の出力端に接続される。このコントローラU1は、駆動素子Q1のゲート電圧を制御するための制御部であり、単数または複数のTFT(上記の閾値電圧検出用トランジスタTth、スイッチングトランジスタTs, Tmに相当)、コンデンサなどの容量素子(上記の容量Csに相当)などで構成される。なお、同図に示すような接続構成は、発光素子D1を駆動素子Q1のドレイン側に接続した上で、駆動素子Q1のゲート端を制御する「電圧制御型」の構成であり、特に「ゲート・コントロール/ドレイン・ドライブ」と呼ばれている。
- [0072] 一方、図16は、図15とは異なる電圧制御型の画素回路の構成例を示す図である。

図16に示す画素回路は、発光素子D2が駆動素子Q2のソース側に接続されている点を除いて、図15に示した画素回路と同一、あるいは同等な構成である。なお、図16に示す画素回路は、駆動素子Q2のゲート端を制御する「電圧制御型」の構成である点は図15と同一であり、特に「ゲート・コントロール/ソース・ドライブ」と呼ばれている。

[0073] 図16に示す画素回路の本質的な点は、図15に示す回路と同等であり、上述の制御シーケンスを図16に示す画素回路に対しても同様に適用することが可能である。

[0074] 図17は、図15、図16とは異なる電流制御型の画素回路の構成例を示す図である。図17に示す画素回路は、発光素子D3が駆動素子Q3のドレイン側に接続されている点は図15と同様であるが、駆動素子Q3のゲートが接地されるとともに、駆動素子Q3のソース側の電流をコントローラU3で制御するところが相違している。なお、図17に示す画素回路は、駆動素子Q3のソース側を制御する構成であり、「電流制御型」の構成の中でも、特に「ソース・コントロール/ドレイン・ドライブ」と呼ばれている。

[0075] 図17に示す画素回路も、発光期間にVP端子の電位を変化させる際に、図15、図16の画素回路と同様に、発光素子D3を低階調で発光させる際の発光輝度が十分小さくならず、コントラスト比が劣化するといった問題点が生ずる。したがって、本発明にかかる制御シーケンスを図17に示す画素回路に対しても同様に適用することができる。

産業上の利用可能性

[0076] 以上のように、本発明にかかる画像表示装置の駆動方法は、画素回路におけるコントラスト比の改善に大きく寄与することができる発明として有用である。

請求の範囲

- [1] 発光手段と、
前記発光手段に電氣的に接続され、前記発光手段の発光を制御するドライバ手段と、を有する画素回路を複数備えた画像表示装置の駆動方法において、
前記発光手段の発光輝度に対応した画像信号を前記画素回路に供給するステップと、
前記発光手段に逆バイアス電圧を印加するステップと、
前記画像信号に基づいて前記発光手段を発光させるステップと、
を含むことを特徴とする画像表示装置の駆動方法。
- [2] 前記発光手段に対する逆バイアス電圧の印加は、該発光手段および前記ドライバ手段に対して電氣的に接続される電源線の電位を変化させることによって行われることを特徴とする請求項1に記載の画像表示装置の駆動方法。
- [3] 前記発光手段に逆バイアスを印加する際、ならびに前記発光手段を発光させる際に、前記発光手段と前記ドライバ手段とが電氣的に直列に接続されていることを特徴とする請求項1に記載の画像表示装置の駆動方法。
- [4] 前記発光手段は有機発光素子により、前記ドライバ手段は薄膜トランジスタにより、それぞれ構成されており、
前記有機発光素子の持つ素子容量は、前記薄膜トランジスタのソース・ドレイン間の寄生容量よりも大きいことを特徴とする請求項1に記載の画像表示装置の駆動方法。

補正書の請求の範囲

[2007年10月29日 (29. 10. 2007) 国際事務局受理]

[1] (補正後) 発光手段と、

前記発光手段に電氣的に接続され、前記発光手段の発光を制御するドライバ手段と、を有する画素回路を複数備えた画像表示装置の駆動方法において、

前記発光手段の発光輝度に対応した画像信号を前記画素回路に供給する第1ステップと、

前記第1ステップの後、前記発光手段に逆バイアス電圧を印加する第2ステップと、

前記第2ステップの後、前記画像信号に基づいて前記発光手段を発光させる第3ステップと、

を含むことを特徴とする画像表示装置の駆動方法。

[2] 前記発光手段に対する逆バイアス電圧の印加は、該発光手段および前記ドライバ手段に対して電氣的に接続される電源線の電位を変化させることによって行われることを特徴とする請求項1に記載の画像表示装置の駆動方法。

[3] 前記発光手段に逆バイアスを印加する際、ならびに前記発光手段を発光させる際に、前記発光手段と前記ドライバ手段とが電氣的に直列に接続されていることを特徴とする請求項1に記載の画像表示装置の駆動方法。

[4] 前記発光手段は有機発光素子により、前記ドライバ手段は薄膜トランジスタにより、それぞれ構成されており、

前記有機発光素子の持つ素子容量は、前記薄膜トランジスタのソース・ドレイン間の寄生容量よりも大きいことを特徴とする請求項1に記載の画像表示装置の駆動方法。

条約第19条(1)に基づく説明書

1. 本発明の特徴は、書き込み期間と発光期間との間の期間にて、発光手段に逆バイアスを印加することによって、発光期間の初期段階において発光手段が発光するのを抑制するものであります。

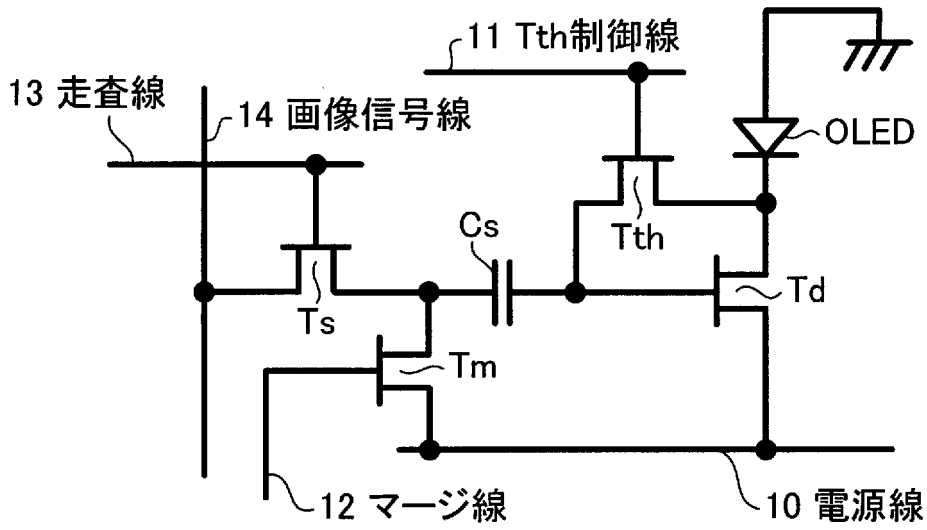
2. 引用文献1（特開2004-280059号公報）には、有機EL素子に逆向きの電圧を印加する工程が記載されていますが、その工程は、書き込み期間と発光期間との間の期間ではなく、いわゆる準備期間と言われる駆動用TFTの閾値電圧 V_{th} を検出する前段階に行われます。

3. そこで、請求項1において、引用文献1との差異を明確化すべく、発光手段に逆バイアス電圧を印加するステップが、画像信号を画素回路に供給するステップと、発光手段を発光させるステップと、の間で行われる旨の補正を行っております（段落「0048」などの記載を根拠）。

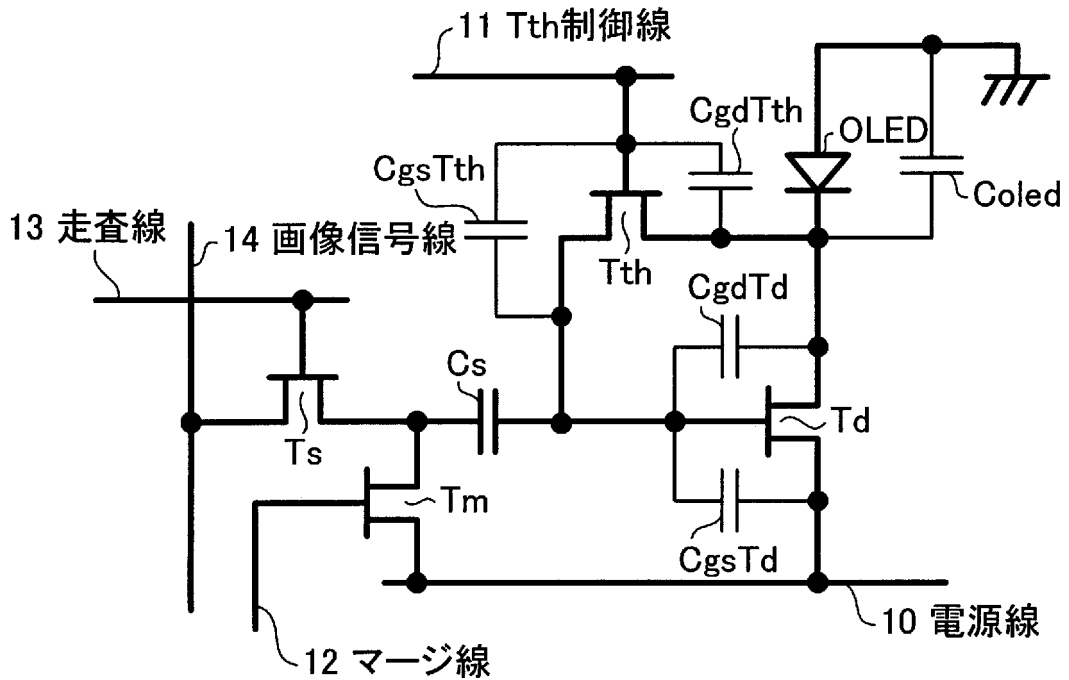
4. なお、本補正と共に、駆動方法における3つのステップの順序を明確化すべく、各ステップという用語の前に第1～第3の語句を付す補正も併せて行っております。

以上

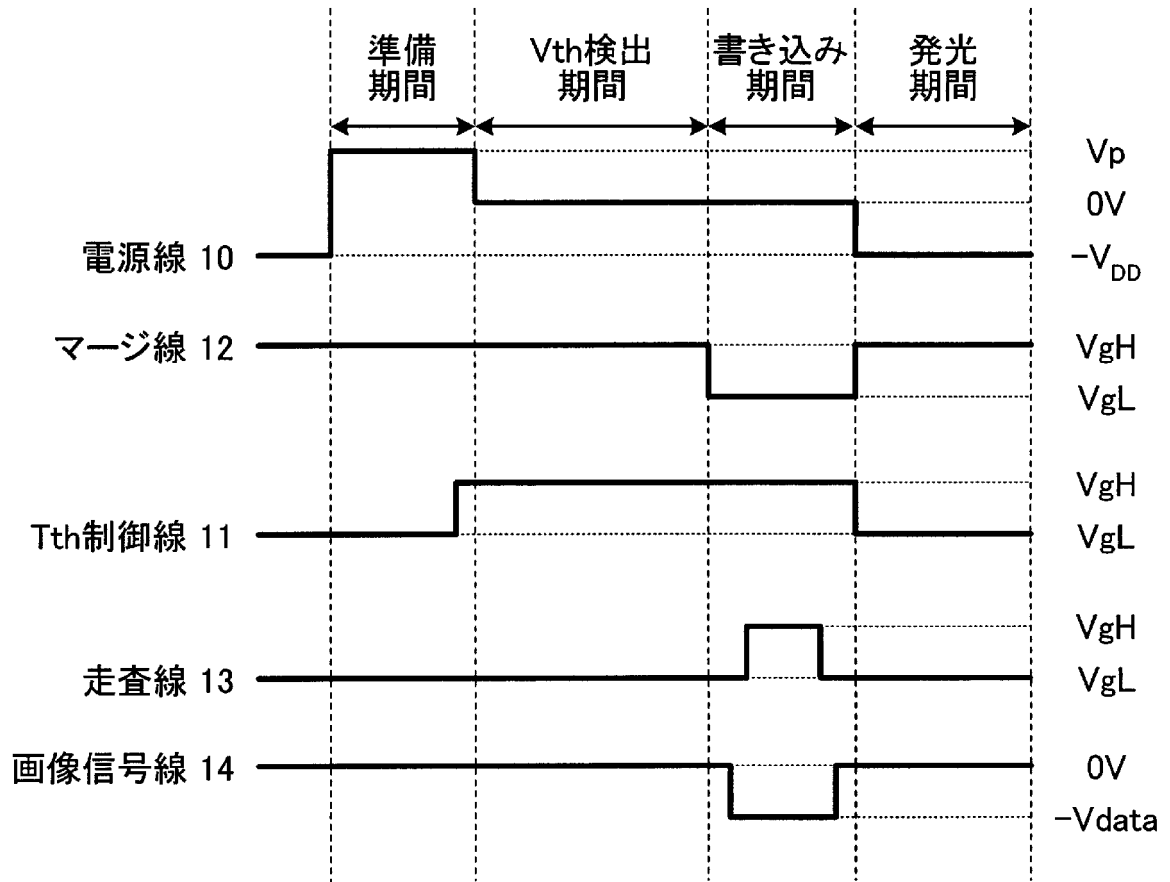
[図1]



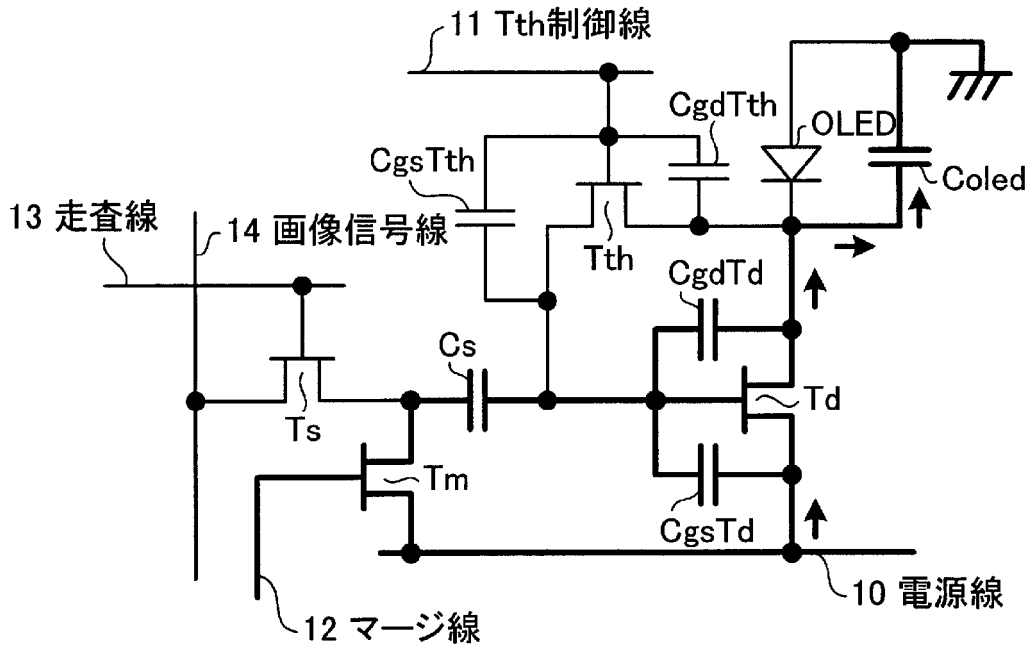
[図2]



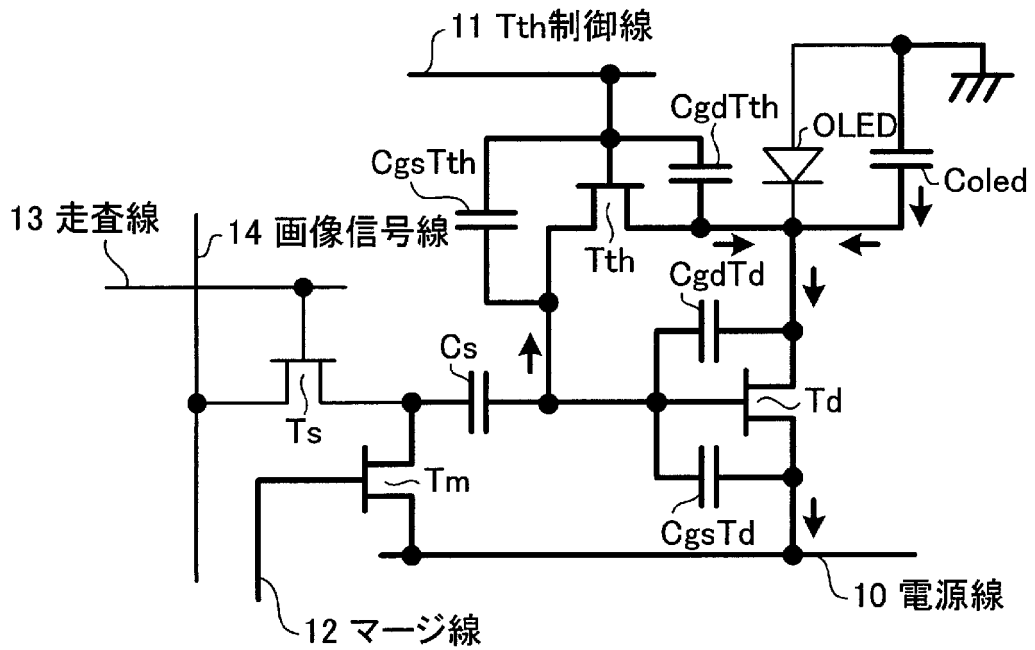
[図3]



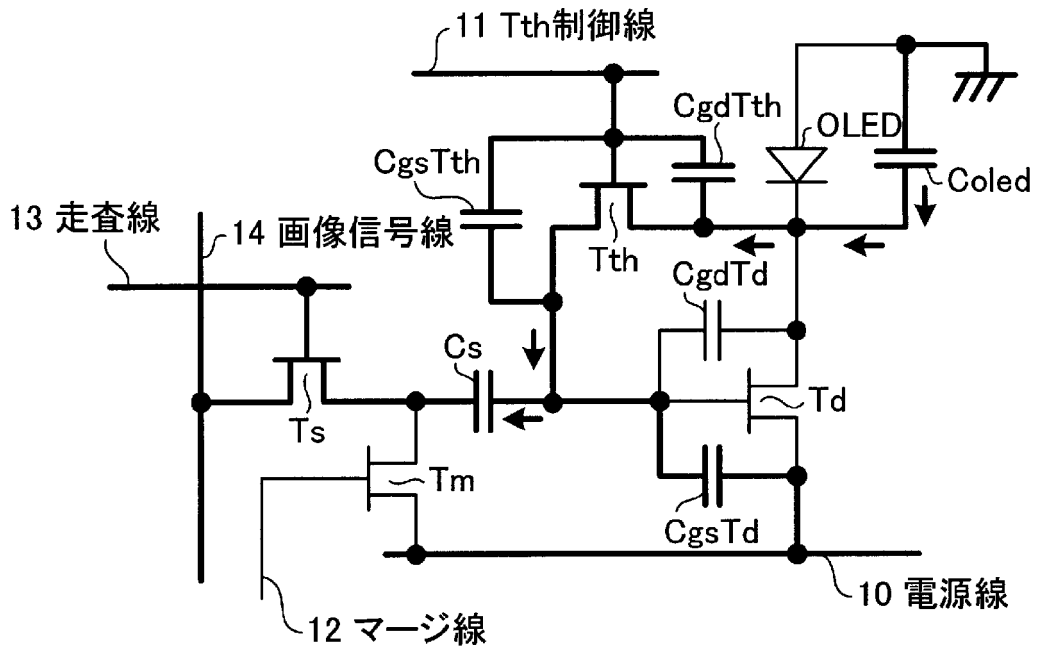
[図4]



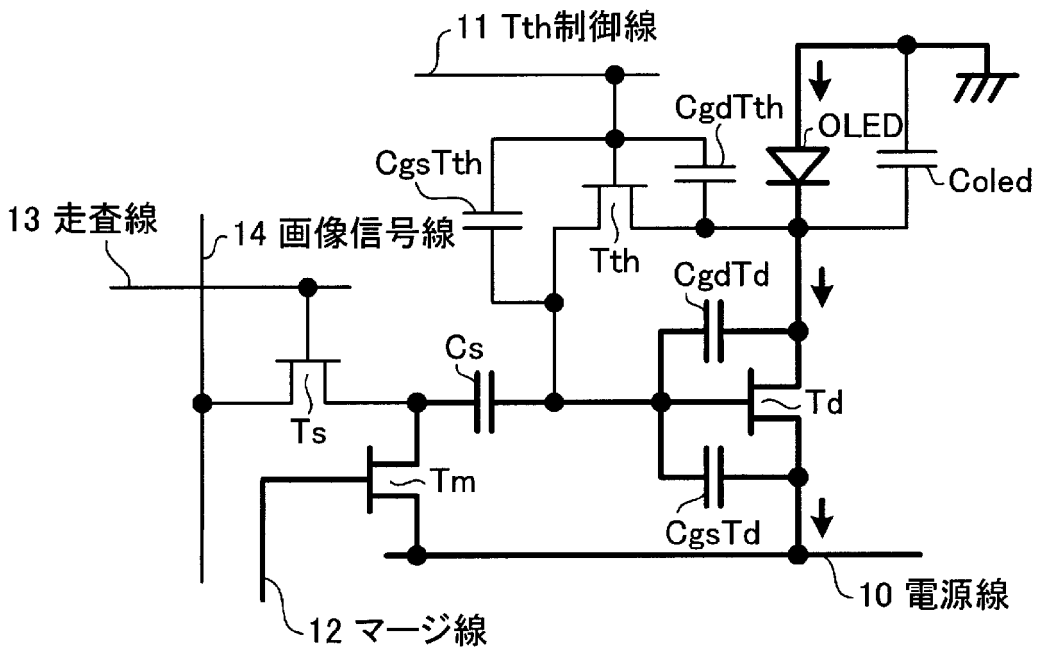
[図5]



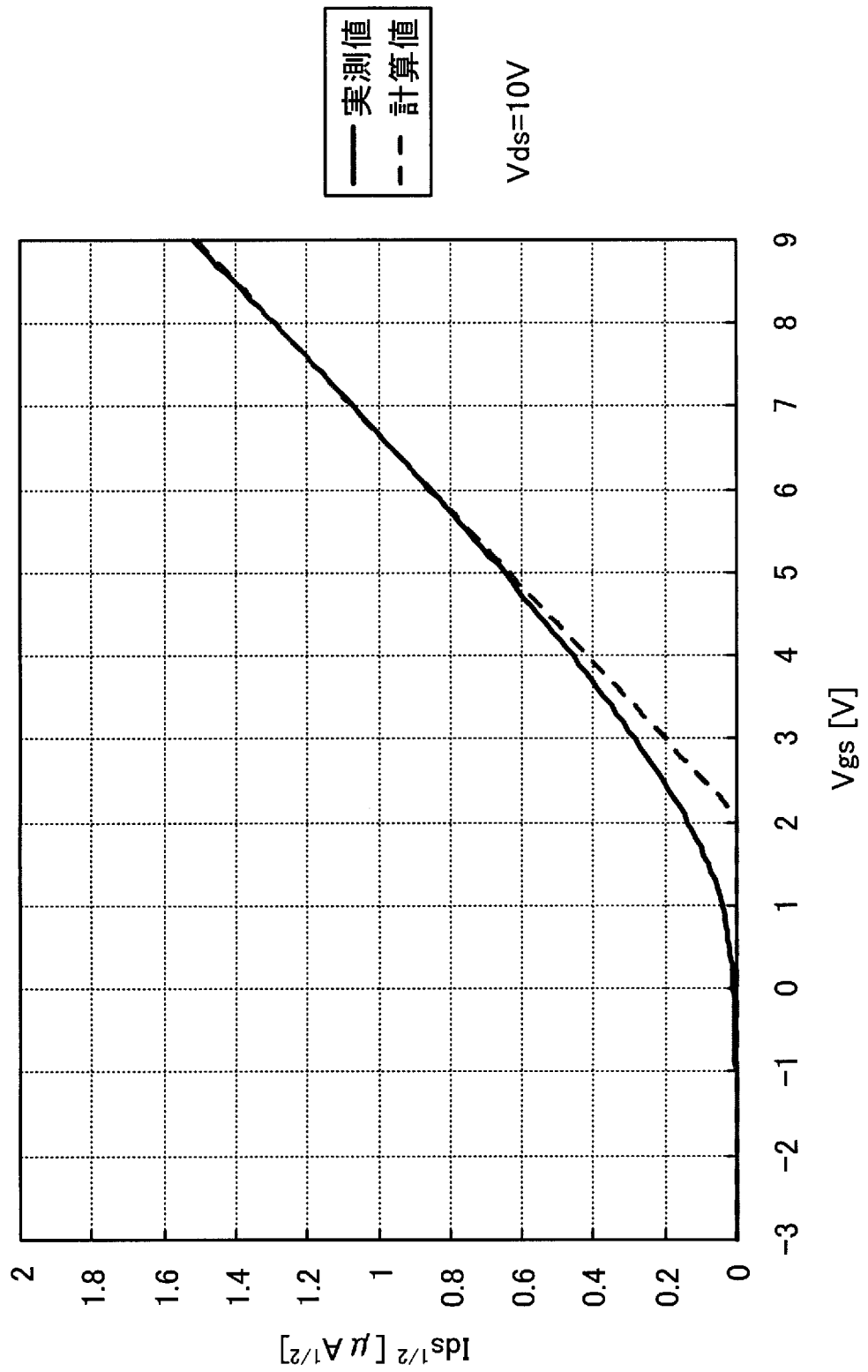
[図6]



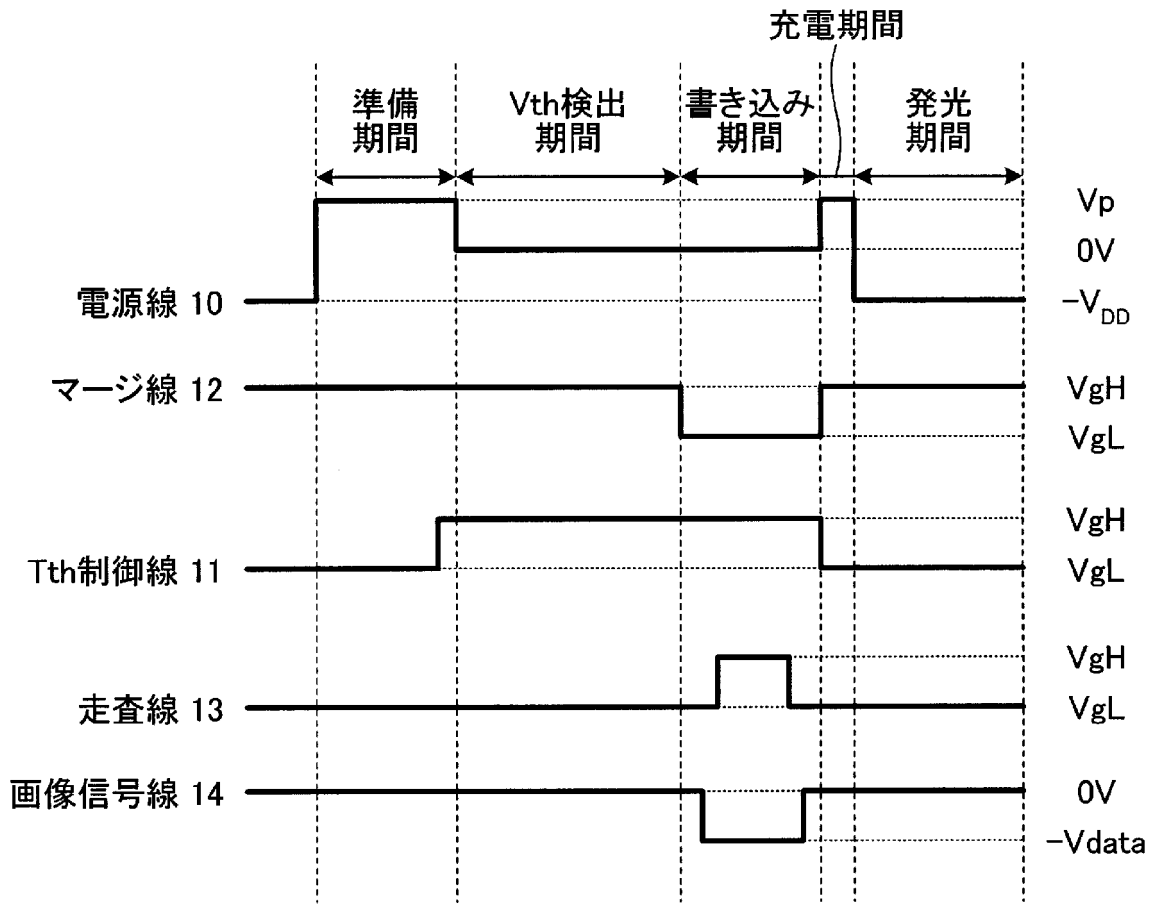
[図7]



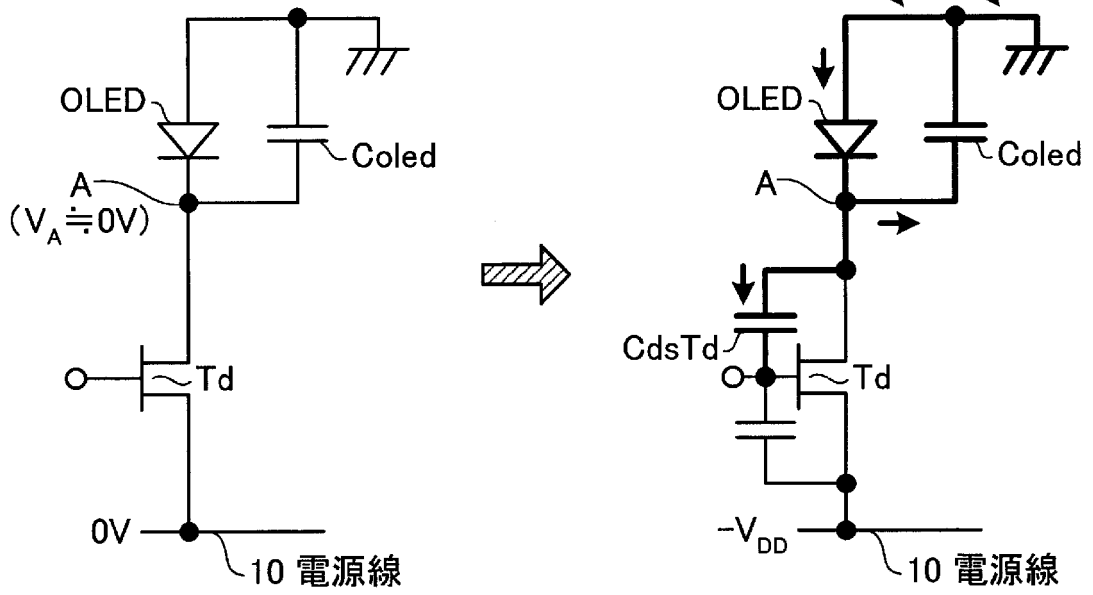
[図8]



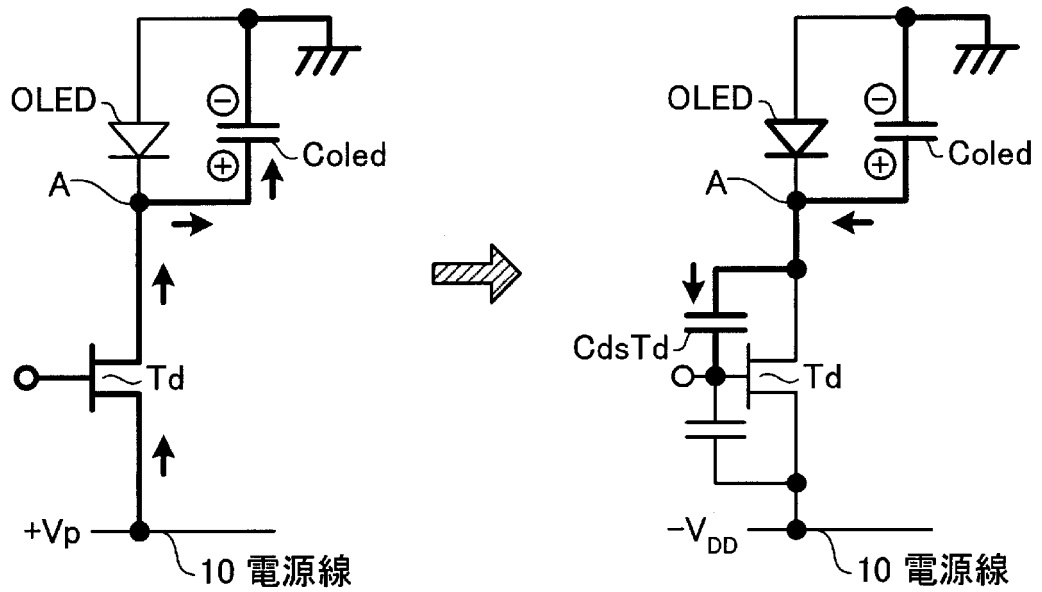
[図9]



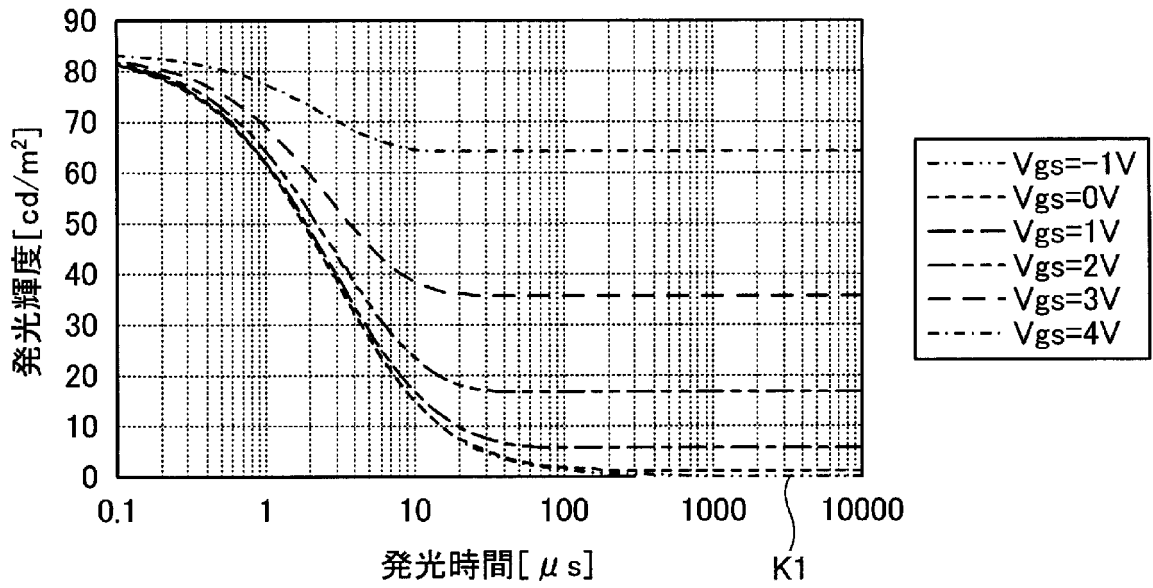
[図10]



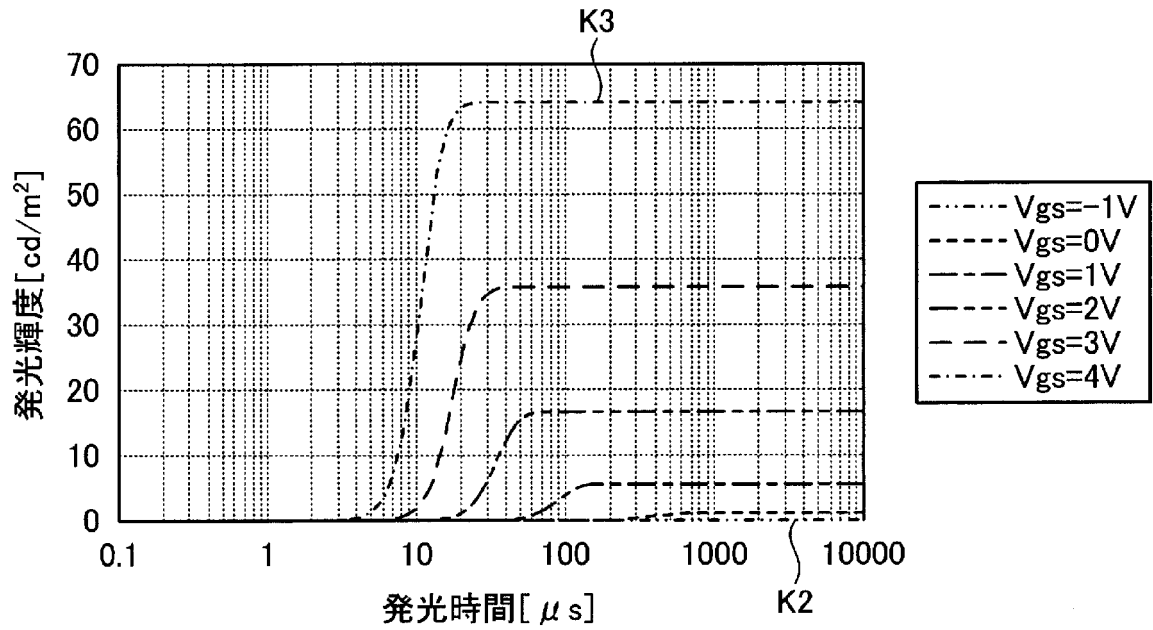
[図11]



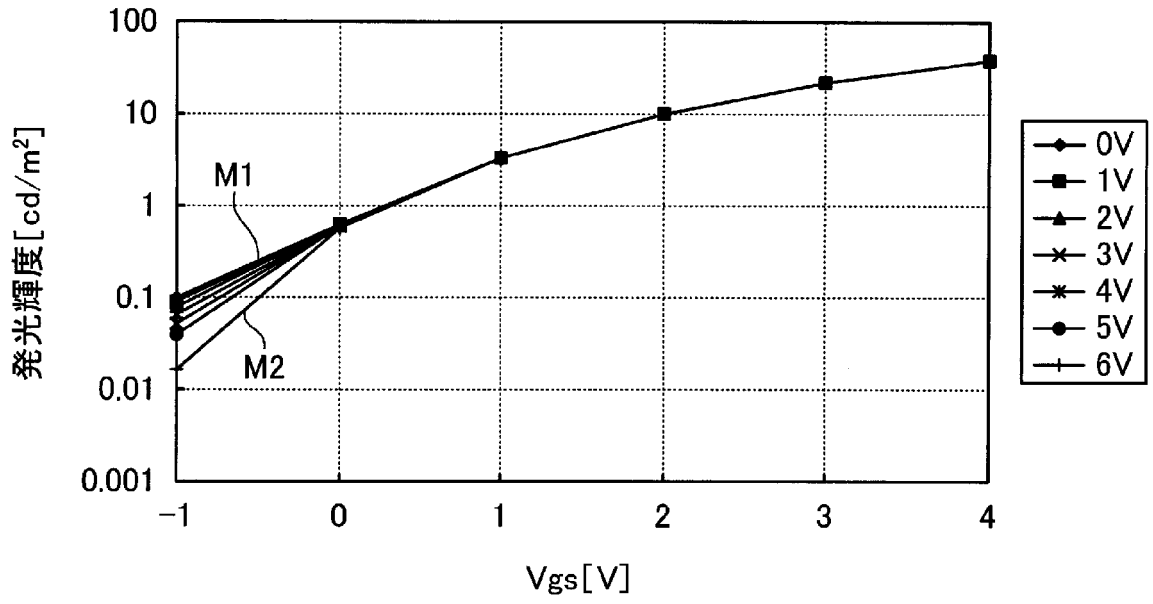
[図12]



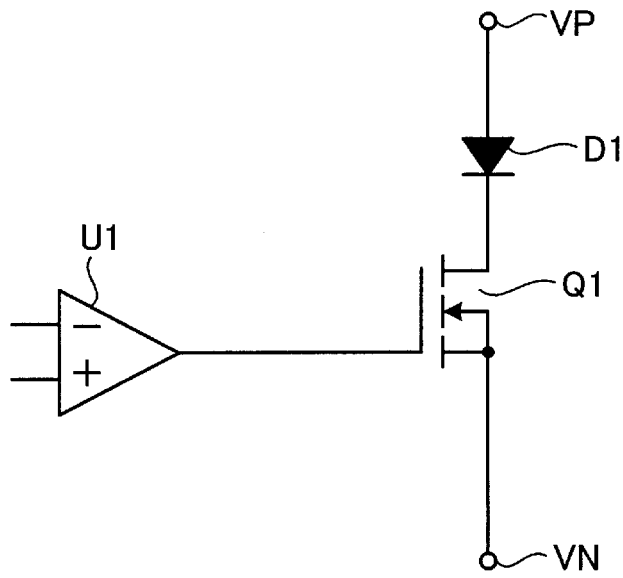
[図13]



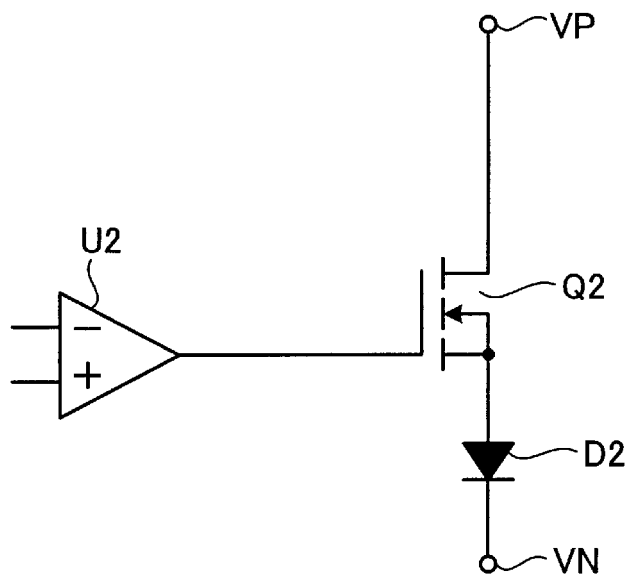
[図14]



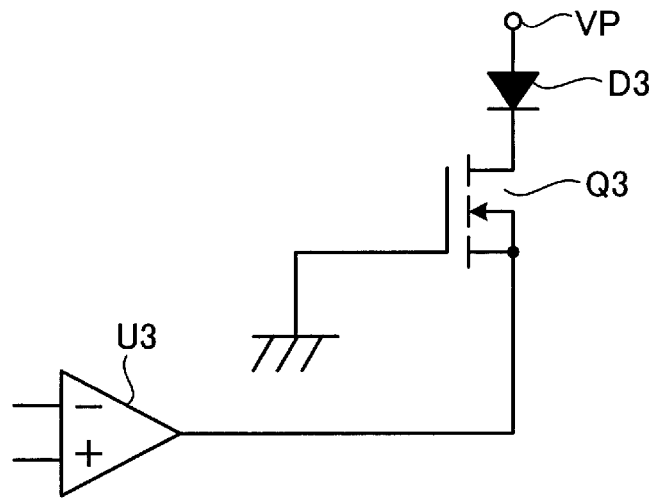
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/063167

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01) i, G09G3/20(2006.01) i, H01L51/50(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09G3/20, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-280059 A (Kibi Denshi Kofun Yugen Koshi), 07 October, 2004 (07.10.04), Par. Nos. [0056] to [0077]; Figs. 8 to 13 & US 2004/0174354 A1 & TW 000239500 B	1-4
A	JP 2004-341359 A (Kibi Denshi Kofun Yugen Koshi), 02 December, 2004 (02.12.04), Full text; all drawings & US 2004/0252089 A1 & TW 000239501 B	1-4

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
03 September, 2007 (03.09.07)

Date of mailing of the international search report
11 September, 2007 (11.09.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/063167

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-169510 A (Seiko Epson Corp.), 14 June, 2002 (14.06.02), Full text; all drawings & US 2002/0047839 A1 & US 2004/0233143 A1 & EP 001191512 A2 & CN 001345021 A & TW 000508553 B	1-4
A	JP 2004-070057 A (Tohoku Pioneer Corp.), 04 March, 2004 (04.03.04), Full text; all drawings & US 2004/0032380 A1 & CN 001495693 A	1-4

特許協力条約

PCT

国際調査報告

(法8条、法施行規則第40、41条)
〔PCT18条、PCT規則43、44〕

出願人又は代理人 の書類記号 PKCA-19249	今後の手続きについては、様式PCT/ISA/220 及び下記5を参照すること。	
国際出願番号 PCT/J P 2007/063167	国際出願日 (日.月.年) 29.06.2007	優先日 (日.月.年) 29.06.2006
出願人(氏名又は名称) 京セラ株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語に関し、この国際調査は以下のものに基づき行った。

出願時の言語による国際出願

出願時の言語から国際調査のための言語である _____ 語に翻訳された、
この国際出願の翻訳文(PCT規則12.3(a)及び23.1(b))

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでいる(第I欄参照)。

2. 請求の範囲の一部の調査ができない(第II欄参照)。

3. 発明の単一性が欠如している(第III欄参照)。

4. 発明の名称は 出願人が提出したものを承認する。

次に示すように国際調査機関が作成した。

5. 要約は 出願人が提出したものを承認する。

第IV欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により
国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこ
の国際調査機関に意見を提出することができる。

6. 図面に関して

a. 要約書とともに公表される図は、

第 9 図とする。 出願人が示したとおりである。

出願人は図を示さなかったため、国際調査機関が選択した。

本図は発明の特徴を一層よく表しているため、国際調査機関が選択した。

b. 要約とともに公表される図はない。

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. G09G3/30, G09G3/20, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2007年
 日本国実用新案登録公報 1996-2007年
 日本国登録実用新案公報 1994-2007年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2 0 0 4 - 2 8 0 0 5 9 A (奇美電子股▲ふん▼有限公司) 2004.10.07 段落0056-0077、図8-13 & US 2004/0174354 A1 & TW 000239500 B	1-4
A	J P 2 0 0 4 - 3 4 1 3 5 9 A (奇美電子股▲ふん▼有限公司) 2004.12.02 全文、全図 & US 2004/0252089 A1 & TW 000239501 B	1-4

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 03.09.2007	国際調査報告の発送日 11.09.2007
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 福村 拓 電話番号 03-3581-1101 内線 3226	2G	3308
---	---	----	------

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-169510 A (セイコーエプソン株式会社) 2002.06.14 全文、全図 & US 2002/0047839 A1 & US 2004/0233143 A1 & EP 001191512 A2 & CN 001345021 A & TW 000508553 B	1-4
A	JP 2004-070057 A (東北パイオニア株式会社) 2004.03.04 全文、全図 & US 2004/0032380 A1 & CN 001495693 A	1-4