

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5153822号
(P5153822)

(45) 発行日 平成25年2月27日(2013.2.27)

(24) 登録日 平成24年12月14日(2012.12.14)

(51) Int.Cl. F 1
G 0 6 F 13/10 (2006.01) G 0 6 F 13/10 3 1 0 B

請求項の数 7 (全 14 頁)

(21) 出願番号	特願2010-103073 (P2010-103073)	(73) 特許権者	390040187
(22) 出願日	平成22年4月28日 (2010.4.28)		株式会社バッファロー
(65) 公開番号	特開2011-232973 (P2011-232973A)		愛知県名古屋市中区大須三丁目30番20号
(43) 公開日	平成23年11月17日 (2011.11.17)	(74) 代理人	110000028
審査請求日	平成23年2月17日 (2011.2.17)		特許業務法人明成国際特許事務所
		(72) 発明者	石井 俊
			名古屋市南区柴田本通4丁目15番 株式会社バッファロー内
		(72) 発明者	伊藤 司
			名古屋市南区柴田本通4丁目15番 株式会社バッファロー内
		(72) 発明者	加藤 賢治
			名古屋市南区柴田本通4丁目15番 株式会社バッファロー内

最終頁に続く

(54) 【発明の名称】 周辺機器、及び、ホスト機器と周辺機器の接続方法

(57) 【特許請求の範囲】

【請求項1】

データ通信に関する仕様が異なる第1種と第2種のインターフェースのいずれかを用いてホスト機器との間でデータ通信を行うことが可能な周辺機器であって、

前記第1種のインターフェースに対応する第1種のコネクタと、前記第2種のインターフェースに対応する第2種のコネクタとを選択的に接続可能な単一の接続部と、

前記第1種と第2種のコネクタのいずれかを用いて、当該周辺機器と前記ホスト機器とが物理的に接続された場合に、前記ホスト機器から送られる信号で開始される初期接続処理であって、前記第1種と第2種のインターフェースのいずれかを用いて前記ホスト機器との間で論理的な接続を形成する初期接続処理を行う制御部と、を備え、

前記第2種のコネクタは、前記第1種のインターフェースを介したデータ通信に利用される第1種の端子群と、前記第2種のインターフェースを介したデータ通信に利用される第2種の端子群とを有し、前記第2種の端子群の少なくとも一部は前記第1種の端子群よりも奥側に位置し、

前記制御部は、さらに、

前記物理的な接続を維持した状態において、前記初期接続処理により形成された前記論理的な接続を切断して前記ホスト機器との間で前記論理的な接続を再び形成する、再接続処理を行うことが可能である、周辺機器。

【請求項2】

請求項1に記載の周辺機器であって、

前記第 2 種のインターフェースは、前記第 1 種のインターフェースに比べデータ伝送速度が速く、

前記制御部は、

前記初期接続処理によって形成された論理的な接続が、前記第 1 種のインターフェースを用いた接続であると判別した場合は、前記再接続処理を行い、

前記初期接続処理によって形成された論理的な接続が、前記第 2 種のインターフェースを用いた接続であると判別した場合は、前記再接続処理を行わない、周辺機器。

【請求項 3】

請求項 1 に記載の周辺機器であって、

前記制御部は、

当該周辺機器と前記ホスト機器との前記物理的な接続が、前記第 1 種と第 2 種のコネクタのいずれかを用いて行われたかに拘わらず、前記初期接続処理と前記再接続処理の両方の処理を行う、周辺機器。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか 1 項に記載の周辺機器であって、

前記再接続処理は、

前記制御部が、前記制御部の状態を初期状態にすることで前記初期接続処理により形成された前記論理的な接続を切断する工程を含む、周辺機器。

【請求項 5】

請求項 1 乃至請求項 3 のいずれか 1 項に記載の周辺機器であって、

前記再接続処理は、

前記制御部が、前記ホスト機器にバスリセット信号を当該周辺機器に対して送信させることで、前記初期接続処理により形成された論理的な接続を切断する工程を含む、周辺機器。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか 1 項に記載の周辺機器であって、

前記第 1 種のインターフェースは、USB 2.0 に準拠しており、

前記第 2 種のインターフェースは、USB 3.0 に準拠している、周辺機器。

【請求項 7】

データ通信に関する仕様が異なる第 1 種と第 2 種のインターフェースのいずれかを選択的に用いてデータ通信を行うことが可能なホスト機器及び周辺機器の間の論理的な接続方法であって、

前記第 1 種のインターフェースに対応する第 1 種のコネクタと前記第 2 種のインターフェースに対応する第 2 種のコネクタのいずれかを用いて、前記ホスト機器と前記周辺機器とが物理的に接続された場合に、前記ホスト機器から前記周辺機器に送られる信号で開始される初期接続処理工程であって、前記第 1 種と第 2 種のインターフェースのいずれかを用いて前記ホスト機器と前記周辺機器との間で論理的な接続を形成する初期接続処理工程と、

前記物理的な接続を維持した状態において、前記初期接続処理工程により形成された前記論理的な接続を切断して前記周辺機器と前記ホスト機器との間で前記論理的な接続を再び形成する再接続処理工程と、を備え、

前記第 2 種のコネクタは、前記第 1 種のインターフェースを介したデータ通信に利用される第 1 種の端子群と、前記第 2 種のインターフェースを介したデータ通信に利用される第 2 種の端子群とを有し、前記第 2 種の端子群の少なくとも一部は前記第 1 種の端子群よりも奥側に位置する、接続方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ホスト機器に接続される周辺機器、及び、ホスト機器と周辺機器の接続方法に関する。

10

20

30

40

50

【背景技術】**【0002】**

パーソナルコンピュータ等のホスト機器と外部記憶装置等の周辺機器は、種々のインターフェースを介して接続されデータ通信が行われる。このようなインターフェースとして、例えばUSBインターフェースが知られている（例えば、特許文献1）。USBインターフェースとして、USB2.0に準拠したインターフェース（単に、「USB2.0インターフェース」とも呼ぶ。）に加え、近年、USB3.0に準拠したインターフェース（以下、「USB3.0インターフェース」とも呼ぶ。）が普及しつつある。

【0003】

USB2.0とUSB3.0では、通信モード（半二重方式、全二重方式）や信号線の本数等のデータ通信に関する仕様が異なる。このため、USB2.0インターフェースのデータ伝送速度は最大で480Mbpsであるのに対し、USB3.0インターフェースのデータ伝送速度は最大で5Gbpsである。このように、USB3.0インターフェースはUSB2.0インターフェースに比べ高速にデータ通信を行うことができる。一方、USB3.0インターフェースは、ポートの物理的使用は下位互換性を有する。すなわち、USB3.0に準拠した凸型のUSBコネクタ（以下、「USB3.0コネクタ」）に加え、USB2.0に準拠した凸型のUSBコネクタ（以下、「USB2.0コネクタ」とも言う。）も、USB3.0に準拠したUSBポート（以下、「USB3.0ポート」とも言う。）に接続することができる（例えば、非特許文献1、2）。

【先行技術文献】**【特許文献】****【0004】**

【特許文献1】特開2003-131956号公報

【非特許文献】**【0005】**

【非特許文献1】”Universal Serial Bus”、[Online]、[検索日：平成22年4月13日]、インターネット<URL:http://ja.wikipedia.org/wiki/USB>

【非特許文献2】”知っておきたいUSB3.0のまとめ”、[Online]、[検索日：平成22年4月13日]、インターネット<URL:http://monoist.atmarkit.co.jp/feledev/articles/mononews/05/mononews05_a.html>

【発明の概要】**【発明が解決しようとする課題】****【0006】**

ホスト機器と周辺機器のUSB3.0ポートにUSB3.0コネクタをそれぞれ差し込んで物理的に両者を接続した場合、USB3.0に準拠した端子間の接触が完全に行われていない状態で、周辺機器とホスト機器との間の論理的な接続処理が完了してしまう場合があった。この場合、ホスト機器は、USB2.0インターフェースを用いたデータ通信を行うUSB2.0デバイスとして周辺機器を認識してしまう。USB3.0インターフェースを用いたデータ通信を行うためには、再度、両者間で論理的な接続処理を行う必要がある。このためには、USB3.0ケーブルをUSB3.0ポートに対して抜き差しすることが考えられる。しかしながら、ケーブルの抜き差し動作は、利用者にとって面倒な動作であり、抜き差し動作を利用者に強いるのは好ましくない。このような問題は、USB2.0インターフェースとUSB3.0インターフェースを利用可能な周辺機器に拘わらず、データ通信に関する仕様が異なる複数種のインターフェースを接続可能な単一の接続部を有する周辺機器に共通する問題である。

【0007】

従って本発明は、周辺機器において、ホスト機器との間の論理的な接続が形成された場合でも、物理的な接続の脱着を行うことなく、再度、ホスト機器との間で論理的な接続を形成するための処理を行う技術を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明は、上記の課題の少なくとも一部を解決するためになされたものであり、以下の形態または適用例として実現することができる。

形態1：

データ通信に関する仕様が異なる第1種と第2種のインターフェースのいずれかを用いてホスト機器との間でデータ通信を行うことが可能な周辺機器であって、

前記第1種のインターフェースに対応する第1種のコネクタと、前記第2種のインターフェースに対応する第2種のコネクタとを選択的に接続可能な単一の接続部と、

前記第1種と第2種のコネクタのいずれかを用いて、当該周辺機器と前記ホスト機器とが物理的に接続された場合に、前記ホスト機器から送られる信号で開始される初期接続処理であって、前記第1種と第2種のインターフェースのいずれかを用いて前記ホスト機器との間で論理的な接続を形成する初期接続処理を行う制御部と、を備え、

前記第2種のコネクタは、前記第1種のインターフェースを介したデータ通信に利用される第1種の端子群と、前記第2種のインターフェースを介したデータ通信に利用される第2種の端子群とを有し、前記第2種の端子群の少なくとも一部は前記第1種の端子群よりも奥側に位置し、

前記制御部は、さらに、

前記物理的な接続を維持した状態において、前記初期接続処理により形成された前記論理的な接続を切断して前記ホスト機器との間で前記論理的な接続を再び形成する、再接続処理を行うことが可能である、周辺機器。

【0009】

[適用例1] データ通信に関する仕様が異なる第1種と第2種のインターフェースのいずれかを用いてホスト機器との間でデータ通信を行うことが可能な周辺機器であって、前記第1種のインターフェースに対応する第1種のコネクタと、前記第2種のインターフェースに対応する第2種のコネクタとを選択的に接続可能な単一の接続部と、前記第1種と第2種のコネクタのいずれかを用いて、当該周辺機器と前記ホスト機器とが物理的に接続された場合に、前記ホスト機器から送られる信号で開始される初期接続処理であって、前記第1種と第2種のインターフェースのいずれかを用いて前記ホスト機器との間で論理的な接続を形成する初期接続処理を行う制御部と、を備え、前記制御部は、さらに、前記物理的な接続を維持した状態において、前記初期接続処理により形成された前記論理的な接続を切断して前記ホスト機器との間で前記論理的な接続を再び形成する、再接続処理を行うことが可能である、周辺機器。

【0010】

適用例1に記載の周辺機器によれば、物理的な接続を切断する動作をユーザに強いることなく、所望とするインターフェースを用いたデータ通信を行うために、論理的な接続を形成するための処理を再度行うことができる。また、一般に、物理的な接続が行われてから時間が経過した後に論理的な接続を形成するための処理を行った方が、所望とするインターフェースが形成される可能性が高くなる。よって、初期接続処理の後に再接続処理を行うことで、誤ったインターフェースが形成される可能性を低減できる。

【0011】

[適用例2] 適用例1に記載の周辺機器であって、前記第2種のインターフェースは、前記第1種のインターフェースに比べデータ伝送速度が速く、前記制御部は、前記初期接続処理により形成された論理的な接続が、前記第1種のインターフェースを用いた接続であると判別した場合は、前記再接続処理を行い、前記初期接続処理により形成された論理的な接続が、前記第2種のインターフェースを用いた接続であると判別した場合は、前記再接続処理を行わない、周辺機器。

適用例2に記載の周辺機器によれば、データ伝送速度の速いインターフェースを用いたデータ通信を行うために、論理的な接続を形成するための処理を再度行うことができる。

【0012】

[適用例3] 適用例1に記載の周辺機器であって、前記制御部は、当該周辺機器と前記ホ

スト機器との前記物理的な接続が、前記第1種と第2種のコネクタのいずれかを用いて行われたかに拘わらず、前記初期接続処理と前記再接続処理の両方の処理を行う、周辺機器

。適用例3に記載の周辺機器によれば、周辺機器の制御を単純化しつつも、所望とするインターフェースを用いたデータ通信を行うために、論理的な接続を形成するための処理を再度行うことができる。

【0013】

[適用例4] 適用例1乃至適用例3のいずれか1つに記載の周辺機器であって、前記再接続処理は、前記制御部が、前記制御部の状態を初期状態にすることで前記初期接続処理により形成された前記論理的な接続を切断する工程を含む、周辺機器。

10

適用例4に記載の周辺機器によれば、制御部の状態を初期状態にすることで、ホスト機器との間で形成された論理的な接続を切断することができる。

【0014】

[適用例5] 適用例1乃至適用例3のいずれか1つに記載の周辺機器であって、前記再接続処理は、前記制御部が、前記ホスト機器にバスリセット信号を当該周辺機器に対して送信させることで、前記初期接続処理により形成された論理的な接続を切断する工程を含む、周辺機器。

適用例5に記載の周辺機器によれば、ホスト機器に対してバスリセット信号を送信させることによりホスト機器との間で形成された論理的な接続を切断することができる。これにより、制御部を初期状態から起動させる必要がないため、制御部の状態を初期状態にすることで論理的な接続を切断する場合に比べ、より短時間で再接続処理を実行することができる。

20

【0015】

[適用例6] 適用例1乃至適用例5のいずれか1つに記載の周辺機器であって、前記第1種のインターフェースは、USB2.0に準拠しており、前記第2種のインターフェースは、USB3.0に準拠している、周辺機器。

適用例6に記載の周辺機器によれば、物理的な接続を切断する動作をユーザに強いることなく、USB2.0インターフェースとUSB3.0インターフェースの論理的な接続を形成するための処理を再度行うことができる。

【0016】

本発明は、上述した周辺機器としての構成のほか、周辺機器とホスト機器との間のインターフェース接続方法や、周辺機器の制御方法、周辺機器を制御するためのコンピュータプログラムとしても構成することができる。コンピュータプログラムは、コンピュータが読取可能な記録媒体に記録されていてもよい。記録媒体としては、例えば、磁気ディスクや光ディスク、メモリカード、ハードディスク等の種々の媒体を利用することができる。

【図面の簡単な説明】

【0017】

【図1】本発明の第1実施例としての周辺機器の概略構成を説明するための図である。

【図2】周辺機器がホスト機器と行う初期接続処理を説明するための図である。

【図3】外部記憶装置100がPC200と行う一連の接続処理を説明するための図である。

40

【図4】外部記憶装置100がPC200と行う再接続処理を説明するための図である。

【図5】第2実施例における外部記憶装置100がPC200と行う一連の接続処理を説明するための図である。

【図6】一連の接続処理の第1変形例を説明するための図である。

【発明を実施するための形態】

【0018】

次に、本発明の実施の形態を以下の順序で説明する。

A. 第1実施例：

B. 第2実施例：

50

C . 変形例 :

【 0 0 1 9 】

A . 実施例 :

A - 1 . 周辺機器の概略構成 :

図 1 は、本発明の第 1 実施例としての周辺機器の概略構成を説明するための図である。図 1 では、説明の容易のために、周辺機器 1 0 0 とホスト機器 2 0 0 がケーブル 3 0 0 を介して物理的に接続されている状態を示している。第 1 実施例の周辺機器 1 0 0 には、外付け型の外部記憶装置 1 0 0 を用いている。ホスト機器 2 0 0 には、パーソナルコンピュータ (以下、「 P C 」ともいう。) 2 0 0 を用いている。

【 0 0 2 0 】

外部記憶装置 1 0 0 は、メインコントローラ 2 0 と、ハードディスクドライブ (以下、「 H D D 」ともいう。) 6 0 と、 U S B ポート 7 0 とを備えている。

【 0 0 2 1 】

U S B ポート 7 0 は、 U S B 3 . 0 に準拠した形状を有しており、 U S B 2 . 0 に準拠した凸型のコネクタと U S B 3 . 0 に準拠した凸型のコネクタとを選択的に接続することができる。具体的には、 U S B ポート 7 0 は、 U S B 2 . 0 に準拠した S t a n d a r d - B (以下、「 U S B 2 . 0 B コネクタ 」ともいう。) と、 U S B 3 . 0 に準拠した S t a n d a r d - B (以下、「 U S B 3 . 0 B コネクタ 」ともいう。) を選択的に接続できるポートである。ここで、「選択的に接続できる」とは、 U S B 2 . 0 B コネクタと、 U S B 3 . 0 B コネクタを同時に接続することはできないが、いずれか一方ずつであれば両者共に接続することができることを指す。

【 0 0 2 2 】

メインコントローラ 2 0 は内部に、 U S B 制御回路 2 1 と、 H D D 制御回路 3 0 と、 R O M 4 0 と、 R A M 4 5 と、 C P U 5 0 とを備えている。これらは、内部バスを介して相互に接続されている。

【 0 0 2 3 】

U S B 制御回路 2 1 は、 U S B ケーブル 3 0 0 と信号線 3 2 0 を介して論理的に接続された P C 2 0 0 との間で U S B 2 . 0 と U S B 3 . 0 のいずれかに準拠したデータ通信を行う。 U S B 制御回路 2 1 は、 U S B 2 . 0 物理層回路 2 2 と、 U S B 3 . 0 物理層回路 2 4 とを備える。 U S B 2 . 0 物理層回路 2 2 は、 P C 2 0 0 からケーブル 3 0 0 を介して転送される U S B 2 . 0 に準拠する差動信号をデジタル信号に変換する。 U S B 3 . 0 物理層回路 2 4 は、 P C 2 0 0 からケーブル 3 0 0 を介して転送される U S B 3 . 0 に準拠する差動信号をデジタル信号に変換する。

【 0 0 2 4 】

H D D 6 0 は、信号線 3 5 0 を介してメインコントローラ 2 0 と接続されている。 H D D 制御回路 3 0 は、 H D D 6 0 に対するデータの読み出しと書き込みとを制御する回路である。 R O M 4 0 は、後述する C P U 5 0 が実行する各種プログラムを記憶している。外部記憶装置 1 0 0 が起動されると、各種プログラムが R O M 4 0 から R A M 4 5 にロードされる。

【 0 0 2 5 】

C P U 5 0 は、ロードした各種プログラムに従って、 U S B 制御回路 2 1 を通じた P C 2 0 0 とのデータ通信や、 H D D 制御回路 3 0 を通じた H D D 6 0 へのデータの読み書きを制御する。

【 0 0 2 6 】

C P U 5 0 は、各種プログラムとして実行される機能として、コマンド変換部 5 2 と、リセット部 5 4 と、 I / F 判別部 5 6 とを備える。コマンド変換部 5 2 は、 U S B インターフェースの信号から S A T A インターフェースの信号への変換や、 S A T A インターフェースの信号から U S B インターフェースの信号への変換を行う。すなわち、コマンド変換部 5 2 は、異なる複数種のインターフェースの信号を、各インターフェースに対応した信号に変換する機能を有する。

10

20

30

40

50

【 0 0 2 7 】

リセット部 5 4 は、後述する再接続処理の一部の工程を行うために用いられる。なお、再接続処理は、外部記憶装置 1 0 0 が P C 2 0 0 との間で行う論理的な接続を形成するための処理（以下、「初期接続処理」ともいう。）の後に行われる。この詳細は後述する。

【 0 0 2 8 】

I / F 判別部 5 6 は、外部記憶装置 1 0 0 と P C 2 0 0 間で形成されたインターフェースの種類を判別する。

【 0 0 2 9 】

P C 2 0 0 は、U S B ポート 8 0 と、U S B 制御回路 9 0 とを備える。U S B ポート 8 0 と U S B 制御回路 9 0 は信号線 3 6 0 により接続されている。U S B ポート 8 0 は、U S B 3 . 0 に準拠した形状を有しており、U S B 2 . 0 に準拠した凸型のコネクタと U S B 3 . 0 に準拠した凸型のコネクタとを選択的に接続することができる。具体的には、U S B ポート 8 0 は、U S B 2 . 0 に準拠した S t a n d a r d - A（以下、「U S B 2 . 0 A コネクタ」ともいう。）と、U S B 3 . 0 に準拠した S t a n d a r d - A（以下、「U S B 3 . 0 A コネクタ」ともいう。）を選択的に接続できるポートである。U S B 制御回路 9 0 は、U S B ケーブル 3 0 0 と信号線 3 2 0 を介して論理的に接続された外部記憶装置 1 0 0 との間で U S B 2 . 0 と U S B 3 . 0 のいずれかに準拠したデータ通信を行う。U S B 制御回路 9 0 は、U S B 2 . 0 物理層回路 9 2 と、U S B 3 . 0 物理層回路 9 4 とを備える。各物理層回路 9 2 , 9 4 は、上述した外部記憶装置 1 0 0 の各物理層回路 2 2 , 2 4 と同様、U S B 2 . 0 と U S B 3 . 0 に準拠する差動信号をそれぞれデジタル信号に変換する。なお、P C 2 0 0 の内部構成は上述した構成の他に C P U や R O M 等を備えるが、ここでは、説明に必要な内部構成のみを図示している。

【 0 0 3 0 】

A - 2 . 初期接続処理：

図 2 は、周辺機器がホスト機器と行う初期接続処理（ステップ S 1）を説明するための図である。図 2（A）は、U S B 3 . 0 準拠のケーブル 3 0 0 を用いて外部記憶装置 1 0 0 と P C 2 0 0 を物理的に接続したにも拘わらず、初期接続処理の結果、U S B 2 . 0 インターフェースが形成された場合の図である。図 2（B）は、U S B 3 . 0 準拠のケーブル 3 0 0 を用いて外部記憶装置 1 0 0 と P C 2 0 0 を物理的に接続した場合に、初期接続処理の結果、U S B 3 . 0 インターフェースが形成された場合の図である。以下に説明する初期接続処理は、外部記憶装置 1 0 0 のメインコントローラ 2 0 が、P C 2 0 0 のメインコントローラ（図示せず）との間で行う処理である。ここでは、U S B ケーブル 3 0 0 の一端側の U S B 3 . 0 B コネクタは、U S B ポート 7 0 に物理的に接続され、U S B 3 . 0 に準拠した U S B ポート 7 0 と U S B 3 . 0 B コネクタの各端子が接触している状態で、利用者がケーブル 3 0 0 の他端側の U S B 3 . 0 A コネクタを U S B ポート 8 0（図 1）に差し込んだ場合について説明する。なお、これ以降、物理的な接続を単に「接続」ともいう。

【 0 0 3 1 】

図 2（A）に示すように、周辺機器である外部記憶装置 1 0 0 とホスト機器である P C 2 0 0 とが U S B ケーブル 3 0 0 により接続されると、P C 2 0 0 から外部記憶装置 1 0 0 に対して U S B 2 . 0 インターフェースを用いた論理的な接続を形成するための U S B 2 . 0 接続要求信号が送信される（ステップ S 1 0）。外部記憶装置 1 0 0 が U S B 2 . 0 接続要求信号を正常に受け付けた場合、外部記憶装置 1 0 0 は P C 2 0 0 に正常に信号を受け付けたことを示す A C K 信号を返信する（ステップ S 1 2）。これにより、外部記憶装置 1 0 0 と P C 2 0 0 との間で、U S B 2 . 0 インターフェースを用いた論理的な接続が形成される。U S B 2 . 0 インターフェースを用いた論理的な接続が形成されることで、外部記憶装置 1 0 0 と P C 2 0 0 間で U S B 2 . 0 インターフェースを用いたデータ通信が可能となる。

【 0 0 3 2 】

U S B 2 . 0 接続要求信号に対する A C K 信号を受信した P C 2 0 0 は、U S B 3 . 0

10

20

30

40

50

インターフェースを用いた論理的な接続を形成するためのUSB 3.0接続要求信号を外部記憶装置100に送信する(ステップS14)。外部記憶装置100がUSB 3.0接続要求信号を正常に受け付けなかった場合、外部記憶装置100はPC 200に正常に受け付けられなかったことを示すNACK信号を返信する(ステップS16)。これにより、USB 3.0インターフェースを用いた論理的な接続が形成されず、USB 2.0インターフェースが維持される。すなわち、図2(A)に示す初期接続処理の結果、PC 200は、外部記憶装置100をUSB 2.0デバイスとして誤って認識したことになる。

【0033】

一方、図2(B)に示すように、外部記憶装置100がPC 200からのUSB 3.0接続要求信号を正常に受け付けた場合は、ACK信号をPC 200に返信する(ステップS16a)。これにより、USB 2.0インターフェースに代えてUSB 3.0インターフェースを用いた論理的な接続が形成され、USB 3.0インターフェースを用いたデータ通信が行える状態になる。

【0034】

このように、電氣的仕様が異なるUSB 2.0コネクタとUSB 3.0コネクタを選択的に接続可能な単一のUSBポート70, 80を用いた場合に、図2(A)に示すように、誤ったUSBインターフェース(図2(A)の場合、USB 2.0インターフェース)を用いたデータ通信が開始される一因について以下に説明する。

【0035】

ホスト機器であるPC 200のUSBポート80に接続されるUSB 3.0Aコネクタは、USB 2.0で使用される4本の信号線に加え、USB 3.0準拠の信号線5本を有する内部構造となっている。このUSB 3.0準拠の信号線5本は、USB 2.0で使用される4本の信号線よりもUSB 3.0Aコネクタの奥側に配置されている。よって、USBポート70にUSB 3.0Bコネクタが正常に接続されている状態(すなわち、USBポート70の各端子とUSB 3.0Bコネクタの各端子が接触している状態)で、USB 3.0AコネクタをPC 200が備えるUSBポート80に利用者が差し込んだ場合、USBポート80が有するUSB 2.0準拠の各端子とUSB 3.0AコネクタのUSB 2.0準拠の各端子が先に接続される。すなわち、外部記憶装置100とPC 200との間においてUSB 2.0準拠の各端子が導通し、USB 3.0準拠の各端子が導通していない状態が発生し得る。

【0036】

一般に、USB 2.0準拠の各端子の少なくとも一部が導通した時点で、PC 200から外部記憶装置100にUSB 2.0接続要求信号が送信され、初期接続処理が開始される。すなわち、USB 3.0準拠の各端子が導通していない状態で初期接続処理が完了すると、PC 200は、外部記憶装置100をUSB 2.0デバイスであると認識する。また、初期接続処理後にUSB 3.0準拠の各端子が導通したとしても、データ通信はUSB 2.0インターフェースを用いて行われる。

【0037】

なお、上記のような誤認識は、USBポート80にUSB 3.0Aコネクタが正常に接続されている状態(すなわち、USBポート80の各端子とUSB 3.0Aコネクタの各端子が接触している状態)で、USB 3.0Bコネクタを外部記憶装置100が備えるUSBポート70に差し込む場合においても発生し得る。利用者がUSB 3.0BコネクタをUSBポート70に差し込んだ場合に、利用者がUSB 3.0Bコネクタを未だ保持した状態で初期接続処理が開始されると、USB 3.0BコネクタのUSB 3.0準拠の各端子と、USBポート70のUSB 3.0準拠の各端子が安定的に接触していない状態が起こり得るからである。

【0038】

このように、初期接続処理の結果、PC 200が外部記憶装置100をUSB 2.0デバイスとして認識すると、初期接続処理の後にUSB 3.0準拠の各端子が外部記憶装置100とPC 200間で導通したとしても、両者間ではUSB 2.0インターフェースを

10

20

30

40

50

用いたデータ通信が行われることになる。そこで、本実施例の外部記憶装置100はPC200との間で、以下に説明する一連の接続処理を行う。

【0039】

A-3. 一連の接続処理：

図3は、外部記憶装置100がPC200と行う一連の接続処理を説明するための図である。

【0040】

PC200と行う初期接続処理の後(ステップS1)、外部記憶装置100のI/F判別部56(図1)は、外部記憶装置100とPC200との間で形成されたインターフェースの種類を判別する(ステップS2)。

10

【0041】

形成されたインターフェースがUSB3.0インターフェースである場合、外部記憶装置100は、PC200からのUSB2.0接続要求信号を再度送出させることなく、USB3.0インターフェースを用いたデータ通信を行える状態になる(ステップS3)。すなわち、形成されたインターフェースがUSB3.0インターフェースである場合、外部記憶装置100はPC200と後述する再接続処理を行うことなく、接続処理を終了する。

【0042】

一方、形成されたインターフェースがUSB2.0インターフェースである場合、外部記憶装置100は、リセット部54を用いてPC200に対しUSB2.0接続要求信号を送出させる工程を含む、再接続処理を行う(ステップS4)。この再接続処理において、外部記憶装置100は、PC200と再び論理的な接続を形成する。すなわち、再接続処理(ステップS4)は、初期接続処理(ステップS1)により形成された論理的な接続を一旦切断し、再度、接続処理を行う処理である。この、再接続処理(ステップS4)の詳細は後述する。

20

【0043】

再接続処理の後、I/F判別部56は、再接続処理により形成されたインターフェースの種類を判別する(ステップS5)。形成されたインターフェースがUSB3.0インターフェースである場合、USB3.0インターフェースを用いたデータ通信をPC200との間で行うことが可能となる(ステップS6)。一方、形成されたインターフェースがUSB2.0インターフェースである場合、USB2.0インターフェースを用いたデータ通信をPC200との間で行うことが可能となる(ステップS7)。

30

【0044】

A-4. 再接続処理：

図4は、外部記憶装置100がPC200と行う再接続処理を説明するための図である。この再接続処理は、外部記憶装置100とPC200との間の物理的な接続を切断することなく行われる。すなわち、外部記憶装置100とPC200とを接続するケーブル300を抜き差しすることなく行われる。

【0045】

ステップS1において形成されたインターフェースがUSB2.0インターフェースである場合、外部記憶装置100のリセット部54は、メインコントローラ20をリセットする(ステップS20)。すなわち、リセット部54は、一旦、メインコントローラ20を初期状態にする。ここで「初期状態」とは、外部記憶装置100の電源がOFFの時のメインコントローラ20の状態をいう。すなわち、「初期状態」とはROM40のプログラムがRAM45にロードされる前の状態であるとも言える。ステップS20により、初期接続処理(ステップS1)により形成された外部記憶装置100とPC200との間の論理的な接続が切断される。

40

【0046】

論理的な接続が切断されると、図2(A)、(B)で説明した初期接続処理と同様の工程が行われる。すなわち、PC200から外部記憶装置100に対してUSB2.0接続

50

要求信号とUSB 3.0接続要求信号が送信され、各信号に対する応答を外部記憶装置100がPC200に行う(ステップS30, 32, 34, 36)。

【0047】

上記のように、本実施例の外部記憶装置100は、ケーブル300の抜き差しを利用者に強いることなく、一旦形成された論理的な接続を切断して、再度、論理的な接続を形成することができる。また、再接続処理(ステップS4)は、初期接続処理(ステップS1)よりも後に行われる。これにより、再接続処理(ステップS4)を行う際には、初期接続処理(ステップS1)を行う際に比べ、USB 3.0準拠の各端子と、USBポート70, 80の各端子が安定的に接触している可能性が高い。よって、再接続処理(ステップS4)を行うことで、PC200が外部記憶装置100をUSB 2.0デバイスであると誤って認識する可能性を低減できる。これにより、データ伝送速度の速い所望とするインターフェース(本実施例の場合、USB 3.0インターフェース)を用いて外部記憶装置100はPC200との間でデータ通信を行うことができる。

10

【0048】

ここで、USBポート70が課題を解決するための手段に記載の「単一の接続部」に相当し、ホストコントローラ20が課題を解決するための手段に記載の「制御部」に相当する。

【0049】

B. 第2実施例:

図5は、第2実施例における外部記憶装置100がPC200と行う再接続処理を説明するための図である。なお、第1実施例の外部記憶装置100との違いは、リセット部54のソフトウェア上の構成の違いであり、ハードウェア上の構成は第1実施例と同一である。よって、リセット部54のソフトウェア上の構成の違いについて図5を用いて説明する。なお、第1実施例の一連の接続処理と第2実施例の一連の接続処理との違いは、再接続処理で行う処理内容である。

20

【0050】

ステップS1(図3)により形成されたインターフェースがUSB 2.0インターフェースである場合、リセット部54は、PC200に対してバスリセットコマンドを発行させる処理を行う。初期接続処理(ステップS1、図3)の後に、PC200は、外部記憶装置100の存在を確認するためのコマンド(「テストユニットレディコマンド」ともいう。)を外部記憶装置100に送信する(ステップS24)。これに対し、予め定められた制限時間内に外部記憶装置100が応答を行わないようにリセット部54は外部記憶装置100を制御する(ステップS26)。これにより、PC200はバスリセットコマンドを外部記憶装置100に送信し、バスリセットが行われる。すなわち、バスリセットにより、初期接続処理により形成された論理的な接続が切断される。換言すれば、USBケーブル300を仮想的に抜いた状態と同等の状態となる。論理的な接続が切断されると、第1実施例と同様に、外部記憶装置100は、初期接続処理と同様の工程をPC200との間で行う(ステップS30, 32, 34, 36)。

30

【0051】

上記のように、第2実施例の外部記憶装置100のリセット部54は、PC200にバスリセット信号を発行させ、一旦形成された論理的な接続を切断することで、再度、論理的な接続を形成するための処理を外部記憶装置100に行わせている。すなわち、再接続処理の中で、メインコントローラ20を初期状態にする工程を行う必要が無い場合、ROMに格納されている各種プログラムをRAM45に再びロードする必要がない。これにより、第2実施例の外部記憶装置100は、第1実施例で奏する効果に加え、より短時間に再接続処理を完了することができるという効果を奏する。

40

【0052】

C. 変形例:

なお、上記実施例における構成要素の中の、特許請求の範囲の独立項に記載した要素以外の要素は、付加的な要素であり、適宜省略可能である。また、本発明の上記実施例や実

50

施形態に限られるものではなく、その要旨を逸脱しない範囲において種々の形態において実施することが可能であり、例えば次のような変形も可能である。

【 0 0 5 3 】

C - 1 . 第 1 変形例 :

図 6 は、一連の接続処理の第 1 変形例を説明するための図である。上記実施例の接続処理 (図 3) との違いは、ステップ S 2 及びステップ S 3 を行わない点であり、その他の工程については同様の工程が行われるため、同一の工程については同一符号を付すと共に説明を省略する。

【 0 0 5 4 】

第 1 変形例の一連の接続処理では、初期接続処理 (ステップ S 1) により形成されたインターフェースが U S B 3 . 0 インターフェースであるか否かに拘わらず、外部記憶装置 1 0 0 は、P C 2 0 0 との間で再接続処理を行う (ステップ S 4) 。なお、再接続処理は、第 2 実施例の再接続処理を行っても良い (図 5 、ステップ S 4 a) 。このようにしても、第 1 変形例は、上記実施例と同様の効果を奏する。さらに、第 1 変形例の一連の接続処理は、初期接続処理の後に、I / F 判別部 5 6 が形成されたインターフェースの種類を判別し、判別した種類によって再接続処理を行うか否かをメインコントローラ 2 0 に制御させる必要がない。よって、上記実施例に比べ、接続処理の制御を単純化することができる。

10

【 0 0 5 5 】

C - 2 . 第 2 変形例 :

上記実施例では、本発明の周辺機器として H D D 6 0 を内蔵した外付け型の外部記憶装置 1 0 0 を例に挙げて説明を行ったが、本発明の周辺機器はこれに限られるものではない。例えば、フラッシュメモリや光ディスク等の各種記録媒体を内蔵した外部記憶装置に本発明を適用することができる。更に、外部記憶装置、プリンタ、カメラ、デジタルテレビ用チューナー等の電子機器に本発明を適用することができる。また、ホスト機器はパーソナルコンピュータに限られず、計算機としての各種コンピュータ装置をホスト機器として用いることができる。

20

【 0 0 5 6 】

C - 3 . 第 3 変形例 :

上記実施例として通信方式が異なる 2 種類のインターフェースとして、U S B 2 . 0 インターフェースと U S B 3 . 0 インターフェースを用いて説明を行ったが、特にこれに限定されるものではない。すなわち、単一の接続部 (ポート) で選択的に利用可能な各種インターフェースを本発明に適用することができる。

30

【 0 0 5 7 】

C - 4 . 第 4 変形例 :

上記第 2 実施例の再接続処理では P C 2 0 0 に対しバスリセットコマンドを送信させるために、リセット部 5 4 は所定のコマンドに対し応答しないこととしたが (図 5 、ステップ S 2 4 ~ S 2 8) 、これに限定されるものではない。例えば、リセット部 5 4 が、バスリセットコマンドを送信させる信号を P C 2 0 0 へ送信しても良い。このようにしても、上記第 2 実施例と同様の効果を奏する。

40

【 0 0 5 8 】

C - 5 . 第 5 変形例 :

上記実施例において、ソフトウェアによって実現されていた構成の一部をハードウェアに置き換えるようにしてもよく、逆に、ハードウェアによって実現されていた構成の一部をソフトウェアに置き換えるようにしてもよい。

【 符号の説明 】

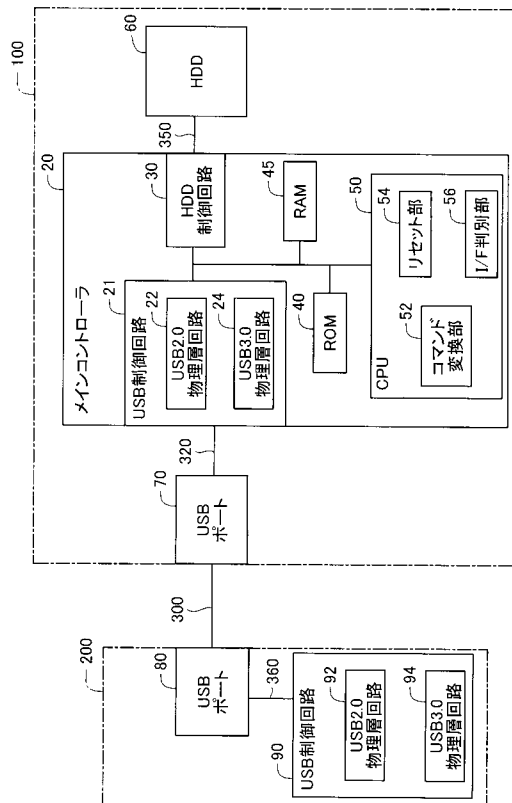
【 0 0 5 9 】

- 2 0 ... メインコントローラ
- 2 1 ... U S B 制御回路
- 2 2 ... U S B 2 . 0 物理層回路

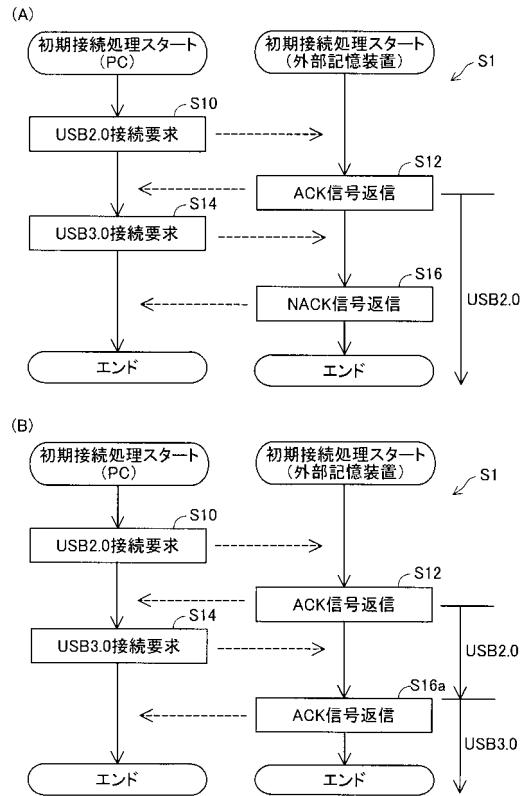
50

- 24 ... USB 3.0 物理層回路
- 30 ... HDD 制御回路
- 40 ... ROM
- 45 ... RAM
- 50 ... CPU
- 52 ... コマンド変換部
- 54 ... リセット部
- 56 ... I/F 判別部
- 70 ... USB ポート
- 80 ... USB ポート
- 90 ... USB 制御回路
- 92 ... USB 2.0 物理層回路
- 94 ... USB 3.0 物理層回路
- 100 ... 外部記憶装置
- 200 ... PC
- 300 ... ケーブル
- 320 ... 信号線
- 350 ... 信号線
- 360 ... 信号線

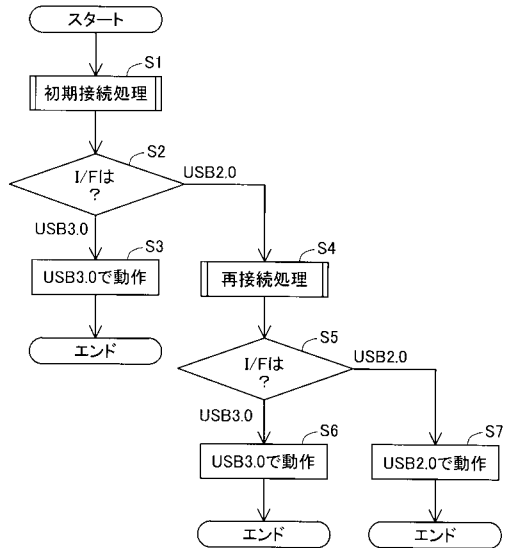
【図1】



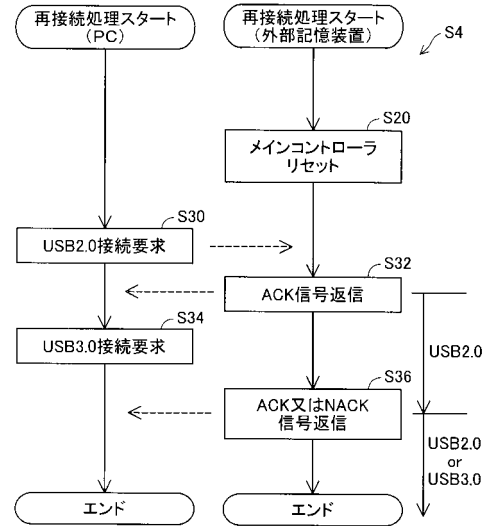
【図2】



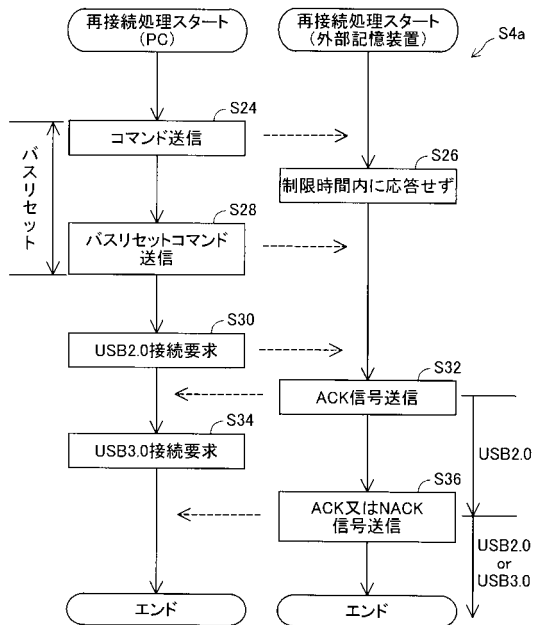
【図3】



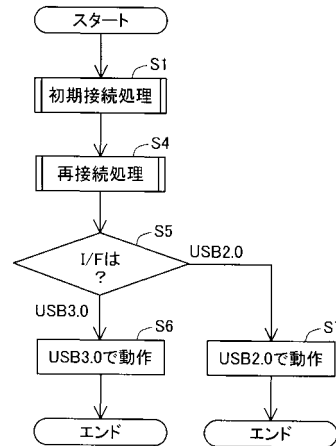
【図4】



【図5】



【図6】



フロントページの続き

審査官 坂東 博司

(56)参考文献 特開2005-173820(JP,A)
特開2004-152156(JP,A)

(58)調査した分野(Int.Cl., DB名)
G06F 13/10