

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7079106号
(P7079106)

(45)発行日 令和4年6月1日(2022.6.1)

(24)登録日 令和4年5月24日(2022.5.24)

(51)国際特許分類	F I
H 0 1 L 33/32 (2010.01)	H 0 1 L 33/32
H 0 1 L 33/20 (2010.01)	H 0 1 L 33/20
H 0 1 L 33/48 (2010.01)	H 0 1 L 33/48

請求項の数 17 (全23頁)

(21)出願番号	特願2018-9878(P2018-9878)	(73)特許権者	000005049
(22)出願日	平成30年1月24日(2018.1.24)		シャープ株式会社
(65)公開番号	特開2019-129226(P2019-129226 A)	(74)代理人	110000338
(43)公開日	令和1年8月1日(2019.8.1)		特許業務法人HARAKENZO WORLD PATENT & TRADE MARK
審査請求日	令和2年9月17日(2020.9.17)	(72)発明者	井口 勝次
			大阪府堺市堺区匠町1番地 シャープ株式会社内
		審査官	百瀬 正之

最終頁に続く

(54)【発明の名称】 画像表示素子、及び画像表示素子の製造方法

(57)【特許請求の範囲】

【請求項1】

複数のマイクロLED素子と、

前記複数のマイクロLED素子の各々に駆動電流を供給する駆動回路が形成された駆動回路基板と、を備え、

前記複数のマイクロLED素子は、前記駆動回路基板の上に2次元アレイ状に積層されている画像表示素子であって、

前記複数のマイクロLED素子の各々は、

光射出面の側から見てN側層、発光層、及びP側層がこの順番で積層された窒化物半導体層と、

前記P側層側に配置された第1の電極と、

前記N側層側に配置された第2の電極と、

前記窒化物半導体層の前記P側層側の表面に形成された複数のマイクロメサとを備え、

前記複数のマイクロメサの各々は、前記P側層の平坦面を有すると共に、前記発光層を傾斜面によって囲っており、前記傾斜面は、前記P側層から、前記N側層の一部まで続く面であって、前記発光層に対して、 $45\text{度} \pm 10\text{度}$ の角度で傾斜しており、

前記複数のマイクロLED素子は、画素分離溝によって周囲を囲まれて個別に分割されており、前記画素分離溝は、前記複数のマイクロメサの一部において、前記平坦面および前記傾斜面を分断していることを特徴とする画像表示素子。

【請求項2】

前記P側層の側から平面視した場合、前記平坦面に欠けが無い前記マイクロメサにおいては、前記発光層が前記傾斜面によって、全周を囲われていることを特徴とする請求項1に記載の画像表示素子。

【請求項3】

前記発光層から前記傾斜面の底部までの垂直方向の距離は、平面視における前記発光層の径の3倍以下である

ことを特徴とする請求項1に記載の画像表示素子。

【請求項4】

前記マイクロLED素子の外形をなす側壁と光射出面とがなすテーパ角度は、70度から90度である

ことを特徴とする請求項1に記載の画像表示素子。

【請求項5】

前記第1の電極は、前記マイクロLED素子の前記P側層側の面全体を覆っていることを特徴とする請求項1に記載の画像表示素子。

【請求項6】

前記傾斜面は透明な保護膜に覆われていることを特徴とする請求項1に記載の画像表示素子。

【請求項7】

前記傾斜面を覆う前記透明な保護膜は金属膜に覆われていることを特徴とする請求項6に記載の画像表示素子。

【請求項8】

前記傾斜面を覆う前記透明な保護膜は、前記第1の電極によって覆われていることを特徴とする請求項6に記載の画像表示素子。

【請求項9】

前記P側層の側から平面視した場合、前記マイクロメサは周期的に配置されていることを特徴とする請求項1に記載の画像表示素子。

【請求項10】

前記P側層の側から平面視した場合、前記マイクロLED素子は矩形形状を有し、前記マイクロメサは、前記矩形の一辺に対して、ほぼ平行な行列パターンで配置されており、前記矩形の一辺の長さは、前記マイクロメサの対応する辺方向の周期の整数倍とは異なることを特徴とする請求項9に記載の画像表示素子。

【請求項11】

前記矩形の一辺の長さは、前記マイクロメサの対応する辺方向の周期の整数倍と1/2周期異なる

ことを特徴とする請求項10に記載の画像表示素子。

【請求項12】

マイクロLED素子の配置ピッチは、前記マイクロメサの配置パターンの、対応する方向の周期の整数倍である

ことを特徴とする請求項9から11の何れか一項に記載の画像表示素子。

【請求項13】

前記画像表示素子の画素領域の外側に、共通接続領域が設けられており、前記共通接続領域には、前記窒化物半導体層と前記第1の電極と前記第2の電極を有する接続素子が配置されており、前記接続素子は前記第2の電極と前記第1の電極を電気的に接続していることを特徴とする請求項1に記載の画像表示素子。

【請求項14】

前記接続素子が、前記マイクロメサを有していることを特徴とする請求項13に記載の画像表示素子。

【請求項15】

前記接続素子は、前記マイクロLED素子と比較して、前記マイクロメサの欠落部を有していることを特徴とする請求項14に記載の画像表示素子。

10

20

30

40

50

【請求項 16】

前記画像表示素子の前記画素領域と前記共通接続領域の外側に、ダミー領域が設けられており、前記ダミー領域には、前記窒化物半導体層と前記第1の電極を有するダミー素子が配置されていることを特徴とする請求項13に記載の画像表示素子。

【請求項 17】

画像表示素子の製造方法であって、

成長基板上にN側層、発光層、及びP側層をこの順番で積層することによって窒化物半導体層を得る工程と、

前記窒化物半導体層の前記P側層、前記発光層、及び前記N側層の一部をエッチングすることにより傾斜面を形成することで、前記P側層からなる平坦面と前記傾斜面とを含むマイクロメサを複数形成する工程と、

前記P側層上に第1の電極を設ける工程と、

前記窒化物半導体層を駆動回路基板に貼り合わせる工程と、

前記成長基板を除去する工程と、

前記駆動回路基板上において、前記窒化物半導体層をエッチングし、マイクロLED素子毎に分割する工程と、

前記窒化物半導体層の、駆動回路基板と反対側の面に第2の電極を形成する工程とを含み、前記マイクロメサを複数形成する工程は前記貼り合わせ工程の前に実施され、

前記マイクロLED素子毎に分割する工程では、前記マイクロLED素子を前記P側層の側から平面視した場合において、前記マイクロLED素子の外縁に接する又は前記マイクロLED素子の外縁を跨ぐ位置にある前記マイクロメサの平坦面又は傾斜面がエッチングされる

ことを特徴とする画像表示素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マイクロLED素子、マイクロLED素子を複数備えた画像表示素子、及び画像表示素子の製造方法に関する。

【背景技術】

【0002】

平面ディスプレイ分野では、大型から中小型までディスプレイのサイズを問わずに、表示素子として液晶表示素子、有機ELディスプレイが用いられている。また、平面ディスプレイとして、化合物半導体製のLED素子を表示素子として採用したLEDディスプレイが提案されている（特許文献1及び2参照）。

【0003】

上記のようなLED素子は、マイクロLED素子と呼ばれている。現在では、マイクロLED素子の微細化が進められており、例えば、7 μ m程度の大きさのマイクロLED素子が発表されている（非特許文献1参照）。

【0004】

マイクロLED素子は通常のLEDと同様に、成長基板上に形成された後、個片化され、駆動回路基板上に搭載される場合が多い（ピック&ペース法）。研究開発レベルでは、成長基板上にLEDとなるエピ層を成長させた後に、駆動回路基板と貼り合わせ、駆動回路基板上に個々のLEDを形成する製造方法も提案されている（非特許文献2参照）。

【先行技術文献】

【特許文献】

【0005】

【文献】特開2009-272591号公報（2009年11月19日公開）

特表2016-503958号公報（2016年2月8日公開）

【非特許文献】

【0006】

10

20

30

40

50

【文献】Francois Olivier, Anis Daami, Ludovic Dupre, Franck Henry, Bernard A venturier, Francois Templier, "Investigation and Improvement of 10 μm Pixel-pitch GaN-based Micro-LED Arrays with Very High Brightness", SID 2017 DIG EST, P353, 2017

Francois Templier, Lamine Benaissa, Bernard Aventurier, Christine Di Nardo, Matthew Charles, Anis Daami, Franck Henry, Ludovic Dupre, "A Novel Process for Fabricating High-Resolution and Very Small Pixel-pitch GaN LED Microdis plays", SID 2017 DIGEST, P268, 2017

【発明の概要】

【発明が解決しようとする課題】

10

【0007】

しかしながら、上述の特許文献1、2及び非特許文献1、2に記載されたマイクロLED素子は、そのサイズを微細化した場合、発光効率が低下してしまう課題がある。

【0008】

本発明は、上記の課題に鑑みてなされたものであり、その目的は、マイクロLED素子のサイズを微細化した場合であっても、発光効率の低下を抑制可能なマイクロLED素子、画像表示素子、及び画像表示素子の製造方法を提供することである。

【課題を解決するための手段】

【0009】

上記の課題を解決するために、本発明の一態様に係るマイクロLED素子は、光出射面の側から見てN側層、発光層、及びP側層がこの順番で積層された窒化物半導体層と、前記P側層側に配置された第1の電極と、前記N側層側に配置された第2の電極と、前記窒化物半導体層の前記P側層側の表面に形成された複数のマイクロメサとを備え、前記複数のマイクロメサの各々は、前記P側層の平坦面を有すると共に、前記発光層を傾斜面によって囲っており、前記傾斜面は、前記P側層から、前記N側層の一部まで続く面であって、前記発光層に対して、45度を含む所定の範囲内の角度で傾斜している。

20

【0010】

上記の課題を解決するために、本発明の一態様に係る画像表示素子の製造方法は、成長基板上にN側層、発光層、及びP側層をこの順番で積層することによって窒化物半導体層を得る工程と、前記窒化物半導体層の前記P側層、前記発光層、及び前記N側層の一部をエッチングすることにより傾斜面を形成することで、前記P側層からなる平坦面と前記傾斜面とを含むマイクロメサを形成する工程と、前記P側層上に第1の電極を設ける工程と、前記窒化物半導体層を駆動回路基板に貼り合わせる工程と、前記成長基板を除去する工程と、前記駆動回路基板上において、前記窒化物半導体層をエッチングし、マイクロLED素子毎に分割する工程と、前記窒化物半導体層の、駆動回路基板と反対側の面に第2の電極を形成する工程とを含み、前記マイクロメサを形成する工程は前記貼り合わせ工程の前に実施される。

30

【発明の効果】

【0011】

本発明の一態様によれば、マイクロLED素子のサイズを微細化した場合であっても、発光効率の低下を抑制可能なマイクロLED素子、画像表示素子、及び画像表示素子の製造方法を提供することができる。

40

【図面の簡単な説明】

【0012】

【図1】図1の(a)は、本発明の第1の実施形態に係るマイクロLED素子を複数備えた画像表示素子の断面図であり、(b)はマイクロLED素子のP側層側の表面の拡大断面図であり、(c)はマイクロLED素子のP側層側の面から見た場合の平面図である。

【図2】図2の(a)~(f)は、図1に示したマイクロLED素子の製造工程のうち、マイクロメサの形成工程の各ステップの断面図である。

【図3】図3の(a)~(h)は、図1に示す画像表示素子の製造方法の各ステップにお

50

けるマイクロLED素子及び画像表示素子の断面図である。

【図4】第1の実施形態の変形例に係るマイクロLED素子の、マイクロメサの形成工程の各ステップを断面図である。

【図5】図5の(a)、(c)、(e)は、本発明の第2の実施形態に係るマイクロLED素子の、マイクロメサの平面形状をしめす平面図であり、(b)と(d)はそれぞれ、(a)と(c)の傾斜面について説明する断面図である。

【図6】図6の(a)~(c)は、本発明の第2の実施形態に係るマイクロLED素子の、マイクロメサの平面形状をしめす他の平面図である。

【図7】図7の(a)~(c)は、本発明の第3の実施形態に係るマイクロLED素子の配置パターンとマイクロメサの配置パターンの関係を説明するための平面図である。

10

【図8】図8の(a)、(b)は、本発明の第3の実施形態に係るマイクロLED素子の配置パターンとマイクロメサの配置パターンの関係を説明するための他の平面図である。

【図9】図9の(a)は、本発明の第4の実施形態に係るマイクロLED素子を複数備えた画像表示素子の断面図であり、(b)はマイクロLED素子のP側層側の表面の拡大断面図であり、(c)はマイクロLED素子のP側層側の面から見た場合の平面図である。

【図10】図10の(a)~(f)は、図9に示したマイクロLED素子の製造工程のうち、マイクロメサの形成工程の各ステップの断面図である。

【図11】図11の(a)~(d)、(g)、(h)は、図9に示す画像表示素子の製造方法の各ステップにおけるマイクロLED素子及び画像表示素子の断面図である。

【発明を実施するための形態】

20

【0013】

(従来の表示素子の構成例とその問題点)

本願発明の一形態について具体的な説明を行う前に、従来の表示素子の構成例とその問題点について、以下に纏める。

【0014】

従来、表示素子として広く用いられている液晶表示素子はバックライト光を液晶素子によりON/OFFすることにより各画素の輝度を調整している。

【0015】

表示素子として液晶表示素子を用いた液晶ディスプレイは、コントラストを高めることが難しいという課題を有する。なぜなら、バックライト光がOFFとなるように液晶表示素子を制御した場合であっても、液晶表示素子がバックライト光を完全に遮断することが難しいためである。

30

【0016】

また、液晶ディスプレイは、演色性を高めることが難しいという課題を有する。なぜなら、各原色を表現するために用いる複数のカラーフィルター(例えばRGBの3色)は、その透過帯以外の光を完全に遮断することが難しく、結果として、各カラーフィルターの透過帯を完全に分離することが出来ないためである。

【0017】

一方で、表示素子として有機EL素子を採用した有機ELディスプレイが実用化されている。有機EL素子は、自発光素子であり、且つ、R、G、Bの各単色発光素子である。したがって、有機ELディスプレイは、前述の液晶ディスプレイのコントラストと演色性と言う課題を解決することが出来ると期待されており、実際にスマートフォン用の小型の平面ディスプレイ分野においては実用化されている。

40

【0018】

しかし、有機ELディスプレイは、有機EL素子の輝度が経時劣化しやすいという課題を有する。なぜなら、有機EL素子の発光層が有機物により構成されているためである。そのため、有機ELディスプレイは、比較的製品寿命が短い(換言すれば買い換え周期が短い)スマートフォンには採用されているが、製品寿命が長い(換言すれば買い換え周期が長い)製品(例えばテレビなど)へ採用することは難しい。また、有機ELディスプレイを製品寿命が長い製品に採用する場合には、輝度の経時劣化を補償するための複雑な回路

50

が必要となる。

【0019】

以上のような、液晶ディスプレイ及び有機ELディスプレイの課題を解消する平面ディスプレイとして、化合物半導体制のLED素子を表示素子として採用したLEDディスプレイが提案されている。LEDディスプレイは、化合物半導体制のLED素子を2次元アレイ状に配置することによって構成されており、コントラストが高く、演色性が優れ、且つ、輝度が経時劣化しにくい。

【0020】

特に有機EL素子に比べて、LED素子は、発光効率が高く、且つ、長期信頼性が高い（輝度の経時劣化などが少ない）。したがって、LEDディスプレイは、屋外でも見やすい高輝度ディスプレイを実現できる。超大型の平面ディスプレイ分野に関しては、デジタルサイネージ用としてLEDディスプレイの実用化が始まっている。また、ウェアラブル端末やTV用など中小型から大型の平面ディスプレイ分野に関しても、LEDディスプレイの開発が進んでいる。

10

【0021】

しかしながら、従来のマイクロLED素子は下記の課題を有する。

【0022】

マイクロLED素子の微細化を進める場合に、マイクロLED素子は、外部量子効率（発光パワーの投入電力に対する比率）が非常に小さくなる。具体的には、そのサイズが10 μ mを下回るマイクロLED素子において、その外部量子効率は、11%を下回る。それに対して、通常のサイズ（例えば100 μ m以上1000 μ m以下）のLED素子の外部量子効率は、30%～60%程度である。このように、サイズが10 μ mを下回るマイクロLED素子は、通常のサイズのLED素子と比較して、明らかに外部量子効率が低い。マイクロLEDディスプレイは、発光効率の高さを期待されている。そのため、マイクロLEDディスプレイにとって、外部量子効率が低い事は、極めて深刻な問題である。

20

【0023】

〔第1の実施形態〕

以下に、本発明の第1の実施形態に係るマイクロLED素子100を光源として搭載する画像表示素子200について、図1～図3を参照して説明する。

【0024】

図1の(a)は、マイクロLED素子100を複数備えた画像表示素子200の断面図である。本発明のマイクロLED素子100の表面には、光取出し効率向上のため、多数のマイクロメサ構造が形成されている。図1の(b)は、マイクロメサ構造を説明するための、マイクロLED素子100の断面拡大図である。図1の(c)はマイクロメサ構造の表面構造を示す平面模式図である。図1に示すように、画像表示素子200は、複数のマイクロLED素子100と、複数のマイクロLED素子100の各々に駆動電流を供給する駆動回路が形成された駆動回路基板50と、備え、複数のマイクロLED素子100は、駆動回路基板50上に2次元アレイ状に積層されている。

30

【0025】

図2は、マイクロLED素子100の製造工程のうち、マイクロメサ構造の製造工程を示す図である。図3は、マイクロLED素子100及び、画像表示素子200の製造工程を示す図である。

40

【0026】

（マイクロLED素子100の構造）

図1の(a)に示すように、画像表示素子200は、画素領域1と、共通接続領域2と、ダミー領域3と、外周部4を含む。画素領域1には、各画素を構成するマイクロLED素子100が配列されており、マイクロLED素子100は、窒化物半導体層14と、P電極19P（第1の電極）と、共通N電極34（第2の電極）とを備えており、光出射面側に共通N電極34、駆動回路基板50側にP電極19Pを配置している。窒化物半導体層14のP電極19P側には、マイクロメサ構造が形成されている。P電極19Pは駆動回

50

路基板 50 上の P 側電極 51 に接続され、共通 N 電極 34 は共通接続領域 2 において、プラグ 32 を介して、駆動回路基板 50 上の N 側電極 52 に接続されており、マイクロ LED 素子 100 はそれぞれ対応する P 側電極 51 から電流を供給され、発光する。光射出方向は駆動回路基板 50 と反対の方向であり、共通 N 電極 34 側である。

【0027】

外周部 4 は画像表示素子 200 の外縁を規定し、画像表示素子 200 を個片に切り離すための切断領域や、ワイヤーボンドパッド等の外部回路との接続部を含む。外周部 4 では、窒化物半導体層 14 は除去されている。ダミー領域 3 は、画像表示素子 200 の画素領域 1、共通接続領域 2、外周部 4 以外の領域であり、この領域には窒化物半導体層 14 が配置されているが、発光せず、表面の平坦性を確保するために配置されている。駆動回路基板 50 の画素領域 1 には、各画素の駆動回路が配置され、主にダミー領域 3 には、行選択回路、列信号出力回路、画像処理回路、入出力回路、等が配置されている。駆動回路基板 50 上のダミー電極 53 は窒化物半導体層 14 を固定すると共に、これらの回路を遮光するために配置されている。

10

【0028】

マイクロ LED 素子 100 は画素分離溝 15 によって、個別に分割されており、画素分離溝 15 は埋込材 20 によって、埋められている。

【0029】

次に、マイクロ LED 素子 100 の一方の面に形成されたマイクロメサ 16 について、図 1 の (b) と図 1 の (c) に基づいて説明する。図 1 の (c) は光射出面とは反対側の表面の平面図であり、図 1 の (b) は図 1 の (c) の A - A' 部分の断面図である。図 1 の (b) に示すように、窒化物半導体層 14 は、光射出面側から順に、N 側層 11 と、発光層 12 と、P 側層 13 とによって構成され、P 側層 13 側の表面は複数のマイクロメサ 16 に加工されている。図 1 の (c) に示すように、本実施形態では、マイクロメサ 16 は、P 側層 13 側に円形の平坦面 16T を有し、P 側層 13 と発光層 12 と N 側層 11 の一部を含む傾斜面 16A を有する円錐台の形状をしている。従って、本発明のマイクロ LED 素子 100 では、発光層 12 が傾斜面 16A で囲われ、互いに分離された多数の領域に分割されている。また、図 1 の (b) に示すように、各マイクロメサ 16 における発光層 12 は、傾斜面 16A によって、全周を囲われている。

20

【0030】

マイクロメサ 16 の表面は保護膜 17 に覆われ、平坦面 16T には P 側コンタクトホール 18 が開口され、P 側電極層 19 が形成されている。P 側電極層 19 の表面は、平坦化保護膜 21 によって覆われ、平坦化されていても良い。

30

【0031】

マイクロ LED 素子 100 の発光層 12 側にマイクロメサ 16 を形成する理由は、光取出し効率を向上するためである。まず、マイクロ LED 素子 100 がマイクロメサを持たず、その形状は直方体として考える。マイクロ LED 素子は平坦な窒化物半導体層 14 をドライエッチングによって加工して形成するため、その側壁は窒化物半導体層 14 に対してほぼ垂直であるため、マイクロメサを有しない場合として、前記仮定はほぼ現実的である。発光層 12 からは等方的に光が放出されるが、射出面（この場合 N 側層 11 の表面）の全反射によって、射出面に垂直な方向を中心とした臨界角 以内に放出された光（以降、垂直光と呼ぶ）しか、直方体形状の LED 素子からは射出されない。それ以外の光は、直方体の中で反射を繰り返し、外部には射出されない。GaN 層（屈折率：2.5）から屈折率が 1.5 の樹脂層に射出する場合、 $\theta_c = 37$ 度程度であり、P 側層方向に放出され、P 側層 13 表面で反射されて、N 側層側から出射される分を、反射ロスが無いとして含めても、全体の 20% 程度の光しか、取り出すことができない。尚、N 側層 11 の上に、共通 N 電極 34 が有っても、その外側に樹脂層が有れば、事情は変わらない。外側が空気の場合、臨界角は更に小さくなる。

40

【0032】

発光層 12 に対する角度が θ_c 以内に射出される光（以降、水平光と呼ぶ）は、発光層 1

50

2の発光量全体に対して、 \sin 程度で比率を占める。 $\theta = 37$ 度の場合には、60%程度と大きな比率を占める。発光層12が発光層12と垂直に交わる側面で囲われた場合には、上述のように水平光を窒化物半導体層14の外に取り出すことができない。一方、傾斜面16Aが発光層12を囲うことにより水平光の向きを変え、射出面から外部に取り出すことができ、取出し効率を大幅に改善することができる。

【0033】

傾斜面16Aが発光層12と成す面と交わる角度を θ とすると、 θ は45度を含む所定の範囲内の角度であることが好ましいが、 $\theta = 45$ 度の場合には、 $\theta = 45$ 度の水平光が射出面から外部へ放射することができ、最も取出し効率が高い。従って、 $\theta = 45$ 度が最も好ましい。

10

【0034】

以上のように、マイクロLED素子100は、光射出面の側から見てN側層11、発光層12、及びP側層19がこの順番で積層された窒化物半導体層14と、P側層19側に配置された第1の電極19Pと、N側層11側に配置された第2の電極34と、窒化物半導体層14のP側層19側の表面に形成された複数のマイクロメサ16とを備え、複数のマイクロメサ16の各々は、P側層19の平坦面16Tを有すると共に、発光層12を傾斜面16Aによって囲っており、傾斜面16Aは、P側層19から、N側層11の一部まで続く面であって、発光層12に対して、45度を含む所定の範囲内の角度で傾斜している。

【0035】

ただし、後述するように傾斜面16Aは、窒化物半導体層14の一部をエッチング(図2の(b)参照)することにより形成される。実際に製造されたマイクロLED素子100における角度 θ は、このエッチングの精度に依存し、ある程度の範囲内に変動する。エッチング手法としてドライエッチングを採用した場合、エッチングの精度に起因する角度の変動範囲は、 ± 10 度程度であるとよい。したがって、実際に製造されたマイクロLED素子100における角度 θ は、所定の角度である45度に限定されず、45度を中心とする所定の角度、すなわち、45度 ± 10 度の範囲に含まれていれば良い。なお、上述した角度 θ の変動範囲は、後述するエッチング工程において採用するエッチング手法に依存して変化し得る。

20

【0036】

発光層12から傾斜面16Aの底部までの垂直方向の距離をDとすると、Dは大きい方が取出し効率が高い。発光層12が傾斜面16Aと交わる部分の直径を d とすると、 $D = \sin \theta / (\cos \theta - \sin \theta) \cdot d$ であれば最も光取出し効率が最も高い。この条件が満たされれば、発光層12から発した水平光は全て、取出しすることができるからである。 $\theta = 37$ 度の場合、 $D = 3.06 \cdot d$ となり、Dの上限は、平面視した発光層12の径の約3倍程度である。一方、Dが大きくなると、 $\theta = 90$ 度の場合に比べて、発光層12の面積は、 $\{ d / (\cos \theta + 2 \cdot D) \}^2$ に減少し、発光層12を流れる電流密度が高くなり、ドループ効果によって、内部量子効率が低下する。従って、実際のD値は、取出し効率の向上と発光層面積の減少によるドループ効果のトレードオフで最適値が決定される。

30

【0037】

次に、1個のマイクロLED素子100に対して、小さなマイクロメサ16を多数設ける理由を説明する。光取出し効率を向上させるために、マイクロLED素子100の外周にマイクロメサを形成することも可能であるが、これには次の2点の問題点が有ることが判明した。第1に、上述のように、取出し効率を最大限高めようとするれば、残される発光層12の径 d に比べて、Dの値を大きくしなければならない。しかし、Dの値には、N側層11の厚さと言う上限が有り、マイクロLED素子100の大きさが大きい場合には、光取出し効率を十分に上げることができない。マイクロメサ16を形成することで、比較的小さなDの傾斜面16Aによって、光取出し効率を向上できる。

40

【0038】

第2に、マイクロLED素子100の外周に、傾斜面を設ける場合には、傾斜面を形成した段階で、マイクロLED素子100の外形が決定されているために、窒化物半導体層1

50

4を駆動回路基板50に貼り合わせる段階で、マイクロLED素子100をP側電極51に対して、精緻にアライメントする必要がある。しかし、窒化物半導体層14の表面に、多数のマイクロメサ16が形成されており、窒化物半導体層14の貼り合わせの後に、マイクロLED素子100として加工される場合には、このようなアライメントは必要無い。マイクロメサ16を予め窒化物半導体層14の表面に形成して置くことにより精緻なアライメントを必要としないウエハ/ウエハ貼り合わせによって、駆動回路基板50と窒化物半導体層14を貼り合わせることができ、生産性を大幅に高めることができる。更に、画像表示素子200の全工程をウエハプロセス(前半工程)によって実行できるため、分割した窒化物半導体層をダイボンディング装置によって駆動回路基板に搭載する場合(後半工程)に比べて、ダストを低減して歩留りを向上することができる。これによって、画像表示素子200のコストを大幅に低減することができる。

10

【0039】

(マイクロLED素子100の製造方法)

次に、マイクロLED素子100の製造方法の一例である製造方法について、図2及び図3を参照して説明する。

【0040】

図2の(a)に示すように、成長基板10上にN側層11、発光層12、及びP側層13をこの順番で積層することによって窒化物半導体層14を形成する(工程1)。成長基板10としては、例えば、(111)面シリコン基板を用いることができる。特に駆動回路基板50と同じ大きさであることが好ましい。サファイア(Al_2O_3)やSiC等であっても良い。また、窒化物半導体層14を構成する物質としては、例えばGaN系の半導体等を用いることができる。また、窒化物半導体層14を成長基板10上に成長させる装置としては、例えばMOCVD装置を用いることができる。なお、成長基板10は、表面に凹凸構造を有していても良い。N側層11は、層厚方向に導通する必要があるため、内部に高抵抗層を含まないことが好ましく、層厚方向全体を通してN型の良導体であることが好ましい。また、成長基板10に窒化物半導体層14を形成し、室温に戻した段階で、成長基板10の反りが小さいことが好ましく、8インチウエハの場合には $35\mu m$ 以下であることが好ましい。このような反りの低減は、N側層11内に適切なバッファ層を設けることにより実現できる。

20

【0041】

発光層12は、InGaN層やGaN層からなる多重量子井戸層を含む。N側層11及びP側層13は、それぞれ種々の多層構造により構成される。本実施形態において、N側層11、発光層12、及びP側層13の具体的な構成は、特に限定されるものではなく、例えば、従来のLED素子が採用しているN側層、発光層、及びP側層の構成を適宜採用することができる。したがって、本実施形態では、N側層11、発光層12、及びP側層13の具体的な構成に関する説明を省略する。

30

【0042】

なお、N側層11の厚さ t_n は、一般的に $10\mu m$ 以下であり、 $5\mu m \pm 2\mu m$ 程度である場合が多い。発光層12の厚さ t_{mqw} は、一般的に $10nm$ 以上 $200nm$ 以下であり、 $50nm$ 以上 $100nm$ 以下程度である場合が多い。P側層13の厚さ t_p は、一般的に $50nm$ 以上 $1000nm$ 以下であり、 $100nm$ 以上 $300nm$ 以下程度である場合が多い。

40

【0043】

図2の(b)に示すように、窒化物半導体層14の一部をエッチングすることによりマイクロメサ16を形成する(工程2)。マイクロメサ16の傾斜面16Aと発光層12のなす面が交わる角度 θ が、所定の範囲内の角度である 45° となるように形成する。マイクロメサ16を形成するために、まず、通常の写真リソグラフィ工程を用いて、マイクロメサ平坦面16Tを覆うレジストパターンを形成する。その後、ドライエッチング装置を用いて、P側層13と、発光層12と、N側層11の一部とをエッチングする。

【0044】

50

次いで、図2の(c)に示すように、保護膜17を積層する。保護膜17は、例えば、SiO₂(二酸化ケイ素)をCVD法により形成する。

【0045】

更に、図2の(d)に示すように、マイクロメサ平坦面16Tの保護膜17を除去して、P側コンタクトホール18を形成する。これには通常のフォトリソグラフィ法とウエット又はドライエッチング法を用いて、形成することができる。

【0046】

図2の(e)に示すように、P側電極層19を全面に形成する。後述するように、画素領域1でのP電極層19は、マイクロLED素子100のP側層13と接続するP電極19Pとなる(後述図3の(c)も参照)(工程3)。この段階では、P側電極層19は成長基板10であるウエハ全面に形成され、パターンニングされていない。P側電極層19としては、窒化物半導体層14に接して界面反射率が高い金属薄膜、例えばアルミニウムまたは銀などの薄膜をP側層側に配置し、表面側には、駆動回路基板50上のP側電極51との接続に適した金や銅を配置した金属多層膜が適している。P側電極層19はITO(インジウム・錫・酸化物)の様な透明導電膜と金属膜の積層膜でも良い。このような多層膜は、例えば、電子ビーム蒸着法やスパッタリング法を用いて形成することができる。

10

【0047】

図2の(f)に示すように、平坦化保護膜21を形成する。平坦化保護膜21は、マイクロメサ傾斜面16Aや底部16Bのような凹部を埋めて、表面を平坦化する保護膜である。例えば、P側電極層19の上に、SiO₂(二酸化ケイ素)等の保護膜を積層し、表面をCMPによって平坦化し、マイクロメサ平坦面16T上のP側電極層19を露出させるようにすることにより形成できる。平坦化保護膜21は省略することも出来る。

20

【0048】

以上の工程によって、成長基板10上に形成された窒化物半導体層14の表面全面に、マイクロメサ16が形成される。

【0049】

続いて、図3を用いて、マイクロLED素子100及び画像表示素子200の製造工程を説明する。

【0050】

駆動回路基板50は画像表示素子200の駆動回路が形成されており、各マイクロLED素子100を駆動する画素駆動回路、2次元アレイに配置された画素のうち、特定の行を選択する行選択回路、特定の列の発光強度信号を出力する列信号出力回路、画像処理回路等を含んでいる。駆動回路基板50の表面には、画素領域1内では、各マイクロLED素子100に電流を供給するP側電極51、共通接続領域2には、N側電極52、ダミー領域3にはダミー電極53、外周部4には外部接続電極54が露出している。図3は1個の画像表示素子200の断面模式図を示しているが、実際の工程は複数の画像表示素子200を配置した基板状態で行われる。例えば、駆動回路基板50は8インチシリコン基板であり、画像表示素子200の駆動回路が数百個配置されている。

30

【0051】

まず、図3の(a)に示すように、駆動回路基板50上に、図2の工程で形成した窒化物半導体層14を貼り合わせる(工程4)。窒化物半導体層14の表面には、P電極層19が露出しており、駆動回路基板50上のP側電極51、N側電極52、ダミー電極53、外部接続電極54と接続される。この際、貼り付けは金属電極(例えば銅)同士の直接接続でも良いし、金属ナノ粒子を接着層として介在させても良い。本貼付け工程では、精密なアライメントは必要無い。ウエハ同士の貼り合わせの場合、ウエハ同士が重なり合えば良い。尚、貼り合わせの際の加熱、冷却による膨張・収縮によるストレスを避けるため、成長基板10と駆動回路基板50は、同材料であることが好ましく、特にシリコンであることが好ましい。

40

【0052】

次に図3の(b)の工程において、成長基板10を除去する(工程5)。シリコン基板の

50

場合、研削、研磨、プラズマエッチング、ウエットエッチング等を組み合わせて、除去することができる。なお、図3に示す工程では、成長基板10が付いた状態で、窒化物半導体層14を駆動回路基板50と貼り合わせたが、一旦、窒化物半導体層14を別の基板(転写基板)に転写した後に、駆動回路基板50に貼り合わせ、転写基板を剥離しても良い。

【0053】

次いで、図3の(c)に示すように、画素分離溝15を形成する。画素分離溝15は、少なくとも、窒化物半導体層14から、P電極層19までをエッチングして、分割する溝である(工程6)。画素領域1では、各マイクロLED素子100が、画素分離溝15によって個別に分割される。画素領域1でのP電極層19は、マイクロLED素子100のP側層13と接続するP電極19Pとなる(工程3)。各画素領域1と共通接続領域2の境界や、共通接続領域2とダミー領域3の境界には同時に境界溝15Bが形成される。共通接続領域2やダミー領域3を、更に境界溝15Bによって、細かく分割しても良い。共通接続領域2のP電極層19はN側電極52と接続するN電極19Nとなり、ダミー領域3のP電極層19はダミーP電極19Dとなる。外周部4では窒化物半導体層14やP電極層19が除去され(露出帯150)、外部接続電極54が露出する。共通接続領域2には、N側電極52上に、共通電極コンタクトホール15Hが形成される。

10

【0054】

画素分離溝15の断面形状は、図3の(c)の断面視において、マイクロLED素子100の外形をなす側壁が順テーパになることが好ましい。後工程の埋込材20形成工程において、画素分離溝15を埋め易くするためである。逆テーパとなると、気泡が側壁に残りやすく、光出力のバラツキを生じ易い。但し、テーパ角度が大きくなると、発光層12の面積が減少するため、テーパ角度は70度から90度の範囲が好ましい。ここで、上記テーパ角度とは、図3(c)に示すように、マイクロLED素子100の外形をなす側壁と前記光射出面とがなす角度のことを指す。

20

【0055】

本工程以降の工程は駆動回路基板50に対して、処理が行われ、各パターンニングは駆動回路基板50に対して、精密にアライメントされる。なお、本工程は、画素分離溝15や境界溝15Bの形成工程と、露出帯150と共通電極コンタクトホール15Hの形成工程は、分けて行っても良い。

【0056】

次いで、図3の(d)に示すように、画素分離溝15を埋込材20によって埋め込み、窒化物半導体層14は露出させる。同時に、境界溝15B、共通電極コンタクトホール15Hや露出帯150も埋込材20によって埋められる。埋込材20は、後工程で共通N電極を形成するために、表面を平坦化することを第1の目的とする層であり、樹脂材でもCVD膜でも、両者の組合せでも良い。隣接画素への光の漏出を防ぐために、光を吸収する顔料やカーボンブラックなどを加えた樹脂でも良い。逆に反射を強化し、マイクロLED素子100の光出力を向上させるために、反射材となる白色顔料や、散乱粒子を加えた樹脂であっても良い。

30

【0057】

次いで、図3の(e)に示すように、共通電極コンタクトホール15H部の埋込材20を除去し、図3の(f)に示すように、共通電極コンタクトホール15Hをプラグ32で埋める。プラグ32はタングステン等の材料であっても良い。更に、図3の(g)に示すように、窒化物半導体層14の、駆動回路基板50と反対側の面に共通N電極34を形成する(工程7)。共通N電極34はITO等の透明導電膜を採用してもよいし、窒化物半導体層14の大部分に開口部を有し、画素分離溝15上に金属薄膜パターンを配置した金属製のメッシュ状電極を採用してもよいし、両者を組み合わせてもよい。共通N電極34はマイクロLED素子100のN側層11と接続し、共通接続領域において、プラグ32を介して、N側電極52へ接続する。

40

【0058】

以上のように、画像表示素子の製造方法は、成長基板10上にN側層11、発光層12、

50

及びP側層13をこの順番で積層することによって窒化物半導体層14を得る工程(上記工程1)と、窒化物半導体層14のP側層13、発光層12、及びN側層11の一部をエッチングすることにより傾斜面16Aを形成することで、P側層13からなる平坦面16Tと傾斜面16Aを含むマイクロメサ16を形成する工程(上記工程2)と、P側層13上に第1の電極19Pを設ける工程(上記工程3)と、窒化物半導体層14を駆動回路基板50に貼り合わせる工程(上記工程4)と、成長基板10を除去する工程(上記工程5)と、駆動回路基板50上において、窒化物半導体層14をエッチングし、マイクロLED素子100毎に分割する工程(上記工程6)と、窒化物半導体層14の、駆動回路基板50と反対側の面に第2の電極34を形成する工程(上記工程7)とを含み、マイクロメサを形成する工程(上記工程2)は貼り合わせ工程(上記工程4)の前に実施される。

10

【0059】

最後に、外周部4の埋込材20が除去され、外部接続電極54が表面に出す。なお、N型共通N電極34を形成後、マイクロLED素子100上に、波長変換層を形成しても良い。波長変換層を形成する際には、画像表示素子200の表面は、図3の(g)のように、全面が平坦であることが好ましい。波長変換層は樹脂層を塗布する機会が多いため、平坦で無いと、塗布時にストリェーション等の不均一性が生じる、均一な波長変換層が形成できないと言う問題が生じる。ダミー領域3に窒化物半導体層14が無い場合には、窒化物半導体層14の厚さである数 μm の高さの段差が生じるため、このような平坦性が確保されず、大きな問題となる。従って、ダミー領域3の窒化物半導体層14は必要であり、それを固定するためのダミー電極53も必要である。

20

【0060】

駆動回路基板50上に形成された、画像表示素子200は、最終的に個別に切断され、パッケージングされる。

【0061】

本製造工程では、窒化物半導体層14の駆動回路基板50への貼り合わせが、精密なアライメント無しで行うことができるため、貼り合わせ工程の設備が簡略化でき、且つ、短時間で貼り合わせが出来るため、非常に高い生産効率を実現できる。また、貼り合わせをウエハレベルで実行できるため、全ての工程をクリーン度の高い前半工程で実行することができる。その結果、ダスト発生を防止し、高い歩留りを実現できる。従って、画像表示素子200のコストを低減することができる。

30

【0062】

(マイクロLED素子100の特性)

本実施例のマイクロLED素子100は、図1に示したマイクロLED素子100において、以下の構成を採用したものである。

- ・平面視した場合の輪郭：一片の長さが $8.5\mu\text{m}$ の正方形(画素分離溝15幅は $1.5\mu\text{m}$ 、マイクロLED素子100の配置ピッチは $10\mu\text{m}$)
- ・マイクロメサ：一辺が $2\mu\text{m}$ の正三角形の各頂点にマイクロメサの中心を配置
- ・ $t_p = 100\text{nm}$
- ・ $t_{mqw} = 70\text{nm}$
- ・ $t_n = 5000\text{nm}$
- ・ $\theta = 45\text{度}$
- ・ $D = 500\text{nm}$
- ・ $r = 1\mu\text{m}$

40

また、本実施例のマイクロメサ構造を設けずに形成したマイクロLED素子を、比較例として用いた。

【0063】

それぞれに同一の駆動電流を供給した状態において、本実施例のマイクロLED素子100及び第1の比較例のマイクロLED素子の光出力を測定した。その結果、本実施例のマイクロLED素子100の光出力は、比較例のマイクロLED素子の光出力に対して190%であった。

50

【 0 0 6 4 】

この光出力の顕著な増加はマイクロメサ 1 6 によってもたらされたと、本願の発明者は推測している。マイクロメサ傾斜面 1 6 A を設け、その傾斜面 1 6 A の外側を透明な低屈折率材料からなる保護膜 1 7 で覆ったことにより、発光層 1 2 から放射される水平光が、出射面方向へ全反射される。そして、この反射光は、N 側層 1 1 の光出射面に対してほぼ垂直に入射し、外部に射出される。

【 0 0 6 5 】

このような光は、マイクロメサ傾斜面 1 6 A が無ければ、発光層 1 2 から水平方向に射出されて、窒化物半導体層 1 4 の中において反射を繰り返す過程において減衰する。すなわち、このような光は、外部には射出されない。

10

【 0 0 6 6 】

マイクロ LED 素子 1 0 0 においては、マイクロメサ 1 6 の形成によって、発光層 1 2 の面積は、マイクロ LED 素子 1 0 0 の面積と比較して、縮小されている。本実施例では、マイクロ LED 素子 1 0 0 の面積に対する発光層 1 2 の面積の割合は、平均的に $\cdot 6 0 0 2 / (1 / 2 \cdot 2 0 0 0 2 \cdot 3) = 0 . 3 2 6$ となり、約 3 3 % 程度となる。従って、発光層 1 2 に注入される電流密度は 3 倍程度と大きくなっているはずである。

【 0 0 6 7 】

外部量子効率の電流依存性のデータを用いて、内部量子効率と光取出し効率とを分離し、内部量子効率を評価した。その結果、本実施例のマイクロ LED 素子 1 0 0 の内部量子効率、及び、第 1 の比較例のマイクロ LED 素子の内部量子効率は、それぞれ、6 6 % と 7 0 % であり、マイクロメサ 1 6 の形成によって、内部量子効率の低下が見られた。これは、電流密度の増加によるドループ効果と、マイクロメサの形成時のエッチングのダメージの影響の両方が考えられる。従って、本実施例のマイクロ LED 素子 1 0 0 における発光効率の向上は、主に光取出し効率の向上 ($2 . 0 倍 = 1 . 9 \times 7 0 \% / 6 6 \%$) によっていることが分かった。

20

【 0 0 6 8 】

〔変形例〕

第 1 の実施形態の変形例であるマイクロ LED 素子 1 0 0 a の構成及び製造方法について、図 4 を参照して説明する。図 4 の (a) ~ 図 4 の (c) は、本変形例の製造方法の各ステップにおけるマイクロ LED 素子 1 0 0 a の断面図である。本変形例は、P 電極層 1 9 a がマイクロメサ 1 6 a 毎に分割されている点が、第 1 の実施形態と異なり、その他の点は第 1 の実施形態と同じである。

30

【 0 0 6 9 】

マイクロ LED 素子 1 0 0 a では、図 4 の (a) に示すように、図 2 の (a) に示した窒化物半導体層 1 4 を成長した後、その表面に P 電極層 1 9 a を形成する。P 電極層 1 9 a は図 2 の (e) に示した金属多層膜でも良いし、ITO 等の透明導電層と金属多層膜の組み合わせでも良い。

【 0 0 7 0 】

次いで、図 4 の (b) に示すように、マイクロメサ 1 6 a を形成する。マイクロメサ 1 6 a の表面に、P 電極層 1 9 a が載っている以外は、図 2 の (b) と同じである。続いて、図 4 の (c) に示すように、保護膜 1 7 a を積層し、CMP によって、表面を平坦化し、P 電極層 1 9 a を露出させる。駆動回路基板 5 0 上に、図 4 の (c) の窒化物半導体層 1 4 を貼り付け、マイクロ LED 素子 1 0 0 a 及び、画像表示素子 2 0 0 a を形成する工程は図 3 に示された方法と同じである。

40

【 0 0 7 1 】

このように、マイクロ LED 素子 1 0 0 a の P 電極は、マイクロメサ 1 6 a 毎に分割されていても、特性としては相違がない。また、工程も図 2 の工程より簡略化できる。

【 0 0 7 2 】

〔第 2 の実施形態〕

本実施形態は、第 1 の実施形態に対して、マイクロメサの形状が異なる点以外は、基本的

50

に変わらない。第 1 の実施形態では、図 1 の (c) に示したように、平面視で円形のマイクロメサを正三角形の頂点の位置に配置したが、マイクロメサの形状は円形に限らず、図 5 に示すように、様々な形状及び配置が可能である。

【 0 0 7 3 】

図 5 の (a)、図 5 の (c)、及び図 5 の (e) は四角形をベースにしたマイクロメサ形状の例である。図 5 の (b) 及び (d) は、それぞれ、図 5 の (a) 及び図 5 の (c) の 1 個のマイクロメサを斜め上方から見た鳥瞰図であり、傾斜面 1 6 b 及び 1 6 c をそれぞれ示している。図 5 の (a) ではマイクロメサの中心 P から、周囲を見た時、図 5 の (b) に示すように、周囲が完全に傾斜面 1 6 b によって覆われていない。これに対して、図 5 の (c) の場合には、図 5 の (d) に示すように、四方を傾斜面 1 6 c が覆う。従って、マイクロメサ構造が無い場合に比べれば、何れの場合も、光取出し効率は向上するが、図 5 の (c) の構造の方が光取出し効率の向上効果はより大きい。即ち、傾斜面 1 6 b のように、発光層 1 2 の全周を覆わない場合にも光取出し効果の改善と言う利点は得られるが、傾斜面 1 6 c のように発光層 1 2 は周囲全体を傾斜面で覆われることが、より好ましい。

10

【 0 0 7 4 】

図 5 の (e) のように、配置がずれても、光取出し効率の向上効果は、図 5 の (c) と変わらない。

【 0 0 7 5 】

更に、マイクロメサ形状は図 6 の (a) に示すような六角形でも、図 6 の (b) に示すような三角形の組み合わせでも光取出し効率の向上効果が得られる。また、稠密に配置できるなら、図 6 の (c) に示すように、局所的にランダムな形状、配置であっても構わない。

20

【 0 0 7 6 】

〔 第 3 の実施形態 〕

本実施形態は、マイクロメサの配置パターンと、マイクロ LED 素子 1 0 0 の大きさの関係を制限する点以外は、第 1 の実施形態や第 2 の実施形態と変わらない。図 7 に示すように、マイクロ LED 素子の発光特性を均一化する上で、マイクロメサの配置パターンと、マイクロ LED 素子 1 0 0 の大きさは、一定の関係を満たすことが好ましい。

【 0 0 7 7 】

マイクロ LED 素子 1 0 0 は駆動回路基板 5 0 に対してアライメントされるが、マイクロメサが形成された窒化物半導体層 1 4 は、駆動回路基板 5 0 にアライメントされていないため、マイクロメサの配置と無関係に、マイクロ LED 素子 1 0 0 の形状が加工される。図 7 の (a) に示すように、マイクロメサパターンに対して、マイクロ LED 素子 1 0 0 の外形を表す矩形を P 1、マイクロ LED 素子 1 0 0 と周囲の画素分離溝 1 5 の中心線を表す矩形を P 0 とすると、P 0 と P 1 はマイクロメサパターンに対して、ランダムに重ね合わされ、P 1 の内部に含まれるマイクロメサが、そのマイクロ LED 素子の発光領域となる (P 0 はマイクロ LED 素子 1 0 0 の配置周期に対応する。)。なお、図 7 の (a) に強調して示したように、マイクロメサパターンの座標軸とマイクロ LED 素子 1 0 0 の座標軸は平行となるとは限らず、角度ずれが生じ得る。これは、例えば駆動回路基板 5 0 に窒化物半導体層 1 4 を有する成長基板 1 0 を貼り合わせる際の、ウエハノッチのアライメント精度で決まるが、その大きさは一般に 0 . 5 度以下と小さい。従って、マイクロ LED 素子 1 0 0 の大きさの範囲では、大きな問題とはならないので、以降は、両者は平行として図示する。但し、画像表示素子 2 0 0 全体でみると問題となる。

30

40

【 0 0 7 8 】

このように本実施形態では、P 側層の側から平面視した場合、マイクロ LED 素子 1 0 0 は矩形形状を有し、マイクロメサは、前記矩形の一辺に対して、平行又はほぼ平行な行列パターンで配置されている。ここで、「ほぼ平行」とは、平行な場合から所定の角度以内のずれを有する場合を指し、例えば、平行な場合から 0 . 5 度以内のずれを有する場合のことを指す。

【 0 0 7 9 】

50

また、図7の(a)に示すように、本実施形態において、マイクロLED素子100には、P側層の側から平面視した場合、平坦面の一部が欠落したマイクロメサが含まれている。これは、図7の(b)及び(c)に示す例においても同様である。

【0080】

図7の(b)に示すように、マイクロLED素子100の外形が、P1と同じ場合でも、P2とP3の位置に配置された場合が在り得る。これらの場合、マイクロLED素子100に含まれる完全なマイクロメサの数は、P2の場合が9個、P3の場合が13個と大きく異なる。このように、アライメントのされ方によっては、平坦面16Tが欠けていないマイクロメサの数はマイクロLED素子毎にばらつく。ここで、傾斜面16Aにも欠けが無いマイクロメサの光出力が最も高く、欠けが大きくなる程、光出力が落ちるため、平坦面16Tの欠けの無いマイクロメサの数を、光取出し効率の尺度として用いた。画素分離溝15を形成する際に、一部のマイクロメサでは、平坦部や傾斜部が分断され、パターンに欠けが生じる。画素分離溝15によって、削られる量が多い程、その不完全なマイクロメサからの発光量は低下する。平坦部が削られれば、電流量が減少し、発光量は低下するし、傾斜部のみが削られても、取出し効率の低下で、光取出し量は低下する。従って、完全なマイクロメサ数が多いマイクロLED素子程、発光量が大きくなる。

10

【0081】

このような、平坦面16Tが欠けていないマイクロメサ数のバラツキを抑制する上で、次の2点の対策が必要である。第1は比較的近傍のマイクロLED素子間の発光量のバラツキを低減すること、第2はマイクロLED素子間の発光量のバラツキ幅を低減することである。

20

【0082】

第1の点を改善するためには、マイクロメサの配置が、画像表示素子200内の近接しているマイクロLED素子間で同じにすれば良い。これはマイクロメサの配置周期に対して、マイクロLED素子の配置周期が整数倍となっていれば良い。そうすれば、近接したマイクロLED素子同士では、マイクロLED素子内のマイクロメサパターンの配置が同じにすることができる。図7の(a)では、マイクロメサのX方向の周期を X_a 、Y方向の周期を Y_a とすると、P0のX方向の長さ $P0_x$ は $N \times X_a$ (N は整数)、Y方向の長さ $P0_y$ は $M \times Y_a$ (M は整数)であれば良い。

【0083】

第2の点に関するバラツキの大きな要因は、駆動回路基板50上のP側電極51に対するマイクロメサパターンの相対的な位置と画素分離溝15の位置のバラツキによって生じる。このバラツキは、駆動回路基板50に窒化物半導体層14を有する成長基板10を貼り合わせる際のアライメントのバラツキや、画素分離溝15のパターンニングの際のアライメントのバラツキによって生じる。このようなバラツキを低減するためには、図7の(b)のP2のように、配置位置によって、内包する完全なマイクロメサの数が大きく異なるようなサイズを避けることが好ましい。図7の(b)のパターンP2の大きさには、次の特徴がある。即ち、マイクロメサのX方向の行の周期を $X_b (= X_a / 2)$ と表し、マイクロメサのY方向の列の周期を $Y_b (= Y_a / 2)$ と表した場合、 X_b 及び Y_b に対して、P2のX方向の長さ $P2_x$ が、 $2 \times L \times X_b$ (L は整数)であり、P2のY方向の長さ $P2_y$ が、 $2 \times K \times Y_b$ (K は整数)となっている点である。

30

40

【0084】

このように2次元アレイをなすマイクロLED素子の配置ピッチは、マイクロメサの配置パターンの、対応する方向の周期の整数倍となっている。

【0085】

従って、例えば、図7の(c)のP4のように、P4のX方向の長さ $P4_x$ が $(L + 1 / 2) \times X_b$ (L は整数)、Y方向の長さ $P2_y$ が $(K + 1 / 2) \times Y_b$ (K は整数)となるようにすれば良い。換言すれば、マイクロLED素子100の外形を表す矩形の一辺の長さを、マイクロメサの対応する辺方向の周期の整数倍と1/2周期異なるようにすればよい。すなわち、マイクロLED素子100の外形を表す矩形の行方向の長さを、マイク

50

ロメサの行の周期の整数倍と $1/2$ 異なるようにし、マイクロLED素子100の外形を表す矩形の列方向の長さを、マイクロメサの列の周期の整数倍と $1/2$ 異なるようにすればよい。

【0086】

このような配置とした結果、図7の(c)のP4と、同じ大きさで位置を変えたパターンであるP5では、完全なマイクロメサの数は、15個と14個であり、図7の(b)のような大きな相違は現れない。

【0087】

なお、図7の(a)のマイクロメサパターンは、同じ周期の2個のパターンがずれて配置されているとも見做せるため、パターンの周期と、パターンに見られる行や列のピッチが異なり、 $X_b = X_a / 2$ 、 $Y_b = Y_a / 2$ の関係があった。しかし、図8の(a)のように単純なマイクロメサパターンでは、 $X_b = X_a$ 、 $Y_b = Y_a$ である。同じ四角形のマイクロメサであっても、図8の(b)のようなパターンでは、 $X_b = X_a / 3$ 、 $Y_b = Y_a / 3$ となる。マイクロLED素子の2次元配列方向に対する、マイクロメサパターンの配置周期(X_a 、 Y_a)と、マイクロメサパターンに見られる行や列のピッチ(X_b 、 Y_b)の関係は、マイクロメサパターンによって異なる。

【0088】

本実施形態では、上記第1と第2の点を改善するために、マイクロメサパターンと、画素分離溝15の幅に一定の制約を設ける。ここで、 W_x はY軸方向に繋がる画素分離溝15の幅であり、 W_y はX軸方向に繋がる画素分離溝15の幅であるとする。

【0089】

図7の(c)の例では、 $P_0x = P_4x + W_x$ であり、 $P_0x = N \times X_a$ 、 $P_4x = (L + 1/2) \times X_b$ であるから、 $W_x = (2 \times N - L - 1/2) \times X_b = (H + 1/2) \times X_b$ (H は整数)の関係を満たすことが望ましい。同様に、 $P_0y = P_4y + W_y$ であり、 $P_0y = M \times Y_a$ 、 $P_4y = (K + 1/2) \times Y_b$ であるから、 $W_y = (2 \times M - K - 1/2) \times Y_b = (I + 1/2) \times Y_b$ (I は整数)の関係を満たすことが望ましい。

【0090】

図7の(a)、図7の(b)の例において、 $X_a = 2 \mu\text{m}$ 、 $Y_a = 2.3 = 3.464 \mu\text{m}$ の場合、 W_x は $1 \mu\text{m}$ の整数倍で有ることを避けることが第1に重要であり、次に $1 \mu\text{m}$ の整数倍から $0.5 \mu\text{m}$ だけずれた値とすることが好ましく、具体的には、 $0.5 \mu\text{m}$ 、 $1.5 \mu\text{m}$ 、 $2.5 \mu\text{m}$ 等が最適値となる。この時、 P_0x は $2 \mu\text{m}$ の整数倍であり、 $2 \mu\text{m}$ 、 $4 \mu\text{m}$ 、 $6 \mu\text{m}$ 、 $8 \mu\text{m}$ 、 $10 \mu\text{m}$ 、 $12 \mu\text{m}$ 等となる。同様に W_y は $1.732 \mu\text{m}$ の整数倍を避けることが第1に重要であり、 $1.732 \mu\text{m}$ の整数倍から、 $0.866 \mu\text{m}$ ずれることが好ましく、具体的には、 $0.866 \mu\text{m}$ 、 $2.6 \mu\text{m}$ 、 $4.33 \mu\text{m}$ 等が最適値となる。このとき、 P_0y は $3.464 \mu\text{m}$ 、 $6.928 \mu\text{m}$ 、 $10.039 \mu\text{m}$ 、 $13.856 \mu\text{m}$ 等となる。マイクロLED素子の大きさや画素分離溝の加工能力を考慮して、こう言った組み合わせの中から最適値を選択することができる。実際には、 P_0x 、 P_0y 、 W_x 、 W_y が先に定まり、それに合わせて、マイクロメサパターンの形状、配置を設計することとなる。

【0091】

以上のように、マイクロLED素子100を構成する窒化物半導体層14の大きさを、マイクロメサパターンの行ピッチ(マイクロメサの行の周期)又は列ピッチ(マイクロメサの行の列の周期)の整数倍とならないようにすることで、マイクロLED素子毎の発光強度バラツキを低減することができる。

【0092】

換言すれば、マイクロLED素子100の外形がなす矩形の一辺の長さを、マイクロメサの対応する辺方向の周期の整数倍とは異なるようにすることによって、マイクロLED素子毎の発光強度バラツキを低減することができる。

【0093】

特に、マイクロLED素子100を構成する窒化物半導体層14の大きさを、行ピッチや

10

20

30

40

50

列ピッチの整数倍から $1/2$ だけずらすことで、発光強度のバラツキを最小限に低減できる。また、マイクロLED素子100の配置周期を、マイクロメサパターンの周期の整数倍とすることで、近接したマイクロLED素子間の発光強度を均一化することができる。

【0094】

<第4の実施形態>

本実施形態は、第1の実施形態に対して、共通接続領域の形成方法が異なる以外は同じである。画素領域1の精緻なアライメントは必要無い点は第1の実施形態と同じであり、共通接続領域に関するラフなアライメントは必要となるものの、画像表示素子200dの製造方法を簡略化できるという特徴がある。図9～11を用いて説明するが、第1の実施形態との相違点に関してのみ説明する。

【0095】

図9の(a)は画像表示素子200dの断面模式図である。図9の(b)及び図9の(c)は、画素領域1と共通接続領域2のマイクロメサ構造を説明するための、断面模式図と平面模式図であり、図9の(b)は図9の(c)のB-B'部分の断面を表す。

【0096】

図9の(a)に示すように、画像表示素子200dの共通接続領域2が図1の(a)と異なる。即ち、共通N電極34とN側電極52を接続するプラグ32が削除され、共通N電極34はN側層11とN電極19Nを介して、N側電極52と接続している。尚、N電極19Nは元々、マイクロメサ表面全面に形成されたP側電極層19のうち、共通接続領域2内の物が、画素分離溝15形成に伴い、分割されたものである。図9の(b)及び図9の(c)に示すように、共通接続領域2の中には、マイクロメサ16が形成されず、N側層11が露出した、マイクロメサ欠落部16D(以下単に欠落部と呼ぶ)が設けられている。この欠落部16Dに於いて、N電極19Nを構成するP側電極層19は、N側層11と接続している。欠落部16Dの保護膜17には、N側コンタクトホール18Nが形成されており、N側コンタクトホール18NはP側コンタクトホール18Pと同時に形成しても良い。

【0097】

本構造では、N電極19NがN側電極52に対して正しくアライメントされなければならないが、マイクロLED素子100に比べれば、共通接続領域2は大きな寸法で形成できるため、アライメントは容易である。例えば、マイクロLED素子100の配置ピッチが $10\mu\text{m}$ とすると、マイクロLED素子100を含む画素領域1は $1\mu\text{m}$ 以下の精度で、P側電極51にP電極19Pをアライメントする必要がある。しかし、欠落部16Dと画素領域の間が $10\mu\text{m}$ の場合には、N側電極52の幅が $20\mu\text{m}$ 以上あることが条件となるが、最大 $10\mu\text{m}$ のアライメントずれが許容できる。本構造であれば、容易に実現可能なアライメント精度に基づいて、共通接続領域2の詳細配置を設計することができる。しかも、本構造は次に示すように、より簡略な製造工程によって、生産することができる。

【0098】

マイクロメサ構造の製造工程を図10の(a)～(f)に示す。それぞれ図2の(a)～(f)に対応している。図2との相違点は、図10の(b)に示すように、マイクロメサ形成時の窒化物半導体層14のエッチング時に、欠落部16Dにはマイクロメサの平坦部や傾斜部を設けず、N側層11までエッチングしてしまう点である。欠落部16Dには、一定面積のN側層11の露出領域を設ける点がポイントである。

【0099】

次の相違点は、図10の(c)で形成した保護膜17に、コンタクトホールを開口する図10の(d)の工程に於いて、画素領域1内のマイクロメサの平坦面16TにP側コンタクトホール18を形成すると共に、欠落部16DにN側コンタクトホール18Nを設ける点である。図10の(d)では、共通接続領域2内のマイクロメサ平坦面16Tにも、P側コンタクトホール18を設けているが、これは必ずしも必要無い。以降の図の10(e)、(f)の工程は図2と同じで良い。

【0100】

10

20

30

40

50

次に図 1 1 を用いて、画像表示素子 2 0 0 d の製造工程を説明する。図 1 1 の (a) ~ (d)、(g)、(h) は、それぞれ図 3 の同記号の工程と対応している。図 3 の (e)、(f) に対応する工程は削除され、工程が簡略化されている点が、本構成の大きな利点である。図 1 1 の (a) の駆動回路基板 5 0 への窒化物半導体層 1 4 の貼り合わせでは、N 側電極 5 2 上に、欠落部 1 6 D が配置されるように、駆動回路基板 5 0 に対して、成長基板をアライメントする点が、図 3 との大きな相違点である。以降の工程は、図 3 の (e)、(f) に対応する工程が削除された以外は、図 3 と同じで良い。

【 0 1 0 1 】

本構成では、画素領域 1 においては、第 1 の実施形態と差が無いいため、マイクロ LED 素子 1 0 0 の特性は変わらず、マイクロメサ構造により、高い発光効率を実現できる。更に

10

【 0 1 0 2 】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。さらに、各実施形態にそれぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成することができる。

【 符号の説明 】

【 0 1 0 3 】

- | | | |
|-----------|--------------|----|
| 1 | 画素領域 | 20 |
| 2 | 共通接続領域 | |
| 3 | ダミー領域 | |
| 4 | 外周部 | |
| 1 0 | 成長基板 | |
| 1 1 | N 側層 | |
| 1 2 | 発光層 | |
| 1 3 | P 側層 | |
| 1 4 | 窒化物半導体層 | |
| 1 5 | 画素分離溝 | |
| 1 5 B | 境界溝 | 30 |
| 1 5 H | 共通電極コンタクトホール | |
| 1 5 O | 露出帯 | |
| 1 6、1 6 a | マイクロメサ | |
| 1 6 T | マイクロメサ平坦部 | |
| 1 6 A | マイクロメサ傾斜部 | |
| 1 6 B | マイクロメサ底部 | |
| 1 6 D | マイクロメサ欠落部 | |
| 1 7、1 7 a | 保護膜 | |
| 1 8 P | P 側コンタクトホール | |
| 1 8 N | N 側コンタクトホール | 40 |
| 1 9、1 9 a | P 電極層 | |
| 1 9 P | P 電極 | |
| 1 9 N | N 電極 | |
| 1 9 D | ダミー電極 | |
| 2 0 | 埋込材 | |
| 3 2 | プラグ | |
| 3 4 | 共通 N 電極 | |
| 5 0 | 駆動回路基板 | |
| 5 1 | P 側電極 | |
| 5 2 | N 側電極 | 50 |

5 3 ダミー電極

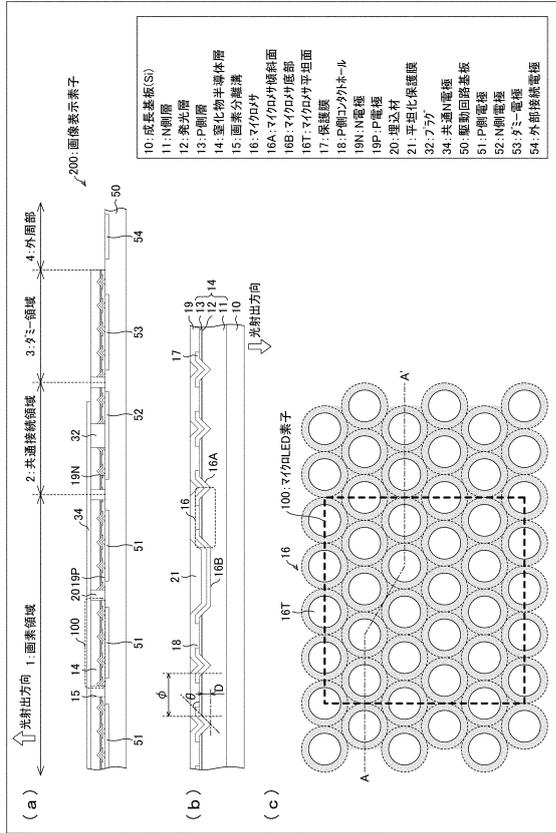
5 4 外部接続電極

1 0 0 マイクロLED素子

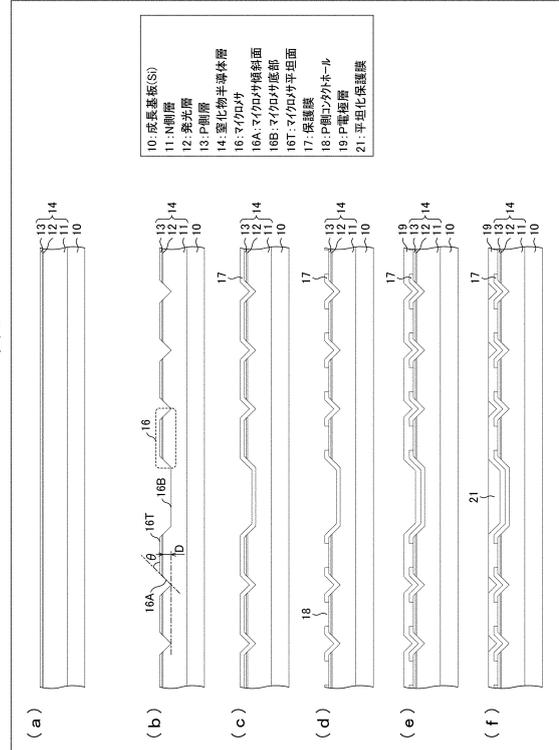
2 0 0、2 0 0 d 画像表示素子

【図面】

【図 1】



【図 2】



10

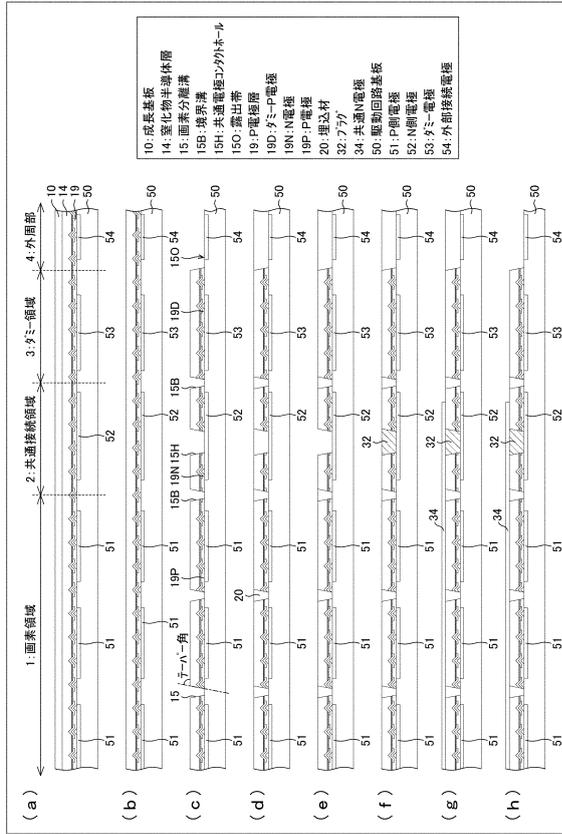
20

30

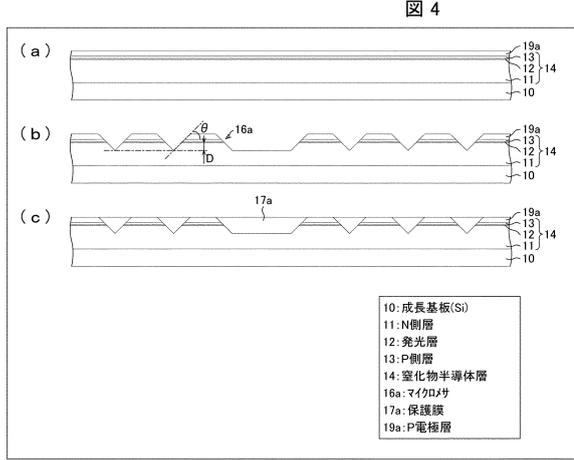
40

50

【図3】



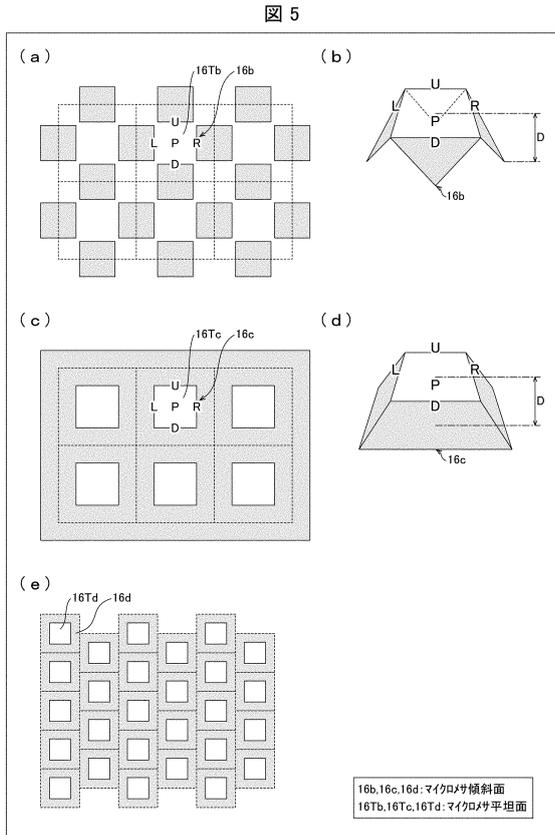
【図4】



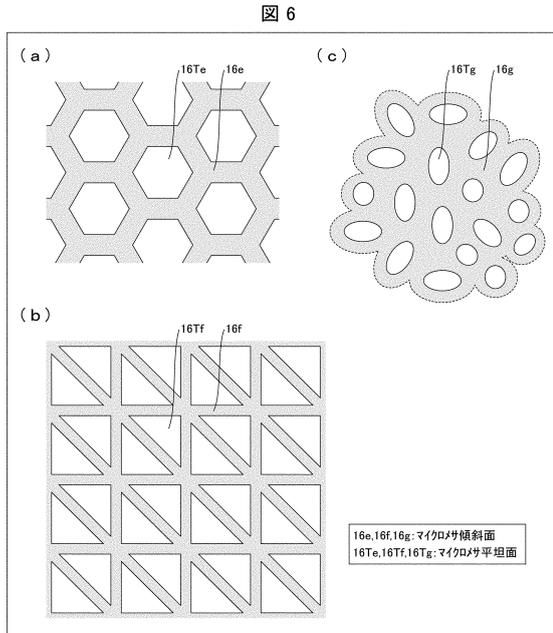
10

20

【図5】



【図6】

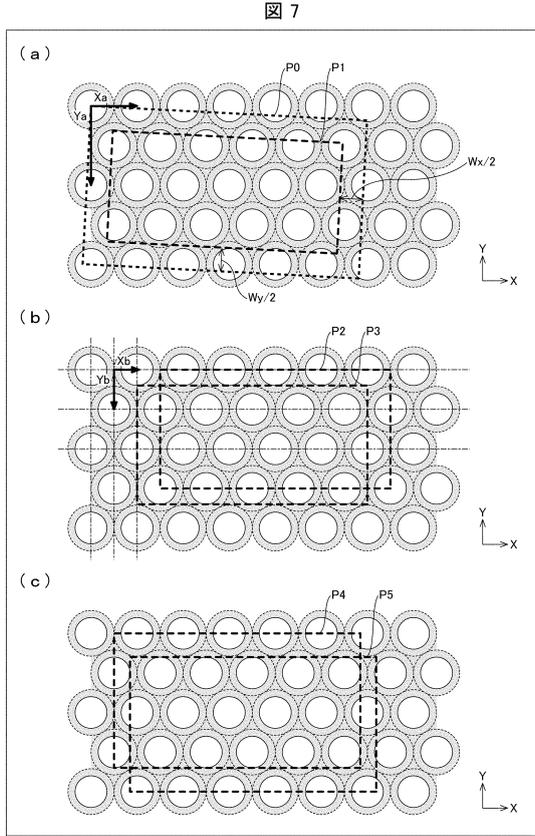


30

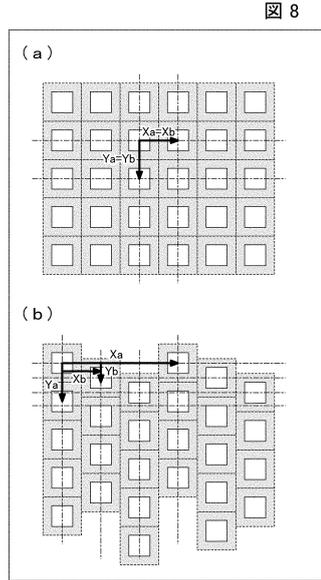
40

50

【 図 7 】



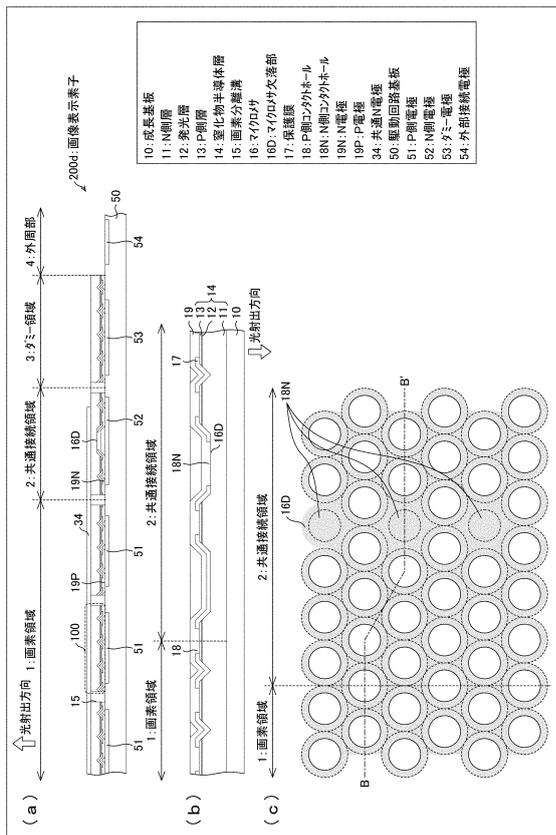
【 図 8 】



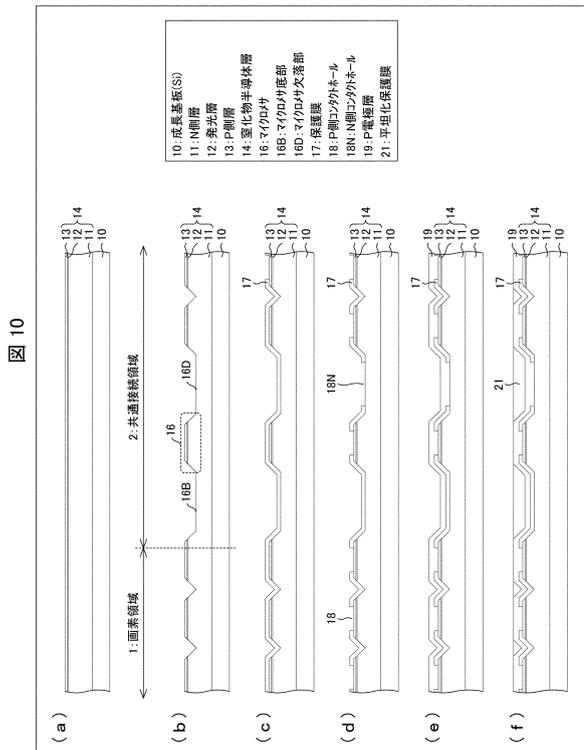
10

20

【 図 9 】



【 図 10 】

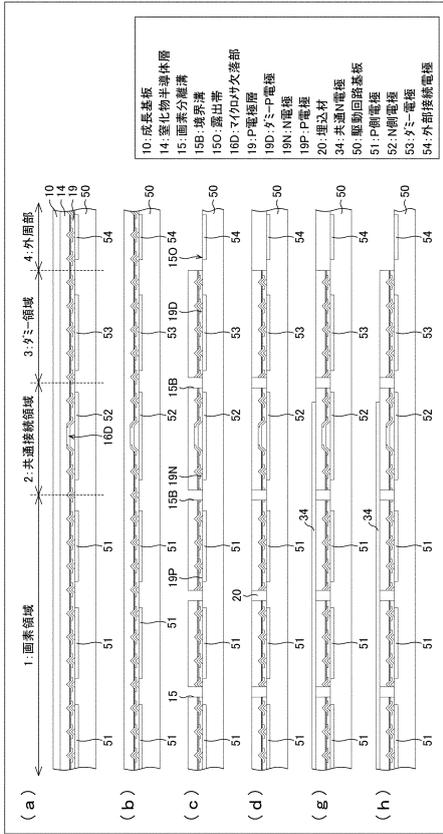


30

40

50

【図 11】



10

20

30

40

50

フロントページの続き

- (56)参考文献 特表2007-519214(JP,A)
特表2004-506331(JP,A)
特許第6131374(JP,B1)
米国特許出願公開第2015/0179904(US,A1)
特表2006-525669(JP,A)
特開2006-190851(JP,A)
国際公開第2017/112490(WO,A1)
特開2009-272591(JP,A)
特表2016-503958(JP,A)
米国特許出願公開第2006/0071225(US,A1)
特表2006-518546(JP,A)
特開2016-27637(JP,A)
特開2006-344710(JP,A)
特開2015-133386(JP,A)
特表2013-541855(JP,A)
米国特許出願公開第2015/0362165(US,A1)
特開2004-71644(JP,A)
特開2017-216435(JP,A)
特表2011-512037(JP,A)
TEMPLIER, F., et al., A Novel Process for Fabricating High-Resolution and Very Small Pixel-pitch GaN LED Microdisplays, SID Symposium Digest of Technical Papers, 2017年06月02日, 48,1, 268-271
- (58)調査した分野 (Int.Cl., DB名)
H01L 33/00 - 33/64