

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-198343

(P2020-198343A)

(43) 公開日 令和2年12月10日(2020.12.10)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	4 M 1 0 4
HO 1 L 21/8242 (2006.01)	HO 1 L 29/78 6 1 3 B	5 F 0 8 3
HO 1 L 27/108 (2006.01)	HO 1 L 29/78 6 2 6 A	5 F 1 1 0
HO 1 L 29/417 (2006.01)	HO 1 L 29/78 6 1 7 K	
HO 1 L 29/423 (2006.01)	HO 1 L 27/108 6 2 1 C	

審査請求 未請求 請求項の数 18 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2019-102530 (P2019-102530)
 (22) 出願日 令和1年5月31日 (2019.5.31)

(71) 出願人 318010018
 キオクシア株式会社
 東京都港区芝浦三丁目1番21号
 (74) 代理人 100119035
 弁理士 池上 徹真
 (74) 代理人 100141036
 弁理士 須藤 章
 (74) 代理人 100178984
 弁理士 高下 雅弘
 (72) 発明者 服部 繁樹
 東京都港区芝浦一丁目1番1号 東芝メモ
 リ株式会社内
 (72) 発明者 上田 知正
 東京都港区芝浦一丁目1番1号 東芝メモ
 リ株式会社内

最終頁に続く

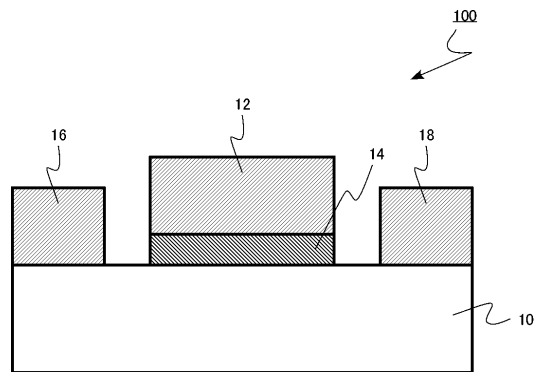
(54) 【発明の名称】 半導体装置及び半導体記憶装置

(57) 【要約】 (修正有)

【課題】 耐熱性の高い半導体装置を提供する。

【解決手段】 半導体装置 100 は、インジウム (In)、アルミニウム (Al) 及び亜鉛 (Zn) を含み、インジウム、アルミニウム及び亜鉛の総和に対するアルミニウムの原子比が 8% 以上 23% 以下である酸化物半導体層 10 と、ゲート電極 12 と、酸化物半導体層とゲート電極との間に設けられたゲート絶縁層 14 と、を備える。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

インジウム (In)、アルミニウム (Al)、及び、亜鉛 (Zn) を含み、インジウム、アルミニウム、及び、亜鉛の総和に対するアルミニウムの原子比が 8% 以上 23% 以下である酸化物半導体層と、

ゲート電極と、

前記酸化物半導体層と前記ゲート電極との間に設けられたゲート絶縁層と、
を備える半導体装置。

【請求項 2】

前記酸化物半導体層の中に含まれる金属元素の中の、インジウム、アルミニウム、及び、亜鉛の総和の原子比が 90% 以上である請求項 1 記載の半導体装置。

10

【請求項 3】

前記酸化物半導体層の中に含まれる金属元素の中のガリウム (Ga)、スズ (Sn)、及び、チタン (Ti) の原子比がそれぞれ 10% 未満である請求項 1 又は請求項 2 記載の半導体装置。

【請求項 4】

前記酸化物半導体層に含まれるインジウム、アルミニウム、及び、亜鉛の総和に対するインジウムの原子比が 39% 以上である請求項 1 ないし請求項 3 いずれか一項記載の半導体装置。

【請求項 5】

前記酸化物半導体層に含まれるインジウム、アルミニウム、及び、亜鉛の総和に対するインジウムの原子比が 70% 以下である請求項 1 ないし請求項 4 いずれか一項記載の半導体装置。

20

【請求項 6】

第 1 の電極と、

第 2 の電極と、

前記第 1 の電極と前記第 2 の電極との間に設けられ、インジウム (In)、アルミニウム (Al)、及び、亜鉛 (Zn) を含み、インジウム、アルミニウム、及び、亜鉛の総和に対するアルミニウムの原子比が 8% 以上 23% 以下である酸化物半導体層と、

前記酸化物半導体層を囲むゲート電極と、

前記酸化物半導体層と前記ゲート電極との間に設けられたゲート絶縁層と、
を備える半導体装置。

30

【請求項 7】

前記酸化物半導体層の中に含まれる金属元素の中の、インジウム、アルミニウム、及び、亜鉛の総和の原子比が 90% 以上である請求項 6 記載の半導体装置。

【請求項 8】

前記酸化物半導体層の中に含まれるガリウム (Ga)、スズ (Sn)、及び、チタン (Ti) の原子比がそれぞれ 10% 未満である請求項 6 又は請求項 7 記載の半導体装置。

【請求項 9】

前記酸化物半導体層に含まれるインジウム、アルミニウム、及び、亜鉛の総和に対するインジウムの原子比が 39% 以上である請求項 6 ないし請求項 8 いずれか一項記載の半導体装置。

40

【請求項 10】

前記酸化物半導体層に含まれるインジウム、アルミニウム、及び、亜鉛の総和に対するインジウムの原子比が 70% 以下である請求項 6 ないし請求項 9 いずれか一項記載の半導体装置。

【請求項 11】

前記酸化物半導体層と前記ゲート絶縁層との間に設けられ、前記酸化物半導体層及び前記ゲート絶縁層と異なる材料の第 1 の酸化物層を、更に備える請求項 6 ないし請求項 10 いずれか一項記載の半導体装置。

50

【請求項 1 2】

前記第 1 の電極及び前記第 2 の電極の少なくともいずれか一方と、前記酸化物半導体層との間に設けられ、前記酸化物半導体層及び前記ゲート絶縁層と異なる材料の第 2 の酸化物層を、更に備える請求項 6 ないし請求項 1 1 いずれか一項記載の半導体装置。

【請求項 1 3】

前記第 1 の電極及び前記第 2 の電極の一方に電氣的に接続されたキャパシタを備える請求項 6 ないし請求項 1 2 いずれか一項記載の半導体装置。

【請求項 1 4】

第 1 の方向に延びる第 1 の配線と、
前記第 1 の配線の一方の側に設けられ、前記第 1 の方向と交差する第 2 の方向に延びる第 2 の配線と、
前記第 1 の配線の他方の側に設けられ、前記第 2 の方向に延びる第 3 の配線と、
前記一方の側に設けられた第 1 のメモリセルと、
前記他方の側に設けられた第 2 のメモリセルと、を備え、
前記第 1 のメモリセル及び前記第 2 のメモリセルのそれぞれが、
インジウム (In)、アルミニウム (Al)、及び、亜鉛 (Zn) を含み、インジウム、アルミニウム、及び、亜鉛の総和に対するアルミニウムの原子比が 8 % 以上 23 % 以下である酸化物半導体層と、
前記酸化物半導体層を囲むゲート電極と、
前記酸化物半導体層と前記ゲート電極との間に設けられたゲート絶縁層と、
前記酸化物半導体層の一端に電氣的に接続されたキャパシタと、を有し、
前記第 1 のメモリセルの前記酸化物半導体層の他端に前記第 1 の配線が電氣的に接続され、
前記第 2 のメモリセルの前記酸化物半導体層の他端に前記第 1 の配線が電氣的に接続され、
前記第 1 のメモリセルの前記ゲート電極に前記第 2 の配線が電氣的に接続され、
前記第 2 のメモリセルの前記ゲート電極に前記第 3 の配線が電氣的に接続された、
半導体記憶装置。

【請求項 1 5】

前記酸化物半導体層の中に含まれる金属元素の中の、インジウム、アルミニウム、及び、亜鉛の総和の原子比が 90 % 以上である請求項 1 4 記載の半導体記憶装置。

【請求項 1 6】

前記酸化物半導体層の中に含まれるガリウム (Ga)、スズ (Sn)、及び、チタン (Ti) の原子比がそれぞれ 10 % 未満である請求項 1 4 又は請求項 1 5 いずれか一項記載の半導体記憶装置。

【請求項 1 7】

前記酸化物半導体層に含まれるインジウム、アルミニウム、及び、亜鉛の総和に対するインジウムの原子比が 39 % 以上である請求項 1 4 ないし請求項 1 6 いずれか一項記載の半導体記憶装置。

【請求項 1 8】

前記酸化物半導体層に含まれるインジウム、アルミニウム、及び、亜鉛の総和に対するインジウムの原子比が 70 % 以下である請求項 1 4 ないし請求項 1 7 いずれか一項記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置及び半導体記憶装置に関する。

【背景技術】

【0002】

酸化物半導体層をチャンネル層とする酸化物半導体トランジスタは、オフ動作時のチャネ

ルリーク電流が極めて小さいという優れた特性を備える。このため、例えば、酸化物半導体トランジスタを、Dynamic Random Access Memory (DRAM) のメモリセルのスイッチングトランジスタに適用することが検討されている。

【0003】

酸化物半導体トランジスタをメモリセルのスイッチングトランジスタに適用する場合、酸化物半導体トランジスタは、メモリセルや配線の形成に伴う熱処理を経ることになる。したがって、熱処理を経ても特性の変動が少ない、耐熱性の高い酸化物半導体トランジスタの実現が期待されている。

【先行技術文献】

【特許文献】

10

【0004】

【特許文献1】国際公開第2009/093625号

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明が解決しようとする課題は、耐熱性の高い半導体装置を提供することにある。

【課題を解決するための手段】

【0006】

実施形態の半導体装置は、インジウム (In)、アルミニウム (Al)、及び、亜鉛 (Zn) を含み、インジウム、アルミニウム、及び、亜鉛の総和に対するアルミニウムの原子比が8%以上23%以下である酸化物半導体層と、ゲート電極と、前記酸化物半導体層と前記ゲート電極との間に設けられたゲート絶縁層と、を備える。

20

【図面の簡単な説明】

【0007】

【図1】第1の実施形態の半導体装置の模式断面図。

【図2】第1の実施形態の半導体装置の作用及び効果の説明図。

【図3】第1の実施形態の半導体装置の作用及び効果の説明図。

【図4】第2の実施形態の半導体装置の模式断面図。

【図5】第2の実施形態の半導体装置の模式断面図。

【図6】第3の実施形態の半導体装置の模式断面図。

30

【図7】第3の実施形態の半導体装置の模式断面図。

【図8】第4の実施形態の半導体記憶装置のブロック図。

【図9】第4の実施形態の半導体記憶装置のメモリセルアレイの模式断面図。

【図10】第4の実施形態の半導体記憶装置のメモリセルアレイの模式断面図。

【図11】第4の実施形態の半導体記憶装置の第1のメモリセルの模式断面図。

【図12】第4の実施形態の半導体記憶装置の第2のメモリセルの模式断面図。

【発明を実施するための形態】

【0008】

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一又は類似の部材などには同一の符号を付し、一度説明した部材などについては適宜その説明を省略する。

40

【0009】

また、本明細書中、便宜上「上」、又は、「下」という用語を用いる場合がある。「上」、又は、「下」とはあくまで図面内での相対的位置関係を示す用語であり、重力に対する位置関係を規定する用語ではない。

【0010】

本明細書中の半導体装置及び半導体記憶装置を構成する部材の化学組成の定性分析及び定量分析は、例えば、二次イオン質量分析法 (Secondary Ion Mass Spectroscopy: SIMS)、エネルギー分散型X線分光法 (Energy Dispersive X-ray Spectroscopy: EDX)、ラザフォー

50

ド後方散乱分析法 (R u t h e r f o r d B a c k - S c a t t e r i n g S p e c t r o s c o p y : R B S) により行うことが可能である。また、半導体装置を構成する部材の厚さ、部材間の距離等の測定には、例えば、透過型電子顕微鏡 (T r a n s m i s s i o n E l e c t r o n M i c r o s c o p e : T E M) を用いることが可能である。

【 0 0 1 1 】

(第 1 の実施形態)

第 1 の実施形態の半導体装置は、インジウム (I n)、アルミニウム (A l)、及び、亜鉛 (Z n) を含み、インジウム、アルミニウム、及び、亜鉛の総和に対するアルミニウムの原子比が 8 % 以上 2 3 % 以下である酸化物半導体層と、ゲート電極と、断化物半導体層とゲート電極との間に設けられたゲート絶縁層と、を備える。

10

【 0 0 1 2 】

図 1 は、第 1 の実施形態の半導体装置の模式断面図である。

【 0 0 1 3 】

第 1 の実施形態の半導体装置は、トランジスタ 1 0 0 である。トランジスタ 1 0 0 は、酸化物半導体をチャンネル層とする酸化物半導体トランジスタである。

【 0 0 1 4 】

トランジスタ 1 0 0 は、チャンネル層 1 0 (酸化物半導体層)、ゲート電極 1 2、ゲート絶縁層 1 4、ソース電極 1 6、ドレイン電極 1 8 を備える。

【 0 0 1 5 】

チャンネル層 1 0 は、酸化物半導体層の一例である。トランジスタ 1 0 0 のオン動作時に、チャンネル層 1 0 に電流経路となるチャンネルが形成される。

20

【 0 0 1 6 】

チャンネル層 1 0 は、酸化物半導体である。チャンネル層 1 0 は、金属酸化物である。チャンネル層 1 0 は、例えば、アモルファスである。

【 0 0 1 7 】

チャンネル層 1 0 は、インジウム (I n)、アルミニウム (A l)、及び、亜鉛 (Z n) を含む。チャンネル層 1 0 の、インジウム、アルミニウム、及び、亜鉛の総和に対するアルミニウムの原子比が 8 % 以上 2 3 % 以下である。すなわち、 $A l / (I n + A l + Z n)$ で表記される原子比が、8 % 以上 2 3 % 以下である。

30

【 0 0 1 8 】

チャンネル層 1 0 の中に含まれる金属元素の中の、インジウム、アルミニウム、及び、亜鉛の総和の原子比は、例えば、9 0 % 以上である。また、チャンネル層 1 0 の中に含まれる酸素以外の元素の中の、インジウム、アルミニウム、及び、亜鉛の総和の原子比は、例えば、9 0 % 以上である。例えば、チャンネル層 1 0 の中には、酸素以外の元素で、インジウム、アルミニウム、及び、亜鉛のいずれか一つよりも大きな原子比を有する元素は存在しない。

【 0 0 1 9 】

また、チャンネル層 1 0 の中に含まれる金属元素の中のガリウム (G a)、スズ (S n)、及び、チタン (T i) の原子比が、例えば、それぞれ 1 0 % 未満である。

40

【 0 0 2 0 】

また、チャンネル層 1 0 に含まれるインジウム、アルミニウム、及び、亜鉛の総和に対するインジウムの原子比が、例えば、3 9 % 以上 7 0 % 以下である。すなわち、 $I n / (I n + A l + Z n)$ で表記される原子比が、3 9 % 以上 7 0 % 以下である。

【 0 0 2 1 】

チャンネル層の厚さは、例えば、1 0 n m 以上 1 0 0 n m 以下である。

【 0 0 2 2 】

チャンネル層 1 0 は、例えば、A L D 法 (A t o m i c L a y e r D e p o s i t i o n 法) により形成される。

【 0 0 2 3 】

50

ゲート電極 12 は、例えば、金属、金属化合物、又は、半導体である。ゲート電極 12 は、例えば、タングステン (W) である。ゲート電極 12 のゲート長は、例えば、20 nm 以上 100 nm 以下である。

【0024】

ゲート絶縁層 14 は、チャンネル層 10 とゲート電極 12 との間に設けられる。ゲート絶縁層 14 は、例えば、酸化物、又は、酸窒化物である。ゲート絶縁層 14 は、例えば、酸化シリコン、又は、酸化アルミニウムである。ゲート絶縁層 14 の厚さは、例えば、2 nm 以上 10 nm 以下である。

【0025】

ソース電極 16 は、例えば、金属、金属化合物、半導体、又は、導電性酸化物である。ソース電極 16 は、2 種以上の材料の積層構造であっても構わない。ソース電極 16 は、例えば、金属と導電性酸化物の積層構造である。ソース電極 16 は、例えば、タングステン (W) と酸化インジウムスズとの積層構造である。例えば、ソース電極 16 のチャンネル層 10 側の表面は、酸化インジウムスズである。

10

【0026】

ドレイン電極 18 は、例えば、金属、金属化合物、半導体、又は、導電性酸化物である。ドレイン電極 18 は、2 種以上の材料の積層構造であっても構わない。ドレイン電極 18 は、例えば、金属と導電性酸化物の積層構造である。ドレイン電極 18 は、例えば、タングステン (W) と酸化インジウムスズ (ITO) との積層構造である。例えば、ドレイン電極 18 のチャンネル層 10 側の表面は、酸化インジウムスズである。

20

【0027】

なお、チャンネル層 10 とゲート絶縁層 14 との間に、ゲート絶縁層 14 と異なる材料の図示しない酸化物層を設けることも可能である。

【0028】

以下、第 1 の実施形態の半導体装置の作用及び効果について説明する。

【0029】

酸化物半導体トランジスタを用いたメモリセルの形成において、キャパシタと酸化物半導体トランジスタを形成後に熱処理を加えることで、例えば、キャパシタとトランジスタをつなぐ配線層のコンタクト抵抗が低減する。コンタクト抵抗が低減することで、メモリセルにおける寄生抵抗が低減し、キャパシタに蓄積した電荷の損失が低減する。熱処理は、例えば、420 以上の温度で行われる。

30

【0030】

しかし、酸化物半導体トランジスタの形成後に熱処理を加えることで、例えば、閾値電圧の変動が生じるおそれがある。閾値電圧の変動は、チャンネル層を構成する金属酸化物中の酸素が金属元素と解離することにより生じることが考えられる。言い換えれば、チャンネル層を構成する金属酸化物中に酸素欠損が形成されることにより、閾値電圧の変動が生じると考えられる。熱処理を経ても特性の変動が少ない、耐熱性の高い酸化物半導体トランジスタの実現が期待される。

【0031】

第 1 の実施形態のトランジスタ 100 のチャンネル層 10 に用いられるインジウム (In)、アルミニウム (Al)、及び、亜鉛 (Zn) を含む酸化物半導体は、例えば、インジウム (In)、ガリウム (Ga)、及び、亜鉛 (Zn) を含む酸化物半導体と比較して耐熱性が高くなる。耐熱性が高くなるのは、酸化物半導体を構成する金属元素をガリウムからアルミニウムに変えることにより、酸素欠損の形成エネルギーが高くなるためと考えられる。酸素欠損の形成エネルギーが高くなることで、熱処理を経ても酸素欠損が生じにくくなり、閾値電圧の変動が生じにくくなると考えられる。

40

【0032】

インジウム (In)、アルミニウム (Al)、及び、亜鉛 (Zn) を含む酸化物半導体において、酸素欠損の形成エネルギーが高くなるのは、アルミニウムと酸素の結合力が大きいと考慮される。したがって、酸化物半導体中のアルミニウムの比率が低下すると、

50

酸素欠損が形成されやすくなり、耐熱性が低下することが考えられる。

【0033】

図2、図3は、第1の実施形態の半導体装置の作用及び効果の説明図である。図2は、酸化物半導体トランジスタの移動度と耐熱性の評価結果を示す表である。インジウム（In）、アルミニウム（Al）、及び、亜鉛（Zn）を含む酸化物半導体をチャンネル層に用い、インジウム、アルミニウム、及び、亜鉛の原子比を変化させて、トランジスタの移動度と耐熱性を評価した。

【0034】

インジウム、アルミニウム、及び、亜鉛の原子比は、インジウム、アルミニウム、及び、亜鉛の総和に対するそれぞれの金属元素の割合を示している。耐熱性は、トランジスタの形成後に420の熱処理を加えた後の閾値変動を指標として評価した。熱処理後に閾値電圧が正電圧に保たれる良好な場合を「Good」、熱処理後に閾値電圧が変動して負電圧となり好ましくない場合を「Not Good」とした。

10

【0035】

サンプル1の場合は、トランジスタ特性が得られなかったため、移動度及び耐熱性を「N/A (Not Applicable)」とした。また、サンプル10の場合は、熱処理前後ともにトランジスタがディプリーション型となっていたため、移動度及び耐熱性を「N/A」とした。

【0036】

図3は、サンプル1～10の酸化物半導体の組成を示す三角ダイアグラムである。それぞれの丸印に付された番号がサンプル番号を示す。図3のハッチングされた領域は、インジウム、アルミニウム、及び、亜鉛の総和に対するアルミニウムの原子比が8%以上23%以下の領域、すなわち、 $Al / (In + Al + Zn)$ で表記される原子比が、8%以上23%以下の領域である。

20

【0037】

図3のハッチングされた領域に含まれるサンプル6～9は白丸で表示し、その他のサンプルは黒丸で表示している。

【0038】

図2から明らかなように、インジウム、アルミニウム、及び、亜鉛の総和に対するアルミニウムの原子比が小さくなるにつれて移動度は大きくなる。また、図2から明らかなように、インジウム、アルミニウム、及び、亜鉛の総和に対するアルミニウムの原子比が小さくなるにつれて、一旦、アルミニウムの原子比が24%前後で耐熱性が低下するが、その後、耐熱性が高くなる。

30

【0039】

インジウム、アルミニウム、及び、亜鉛の総和に対するアルミニウムの原子比が8%以上23%以下の領域にあるサンプル6～9では、移動度が $5 \text{ cm}^2 / \text{Vs}$ 以上と実使用に値する高い移動度を実現できる。また、サンプル6～9は良好な耐熱性を備える。

【0040】

したがって、インジウム、アルミニウム、及び、亜鉛の総和に対するアルミニウムの原子比が8%以上23%以下であることにより、高い移動度と高い耐熱性を備えた酸化物半導体トランジスタ100が実現される。

40

【0041】

インジウム、アルミニウム、及び、亜鉛の総和に対するアルミニウムの原子比が小さくなるにつれて移動度が向上するのは、酸化物半導体の中でドナーとして機能する酸素欠損の量が増加するためと考えられる。

【0042】

上述のように、酸化物半導体中のアルミウムの比率が低下すると、熱処理により酸素欠損が形成されやすくなり、耐熱性が低下することが予想される。しかし、発明者らの検討により酸化物半導体中のアルミウムの比率が低下しても、耐熱性が低下せず向上する特異領域が見出された。

50

【 0 0 4 3 】

上記特異領域が出現するのは、以下の理由によると考えられる。アルミニウムの原子比が低下すると酸素との結合力の大きい金属元素の割合が低下するため、熱処理により酸素欠損の量が増加する傾向にある。しかし、アルミニウムの割合が特定の範囲にある場合、熱処理の際に、アルミニウムが形成された酸素欠損の構造を埋め、酸素欠損の量が減少すると考えられる。すなわち、アルミニウムの原子比が8%以上23%以下の領域では、熱処理の際に酸素欠損がアルミニウムによって埋まりやすくなるため、酸素欠損の増加が抑制され耐熱性が低下しないと考えられる。

【 0 0 4 4 】

アルミニウムの原子比が23%より大きい領域では、アルミニウム原子自身の相互作用により酸素欠損が埋まりにくくなるため、アルミニウムの原子比の低下に伴い酸素欠損の量が増加する傾向は保たれると考えられる。また、アルミニウムの原子比が8%より小さいと、酸素欠損を埋めるためのアルミニウム量が欠乏するため、アルミニウムの原子比の低下に伴い酸素欠損の量が増加する傾向は保たれると考えられる。

10

【 0 0 4 5 】

トランジスタ100の耐熱性を向上させる観点から、チャンネル層10の、インジウム、アルミニウム、及び、亜鉛の総和に対するアルミニウムの原子比が10%以上20%以下であることが好ましく、11%以上15%以下であることがより好ましい。

【 0 0 4 6 】

トランジスタ100の耐熱性を向上させる観点から、チャンネル層10の中に含まれる金属元素の中の、インジウム、アルミニウム、及び、亜鉛の総和の原子比は、例えば、90%以上であることが好ましく、95%以上であることがより好ましい。

20

【 0 0 4 7 】

トランジスタ100の耐熱性を向上させる観点から、チャンネル層10の中に含まれる金属元素の中のガリウム(Ga)、スズ(Sn)、及び、チタン(Ti)の原子比がそれぞれ10%未満であることが好ましく、5%未満であることがより好ましい。

【 0 0 4 8 】

トランジスタ100の移動度を向上させる観点から、チャンネル層10に含まれるインジウム、アルミニウム、及び、亜鉛の総和に対するインジウムの原子比が39%以上であることが好ましい。

30

【 0 0 4 9 】

トランジスタ100の特性を安定化させる観点から、チャンネル層10は、結晶化していないアモルファスであることが好ましい。また、チャンネル層10の結晶化を抑制し、トランジスタ100の特性を安定化させる観点から、チャンネル層10に含まれるインジウム、アルミニウム、及び、亜鉛の総和に対するインジウムの原子比が70%以下であることが好ましい。

【 0 0 5 0 】

以上、第1の実施形態によれば、高い移動度と高い耐熱性を備えた酸化物半導体トランジスタ100が実現される。

【 0 0 5 1 】

(第2の実施形態)

第2の実施形態の半導体装置は、第1の電極と、第2の電極と、第1の電極と第2の電極との間に設けられ、インジウム(In)、アルミニウム(Al)、及び、亜鉛(Zn)を含み、インジウム、アルミニウム、及び、亜鉛の総和に対するアルミニウムの原子比が8%以上23%以下である酸化物半導体層と、酸化物半導体層を囲むゲート電極と、酸化物半導体層とゲート電極との間に設けられたゲート絶縁層と、を備える。第2の実施形態の半導体装置は、ゲート電極が酸化物半導体層を囲む点で、第1の実施形態の半導体装置と異なっている。以下、第1の実施形態と重複する内容については、一部記述を省略する。

40

【 0 0 5 2 】

50

図4、図5は、第2の実施形態の半導体装置の模式断面図である。図5は、図4のAA'断面図である。図4において、水平方向を第1の方向、奥行方向を第2の方向、上下方向を第3の方向と称する。

【0053】

第2の実施形態の半導体装置は、トランジスタ200である。トランジスタ200は、酸化物半導体をチャンネル層とする酸化物半導体トランジスタである。トランジスタ200は、ゲート電極がチャンネル層を囲んで設けられる、いわゆるSurrounding Gate Transistor (SGT)である。トランジスタ200は、いわゆる縦型トランジスタである。

【0054】

トランジスタ200は、チャンネル層10（酸化物半導体層）、ゲート電極12、ゲート絶縁層14、ソース電極16（第1の電極）、ドレイン電極18（第2の電極）、層間絶縁層20を備える。

【0055】

ソース電極16は、第1の電極の一例である。ソース電極16は、例えば、金属、金属化合物、半導体、又は、導電性酸化物である。ソース電極16は、2種以上の材料の積層構造であっても構わない。ソース電極16は、例えば、金属と導電性酸化物の積層構造である。ソース電極16は、例えば、タングステン(W)と酸化インジウムスズ(ITO)との積層構造である。例えば、ソース電極16のチャンネル層10側の表面は、酸化インジウムスズである。

【0056】

ドレイン電極18は、第2の電極の一例である。ドレイン電極18は、例えば、金属、金属化合物、半導体、又は、導電性酸化物である。ドレイン電極18は、2種以上の材料の積層構造であっても構わない。ドレイン電極18は、例えば、金属と導電性酸化物の積層構造である。ドレイン電極18は、例えば、タングステン(W)と酸化インジウムスズ(ITO)との積層構造である。例えば、ドレイン電極18のチャンネル層10側の表面は、酸化インジウムスズである。

【0057】

チャンネル層10は、ソース電極16とドレイン電極18との間に設けられる。チャンネル層10は、酸化物半導体層の一例である。トランジスタ200のオン動作時に、チャンネル層10に電流経路となるチャンネルが形成される。チャンネル層10は、第3の方向に延びる。チャンネル層10は、第3の方向に延びる柱状である。チャンネル層10は、例えば、円柱状である。

【0058】

チャンネル層10は、酸化物半導体である。チャンネル層10は、金属酸化物である。チャンネル層10は、例えば、アモルファスである。

【0059】

チャンネル層10は、インジウム(In)、アルミニウム(Al)、及び、亜鉛(Zn)を含む。チャンネル層10の、インジウム、アルミニウム、及び、亜鉛の総和に対するアルミニウムの原子比が8%以上23%以下である。すなわち、 $Al / (In + Al + Zn)$ で表記される原子比が、8%以上23%以下である。

【0060】

チャンネル層の第1の方向の幅は、例えば、20nm以上100nm以下である。

【0061】

ゲート電極12は、例えば、金属、金属化合物、又は、半導体である。ゲート電極12は、例えば、タングステン(W)である。ゲート電極12のゲート長は、例えば、20nm以上100nm以下である。

【0062】

ゲート電極12は、チャンネル層10を囲んで設けられる。ゲート電極12は、チャンネル層10の周囲に設けられる。

10

20

30

40

50

【0063】

ゲート電極12は、例えば、金属、金属化合物、又は、半導体である。ゲート電極12は、例えば、タングステンである。

【0064】

ゲート電極12のゲート長(第3の方向の幅)は、例えば、20nm以上100nm以下である。

【0065】

ゲート絶縁層14は、チャンネル層10とゲート電極12との間に設けられる。ゲート絶縁層14は、チャンネル層10を囲んで設けられる。ゲート絶縁層14は、例えば、酸化物、又は、酸窒化物である。ゲート絶縁層14は、例えば、酸化シリコン、又は、酸化アルミニウムである。ゲート絶縁層14の厚さは、例えば、2nm以上10nm以下である。

10

【0066】

層間絶縁層20は、例えば、ソース電極16とゲート電極12との間、ドレイン電極18とゲート電極12との間に設けられる。層間絶縁層20は、ソース電極16、ドレイン電極18、及び、ゲート電極12の電気的分離を行う。層間絶縁層20は、例えば、酸化物である。層間絶縁層20は、例えば、酸化シリコンである。

【0067】

以上、第2の実施形態によれば、第1の実施形態と同様、高い移動度と高い耐熱性を備えた酸化物半導体トランジスタ200が実現される。また、第2の実施形態によれば、SGTであることにより、単位面積あたりに高い密度でトランジスタを配置することが可能となる。

20

【0068】

(第3の実施形態)

第3の実施形態の半導体装置は、酸化物半導体層とゲート絶縁層との間に設けられ、酸化物半導体層及びゲート絶縁層と異なる材料の第1の酸化物層と、第1の電極及び第2の電極の少なくともいずれか一方と酸化物半導体層との間に設けられ、酸化物半導体層及びゲート絶縁層と異なる材料の第2の酸化物層と、を備える点で、第2の実施形態の半導体装置と異なっている。以下、第1及び第2の実施形態と重複する内容については、一部記述を省略する。

【0069】

図6、図7は、第3の実施形態の半導体装置の模式断面図である。図7は、図6のBB'断面図である。図6において、水平方向を第1の方向、奥行方向を第2の方向、上下方向を第3の方向と称する。

30

【0070】

第3の実施形態の半導体装置は、トランジスタ300である。トランジスタ300は、酸化物半導体をチャンネル層とする酸化物半導体トランジスタである。トランジスタ300は、ゲート電極がチャンネル層を囲んで設けられる、いわゆるSGTである。トランジスタ300は、いわゆる縦型トランジスタである。

【0071】

トランジスタ300は、チャンネル層10(酸化物半導体層)、ゲート電極12、ゲート絶縁層14、ソース電極16(第1の電極)、ドレイン電極18(第2の電極)、層間絶縁層20、第1の酸化物層22、第2の酸化物層24を備える。

40

【0072】

第1の酸化物層22は、チャンネル層10とゲート絶縁層14との間に設けられる。第1の酸化物層22は、チャンネル層10及びゲート絶縁層14と異なる材料で形成される。

【0073】

第1の酸化物層22は、例えば金属酸化物で形成される。第1の酸化物層22には、例えば、酸化ガリウム、酸化アルミニウム、酸化ハフニウム、又は、シリコンを含む酸化インジウムガリウムを適用することが可能である。

【0074】

50

第1の酸化物層22を備えることにより、例えば、キャリアの移動度が大きくなりトランジスタ300の特性が向上する。

【0075】

第2の酸化物層24は、ソース電極16とチャンネル層10との間、及び、ドレイン電極18とチャンネル層10との間に設けられる。第2の酸化物層24は、チャンネル層10及びゲート絶縁層14と異なる材料で形成される。第2の酸化物層24は、第1の酸化物層22と同一の材料で形成されても構わない。

【0076】

第2の酸化物層24は、ソース電極16とチャンネル層10との間、及び、ドレイン電極18とチャンネル層10との間の抵抗を低減する機能を有する。

10

【0077】

第2の酸化物層24は、例えば金属酸化物で形成される。第2の酸化物層24には、例えば、酸化ガリウムに亜鉛(Zn)、アルミニウム(Al)、錫(Sn)、インジウム(In)などを含む酸化物、酸化インジウム、酸化ガリウムを適用することが可能である。

【0078】

第2の酸化物層24を備えることにより、例えば、寄生抵抗が低減されトランジスタ300のオン抵抗が低減する。

【0079】

なお、第2の酸化物層24は、ソース電極16とチャンネル層10との間、及び、ドレイン電極18とチャンネル層10との間のいずれか一方にのみ設けられても構わない。また、第1の酸化物層22及び第2の酸化物層24のいずれか一方のみを備える構成であっても構わない。

20

【0080】

以上、第3の実施形態によれば、第1の実施形態と同様、高い移動度と高い耐熱性を備えた酸化物半導体トランジスタ300が実現される。また、第3の実施形態と同様、SGTであることにより、単位面積あたりに高い密度でトランジスタを配置することが可能となる。また、第1の酸化物層22及び第2の酸化物層24を備えることにより、更に特性の向上したトランジスタ300が実現される。

【0081】

(第4の実施形態)

30

第4の実施形態の半導体記憶装置は、第1の方向に延びる第1の配線と、第1の配線の一方の側に設けられ、第1の方向と交差する第2の方向に延びる第2の配線と、第1の配線の他方の側に設けられ、第2の方向に延びる第3の配線と、一方の側に設けられた第1のメモリセルと、他方の側に設けられた第2のメモリセルと、を備え、第1のメモリセル及び第2のメモリセルのそれぞれが、インジウム(In)、アルミニウム(Al)、及び、亜鉛(Zn)を含み、インジウム、アルミニウム、及び、亜鉛の総和に対するアルミニウムの原子比が8%以上23%以下である酸化物半導体層と、酸化物半導体層を囲むゲート電極と、酸化物半導体層とゲート電極との間に設けられたゲート絶縁層と、酸化物半導体層の一端に電氣的に接続されたキャパシタと、を有し、第1のメモリセルの酸化物半導体層の他端に第1の配線が電氣的に接続され、第2のメモリセルの酸化物半導体層の他端に第1の配線が電氣的に接続され、第1のメモリセルのゲート電極に第2の配線が電氣的に接続され、第2のメモリセルのゲート電極に第3の配線が電氣的に接続される。第1のメモリセル及び第2のメモリセルが、第2の実施形態の半導体装置の酸化物半導体層の一端に電氣的に接続されたキャパシタを備える。以下、第1ないし第3の実施形態と重複する内容については一部記述を省略する。

40

【0082】

第4の実施形態の半導体記憶装置は、半導体メモリ400である。第4の実施形態の半導体記憶装置は、Dynamic Random Access Memory(DRAM)である。半導体メモリ400は、第2の実施形態のトランジスタ200を、DRAMのメモリセルのスイッチングトランジスタとして使用する。

50

【 0 0 8 3 】

図 8 は、第 4 の実施形態の半導体装置のブロック図である。

【 0 0 8 4 】

図 8 に示すように、半導体メモリ 4 0 0 は、メモリセルアレイ 2 1 0、ワード線ドライバ回路 2 1 2、ローデコーダ回路 2 1 4、センスアンプ回路 2 1 5、カラムデコーダ回路 2 1 7、及び、制御回路 2 2 1 を備える。

【 0 0 8 5 】

図 9、図 1 0 は、第 4 の実施形態の半導体装置のメモリセルアレイの模式断面図である。図 9 は、第 1 の方向と第 3 の方向を含む面の断面図、図 1 0 は、第 2 の方向と第 3 の方向を含む面の断面図である。第 1 の方向と第 2 の方向は交差する。第 1 の方向と第 2 の方向は、例えば垂直である。第 3 の方向は、第 1 の方向及び第 2 の方向に対して垂直な方向である。第 3 の方向は、例えば基板に対して垂直な方向である。

10

【 0 0 8 6 】

第 4 の実施形態のメモリセルアレイ 2 1 0 は、メモリセルが立体的に配置された三次元構造を備える。図 9、図 1 0 において破線で囲まれた領域がそれぞれ 1 個のメモリセルを表している。

【 0 0 8 7 】

メモリセルアレイ 2 1 0 は、シリコン基板 2 5 0 (基板) を備える。メモリセルアレイ 2 1 0 は、シリコン基板 2 5 0 の上に、例えば、複数のビット線 B L と複数のワード線 W L を備える。ビット線 B L は第 1 の方向に伸長する。ワード線 W L は第 2 の方向に伸長する。

20

【 0 0 8 8 】

ビット線 B L とワード線 W L とは、例えば、垂直に交差する。ビット線 B L とワード線 W L との交差する領域に、メモリセルが配置される。メモリセルには、第 1 のメモリセル M C 1 及び第 2 のメモリセル M C 2 が含まれる。

【 0 0 8 9 】

第 1 のメモリセル M C 1 及び第 2 のメモリセル M C 2 に接続されるビット線 B L がビット線 B L x (第 1 の配線) である。第 1 のメモリセル M C 1 に接続されるワード線 W L がワード線 W L x (第 2 の配線) である。第 2 のメモリセル M C 2 に接続されるワード線 W L がワード線 W L y (第 3 の配線) である。ワード線 W L x (第 2 の配線) は、ビット線 B L x (第 1 の配線) の一方の側に設けられる。ワード線 W L y (第 3 の配線) は、ビット線 B L x (第 1 の配線) の他方の側に設けられる。

30

【 0 0 9 0 】

メモリセルアレイ 2 1 0 は、複数のプレート電極線 P L を有する。プレート電極線 P L は各メモリセルのプレート電極に接続される。

【 0 0 9 1 】

メモリセルアレイ 2 1 0 は、各配線及び各電極の電気的分離のために層間絶縁層 2 6 0 を備える。

【 0 0 9 2 】

複数のワード線 W L は、ローデコーダ回路 2 1 4 に電氣的に接続される。複数のビット線 B L は、センスアンプ回路 2 1 5 に電氣的に接続される。

40

【 0 0 9 3 】

ローデコーダ回路 2 1 4 は、入力されたローアドレス信号に従ってワード線 W L を選択する機能を備える。ワード線ドライバ回路 2 1 2 は、ローデコーダ回路 2 1 4 によって選択されたワード線 W L に所定の電圧を印加する機能を備える。

【 0 0 9 4 】

カラムデコーダ回路 2 1 7 は、入力されたカラムアドレス信号に従ってビット線 B L を選択する機能を備える。センスアンプ回路 2 1 5 は、カラムデコーダ回路 2 1 7 によって選択されたビット線 B L に所定の電圧を印加する機能を備える。また、ビット線 B L の電位を検知して増幅する機能を備える。

50

【 0 0 9 5 】

制御回路 2 2 1 は、ワード線ドライバ回路 2 1 2、ローデコーダ回路 2 1 4、センスアンプ回路 2 1 5、カラムデコーダ回路 2 1 7、及び、図示しないその他の回路を制御する機能を備える。

【 0 0 9 6 】

ワード線ドライバ回路 2 1 2、ローデコーダ回路 2 1 4、センスアンプ回路 2 1 5、カラムデコーダ回路 2 1 7、制御回路 2 2 1 などの回路は、例えば、シリコン基板 2 5 0 を用いて形成される図示しないトランジスタや配線層によって構成される。

【 0 0 9 7 】

ビット線 B L 及びワード線 W L は、例えば金属である。ビット線 B L 及びワード線 W L は、例えば、窒化チタン、タングステン、又は、窒化チタンとタングステンの積層構造である。

10

【 0 0 9 8 】

図 1 1 は、第 4 の実施形態の半導体装置の第 1 のメモリセルの模式断面図である。図 1 2 は、第 4 の実施形態の半導体装置の第 2 のメモリセルの模式断面図である。

【 0 0 9 9 】

第 1 のメモリセル M C 1 は、シリコン基板 2 5 0 とビット線 B L x (第 1 の配線) との間に設けられる。シリコン基板 2 5 0 と第 2 のメモリセル M C 2 との間に、ビット線 B L x (第 1 の配線) が設けられる。第 1 のメモリセル M C 1 は、ビット線 B L x (第 1 の配線) の一方の側に設けられる。第 2 のメモリセル M C 2 は、ビット線 B L x (第 1 の配線) の他方の側に設けられる。

20

【 0 1 0 0 】

第 2 のメモリセル M C 2 は、第 1 のメモリセル M C 1 を上下反転させた構造を有する。第 1 のメモリセル M C 1 及び第 2 のメモリセル M C 2 は、それぞれトランジスタ 2 0 0 及びキャパシタ 2 0 1 を備える。

【 0 1 0 1 】

トランジスタ 2 0 0 は、チャンネル層 1 0 (酸化物半導体層)、ゲート電極 1 2、ゲート絶縁層 1 4、ソース電極 1 6 (第 1 の電極)、ドレイン電極 1 8 (第 2 の電極) を備える。トランジスタ 2 0 0 は、第 2 の実施形態のトランジスタ 2 0 0 と同様の構成を備える。

【 0 1 0 2 】

チャンネル層 1 0 は、インジウム (I n)、アルミニウム (A l)、及び、亜鉛 (Z n) を含む。チャンネル層 1 0 の、インジウム、アルミニウム、及び、亜鉛の総和に対するアルミニウムの原子比が 8 % 以上 2 3 % 以下である。すなわち、 $A l / (I n + A l + Z n)$ で表記される原子比が、8 % 以上 2 3 % 以下である。

30

【 0 1 0 3 】

キャパシタ 2 0 1 は、セル電極 7 1、プレート電極 7 2、キャパシタ絶縁膜 7 3 を備える。セル電極 7 1 及びプレート電極 7 2 は、例えば、窒化チタンである。また、キャパシタ絶縁膜 7 3 は、例えば、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの積層構造を有する。

【 0 1 0 4 】

キャパシタ 2 0 1 は、第 1 のメモリセル M C 1 及び第 2 のメモリセル M C 2 のチャンネル層 1 0 の一端に接続される。キャパシタ 2 0 1 のセル電極 7 1 は、ドレイン電極 1 8 に接続される。プレート電極 7 2 はプレート電極線 P L に接続される。

40

【 0 1 0 5 】

ソース電極 1 6 はビット線 B L に接続される。ゲート電極 1 2 はワード線 W L に接続される。

【 0 1 0 6 】

なお、図 9、図 1 0、図 1 1、図 1 2 では、ビット線 B L とソース電極 1 6、及び、ワード線 W L とゲート電極 1 2 は、同一の材料で同時形成される場合を例に示している。ビット線 B L とソース電極 1 6、及び、ワード線 W L とゲート電極 1 2 は、それぞれ異なる

50

材料で別々に形成されるものであっても構わない。

【0107】

第1のメモリセルMC1のチャンネル層10のキャパシタ201が接続される側と反対側の端部（他端）に、ビット線BLx（第1の配線）が電氣的に接続される。第2のメモリセルMC2のチャンネル層10のキャパシタ201が接続される側と反対側の端部（他端）にビット線BLx（第1の配線）が電氣的に接続される。

【0108】

第1のメモリセルMC1のゲート電極12にワード線WLx（第2の配線）が電氣的に接続される。また、第2のメモリセルMC2のゲート電極12にワード線WLy（第3の配線）が電氣的に接続される。

10

【0109】

第4の実施形態によれば、第2の実施形態のトランジスタ200をDRAMのスイッチングトランジスタとして用いることにより、メモリ特性の向上した半導体メモリが実現される。

【0110】

第4の実施形態では、第2の実施形態のトランジスタ200をDRAMのスイッチングトランジスタとして用いる場合を例に説明したが、第2の実施形態のトランジスタ200に代えて、第3の実施形態のトランジスタ300を適用することも可能である。

【0111】

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換え又は変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

20

【符号の説明】

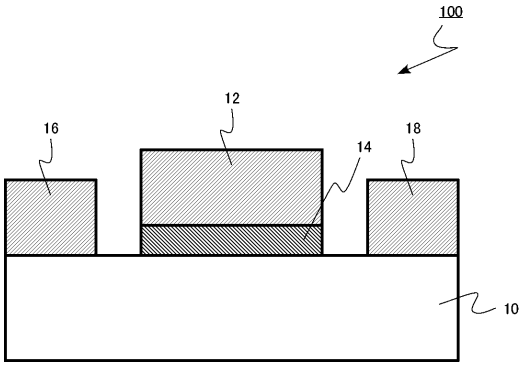
【0112】

10	チャンネル層（酸化物半導体層）
12	ゲート電極
14	ゲート絶縁層
16	ソース電極（第1の電極）
18	ドレイン電極（第2の電極）
22	第1の酸化物層
24	第2の酸化物層
100	トランジスタ（半導体装置）
200	トランジスタ（半導体装置）
201	キャパシタ
250	シリコン基板（基板）
300	トランジスタ（半導体装置）
400	半導体メモリ（半導体記憶装置）
BLx	ビット線（第1の配線）
MC1	第1のメモリセル
MC2	第2のメモリセル
WLx	ワード線（第2の配線）
WLy	ワード線（第3の配線）

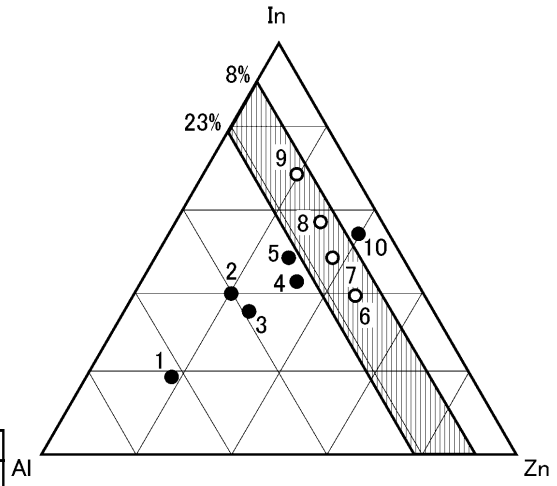
30

40

【 図 1 】



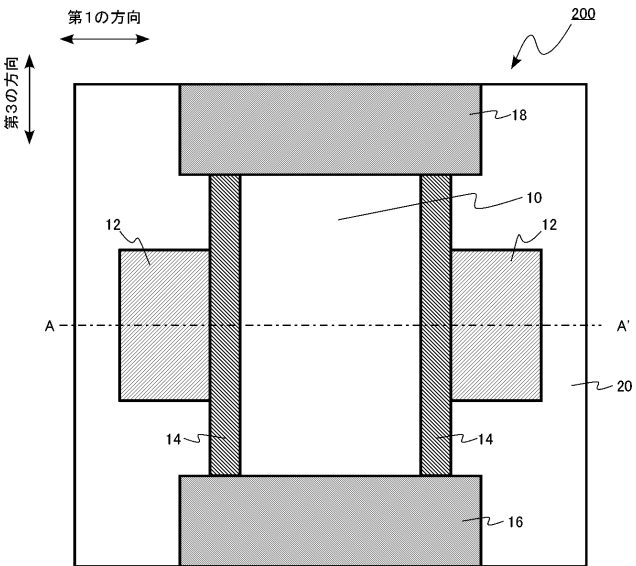
【 図 3 】



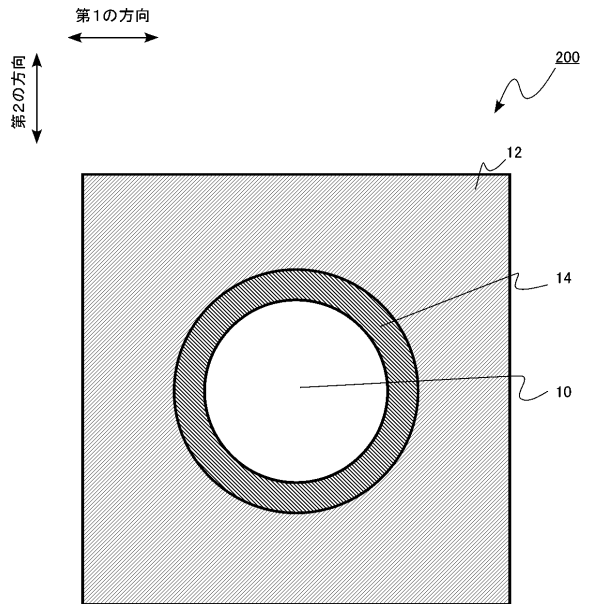
【 図 2 】

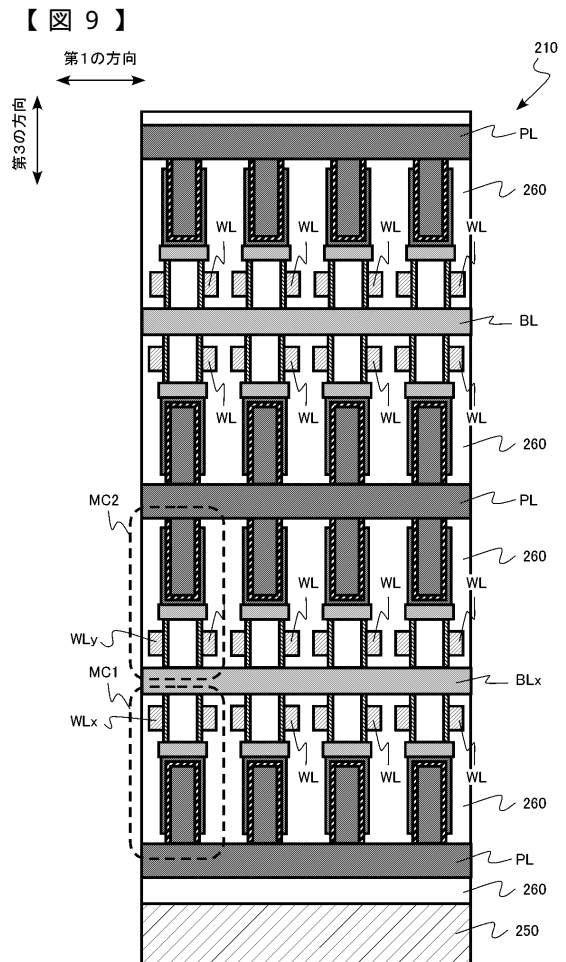
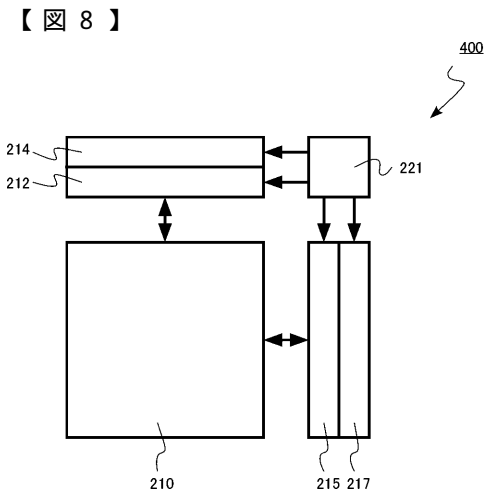
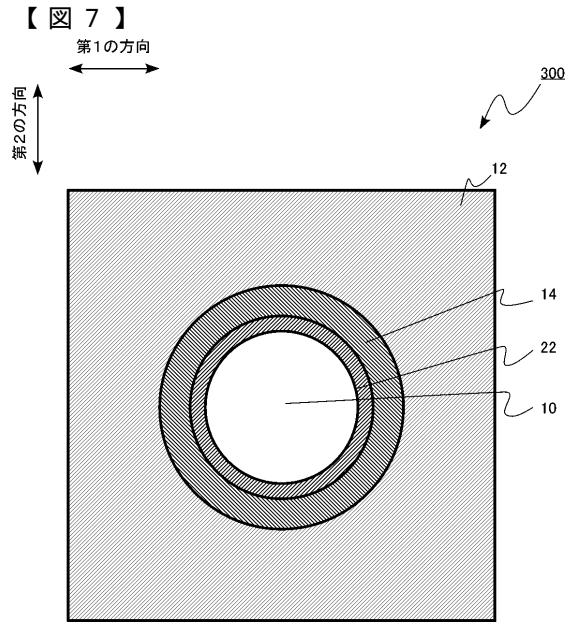
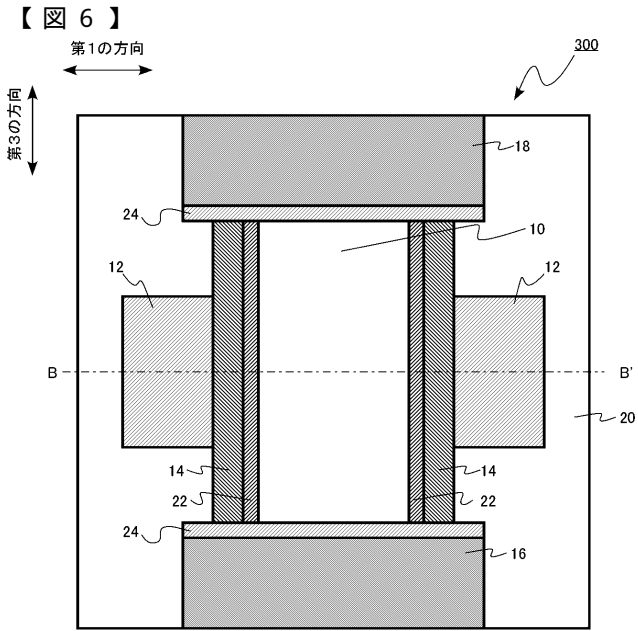
サンプルNo.	In (%)	Al (%)	Zn (%)	移動度(cm ² /Vs)	耐熱性
1	19.7	63.0	17.3	N/A	N/A
2	39.6	39.9	20.5	0.172	Good
3	35.2	38.4	26.4	0.0886	Good
4	42.6	25.0	32.4	1.73	No Good
5	49.0	23.4	27.6	2.04	No Good
6	39.3	14.7	46.0	5.43	Good
7	48.1	14.3	37.6	7.27	Good
8	56.7	13.0	30.3	11.5	Good
9	68.2	11.7	20.1	12.1	Good
10	54.0	7.5	38.5	N/A	N/A

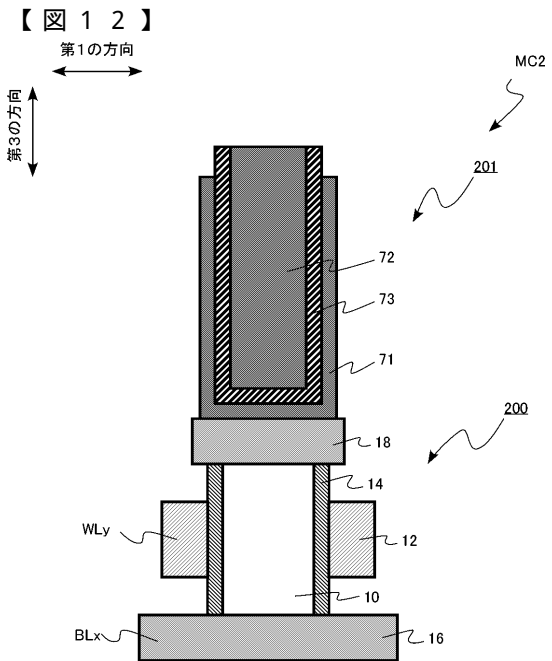
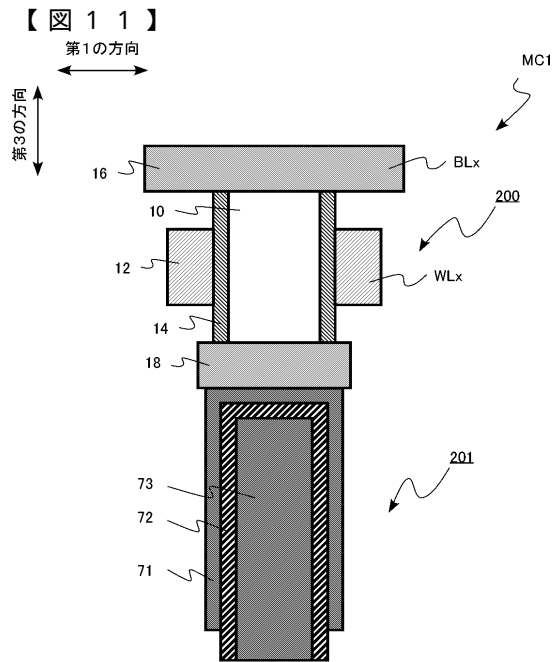
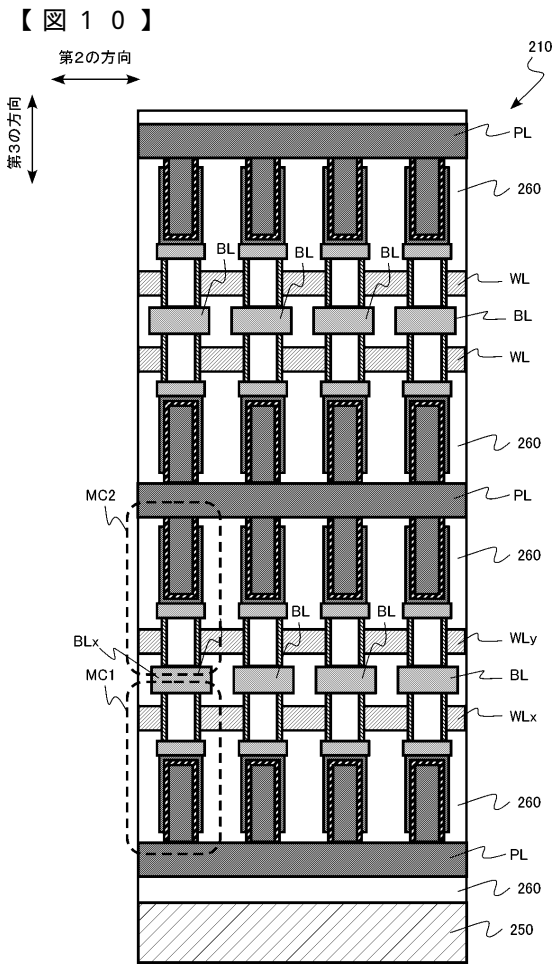
【 図 4 】



【 図 5 】







フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H 0 1 L 29/49 (2006.01)		H 0 1 L	27/108	6 7 1 A
H 0 1 L 21/28 (2006.01)		H 0 1 L	29/50	M
		H 0 1 L	29/58	G
		H 0 1 L	21/28	3 0 1 B
		H 0 1 L	27/108	6 7 1 C

(72)発明者 池田 圭司

東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内

Fターム(参考) 4M104 AA03 AA08 BB18 BB30 BB36 CC01 CC05 DD79 EE03 EE12
 FF04 FF13 FF26 GG09 GG16 HH15 HH20
 5F083 AD06 AD24 GA02 GA10 GA30 HA02 HA06 JA02 JA05 JA12
 JA39 JA40 JA42 JA44 LA01 LA02 LA03 LA04 LA05 LA10
 PR33 ZA20
 5F110 AA30 BB06 BB08 BB11 CC01 CC09 CC10 EE04 EE24 EE30
 FF01 FF02 FF09 GG01 GG23 GG25 GG28 GG44 GG58 HK04
 HK07 HK21 NN72