

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4051570号  
(P4051570)

(45) 発行日 平成20年2月27日(2008.2.27)

(24) 登録日 平成19年12月14日(2007.12.14)

(51) Int. Cl. F I  
 HO 1 L 25/065 (2006.01) HO 1 L 25/08 Z  
 HO 1 L 25/07 (2006.01)  
 HO 1 L 25/18 (2006.01)

請求項の数 4 (全 15 頁)

<p>(21) 出願番号 特願2004-156268 (P2004-156268)</p> <p>(22) 出願日 平成16年5月26日(2004.5.26)</p> <p>(65) 公開番号 特開2005-340448 (P2005-340448A)</p> <p>(43) 公開日 平成17年12月8日(2005.12.8)</p> <p>審査請求日 平成17年1月26日(2005.1.26)</p> <p>前置審査</p>	<p>(73) 特許権者 000002369                  セイコーエプソン株式会社                  東京都新宿区西新宿2丁目4番1号</p> <p>(74) 代理人 100090387                  弁理士 布施 行夫</p> <p>(74) 代理人 100090398                  弁理士 大淵 美千栄</p> <p>(74) 代理人 100101649                  弁理士 伊奈 達也</p> <p>(72) 発明者 青▲柳▼ 哲理                  長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内</p> <p>審査官 今井 淳一</p>
---	--

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

(a) 第1の配線パターンが形成された第1のインターポーザに、前記第1の配線パターンと電気的に接続するように第1の半導体チップを搭載することによって、第1のパッケージを形成すること、

(b) 第2の配線パターンが形成された第2のインターポーザに、前記第2の配線パターンと電気的に接続するように第2の半導体チップを搭載することによって、第2のパッケージを形成すること、

(c) 前記第2のパッケージを、前記第2のインターポーザが前記第1の半導体チップ及び前記第1のインターポーザの上方にオーバーラップするように配置すること、

(d) 前記第1及び第2のインターポーザの間において、第1及び第2の材料を設けること、

(e) 前記第1及び第2の材料を加熱すること、

を含み、

前記第1の材料はろう材であり、前記第2の材料はフラックスを含む樹脂であり、

前記(b)工程は、前記第2の半導体チップを封止するように前記第2のインターポーザに封止部を設けることをさらに含み、

前記第1のインターポーザは、前記封止部よりも熱膨張率が大きく、

前記(e)工程で、前記第1の材料を溶融して、前記第1及び第2の配線パターンを電気的に接続する第1及び第2の端部を有するコンタクト部を形成すると同時に、前記第2

の材料を溶融して、前記コンタクト部の一部を露出させるように、かつ、前記コンタクト部の前記第 1 の配線パターンに接続する前記第 1 の端部の周囲を被覆する補強部を形成する半導体装置の製造方法。

【請求項 2】

請求項 1 記載の半導体装置の製造方法において、  
前記 (d) 工程で、  
前記第 1 の材料を前記第 2 のインターポーザに設け、  
前記第 2 の材料を前記第 1 のインターポーザに設ける半導体装置の製造方法。

【請求項 3】

請求項 1 記載の半導体装置の製造方法において、  
前記 (d) 工程で、  
前記第 2 の材料を前記第 1 及び第 2 のインターポーザのそれぞれに設け、  
前記第 1 の材料を前記第 1 又は第 2 のインターポーザにおける前記第 2 の材料上に設け、  
前記 (e) 工程で、  
前記第 2 の材料のうち前記第 1 のインターポーザに設けられた部分から、前記補強部を第 1 の補強部として形成し、  
前記第 2 の材料のうち前記第 2 のインターポーザに設けられた部分から、前記コンタクト部の一部を露出させ、かつ、前記コンタクト部の前記第 2 の端部の周囲を被覆する第 2 の補強部を形成する半導体装置の製造方法。

【請求項 4】

(a) 第 1 の配線パターンが形成された第 1 のインターポーザに、前記第 1 の配線パターンと電氣的に接続するように第 1 の半導体チップを搭載することによって、第 1 のパッケージを形成すること、

(b) 第 2 の配線パターンが形成された第 2 のインターポーザに、前記第 2 の配線パターンと電氣的に接続するように第 2 の半導体チップを搭載することによって、第 2 のパッケージを形成すること、

(c) 前記第 2 のパッケージを、前記第 2 のインターポーザが前記第 1 の半導体チップ及び前記第 1 のインターポーザの上方にオーバーラップするように配置すること、

(d) 前記第 1 及び第 2 のインターポーザの間において、第 1 及び第 2 の材料を設けること、

(e) 前記第 1 及び第 2 の材料を加熱すること、  
を含み、

前記第 1 の材料はろう材であり、前記第 2 の材料はフラックスを含む樹脂であり、  
前記 (d) 工程で、  
前記第 2 の材料を前記第 1 及び第 2 のインターポーザのそれぞれに設け、  
前記第 1 の材料を前記第 1 又は第 2 のインターポーザにおける前記第 2 の材料上に設け

前記 (e) 工程で、  
前記第 1 の材料を溶融して、前記第 1 及び第 2 の配線パターンを電氣的に接続する第 1 及び第 2 の端部を有するコンタクト部を形成すると同時に、

前記第 2 の材料を溶融して、前記第 2 の材料のうち前記第 1 のインターポーザに設けられた部分から、前記コンタクト部の一部を露出させるように、かつ、前記コンタクト部の前記第 1 の配線パターンに接続する前記第 1 の端部の周囲を被覆する第 1 の補強部を形成し、前記第 2 の材料のうち前記第 2 のインターポーザに設けられた部分から、前記コンタクト部の一部を露出させ、かつ、前記コンタクト部の前記第 2 の端部の周囲を被覆する第 2 の補強部を形成する半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【背景技術】

【0002】

スタックタイプの半導体装置が開発されている。スタックタイプの半導体装置は、半導体チップを三次元的に実装するので、平面的に小型化が可能である。また、既存の半導体チップの組み合わせで対応することができるので、新たな集積回路の設計が不要になる。しかしながら、それぞれの半導体チップをインターポーザによって支持した場合、上下のインターポーザの接合強度が信頼性に影響を与えていた。また、上下のインターポーザの間に水分が残るとリフロー工程などの高温によって、この水分は水蒸気となって膨張し、上下のインターポーザの剥離を生じることがあった。

10

【0003】

本発明の目的は、複数の半導体チップのそれぞれをインターポーザによって支持した場合の、上下のインターポーザの接合強度を向上させることにある。

【特許文献1】特開平6-13541号公報

【発明の開示】

【課題を解決するための手段】

【0004】

(1) 本発明に係る半導体装置は、

第1の配線パターンが形成された第1のインターポーザと、前記第1のインターポーザに搭載されるとともに前記第1の配線パターンと電氣的に接続された第1の半導体チップと、を含む第1のパッケージと、

20

第2の配線パターンが形成された第2のインターポーザと、前記第2のインターポーザに搭載されるとともに前記第2の配線パターンと電氣的に接続された第2の半導体チップと、を含む第2のパッケージと、

前記第1及び第2の配線パターンを電氣的に接続するコンタクト部と、

補強部と、

を有し、

前記第1のパッケージは、前記第2のパッケージよりも熱膨張率が大きく、

前記第2のパッケージは、前記第2のインターポーザが前記第1の半導体チップ及び前記第1のインターポーザの上方にオーバーラップするように配置され、

30

前記コンタクト部は、前記第1の配線パターンに第1の端部が接続するとともに前記第2の配線パターンに第2の端部が接続するように、前記第1及び第2のインターポーザの間に設けられ、

前記補強部は、前記コンタクト部の一部を露出させ、かつ、前記コンタクト部の前記第1の端部の周囲を被覆して設けられてなる。本発明によれば、補強部は、コンタクト部の第1の配線パターンに接続される第1の端部を被覆している。第1の配線パターンが形成される第1のパッケージは、第2のパッケージよりも熱膨張率が大きく、加熱時の膨張又は冷却時の収縮の割合が大きい。そのため、コンタクト部は、第1の配線パターンに接続される第1の端部に、より大きな応力が加えられるが、本発明では補強部によって効果的にコンタクト部を補強することができる。さらに、補強部がコンタクト部の一部を露出しているため、第1及び第2のパッケージの間には、水蒸気などを逃がす空間が形成されている。これによれば、水蒸気などの残留による第1及び第2のパッケージの剥離を防止でき、第1及び第2のインターポーザの接合強度を向上させることができる。

40

(2) この半導体装置において、

前記第2の半導体チップを封止するように前記第2のインターポーザに設けられた封止部をさらに有し、

前記第1のインターポーザは、前記封止部よりも熱膨張率が大きくてもよい。

(3) この半導体装置において、

前記コンタクト部は、断面形状の最も大きい中間部を有し、

前記補強部は、前記コンタクト部の前記中間部を露出させるように設けられていてもよ

50

い。

(4) この半導体装置において、

前記補強部は、樹脂を含んでもよい。これによって、コンタクト部の周囲を接着補強することができる。

(5) この半導体装置において、

前記補強部は、フラックスを含んでもよい。これによって、例えばコンタクト部の材料であるろう材の濡れ性を高めて、コンタクト部と第1の配線パターンとの電気的接続を良好に行うことができる。

(6) この半導体装置において、

前記補強部は、ろう材を含んでもよい。これによって、コンタクト部と第1の配線パターンとの電気的接続を確実に達成することができる。

10

(7) この半導体装置において、

前記補強部は、第1の補強部であり、  
第2の補強部をさらに有し、

前記第2の補強部は、前記コンタクト部の一部を露出させ、かつ、前記コンタクト部の前記第2の端部の周囲を被覆して設けられていてもよい。これによれば、コンタクト部の一部を露出させつつ、コンタクト部の両側の端部を第1及び第2の補強部によって被覆するので、より効果的にコンタクト部を補強することができる。

(8) 本発明に係る回路基板には、上記半導体装置が実装されている。

(9) 本発明に係る電子機器は、上記半導体装置を有する。

20

(10) 本発明に係る半導体装置の製造方法は、

(a) 第1の配線パターンが形成された第1のインターポーザに、前記第1の配線パターンと電気的に接続するように第1の半導体チップを搭載することによって、第1のパッケージを形成すること、

(b) 第2の配線パターンが形成された第2のインターポーザに、前記第2の配線パターンと電気的に接続するように第2の半導体チップを搭載することによって、第2のパッケージを形成すること、

(c) 前記第2のパッケージを、前記第2のインターポーザが前記第1の半導体チップ及び前記第1のインターポーザの上方にオーバーラップするように配置すること、

(d) 前記第1及び第2のインターポーザの間において、第1の材料から前記第1及び第2の配線パターンを電気的に接続するコンタクト部を形成し、前記第2の材料から補強部を形成すること、

30

を含み、

前記第1のパッケージは、前記第2のパッケージよりも熱膨張率が大きく、

前記コンタクト部は、前記第1の配線パターンに第1の端部が接続するとともに前記第2の配線パターンに第2の端部が接続してなり、

前記(d)工程で、前記補強部を、前記コンタクト部の一部を露出させるように、かつ、前記コンタクト部の前記第1の端部の周囲を被覆するように形成する。本発明によれば、補強部を、コンタクト部の第1の配線パターンに接続される第1の端部を被覆するように形成する。第1の配線パターンが形成される第1のパッケージは、第2のパッケージよりも熱膨張率が大きく、加熱時の膨張又は冷却時の収縮の割合が大きい。そのため、コンタクト部は、第1の配線パターンに接続される第1の端部に、より大きな応力が加えられるが、本発明では補強部によって効果的にコンタクト部を補強することができる。さらに、補強部がコンタクト部の一部を露出しているため、第1及び第2のパッケージの間には、水蒸気などを逃がす空間が形成されている。これによれば、水蒸気などの残留による第1及び第2のパッケージの剥離を防止でき、第1及び第2のインターポーザの接合強度を向上させることができる。

40

(11) この半導体装置の製造方法において、

前記(b)工程は、前記第2の半導体チップを封止するように前記第2のインターポーザに封止部を設けることをさらに含み、

50

前記第1のインターポーザは、前記封止部よりも熱膨張率が大きくてもよい。

(12) この半導体装置の製造方法において、

前記(d)工程前に、

前記第1の材料を前記第2のインターポーザに設け、

前記第2の材料を前記第1のインターポーザに設けてもよい。

(13) この半導体装置の製造方法において、

前記(d)工程前に、

前記第2の材料を前記第1及び第2のインターポーザのそれぞれに設け、

前記第1の材料を前記第1又は第2のインターポーザにおける前記第2の材料上に設け

10

、  
前記(d)工程で、

前記第2の材料のうち前記第1のインターポーザに設けられた部分から、前記補強部を第1の補強部として形成し、

前記第2の材料のうち前記第2のインターポーザに設けられた部分から、前記コンタクト部の一部を露出させ、かつ、前記コンタクト部の前記第2の端部の周囲を被覆する第2の補強部を形成してもよい。これによれば、コンタクト部の一部を露出させつつ、コンタクト部の両側の端部を第1及び第2の補強部によって被覆するので、より効果的にコンタクト部を補強することができる。

【発明を実施するための最良の形態】

【0005】

20

以下、本発明の実施の形態について図面を参照して説明する。

【0006】

(第1の実施の形態)

図1は、本発明の第1の実施の形態に係る半導体装置を説明する平面図である。図2は、図1に示す半導体装置のII-II線断面図である。図3は、図2の部分拡大図である。

【0007】

半導体装置は、第1のパッケージ10を有する。第1のパッケージ10は、第1のインターポーザ12を有する。第1のインターポーザ12は、基板であって、プレートであってもよい。第1のインターポーザ12は矩形をなしていてもよい。第1のインターポーザ12は、ポリイミド樹脂などの樹脂で形成されていてもよいし、樹脂などの有機材料及び無機材料の混合材料で形成されてもよいし、金属基板やセラミック基板であってもよい。第1のインターポーザ12には、第1の配線パターン14が形成されている。第1の配線パターン14は、複数点を電氣的に接続する配線と、他の部品との電氣的な接続部となるランドを有していてもよい。第1の配線パターン14は、その一部(例えばランドの中央部)を避けて、絶縁層15によって覆われていてもよい。第1の配線パターン14は、第1のインターポーザ12の少なくとも一方の面に形成されている。第1の配線パターン14は、図示しないスルーホールを通して電氣的に接続されるように、第1のインターポーザ12の両面に形成してもよい。第1のインターポーザ12は、多層基板やビルドアップ型基板であってもよい。

30

【0008】

40

第1のパッケージ10は、第1の半導体チップ16を有する。第1の半導体チップ16には、集積回路18が形成されている。第1の半導体チップ16は、第1のインターポーザ12に搭載されている。第1の半導体チップ16は、接着剤20を介して、第1のインターポーザ12に接着されている。接着剤20は、樹脂であってもよい。接着剤20は、エネルギー硬化性(熱硬化性又は紫外線硬化性など)であってもよい。接着剤20は、電氣的に絶縁性であってもよい。

【0009】

第1の半導体チップ16は、第1の配線パターン14に電氣的に接続されている。図2に示すように、第1の半導体チップ16は、第1のインターポーザ12にフェースダウンボンディングされていてもよい。その場合、第1の半導体チップ16の電極となるバンブ

50

22と第1の配線パターン14とを対向させて、両者を電氣的に接続してもよい。接着剤20が異方性導電材料(異方性導電膜又は異方性導電ペースト等)であれば、導電粒子によって電氣的な接続を図ることができる。接着剤20が絶縁性接着剤であれば、その収縮力を利用して bumps 22と第1の配線パターン14とを圧接させてもよい。あるいは、 bumps 22と第1の配線パターン14とは金属接合されていてもよい。変形例として、第1の半導体チップ16を第1のインターポーザ12にフェースアップボンディングして、電氣的接続にワイヤを使用してもよい。

**【0010】**

半導体装置は、第2のパッケージ30を有する。第2のパッケージ30は、第2のインターポーザ32を有する。第2のインターポーザ32には、第1のインターポーザ12 10 についての説明が該当する。さらに、第2のインターポーザ32は、第1のインターポーザ12と同じ材料で形成してもよいし、同じ厚みで形成してもよいし、同じ熱膨張率を有していてもよい。あるいは、第2のインターポーザ32は、第1のインターポーザ12と異なる材料で形成してもよいし、異なる厚みで形成してもよい。第2のインターポーザ32は、第1のインターポーザ12よりも熱膨張率が小さくてもよい。なお、熱膨張率は、加熱時の膨張率であるとともに、冷却時の収縮率でもある。第2のインターポーザ32には、第2の配線パターン34が形成されている。第2の配線パターン34には、第1の配線パターン14についての説明が該当する。第2の配線パターン34は、その一部(例えばランドの中央部)を避けて、絶縁層35によって覆われていてもよい。

**【0011】**

第2のパッケージ30は、第2の半導体チップ36を有する。第2の半導体チップ36 20 には、集積回路38が形成されている。第2の半導体チップ36は、第2のインターポーザ32に搭載され、第2の配線パターン34に電氣的に接続されている。第2の半導体チップ36は、図示しない接着剤によって第2のインターポーザ32に接着されていてもよい。図2に示すように、第2の半導体チップ36を第2のインターポーザ32にフェースアップボンディングしてもよい。その場合、第2の半導体チップ36のパッド40及び第2の配線パターン34にワイヤ42をボンディングしてもよい。変形例として、第2の半導体チップ36を、第2のインターポーザ32にフェースダウンボンディングしてもよい。その電氣的接続には、第1の半導体チップ16についての内容を適用することができる。

**【0012】**

第2のパッケージ30は、封止部44を有してもよい。封止部44は、第2の半導体チップ36を封止しており、電氣的接続部(例えばワイヤ42)を封止していてもよい。封止部44は、第2のインターポーザ32に設けられている。封止部44は、後述する複数のコンタクト部とオーバーラップするように形成されてもよい。封止部44は、樹脂(例えばモールド樹脂)で形成してもよい。封止部44は、第1のインターポーザ12よりも熱膨張率が小さい。封止部44は、第2のインターポーザ32よりも熱膨張率が小さい。熱膨張率を小さくするために、封止部44はシリカを含有していてもよい。第1及び第2のインターポーザ12, 32の熱膨張率が、仮にそれぞれ単体としては同じであっても、封止部44が設けられることで、第2のインターポーザ32(あるいは第2のパッケージ 30)の熱膨張率が、第1のインターポーザ12(あるいは第1のパッケージ10)よりも小さくなっている。

**【0013】**

第2のパッケージ30は、第1のパッケージ10にオーバーラップするように配置されている。詳しくは、第2のインターポーザ32が第1の半導体チップ16及び第1のインターポーザ12の上方にオーバーラップしている。第2のインターポーザ32は、第1の半導体チップ36の全体の上方にオーバーラップしている。第1のパッケージ10上に、1つの第2のパッケージ30が配置されていてもよい。

**【0014】**

第1のパッケージ10(第1のインターポーザ12)の、第1の半導体チップ16が搭

10

20

30

40

50

載された側に、第2のパッケージ30(第2のインターポーザ32)が積み重ねられている。第2のパッケージ30(第2のインターポーザ32)の第2の半導体チップ36が搭載された側を、第1のパッケージ10(第1のインターポーザ12)の第1の半導体チップ16とは反対側に配置してもよい。

【0015】

第1及び第2のパッケージ10,30(第1及び第2のインターポーザ12,32)の間には、複数のコンタクト部46が設けられている。コンタクト部46は、第1及び第2の配線パターン14,34を電氣的に接続する。例えば、第1の配線パターン14の一部(例えばランド)と、第2の配線パターン34の一部(例えばランド)が相互に対向しており、この対向する部分間にコンタクト部46を設けてもよい。コンタクト部46は、第1の配線パターン14に第1の端部47が接続し、第2の配線パターン34に第2の端部48が接続している。コンタクト部46は、軟ろう(soft solder)又は硬ろう(hard solder)のいずれで形成してもよい。軟ろうとして、鉛を含まないハンダ(以下、鉛フリーハンダという。)を使用してもよい。鉛フリーハンダとして、スズ-銀(Sn-Ag)系、スズ-ビスマス(Sn-Bi)系、スズ-亜鉛(Sn-Zn)系、あるいはスズ-銅(Sn-Cu)系の合金を使用してもよいし、これらの合金に、さらに銀、ビスマス、亜鉛、銅のうち少なくとも1つを添加してもよい。コンタクト部46は、断面形状の最も大きい中間部49を有する。コンタクト部46の第1の端部47又は第2の端部48は、コンタクト部46の中間部49よりも断面形状が小さくなっている。コンタクト部46は、ほぼ球体の一部をなしていてもよい。

【0016】

第1及び第2のインターポーザ12,32の間には、補強部50が設けられている。補強部50は、それぞれのコンタクト部46の一部を露出させ、かつ、それぞれのコンタクト部46の第1の端部47を被覆して設けられている。コンタクト部46のうち補強部50からの露出部は、コンタクト部46の第2の端部48(のみ)であってもよいし、コンタクト部46の中間部49から第2の端部48に連続する部分(片側半分以上)であってもよい。補強部50は、第2のインターポーザ32を避けて(第2のインターポーザ32と非接触にして)設けられている。補強部50は、第1の端部47の全周を被覆してもよい。詳しくは、補強部50は、コンタクト部46と第1の配線パターン14との接触界面の端部の全周を被覆してもよい。補強部50は、第1の配線パターン14のランドの端部に載せられた絶縁層15上に広がっていてもよい。

【0017】

補強部50は、それぞれのコンタクト部46ごとに、隣同士が非接触になるように設けられていてもよい。補強部50は、隣同士のコンタクト部46の間を避けていてもよい。隣同士のコンタクト部46の間の領域から第1のインターポーザ12が露出しているもよい。あるいは、補強部50は、複数のコンタクト部46の複数の第1の端部47を一括して被覆するように設けられていてもよい。

【0018】

本実施の形態では、補強部50は、樹脂(例えば熱硬化性樹脂)を含む。補強部50は、接着剤であってもよい。これによって、コンタクト部46の周囲を接着補強することができる。補強部50は、フラックスをさらに含んでもよい。これによって、コンタクト部46の材料であるろう材の濡れ性を高めて、コンタクト部46と第1の配線パターン14との電氣的接続を良好に行うことができる。補強部50は、ろう材をさらに含んでもよい。ろう材は、コンタクト部46の材料と同一であってもよいし、異なってもよい。これによって、コンタクト部46と第1の配線パターン14との電氣的接続を確実に達成することができる。補強部50として、アンダーフィルフラックス又はアンダーフィルペーストと呼ばれるものを使用してもよい。補強部50は、樹脂、フラックス及びろう材の全部が混合していてもよい。あるいは、補強部50は、樹脂及びフラックス、あるいは樹脂及びろう材の組み合わせが混合していてもよい。なお、補強部50がろう材(導電材料)を含んでも、ろう材は第1の配線パターン14に留まるので、隣同士のコン

10

20

30

40

50

タクト部 46 の電氣的ショートは回避することができる。

【0019】

半導体装置は、複数の外部端子（例えばハンダボール）52 を有していてもよい。外部端子 52 は、第 1 のインターポーザ 12 の、第 1 の半導体チップ 16 が搭載された面とは反対側に設けられる。外部端子 52 は、第 1 の配線パターン 14 の一部となるランド上に設けてもよい。外部端子 52 は、軟ろう（soft solder）又は硬ろう（hard solder）のいずれで形成してもよい。軟ろうとして、上述した鉛フリーハンダを使用してもよい。

【0020】

本実施の形態によれば、補強部 50 は、コンタクト部 46 の第 1 の配線パターン 14 に接続される第 1 の端部 47 を被覆している。第 1 の配線パターン 14 が形成される第 1 のパッケージ 10 は、第 2 のパッケージ 30 よりも熱膨張率が大きく、加熱時の膨張又は冷却時の収縮の割合が大きい。そのため、コンタクト部 46 は、第 1 の配線パターン 14 に接続される第 1 の端部 47 に、より大きな応力が加えられるが、本実施の形態では補強部 50 によって効果的にコンタクト部 46 を補強することができる。さらに、補強部 50 がコンタクト部 46 の一部を露出しているため、第 1 及び第 2 のパッケージ 10, 30 の間には、水蒸気などを逃がす空間が形成されている。これによれば、水蒸気などの残留による第 1 及び第 2 のパッケージ 10, 30 の剥離を防止でき、第 1 及び第 2 のインターポーザ 12, 32 の接合強度を向上させることができる。また、コンタクト部 46 は、補強部 50 によって密閉されていないため、再熔融時（例えば外部端子 52 のリフロー時）に体積が膨張して密閉空間が破壊されることがなく、このことから第 1 及び第 2 のインターポーザ 12, 32 の接合強度を向上させることができる。

【0021】

図 4 は、本発明に係る半導体装置の製造方法の一部を説明する図であり、詳しくは第 1 のパッケージの組み立てを説明する図である。図 5 は、図 4 の V-V 線断面の一部拡大図である。本実施の形態では、第 1 のインターポーザ 60 を使用する。第 1 のインターポーザ 60 は、後の工程で切断されて、複数の第 1 のインターポーザ 12（図 1 参照）を提供するものである。すなわち、第 1 のインターポーザ 60 は、複数の第 1 のインターポーザ 12 となる領域を含む。第 1 のインターポーザ 60 には、複数の第 1 の配線パターン 14 が形成されている。変形例として、個々の第 1 のパッケージの一部となる第 1 のインターポーザ 12 を組み立て工程で使用してもよい。

【0022】

第 1 のインターポーザ 12 には、第 1 の半導体チップ 16 を搭載する。本実施の形態では、第 1 のインターポーザ 60 の、複数の第 1 のインターポーザ 12 となる領域のそれぞれに第 1 の半導体チップ 16 を搭載する。第 1 の半導体チップ 16 は、接着剤 20 によって第 1 のインターポーザ 12 に接着する。また、第 1 の配線パターン 14 と第 1 の半導体チップ 16 を電氣的に接続する。本実施の形態では、第 1 のインターポーザ 60 の、複数の第 1 の配線パターン 14 のそれぞれと、第 1 の半導体チップ 16 を電氣的に接続する。第 1 のパッケージ 10 の組み立ては、上述した第 1 のパッケージ 10 の説明から導き出すことができるプロセスを含む。さらに、第 1 のパッケージ 10 について、第 1 の半導体チップ 16 の特性検査を行って、良品・不良品の判断をする。不良品と判断された第 1 のパッケージ 10 には、後の工程で、第 2 のパッケージ 30 を積み重ねない。

【0023】

図 6 及び図 7 は、本発明に係る半導体装置の製造方法の一部を説明する図であり、詳しくは第 2 のパッケージの組み立てを説明する図である。本実施の形態では、図 6 に示すように、第 2 の配線パターン 34 が形成された第 2 のインターポーザ 32 に第 2 の半導体チップ 36 を搭載する。第 2 の半導体チップ 36 は、図示しない接着剤によって第 2 のインターポーザ 32 に接着してもよい。また、第 2 の配線パターン 34 と第 2 の半導体チップ 36 を電氣的に接続する。これらのプロセスの詳細は、上述した第 2 のパッケージ 30 の説明から導き出すことができる。変形例として、複数の第 2 のインターポーザ 32 となる領域を含む第 2 のインターポーザを使用してもよい。その詳細は、第 1 のインターポーザ



60 についての内容が該当する。

【0024】

そして、図7に示すように、第2の半導体チップ36を封止するように第2のインターポータ32に封止部44を設ける。封止部44は、トランスファーマールドによって形成してもよい。このプロセスの詳細は、上述した第2のパッケージ30の説明から導き出すことができる。さらに、第2のパッケージ30について、第2の半導体チップ36の特性検査を行って、良品・不良品の判断をする。特性検査は、封止部44の形成後に行ってもよいが、その形成前に行って、不良品と判断された第2の半導体チップ36には封止部44を設けないことにしてもよい。

【0025】

図8～図10は、本発明に係る半導体装置の製造方法を説明する図である。本実施の形態では、第1のパッケージ10の上方に、第2のパッケージ30を配置する。なお、第2のインターポータ32を、第1のインターポータ12の第1の半導体チップ16が搭載された側に積み重ねる。第2のパッケージ30を、第2のインターポータ32が第1の半導体チップ16及び第1のインターポータ12の上方にオーバーラップするように配置する。詳しくは、上述した第1及び第2のパッケージ10、30の配置に関する説明から導き出すことができる。

【0026】

第1及び第2のパッケージ10、30（第1及び第2のインターポータ12、32）を積み重ねる前に、コンタクト部46を形成するための第1の材料62と、補強部50を形成するための第2の材料64を、第1及び第2のインターポータ12、32の間（例えば第1及び第2のインターポータ12、32の少なくともいずれか一方）に設ける。第1の材料62は第2のインターポータ32側に設け、第2の材料64は第1のインターポータ12側に設ける。第1の材料62は、ボール状（固形状）をなしていてもよい。第1の材料62は、軟ろう（soft solder）又は硬ろう（hard solder）であってもよい。軟ろうとして、上述した鉛フリーハンダを使用してもよい。第1の材料62は、いわゆるハンダボールであってもよい。第2の材料64は、ペースト状をなしていてもよい。第2の材料64は、樹脂ペーストであってもよく、フラックス及びハンダの少なくとも一方をさらにも含むとよく、詳しくは上述の補強部50の説明から導き出すことができる。第2の材料64は、第1の材料62に対向する位置に設けてもよい。なお、第2の材料64の一部も第1の材料62と一体化して、コンタクト部46となってもよい。

【0027】

第1の材料62を第2のインターポータ32に設けてもよい。詳しくは、第1の材料62を第2の配線パターン34に設ける。第2の配線パターン34の例えば複数のランドのそれぞれに、第1の材料62を載せてもよい。第2の材料64は、第1の材料62に対向するように、第1のインターポータ12に設けてもよい。第2の材料64は、第1の配線パターン14の例えば複数のランドのそれぞれに設けてもよいし、複数のランドの2以上を一括して含む範囲に設けてもよい。第2の材料64を設ける方法は、印刷方式（例えばスクリーン印刷）、ピンなどによる転写方式、ディスペンサによる塗布方式、又は液滴吐出方式（例えばインクジェット方式）などのいずれを適用してもよい。

【0028】

変形例として、第1の材料62に第2の材料64をあらかじめ付着させておき、それらを、第1及び第2のインターポータ12、32のいずれか一方（例えば第1のインターポータ12）に設けてもよい。

【0029】

複数の第1のインターポータ12となる領域を有する第1のインターポータ60を使用し、それぞれの第1のインターポータ12となる領域に、第2のパッケージ30を積み重ねてもよい。なお、不良品と判断された第1のパッケージ10には、第2のパッケージ30を積み重ねない。こうすることで、第2のパッケージ30（第2の半導体チップ36）が無駄になるのを避けることができる。

10

20

30

40

50

## 【0030】

図9に示すように、加熱工程（例えばリフロー工程）を行い、第1及び第2の材料62、64を溶融して、第1の材料62からコンタクト部46を形成し、第2の材料64から補強部50を形成する。コンタクト部46によって、第1及び第2のパッケージ10、30を電氣的に接続する。詳しくは、コンタクト部46によって、第1及び第2のインターポーザ12、32の間で、第1及び第2の配線パターン14、34を電氣的に接続することができる。また、補強部50をコンタクト部46の第1の端部47を被覆するように設けることができる。補強部50は、コンタクト部46の一部を露出している。第1及び第2のインターポーザ12、32の間には隙間が形成されている。

## 【0031】

その後、図10に示すように、第1のインターポーザ12の、第1の半導体チップ16が搭載された面とは反対側に、複数の外部端子52を設けてもよい。外部端子52は、第1の材料62と同様にボール状をなし、第1の材料62と同様の材料を含んでいてもよい。なお、上述した第1のインターポーザ60を使用した場合、これを複数の第1のインターポーザ12に切断する。

## 【0032】

本実施の形態では、以上の工程を経て、半導体装置を製造することができる。このプロセスは、半導体装置の構造についての説明から導き出すことができる内容を含む。

## 【0033】

（第2の実施の形態）

図11は、本発明の第2の実施の形態に係る半導体装置を説明する断面図である。本実施の形態では、半導体装置は第1及び第2の補強部70、72を有する。

## 【0034】

第1及び第2の補強部70、72は、第1及び第2のインターポーザ12、32の間に設けられている。第1及び第2の補強部70、72は、それぞれ、コンタクト部46の一部を露出して設けられている。コンタクト部46の露出部の説明は上述した通りである。

## 【0035】

第1の補強部70は、コンタクト部46の第1の配線パターン14に接続される第1の端部を被覆している。第1の補強部70の詳細は、上述の補強部50の内容についての説明が該当する。

## 【0036】

第2の補強部72は、コンタクト部46の第2の配線パターン34に接続される第2の端部を被覆している。第2の補強部72は、第1のインターポーザ12を避けて（第1のインターポーザ12と非接触にして）設けられている。第2の補強部72は、第2の配線パターン34に接続される第2の端部の全周を被覆してもよい。詳しくは、第2の補強部72は、コンタクト部46と第2の配線パターン34との接触界面の端部の全周を被覆してもよい。第2の補強部72は、第2の配線パターン34のランドの端部に載せられた絶縁層上に広がっていてもよい。

## 【0037】

第2の補強部72は、それぞれのコンタクト部46ごとに、隣同士が非接触になるように設けられていてもよい。第2の補強部72は、隣同士のコンタクト部46の間を避けていてもよい。隣同士のコンタクト部46の間の領域から第2のインターポーザ32が露出しているもよい。あるいは、第2の補強部72は、複数のコンタクト部46の複数の第2の端部を一括して被覆するように設けられていてもよい。

## 【0038】

第2の補強部72の材料は、上述の補強部50の内容についての説明が該当する。さらに、第2の補強部72は、第1の補強部70と同じ材料であってもよいし、異なる材料であってもよい。なお、この構造のその他の詳細は、上述した第1の実施の形態の内容から導き出すことができる内容を含む。

## 【0039】

本実施の形態によれば、コンタクト部 46 の一部を露出させつつ、コンタクト部 46 の両側の端部を第 1 及び第 2 の補強部 70, 72 によって被覆するので、上述の実施の形態で説明した効果に加えて、より効果的にコンタクト部 46 を補強することができる。

【0040】

図 12 ~ 図 14 は、本実施の形態に係る半導体装置の製造方法を説明する図である。第 1 及び第 2 のパッケージ 10, 30 (第 1 及び第 2 のインターポーザ 12, 32) を積み重ねる前に、コンタクト部 46 形成するための第 1 の材料 62 と、第 1 及び第 2 の補強部 70, 72 を形成するための第 2 の材料 66 を、第 1 及び第 2 のインターポーザ 12, 32 の間 (例えば第 1 及び第 2 のインターポーザ 12, 32 の少なくともいずれか一方) に設ける。第 2 の材料 66 は、第 1 及び第 2 のインターポーザ 12, 32 (第 1 及び第 2 の配線パターン 14, 34) のそれぞれに接触するように設ける。第 1 の材料 62 は、第 1 又は第 2 のインターポーザ 12, 32 における第 2 の材料 64 に接触するように設ける。第 2 の材料 66 は、第 1 のインターポーザ 12 から非接触にしてもよい。第 2 の材料 66 は、第 2 のインターポーザ 32 から非接触にしてもよい。第 1 の材料 62 の内容は上述した通りである。第 2 の材料 66 の内容は、上述の第 2 の材料 64 の内容についての説明が該当する。

10

【0041】

第 2 の材料 66 を第 2 のインターポーザ 32 に設けて、第 1 の材料 62 を第 2 のインターポーザ 32 における第 2 の材料 66 上に設けてもよい。その場合、第 1 のインターポーザ 12 には、第 2 の材料 66 を設けておく (図 8 参照)。その後、第 1 のインターポーザ 12 となる領域に第 2 のパッケージ 30 を積み重ねて、加熱工程 (例えばリフロー工程) を行い、第 1 及び第 2 の材料 62, 66 を溶融させる。あるいは、第 2 のインターポーザ 32 の加熱工程を行い、第 1 及び第 2 の材料 62, 66 を溶融させた後に、第 1 及び第 2 のインターポーザ 12, 32 を積み重ねて、再び加熱工程を行ってもよい。こうして、第 1 の材料 62 からコンタクト部 46 を形成し、第 2 の材料 66 から第 1 及び第 2 の補強部 70, 72 を形成する。

20

【0042】

変形例として、第 1 の材料 62 (の全表面) に第 2 の材料 66 をあらかじめ付着させておき、それらを、第 1 及び第 2 のインターポーザ 12, 32 のいずれか一方 (例えば第 2 のインターポーザ 32) に設けてもよい。

30

【0043】

このプロセスのその他の詳細は、上述の半導体装置の構造についての説明から導き出すことができる内容を含む。

【0044】

図 15 には、上述した実施の形態で説明した半導体装置 1 が実装された回路基板 1000 が示されている。この半導体装置を有する電子機器として、図 16 にはノート型パーソナルコンピュータ 3000 が示され、図 17 には携帯電話 3000 が示されている。

【0045】

本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成 (例えば、機能、方法及び結果が同一の構成、あるいは目的及び結果が同一の構成) を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

40

【図面の簡単な説明】

【0046】

【図 1】図 1 は、本発明の第 1 の実施の形態に係る半導体装置を説明する平面図である。

【図 2】図 2 は、図 1 に示す半導体装置の II - II 線断面図である。

【図 3】図 3 は、図 2 の部分拡大図である。

50

【図 4】図 4 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 5】図 5 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 6】図 6 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 7】図 7 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 8】図 8 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

10

【図 9】図 9 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 10】図 10 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 11】図 11 は、本発明の第 2 の実施の形態に係る半導体装置を説明する図である。

【図 12】図 12 は、本発明の第 2 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 13】図 13 は、本発明の第 2 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 14】図 14 は、本発明の第 2 の実施の形態に係る半導体装置の製造方法を説明する図である。

20

【図 15】図 15 は、本実施の形態に係る半導体装置が実装された回路基板を示す図である。

【図 16】図 16 は、本実施の形態に係る半導体装置を有する電子機器を示す図である。

【図 17】図 17 は、本実施の形態に係る半導体装置を有する電子機器を示す図である。

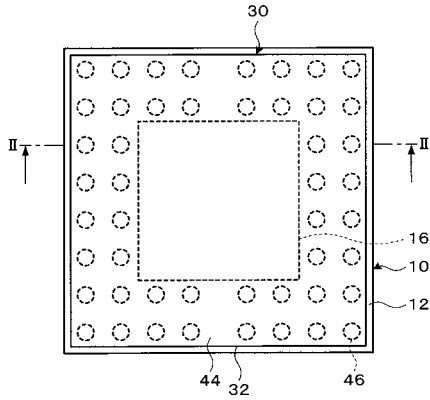
【符号の説明】

【0047】

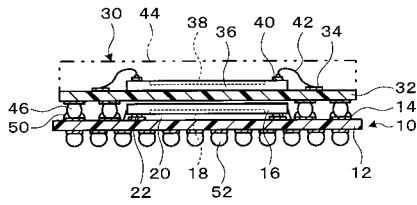
10 ... 第 1 のパッケージ    12 ... 第 1 のインターポーザ    14 ... 第 1 の配線パターン  
 16 ... 第 1 の半導体チップ    30 ... 第 2 のパッケージ    32 ... 第 2 のインターポーザ  
 34 ... 第 2 の配線パターン    36 ... 第 2 の半導体チップ    44 ... 封止部  
 46 ... コンタクト部    47 ... 第 1 の端部    48 ... 第 2 の端部    49 ... 中間部  
 50 ... 補強部    52 ... 外部端子    60 ... 第 1 のインターポーザ    62 ... 第 1 の材料  
 64 ... 第 2 の材料    66 ... 第 2 の材料    70 ... 第 1 の補強部    72 ... 第 2 の補強部

30

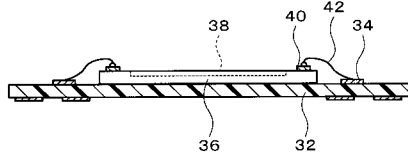
【図1】



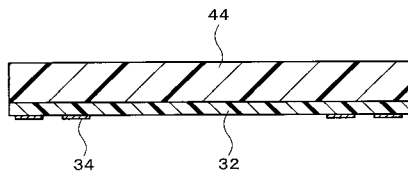
【図2】



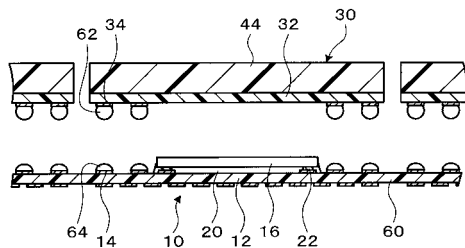
【図6】



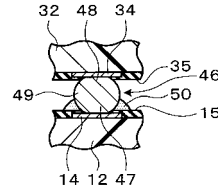
【図7】



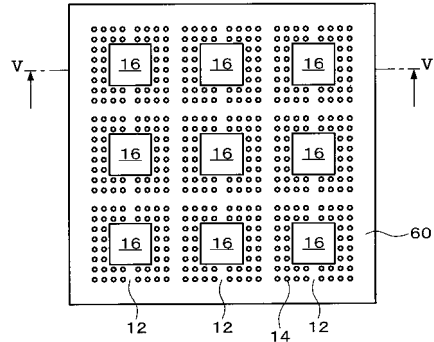
【図8】



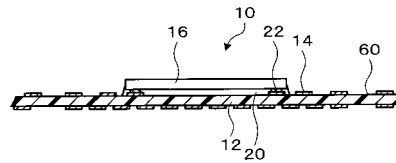
【図3】



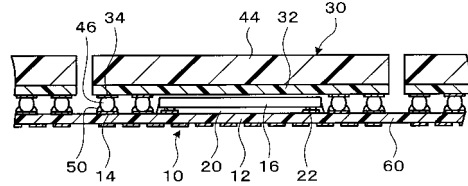
【図4】



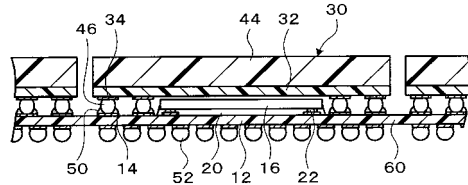
【図5】



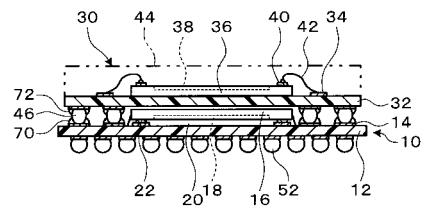
【図9】



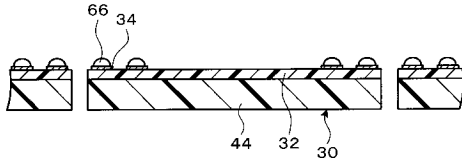
【図10】



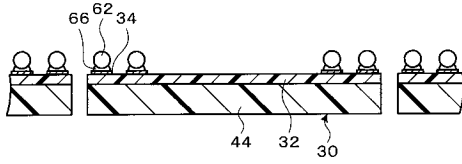
【図11】



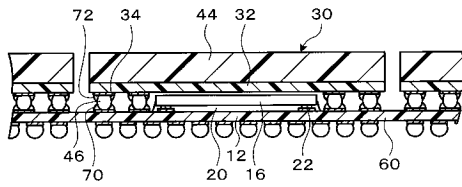
【図12】



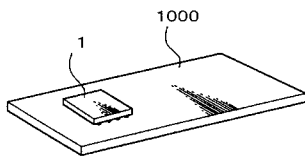
【図13】



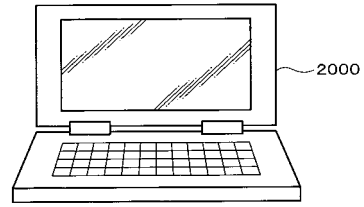
【図14】



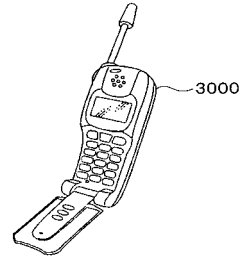
【図15】



【図16】



【図17】



---

フロントページの続き

- (56)参考文献 特開平11-008474(JP,A)  
特開2003-318361(JP,A)  
特開2002-076265(JP,A)  
特開2001-223297(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/07  
H01L 25/065  
H01L 25/18