



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I446537 B

(45)公告日：中華民國 103 (2014) 年 07 月 21 日

(21)申請案號：100102966 (22)申請日：中華民國 100 (2011) 年 01 月 26 日

(51)Int. Cl. : H01L29/78 (2006.01) H01L21/768 (2006.01)
H01L21/336 (2006.01)

(30)優先權：2010/02/08 美國 12/702,055

(71)申請人：半導體組件工業公司(美國) SEMICONDUCTOR COMPONENTS INDUSTRIES
L.L.C. (US)

美國

(72)發明人：羅卻特 蓋瑞 H LOECHELT, GARY H. (US)；葛利夫納 高登 M GRIVNA,
GORDON M. (US)；德貝爾 彼得 J ZDEBEL, PETER J. (US)

(74)代理人：陳長文

(56)參考文獻：

US	2004/099878A1	US	2008/0122025A1
US	2008/0197411A1	US	2008/0242029A1
US	2008/0246086A1	US	2007/02785116A1

審查人員：徐雨弘

申請專利範圍項數：21 項 圖式數：23 共 0 頁

(54)名稱

包括一埋入式絕緣層及一貫穿其延伸之垂直導電結構之電子裝置及其形成方法

ELECTRONIC DEVICE INCLUDING A BURIED INSULATING LAYER AND A VERTICAL
CONDUCTIVE STRUCTURE EXTENDING THERETHROUGH AND A PROCESS OF FORMING
THE SAME

(57)摘要

本發明揭示一種電子裝置，其可包括一埋入式導電區、位於該埋入式導電區上方之一埋入式絕緣層及配置在該埋入式絕緣層上方之一半導體層，其中該半導體層具有一主表面及一對置表面，且該埋入式導電區係配置成距該對置表面比距該主表面更近。該電子裝置亦可包括一第一電晶體之一載流電極，其中該載流電極係沿該主表面配置且與該埋入式導電層間隔開。該電子裝置亦可包括延伸穿過該埋入式絕緣層之一第一垂直導電結構，其中該第一垂直導電結構電連接至該載流電極及該埋入式導電區。

An electronic device can include a buried conductive region, a buried insulating layer over the buried conductive region, and a semiconductor layer disposed over the buried insulating layer, wherein the semiconductor layer has a primary surface and an opposing surface, and the buried conductive region is disposed closer to the opposing surface than to the primary surface. The electronic device can also include a current-carrying electrode of a first transistor, wherein the current carrying electrode is disposed along the primary surface and spaced apart from the buried conductive layer. The electronic device can also include a vertical conductive structure extending through the buried insulating layer, wherein the vertical conductive structure is electrically connected to the current-carrying electrode and the buried conductive region.

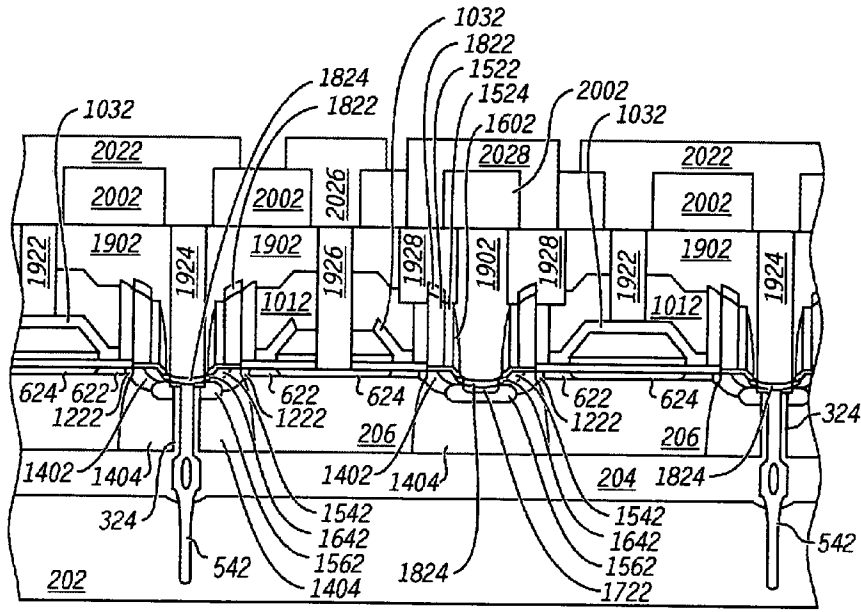


圖 22

- 202 . . . 埋入式導電區
- 204 . . . 埋入式絕緣層
- 206 . . . 半導體層
- 324 . . . 絕緣間隔件
- 542 . . . 垂直定向導電區
- 622 . . . 水平定向摻雜區
- 624 . . . 汲極區
- 1012 . . . 絕緣層
- 1032 . . . 導電電極
- 1222 . . . 摻雜區
- 1402 . . . 通道區
- 1404 . . . 深本體摻雜區
- 1522 . . . 閘極電極
- 1524 . . . 絕緣層
- 1542 . . . 源極延伸區
- 1562 . . . 本體區
- 1602 . . . 絕緣間隔件
- 1642 . . . 重摻雜源極區
- 1722 . . . 重摻雜本體接觸區
- 1822 . . . 導電部件
- 1824 . . . 導電部件
- 1902 . . . 層間電介質(ILD)層
- 1922 . . . 導電插塞
- 1924 . . . 導電插塞
- 1926 . . . 導電插塞
- 1928 . . . 導電插塞
- 2002 . . . 層間電介質(ILD)層
- 2022 . . . 互連件

I446537

TW I446537 B

2026 . . . 互連件

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 100102966

※申請日： 100.1.26

※IPC 分類：H01L 29/178 ·2006.01

H01L 21/1768 ·2006.01

一、發明名稱：(中文/英文)

包含一埋入式絕緣層及一貫穿其延伸之垂直導電結構之電子裝置及其形成方法 ^{·2006.01}

ELECTRONIC DEVICE INCLUDING A BURIED INSULATING LAYER
AND A VERTICAL CONDUCTIVE STRUCTURE EXTENDING
THERE THROUGH AND A PROCESS OF FORMING THE SAME

二、中文發明摘要：

本發明揭示一種電子裝置，其可包括一埋入式導電區、位於該埋入式導電區上方之一埋入式絕緣層及配置在該埋入式絕緣層上方之一半導體層，其中該半導體層具有一主表面及一對置表面，且該埋入式導電區係配置成距該對置表面比距該主表面更近。該電子裝置亦可包括一第一電晶體之一載流電極，其中該載流電極係沿該主表面配置且與該埋入式導電層間隔開。該電子裝置亦可包括延伸穿過該埋入式絕緣層之一第一垂直導電結構，其中該第一垂直導電結構電連接至該載流電極及該埋入式導電區。

三、英文發明摘要：

An electronic device can include a buried conductive region, a buried insulating layer over the buried conductive region, and a semiconductor layer disposed over the buried insulating layer, wherein the semiconductor layer has a primary surface and an opposing surface, and the buried conductive region is disposed closer to the opposing surface than to the primary surface. The electronic device can also include a current-carrying electrode of a first transistor, wherein the current carrying electrode is disposed along the primary surface and spaced apart from the buried conductive layer. The electronic device can also include a vertical conductive structure extending through the buried insulating layer, wherein the vertical conductive structure is electrically connected to the current-carrying electrode and the buried conductive region.

四、指定代表圖：

(一)本案指定代表圖為：第(22)圖。

(二)本代表圖之元件符號簡單說明：

202	埋入式導電區
204	埋入式絕緣層
206	半導體層
324	絕緣間隔件
542	垂直定向導電區
622	水平定向摻雜區
624	汲極區
1012	絕緣層
1032	導電電極
1222	摻雜區
1402	通道區
1404	深本體摻雜區
1522	閘極電極
1524	絕緣層
1542	源極延伸區
1562	本體區
1602	絕緣間隔件
1642	重摻雜源極區
1722	重摻雜本體接觸區
1822	導電部件
1824	導電部件

1902	層間電介質 (ILD)層
1922	導電插塞
1924	導電插塞
1926	導電插塞
1928	導電插塞
2002	層間電介質 (ILD)層
2022	互連件
2026	互連件

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於電子裝置及形成電子裝置之方法，且更特定而言，係關於包括埋入式絕緣層及貫穿其延伸之垂直導電結構之電子裝置及其形成方法。

【先前技術】

金屬氧化物半導體場效電晶體(MOSFET)係一常見類型之功率切換裝置。一MOSFET包括一源極區、一汲極區、延伸於該源極與汲極區之間的一通道區及經提供而毗鄰於該通道區之一閘極結構。該閘極結構包括經配置而毗鄰於該通道區且藉由一薄電介質層與該通道區分離之一閘極電極層。

當一MOSFET係處於接通狀態時，將一電壓施加至該閘極結構以在該源極與汲極區之間形成一導電通道區，其允許電流流動穿過該裝置。在關斷狀態下，施加至該閘極結構之任一電壓係充分低以使得沒有顯著電流流動穿過該電晶體之該通道。在關斷狀態期間，該裝置應支援該源極與汲極區之間的一高電壓。

在一特定應用中，一功率電晶體對可用以允許一輸出在兩個不同電壓之間切換。該輸出可連接至一高側功率電晶體之一源極及一低側功率電極之一汲極。當啟動該高側功率電晶體時，該輸出將係在對應於該高側功率電晶體之一汲極上之電壓之一電壓下，且當啟動該低側功率電晶體時，該輸出將係在對應於該低側功率電晶體之一源極之一

電壓下。在一特定實體實施例中，該高側功率電晶體及該低側功率電晶體通常係藉由接合導線或其他類似互連件彼此互連之單獨晶粒上之離散電極。該等互連件增加包括該高側及低側功率電晶體之該電子裝置之寄生特性，其係不期望的。

【實施方式】

以實例之方式圖解說明實施例且該等實施例並不限於附圖。

熟習此項技術者應瞭解，該等圖式中之元件係為簡單且清晰起見而圖解說明且未必係按比例繪製。舉例而言，為幫助改良對本發明之實施例之理解，圖式中之某些元件之尺寸可能相對於其他元件有所誇大。

提供結合圖式進行之以下說明以有助於理解本文中所揭示之教示。以下論述將集中於該等教示之具體實施方案及實施例。提供此集中以有助於闡述該等教示且不應將其解釋為對該等教示之範疇及適用性之限制。然而，可基於此應用中所揭示之教示而使用其他實施例。

如本文中所用，相對於一區或結構，術語「水平定向」及「垂直定向」係指其中電流流動穿過此區或結構之主方向。更具體而言，電流可沿一垂直方向、一水平方向或垂直及水平方向之一組合流動穿過一區或結構。若電流沿一垂直方向或沿其中該垂直組分大於該水平組分之若干個方向之一組合流動穿過一區或結構，則此一區或結構將稱為垂直定向。類似地，若電流沿一水平方向或沿其中該水平

組分大於該垂直組分之若干個方向之一組合流動穿過一區或結構，則此一區或結構將稱為水平定向。

術語「金屬」或其變體中之任一者意欲係指包括屬於1至12族中之任一者、屬於13至16族之一元素、沿由原子序數13(Al)、31(Ga)、50(Sn)、51(Sb)及84(Po)所界定之一線或在該線下面之一元素之一材料。金屬不包括Si或Ge。

術語「正常操作」及「正常操作狀態」係指其中一電子組件或裝置經設計以操作之條件。該等條件可係自一資料表或關於電壓、電流、電容、電阻或其他電參數之其他資訊獲得。因此，正常操作不包括操作恰好超過其設計限制之一電子組件或裝置。

術語「功率電晶體」意欲意指經設計以通常操作欲維持於一電晶體之源極與汲極或發射極與集電極之間的至少10 V差之一電晶體。舉例而言，當電晶體處於一關斷狀態時，10 V可在不出現一接面擊穿或其他不期望條件之情況下維持於源極與汲極之間。

術語「包含(comprises)」、「包含(comprising)」、「包括(includes)」、「包括(including)」、「具有(has)」、「具有(having)」或其任一其他變化形式意欲涵蓋一非排他性包括。舉例而言，包含一系列特徵之方法、物品或設備未必僅限於彼等特徵，而可包括未明確列舉或此等方法、物品或設備所固有之其他特徵。此外，除非明確陳述有相反情況，否則「或(or)」係指一包括性-或而並非一排他性-或。舉例而言，一條件A或B可藉由以下各項中之任一者

來滿足：A係真(或存在)且B係假(或不存在)、A係假(或不
存在)且B係真(或存在)，以及A與B兩者皆係真(或存在)。

此外，「一(a)」或「一(an)」之使用係用以闡述本文中
所述之元件及組件。此係僅為方便之目的且用以給出本發
明之範疇之一般意義。除非清楚表示另有所指，否則此說
明應理解為包括一個、至少一個或亦包括複數形式之單數
形式，或反之亦然。舉例而言，當本文中闡述一單個項目
時，可使用多於一個項目替代一單個項目。類似地，當本
文中闡述多於一個項目時，一單個項目可代替彼多於一個
項目。

對應於元素週期表內各行之族編號使用如 *CRC Handbook of Chemistry and Physics* 第81版(2000-2001)中所
見之「新符號」慣例。

除非另有說明，否則本文所用之所有技術及科學術語皆
具有與熟習本發明所屬技術者通常所理解之含義相同的含
義。該等材料、方法及實例僅係圖解說明性的且並非意欲
加以限制。就本文中未進行闡述而言，關於具體材料及處
理動作之諸多細節皆係習用的，且可在教科書以及屬於半
導體及電子技術之其他來源中找到。

圖1包括一電子裝置10之一部分之一電路圖。在如圖1中
所圖解說明之實施例中，電子裝置10可包括一功率切換電
路。電子裝置10包括一電晶體12，其中電晶體12之一汲極
區耦合至諸如 V_D 之一端子且電晶體12之一源極區耦合至諸
如 V_{OUT} 之一端子。電子裝置10亦包括一電晶體14，其中電

晶體 12 之一汲極區耦合至電晶體 12 之源極，且電晶體 14 之一源極區耦合至諸如 V_S 之一端子。電晶體 12 及 14 之閘極電極可耦合至一控制單元 16 之控制端子 162 及 164。在一特定實施例中，控制單元 16 可經組態以使得在任一特定時間點處啟用電晶體 12 及 14 中之僅一者。當啟用電晶體 12 (且停用電晶體 14) 時， V_{OUT} 將大致係 V_D 且當啟用電晶體 14 (且停用電晶體 12) 時， V_{OUT} 將大致係 V_S 。控制單元 16 可用以確定 V_{OUT} 將何時及多頻繁地自 V_S 切換至 V_D ，且反之亦然。在一更特定實施例中，電晶體 12 及 14 可係一高頻率電壓調節器內之功率切換電晶體。

下文闡述對應於電晶體 12 及 14 之實體結構及形成此等實體結構之方法。在下文之說明中，電晶體 12 可稱為高側功率電晶體，且電晶體 14 可稱為低側功率電晶體。大量說明將集中於針對高側功率電晶體之實體結構之形成；然而，低側功率電晶體之形成係類似的。在一實施例中，電晶體 12 及 14 將係同一積體電路之部分。在一特定實施例中，控制單元 16 係在與電晶體 12 及 14 相同之積體電路上。

圖 2 包括一工件 200 之一部分之一剖視圖之一圖解說明，該工件包括一埋入式導電區 202、一埋入式絕緣層 204 及一半導體層 206。埋入式導電區 202 可包括 14 族元素 (亦即，碳、矽、鍺或其任一組合) 且可係重 n 型或 p 型摻雜。出於此說明書之目的，重摻雜意欲意指至少約 1×10^{19} 原子/cm³ 之一峰值摻雜物濃度，且輕摻雜意欲意指小於約 1×10^{19} 原子/cm³ 之一峰值摻雜物濃度。埋入式導電區 202 可係一重

摻雜基板(例如，一重n型摻雜晶圓)之一部分或可係配置在相反導電性類型之一基板上方或配置在一基板與埋入式導電區202之間的另一埋入式絕緣層(未圖解說明)上方之一埋入式摻雜區。在一實施例中，埋入式導電區202重摻雜有一n型摻雜物，諸如，磷、砷、銻或其任一組合。在一特定實施例中，埋入式導電區202在埋入式導電區202之擴散欲保持為低之情形下包括砷或銻，且在一特定實施例中，埋入式導電區202包括銻以在一隨後形成之半導體層之形成期間降低自動摻雜之位準(與砷相比)。埋入式導電區202將用以將高側功率電晶體之源極與低側功率電晶體之汲極電連接在一起且係針對電子裝置之一輸出節點之部分。

埋入式絕緣層204配置在埋入式導電區202上方。在正常操作期間，埋入式絕緣層204幫助隔離埋入式導電區202上之電壓與半導體層206之部分。埋入式絕緣層204可包括氧化物、氮化物或氧氮化物。埋入式絕緣層204可包括一單個膜或具有相同或不同組成之複數個膜。埋入式絕緣層204可具有介於至少約0.2微米或至少約0.3微米之一範圍內之一厚度。此外，埋入式絕緣層可具有不大於約5.0微米或不大於約2.0微米之一厚度。在一特定實施例中，埋入式絕緣層204具有介於約0.5微米至約0.9微米之一範圍內之一厚度。

半導體層206配置在埋入式絕緣層204上方且具有其中形成電晶體及其他電子組件(未圖解說明)之一主表面205。半導體層206可包括14族元素(亦即，碳、矽、鍺或其任一組

合)及如相對於埋入式導電區202所述之摻雜物或相反導電性類型之摻雜物中之任一者。在一實施例中，半導體層206係一輕摻雜n型磊晶矽層，其具有介於約0.2微米至約5.0微米之一範圍內之一厚度及不大於約 1×10^{17} 原子/cm³之一摻雜濃度，且在另一實施例中，具有至少約 1×10^{14} 原子/cm³之一摻雜濃度。半導體層206可配置在工件200之所有部分上方。如所形成之半導體層206內或在選擇性地摻雜半導體層206內之區之前的摻雜物濃度將稱為本底摻雜物濃度。

可使用各種製造技術來形成工件200。在一實施例中，可使用一晶圓接合技術。舉例而言，埋入式導電區202及半導體層206可係接合在一起之不同基板之部分。可自一個或兩個基板熱生長氧化物。在一特定實施例中，埋入式導電區202可包括接近於自其生長氧化物之表面之較低摻雜。埋入式導電區202內之摻雜濃度可因與氧化物之界面處之摻雜物堆積而稍微較高。因此，除接近於氧化物界面之一部分以外，埋入式導電區202可係重摻雜，且此部分可具有與氧化物層間隔開之一最低摻雜物濃度。在接合之後，可移除該等基板中之一者之大部分以留下半導體層206。自該等基板中之一者或兩者熱生長之氧化物層可形成埋入式絕緣層204之至少一部分。在另一實施例中，埋入式導電區202可係呈一重摻雜晶圓之形式。半導體層206可係自埋入式導電區202磊晶生長。可執行氧植入及一退火以由埋入式導電區202、半導體層206或兩者之部分形成

埋入式絕緣層 204。在閱讀此說明書之後，熟習此項技術者應瞭解，可使用其他技術來形成工件 200。

參考圖 3，使用一熱生長技術、一沈積技術或其一組合來在半導體層 206 上方順序地形成一襯墊層 302 及一停止層 304 (例如，一拋光停止層或一蝕刻停止層)。襯墊層 302 及停止層 304 中之每一者皆包括氧化物、氮化物、氧氮化物或其任一組合。在一實施例中，襯墊層 302 具有與停止層 304 相比不同之一組成。在一特定實施例中，襯墊層 302 包括氧化物，且停止層 304 包括氮化物。

在停止層 304 上方形成一經圖案化遮蔽層 (未圖解說明)。形成半導體層 206 及埋入式絕緣層 204 內之溝槽 322，其中將形成垂直導電結構。在一特定實施例中，移除襯墊層 302、停止層 304、半導體 206 及埋入式絕緣層 204 之經曝露部分。使用各向異性蝕刻技術來形成如圖 3 之實施例中所圖解說明之結構。在另一實施例中，隨後不移除埋入式絕緣層 204 之任何部分，且在另一實施例中，移除埋入式絕緣層 204 之配置在開口下方之厚度之僅部分或大致全部。在一特定實施例中，溝槽 322 中之每一者之寬度係至少約 0.05 微米或約 0.1 微米，且在另一特定實施例中，溝槽 322 中之每一者之寬度不大於約 2 微米或約 1 微米。可在形成溝槽 322 之後移除該經圖案化遮蔽層。

可在溝槽 322 內形成絕緣間隔件 324。亦可稱為絕緣襯裏之絕緣間隔件 324 可幫助電絕緣半導體層 206 與隨後將形成於溝槽 322 內之垂直導電結構。在如所圖解說明之實施例

中，可執行一熱氧化以形成絕緣間隔件324。在另一實施例(未圖解說明)中，可保形地沈積一絕緣層且各向異性地蝕刻該絕緣層以形成該等絕緣間隔件。絕緣間隔件324具有介於約20 nm至約200 nm之一範圍內之一寬度。

圖4包括延伸溝槽且形成垂直導電結構422之後的一圖解。可移除沿溝槽322(如圖3中所圖解說明)之底部之任何剩餘絕緣材料(諸如，氧化物)，且可使溝槽322延伸至埋入式導電區202中以形成溝槽延伸部402。在一實施例中，溝槽延伸部402可係至埋入式導電區202中之至少約0.2微米，且在另一實施例中，溝槽延伸部402可係至少約0.3微米。在另一實施例中，溝槽延伸部402可不大於約5.0微米，且在又一實施例中，不大於約2.0微米。在另一實施例中，該等溝槽延伸部可比上文所述深或淺。可使用一各向異性蝕刻技術來執行絕緣材料之移除及形成溝槽延伸部402。

在停止層304上方及溝槽322內形成一導電層，且在一特定實施例中，該導電層大致填充溝槽322。該導電層可係多晶的且包括一含金屬或含半導體之材料。在一實施例中，該導電層可包括一重摻雜半導體材料，諸如，非晶矽或多晶矽。在另一實施例中，該導電層包括複數個膜，諸如，一黏合膜、一障壁膜及一導電填充材料。在一特定實施例中，該黏合膜可包括一耐火金屬(諸如，鈦、鈮、鎢或諸如此類)；該障壁膜可包括一耐火金屬氮化物(諸如，氮化鈦、氮化鈮、氮化鎢或諸如此類)或一耐火金屬-半導

體-氮化物(諸如, TaSiN); 且該導電填充材料可包括鎢或矽化鎢。在一更特定實施例中, 該導電層可包括Ti/TiN/WSi。對膜之數目及彼等薄之組成之選擇取決於電效能、一後續熱量循環之溫度、另一準則或其任一組合。耐火金屬及含耐火金屬之化合物可經受高溫(例如, 該等耐火金屬之熔點可係至少1400°C)、可保形地沈積且具有低於重摻雜n型矽之一體電阻率。在閱讀此說明書之後, 熟習此項技術者將能夠確定該導電層之組成以滿足其對一特定應用之需要或期望。在該導電層之形成期間, 空隙424可形成於溝槽322內。若形成空隙424, 則其等通常位於接近於埋入式絕緣層204之區域處。因此, 在如圖4中所圖解說明之實施例中, 大致全部空隙424配置在與半導體層206之主表面205之高度間隔開之高度處。特定而言, 大致全部空隙424配置在不高於穿過半導體層206之厚度之約一半之高度處。

移除配置在停止層304上方之導電層之一部分以在溝槽322內形成垂直導電結構422, 如圖4之實施例中所圖解說明。可使用一化學機械拋光或毯覆蝕刻技術來執行該移除。停止層304可用作一拋光停止或蝕刻停止層。拋光或蝕刻可在到達停止層304之後繼續達一相對短時間以計及跨越該工件相對於該導電層之厚度之一非均勻性、該拋光或蝕刻操作之非均勻性或其任一組合。若需要或期望, 則一繼續蝕刻或其他移除操作可用以使垂直導電結構422進一步凹進至溝槽322中, 如圖4中之箭頭426所圖解說明。

該等凹部可允許高側電晶體結構之隨後形成之源極區及低側電晶體結構之汲極區電連接至垂直導電結構422。當呈一完成電子裝置之形式時，垂直導電結構422與埋入式導電區202之組合將高側功率電晶體之源極電連接至低側功率電晶體之汲極。

參考圖5，當存在停止層304之部分(圖5中未圖解說明)時，襯墊層302被蝕刻且低切停止層304之部分以曝露半導體層206之接近於溝槽322之部分。此時，在如圖4上所圖解說明之實施例中，可執行該溝槽填充材料之一額外蝕刻從而曝露溝槽襯裏材料324之上部表面。然後移除停止層304之部分。導電插塞522形成於溝槽內且幫助將垂直導電結構422電連接至隨後將形成於半導體層206內之摻雜區。可使用形成垂直導電結構422之材料及方法中之任一者來形成導電插塞522，只是導電插塞522可或可不凹進於溝槽322內。導電插塞522及垂直導電結構422可包括相同材料或不同材料且可係使用相同技術或不同技術而形成。導電插塞522與垂直導電結構422之組合可形成垂直定向導電區542。下文中，垂直定向導電區542可係指垂直導電結構422、導電插塞522或垂直導電結構422與導電插塞522之組合。此時，在該方法中可移除襯墊層302。

圖6及7圖解說明形成一植入屏蔽層602、水平定向摻雜區622及汲極區624之後的工件。圖6包括針對高側功率電晶體12之電晶體結構之部分，且圖7包括針對低側功率電晶體14之電晶體結構之部分。植入屏蔽層602形成於主表

面205上方且可包括氧化物、氮化物或氧氮化物且可具有介於約2 nm至約90 nm之一範圍內之一厚度。可藉由一熱生長或沈積技術來形成植入屏蔽層602。

在如圖6及7中所圖解說明之實施例中，水平定向摻雜區622可形成於其中形成針對高側及低側功率電晶體之電晶體結構之大致全部區域上方。在該等功率電晶體內，水平定向摻雜區622可係所形成之功率電晶體之漂移區之主要部分。在一正常操作狀態下，電荷載子(舉例而言，電子)或電流主要沿一水平方向流動穿過水平定向摻雜區622。若積體電路包括控制單元16，則可形成一遮蔽層(未圖解說明)以保護其中正形成控制單元16之電子組件之半導體層之部分或全部。水平定向摻雜區622可具有小於約 1×10^{19} 原子/cm³且至少約 1×10^{16} 原子/cm³之一摻雜物濃度及在一個實施例中小於約0.9微米且在另一實施例中小於約0.5微米之一深度。

一遮蔽層(未圖解說明)可經形成且圖案化以界定半導體層206之其中形成汲極區624之部分上方之開口。在圖6中，高側電晶體12之汲極區624形成於半導體層206內。汲極區624包括高於水平定向摻雜區622之一相對高摻雜物濃度。汲極區624可具有至少約 1×10^{19} 原子/cm³之一摻雜物濃度及在一個實施例中小於約0.9微米且在另一實施例中小於約0.5微米之一深度。

在圖7中，低側電晶體14之汲極區可包括垂直定向導電區542之上部部分。在一個實施例中，此等上部部分可對

應於圖5中之導電插塞522。因此，該遮蔽層可完全覆蓋其中正形成針對低側功率電晶體14之電晶體之半導體層206。在另一實施例(未圖解說明)中，開口可經形成而毗鄰於如圖7中所圖解說明之垂直定向導電區542，且半導體層206之在該等開口下方之部分可經摻雜以形成類似於汲極區624之汲極區。

在一實施例中，水平定向摻雜區622可係在汲極區624之前形成。在另一實施例中，水平定向摻雜區622可係在汲極區624之後形成。

圖8包括在汲極區624上方形成絕緣部件802之後的一圖解。雖然圖8中未圖解說明，但絕緣部件802亦形成於針對低側電晶體14之垂直定向導電區542(圖7)上方，此乃因低側功率電晶體14之電晶體結構之汲極區經形成而毗鄰於垂直定向導電區542。絕緣部件802可幫助減少汲極區與隨後形成之導電電極之間的電容性耦合且改良汲極區624與隨後形成之導電電極之間的擊穿電壓。絕緣部件802可包括一單個絕緣層或複數個絕緣層。在如圖8中所圖解說明之實施例中，絕緣層812及814連續地形成於工件上方，其中絕緣層812及814具有不同組成。舉例而言，絕緣層812可包括氮化物，且絕緣層814可包括氧化物。絕緣層814可幫助減少電容性耦合，且絕緣層812可係汲極接觸形成期間的一蝕刻停止件。絕緣層812可具有介於約20 nm至約90 nm之一範圍內之一厚度，且絕緣層814可具有介於約50 nm至約500 nm之一範圍內之一厚度。

一遮蔽層(未圖解說明)可形成於絕緣層814上方且經圖案化以包括配置在其中已形成電晶體結構之汲極區之部分上方之遮蔽特徵。絕緣層814可經蝕刻以提供一錐形輪廓，且絕緣層812可經蝕刻而具有或不具有錐形輪廓。可在蝕刻絕緣層814之後且在蝕刻絕緣層812之前或之後移除該遮蔽層。

在其他實施例中，可使用各種技術來形成絕緣層814之錐形邊緣。在一實施例中，絕緣層814之組成可在沈積期間或之間改變。舉例而言，絕緣層814可包括具有不同組成之複數個絕緣膜。在另一實施例中，可在該沈積之一稍後部分期間以一遞增濃度併入一摻雜物，諸如，磷。在又一實施例中，可藉由改變沈積參數(例如，射頻功率、壓力等)來改變絕緣層814內之應力，但該組成在絕緣層814之整個厚度上係大致相同。在另外實施例中，可使用上文之組合。針對絕緣層814之特定蝕刻技術可包括：各向同性地蝕刻絕緣層814；使蝕刻絕緣層814之一部分與蝕刻上覆遮罩特徵之一側壁邊緣、蝕刻絕緣材料之另一部分與蝕刻上覆遮罩特徵之又一側壁交替等；利用一差分組成(比未經摻雜氧化物快之經摻雜氧化物蝕刻劑)或其一組合。

在圖9中，一導電層902沈積於絕緣部件802上方且經圖案化以形成開口(諸如，一開口904)，其中隨後將汲極接觸結構製成為針對高側功率電晶體12之電晶體結構之汲極區624。導電層902包括一導電材料或可藉由摻雜來使其導電。更特定而言，導電層902可包括一摻雜半導體材料(例

如，重摻雜非晶矽、多晶矽等)、一含金屬材料(一耐火金屬、一耐火金屬氮化物、一耐火金屬矽化物等)或其任一組合。導電層902具有介於約0.05微米至約0.5微米之一範圍內之一厚度。在一特定實施例中，導電層902將用以形成一導電電極。

圖10包括形成於汲極區624及水平定向摻雜區622之部分上方之絕緣部件1002。可藉由形成一個或多個經圖案化絕緣層來形成絕緣部件1002。在如圖10中所圖解說明之實施例中，將一絕緣層1012及一絕緣層1014沈積於導電層902上方。絕緣層1012及1014可包括氧化物、氮化物或任何氧氮化物，且在一特定實施例中具有彼此相比不同之組成。舉例而言，絕緣層1012可包括氧化物，且絕緣層1014可包括氮化物。絕緣層1012具有介於約0.2微米至約2.0微米之一範圍內之一厚度，且絕緣層1014具有介於約20 nm至約900 nm之一範圍內之一厚度。

一遮蔽層(未圖解說明)形成於絕緣層1014上方且經圖案化以形成配置在其中形成絕緣部件1002之位置處之絕緣層1014上方之遮蔽特徵。圖案化導電層902與絕緣層1012及1014之部分，且移除該等遮蔽特徵。對導電層902之圖案化形成高側功率電晶體12及低側功率電晶體14之單獨導電電極1032。高側功率電晶體12之導電電極1032將電連接至高側功率電晶體12之隨後形成之源極區，且低側功率電晶體14(圖10中未圖解說明)之導電電極1032將電連接至低側功率電晶體14之隨後形成之源極區。

沿導電電極1032與絕緣層1012及1014之側壁形成絕緣間隔件1022。在一特定實施例中，絕緣間隔件1022包括氮化物且係藉由將氮化物層沈積至介於約20至90 nm之一範圍內之一厚度且各向異性地蝕刻該氮化物層以形成絕緣間隔件1022來形成。開口1042係配置在半導體層206之其中將形成源極及通道區之部分上方。

圖11包括形成於開口1042內之犧牲間隔件1102及犧牲部件1122。犧牲間隔件1102之寬度對應於將至少部分地形成於水平定向摻雜區622內之摻雜區之寬度。稍後將在此說明書中闡述隨後形成之摻雜區之重要性。如在犧牲間隔件1102之基底處所量測，犧牲間隔件1102之寬度(下文中稱為「間隔件寬度」)可係水平定向摻雜區622之深度的至少約0.11倍於。間隔件寬度可不大於水平定向摻雜區622之深度的約5倍。在一實施例中，間隔件寬度可係在水平定向摻雜區622之深度的約0.3至約2倍之一範圍內。在另一實施例中，間隔件寬度係至少約0.05微米，且在又一實施例中，間隔件寬度不大於約0.3微米。

犧牲部件1122配置在開口1042之接近於水平定向摻雜區622之部分處。犧牲部件1122具有足以在移除犧牲間隔件1102之後執行對下伏區之摻雜時基本上防止該摻雜之一厚度。在一實施例中，犧牲部件1122具有至少約100 nm之一厚度。在另一實施例中，犧牲部件1122可填充開口1042之深度之約10%至70%。犧牲部件1122不覆蓋犧牲間隔件1102之頂部之全部，此乃因犧牲間隔件1102係選擇性地移

除。

犧牲間隔件 1102 具有與絕緣部件 1002 之絕緣層 1014、絕緣間隔件 1022，以及犧牲部件 1122 相比不同之一材料。犧牲部件 1122 具有與絕緣部件 1002 之絕緣層 1014 及絕緣間隔件 1022 相比不同之一材料。

在一特定實施例中，絕緣層 1014 及絕緣間隔件 1022 包括氮化物，犧牲間隔件 1102 包括非晶或多晶矽，且犧牲部件 1122 包括一有機抗蝕劑材料。藉由將包括非晶或多晶矽之一層沈積至對應於間隔件寬度(如先前所論述)之一厚度且各向異性地蝕刻該層來形成犧牲間隔件 1102。可藉由在工件上方及開口 1042 內塗佈該有機抗蝕劑材料來形成犧牲部件 1122。該有機抗蝕劑材料可經回蝕以留下犧牲部件 1122。在一特定實施例中，可使用關於對絕緣層 1014、絕緣間隔件 1022 或犧牲間隔件 1102 之偵測之端點偵測設定來蝕刻該有機抗蝕劑材料。然後，可使用一定時蝕刻來達成犧牲部件 1122 之所期望厚度。

在另一實施例中，可改變犧牲間隔件 1102 或犧牲部件 1122 之組成。舉例而言，犧牲間隔件 1102 或犧牲部件 1122 可包括一含金屬材料。舉例而言，犧牲間隔件 1102 或犧牲部件 1122 可包括鎢。在又一實施例中，犧牲部件 1122 可包括氧化物。舉例而言，一重摻雜、未經強化之所沈積氧化物具有與由原矽酸四乙酯構成之熱氧化物或一經強化氧化物相比相對高之一蝕刻速率。

若需要或期望，則可使犧牲部件 1122 回流。執行該回流

以降低來自犧牲部件1122之配置在犧牲間隔件1102之部分上方之部分之植入遮擋之可能性。

圖12包括用以形成摻雜區1222之一摻雜動作期間的工件之一圖解。該摻雜動作可執行為一植入。在一實施例中，以一大致 0° 傾斜角度植入(亦即，大致垂直於半導體層206之主表面205)將離子(箭頭1202所圖解說明)引導至工件之經曝露表面。在另一實施例中，可使用另一角度，且可在植入之部分期間或之間使工件旋轉以降低由絕緣部件所造成之遮擋之效應。若通道化令人擔憂，則可以約 7° 傾斜角度執行該植入。可在4個部分期間執行該植入，其中使工件在該等部分中之每一者之間旋轉約 90° 。

摻雜區1222之摻雜物濃度大於水平定向摻雜區622之摻雜物濃度。在一實施例中，摻雜區1222之摻雜物濃度不大於水平定向摻雜區622之摻雜物濃度之約9倍。在一特定實施例中，摻雜區1222之摻雜物濃度介於水平定向摻雜區622之一摻雜物濃度之約2至約5倍之一範圍內。在另一特定實施例中，當使用植入時，劑量可介於約 2×10^{12} 離子/cm²至約 2×10^{13} 離子/cm²之一範圍內。

摻雜區1222之深度可不具有具體限制。在一實施例中，摻雜區1222之深度可不比水平定向摻雜區622深多於約0.2微米。若摻雜區1222係更深，則其等可干擾一隨後形成之深植入區。若不形成深植入區，則摻雜區1222可係更深。在另一實施例中，摻雜區1222可具有對應於流動穿過高側功率電晶體12及低側功率電晶體14之電晶體結構之主電流

之深度。在正常操作期間，若流動穿過通道區之電子主要係在通道區之汲極側處之主表面之0.05微米內，則摻雜區1222之深度可係約0.05微米深。在另一實施例中，摻雜區1222之深度可介於水平定向摻雜區622之深度之約0.5至約2倍之一範圍內。在又一實施例中，摻雜區1222之深度可介於犧牲間隔件1102之寬度之約0.5至約2倍之一範圍內。

該植入之能量可基於所選擇之摻雜物物質而變化。舉例而言，當植入物質係 P^+ (磷離子)時，能量可介於約40 keV至約150 keV之一範圍內，且當植入物質係 As^+ 時，能量可介於約100 keV至約350 keV之一範圍內。若高側及低側功率電晶體係p通道電晶體(而非n通道電晶體)，則當植入物質係 B^+ 時，能量可介於約15 keV至約50 keV之一範圍內，且當植入物質係 BF_2^+ 時，能量可介於約50 keV至約180 keV之一範圍內。

在形成摻雜區1222之後，可移除犧牲部件1122。摻雜區1222之寬度可係如先前相對於犧牲間隔件1102之間隔件寬度所述之寬度尺寸中之任一者。

圖13包括形成另一組絕緣間隔件之後的一圖解。該等絕緣間隔件覆蓋摻雜區1222以使得其等在隨後執行一通道植入時將不被反摻雜。因此，該等絕緣間隔件可具有如先前相對於犧牲間隔件1102之間隔件寬度所述之寬度尺寸中之任一者。在一特定實施例中，該等絕緣間隔件之寬度介於摻雜區1222之寬度之約0.8至約1.2倍之一範圍內。在添加絕緣間隔件之情況下，絕緣部件1302係與絕緣部件1002大

致相同。為簡化圖 13，將另一組絕緣間隔件與絕緣間隔件 1022 之組合圖解說明為絕緣間隔件 1304。絕緣間隔件 1304 可包括不同於植入屏蔽層 602 之一材料。在一特定實施例中，絕緣間隔件 1304 可包括氮化物。在形成該等絕緣部件之後，藉由絕緣部件 1302 來界定開口 1306。

圖 14 包括形成於開口 1306 下方之通道區 1402 及深本體摻雜區 1404。通道區 1402 經形成而毗鄰於半導體層 206 之主表面 205，且深本體摻雜區 1404 與主表面 205 間隔開。深本體摻雜區 1404 可提供汲極區 624 與深本體摻雜區 1404 之間的突崩擊穿(與汲極區 624 與通道區 1402 之間的突崩擊穿相反)期間的替代路徑。因此，若涉及汲極區 624 之突崩擊穿將發生，則電流流動穿過深本體摻雜區 1404 優先於通道區 1402。因此，在發生突崩擊穿之情形下較不可能永久性地更換通道區 1402。深本體摻雜區 1404 之深度及濃度可與通道區 1402 之深度及濃度有關。

若深本體摻雜區 1404 之深度較淺，則在突崩擊穿期間流動之電流可包括通道區 1402 之部分。更特定而言，若深本體摻雜區 1404 之最上部深度極深，則將在汲極區 624 與通道區 1402 之間發生突崩擊穿，且因此，深本體摻雜區 1404 將不有效地保護通道區 1402。在一實施例中，深本體摻雜區 1404 之峰值濃度比通道區 1402 之峰值濃度深至少約 0.1 微米，且在另一實施例中，深本體摻雜區 1404 之峰值濃度比通道區 1402 之峰值濃度深不大於約 0.9 微米。在另一實施例中，深本體摻雜區 1404 之峰值濃度介於在主表面 205

下面約0.6微米至約1.1微米之一範圍內。

在一實施例中，深本體摻雜區1404具有與通道區1402相比較大之摻雜物濃度。在一特定實施例中，深本體摻雜區1404之峰值濃度可介於通道區1402之峰值摻雜物濃度之約2至約10倍之一範圍內。

深本體摻雜區1404之寬度可寬於絕緣部件1302之間的開口1306。可藉由植入來形成深本體摻雜區1404，該植入可由一投影範圍(R_p)及偏差(ΔR_p)表徵。 ΔR_p 可用以約計植入期間摻雜物在半導體層206內之橫向侵入。因此，深本體摻雜區1404之相當大部分係配置在摻雜區1222下方。

可使用一單個植入或一植入組合來形成深本體摻雜區1404。深本體摻雜區1404可或可不接觸埋入式絕緣層204。隨著深本體摻雜區1404之深度之範圍增加，突崩擊穿期間的電流可遍佈較大區域。在一特定實施例中，深本體摻雜區1404可與埋入式絕緣層204間隔開以減少至埋入式導電區202之電容性耦合。在另一實施例中，深本體摻雜區1404可與埋入式絕緣層204接觸以便抑制寄生場效電晶體，其中閘極電介質包括埋入式絕緣層204。對於一單個植入或對於具有最低 R_p 之植入(一植入組合)，劑量可介於約 5×10^{13} 離子/cm²至約 5×10^{14} 離子/cm²之一範圍內。

可藉由具有介於約 5×10^{12} 離子/cm²至約 5×10^{13} 離子/cm²之一範圍內之一劑量之離子植入來形成通道區1402。可選擇能量以達成介於約0.05微米至約0.3微米之一範圍內之一 R_p 。

深本體摻雜區 1404 可係在通道區 1402 之前或之後形成。在一特定實施例中，形成深本體摻雜區 1404 且移除曝露於開口 1306 內之植入屏蔽層 602 之部分。可在形成通道區 1402 之前形成另一植入屏蔽層(未圖解說明)。該另一植入屏蔽層可係氧化物或氮化物。該另一植入屏蔽層可薄於植入屏蔽層 602。在一特定實施例中，該另一植入屏蔽層熱生長至介於約 11 nm 至約 50 nm 之一範圍內之一厚度。可透過該另一屏蔽植入層植入通道區 1402 之離子。

圖 15 包括形成一閘極電介質層 1502、閘極電極 1522、沿閘極電極 1522 之經曝露表面之一絕緣層 1524、源極延伸區 1542 及本體區 1562 之後的工件之一圖解。藉由蝕刻來移除植入屏蔽層 602 及其他植入屏蔽層(若存在)之經曝露部分，且閘極電介質層 1502 形成於沿開口 1306 之底部之經曝露表面上方。在一特定實施例中，閘極電介質層 1502 包括氧化物、氮化物、氧氮化物或其任一組合且具有介於約 5 nm 至約 100 nm 之一範圍內之一厚度。閘極電極 1522 配置在閘極電介質層 1502 上方。可藉由沈積在沈積時導電或可隨後使其導電之一材料層來形成閘極電極 1522。該材料層可包括一含金屬或含半導體之材料。在一實施例中，將該層沈積至約 0.1 微米至約 0.5 微米之一厚度。該材料層經蝕刻以形成閘極電極 1522。在所圖解說明之實施例中，閘極電極 1522 係在不使用一遮罩之情況下形成且具有側壁間隔件之形狀。

絕緣層 1524 可係自閘極電極 1522 熱生長或可沈積於工件

上方。絕緣層 1524 之厚度可介於約 10 nm 至約 30 nm 之一範圍內。源極延伸區 1542 可具有高於約 5×10^{17} 原子/cm³ 且小於約 5×10^{19} 原子/cm³ 之一摻雜物濃度。本體區 1562 可允許通道區 1402 與深本體摻雜區 1404 電結合且降低具有介於通道區 1402 與深本體摻雜區 1404 之間的一更具電阻性區(與不具有本體區 1562 相比)之可能性。本體區 1562 亦可降低電晶體結構之源極與汲極之間的穿通之可能性。本體區 1562 具有與通道區 1402 及深本體摻雜區 1404 相同之導電性類型且具有至少約 1×10^{18} 原子/cm³ 之一峰值摻雜物濃度。

圖 16 圖解說明圖 15 中之工件之特徵之間的位置關係。距離 1582 對應於閘極電極 1522 與導電電極 1032 之間的距離，且寬度 1584 對應於摻雜區 1222 之寬度。如圖 16 之實施例中所圖解說明，摻雜區 1222 之右側邊緣可橫向地延伸至絕緣間隔件 1304 與導電電極 1032 之間的界面下方之一點。在一替代實施例中，摻雜區 1222 之右側邊緣可橫向地延伸至導電電極 1032 下方之一點。在一特定實施例中，摻雜區 1222 之右側邊緣之橫向延伸部不在絕緣層 812 及 814 任一者下方伸展。摻雜區 1222 之左側邊緣可橫向地延伸至通道區 1402 內之一點。寬度 1584 可高達距離 1582 之約 1.5 倍，且在一特定實施例中，寬度 1584 可高達距離 1582 之約 1.2 倍。寬度 1584 不具有下限。在一實施例中，寬度 1584 可係距離 1582 之至少約 0.2 倍，且在另一實施例中，寬度 1584 可係距離 1582 之至少約 0.4 倍。

圖 17 包括絕緣間隔件 1602 及重摻雜源極區 1642。圖 18 包

括圖 17 之一部分之一放大視圖以圖解說明工件之特徵之間的較佳位置關係。絕緣間隔件 1602 經形成以覆蓋源極延伸區 1542 之部分。可藉由沈積一絕緣層且各向異性地蝕刻該絕緣層來形成絕緣間隔件 1602。絕緣間隔件 1602 可包括氧化物、氮化物、氧氮化物或其任一組合且具有在絕緣間隔件 1602 之基底處之介於約 50 nm 至約 200 nm 之間的一範圍內之寬度。重摻雜源極區 1642 允許隨後進行歐姆(ohmic)接觸且具有至少約 1×10^{19} 原子/cm³ 之一摻雜物濃度。可使用離子植入來形成重摻雜源極區 1642。重摻雜源極區 1642 具有與通道區 1402 相比相反之一導電性類型且與汲極區 624 及埋入式導電區 202 相同之導電性類型。

圖 19 包括間隔件 1702、開口 1704 及重摻雜本體接觸區 1722。圖 20 包括圖 19 之一部分之一放大視圖以圖解說明工件之特徵之間的較佳位置關係。與圖 17 相比，圖 19 及 20 不圖解說明接近於圖 17 之中心之垂直定向導電區 542。在一實施例中，垂直定向導電區 542 之位置可經彼此相比地位移以允許電晶體之一更緊致佈局。舉例而言，接觸接近於圖 19 及 20 之中間的重摻雜源極區 1642 之一對應垂直定向導電區 542 可位於進一步向後處且不沿圖 19 及 20 之平面伸展。在另一實施例中，高側電晶體結構之重摻雜源極區 1642 可係呈一單個重摻雜源極區之形式，且低側電晶體結構(圖 19 及 20 中未圖解說明)之重摻雜源極區 1642 可係呈一不同重摻雜單個源極區之形式。因此，垂直定向導電區 542 不需要延伸穿過相同電晶體結構之對應閘極電極 1522

之間的重摻雜源極區 1642 之每一部分。

在圖 19 及 20 中，間隔件 1702 經形成以界定其中將形成重摻雜本體接觸區 1722 之部分。可藉由沈積一絕緣層且各向異性地蝕刻該絕緣層來形成間隔件 1702。間隔件 1702 可包括氧化物、氮化物、氧氮化物或其一組合。在一特定實施例中，間隔件 1702 可係在形成重摻雜本體接觸區之後移除之犧牲間隔件。因此，間隔件 1702 不必係一絕緣材料。開口 1704 係由間隔件 1702 之彼此面對之側來部分地界定。

沿開口 1704 之底部，蝕刻閘極電介質層 1502 及重摻雜源極區 1642 之部分。然後，沿開口 1704 之底部形成重摻雜本體接觸區 1722。重摻雜本體摻雜區 1722 具有與通道區 1402 及深本體摻雜區 1404 相同之導電性類型且具有至少約 1×10^{19} 原子/cm³ 之一摻雜物濃度以允許隨後形成歐姆接觸。

本體區 1562 及重摻雜本體接觸區 1722 幫助確保與垂直定向導電區 542 (當垂直定向導電區 542 包括一含金屬材料時) 且與隨後形成之金屬矽化物區進行良好電接觸。在另一實施例中，可形成本體區 1562 且不形成重摻雜本體接觸區 1722。在另一實施例中，形成重摻雜本體接觸區 1722 且不形成本體區 1562。在閱讀此說明書之後，熟習此項技術者將能夠確定其等需要或期望之電效能且確定應實施本體區 1562、重摻雜本體接觸區 1722 還是本體區 1562 及重摻雜本體接觸區 1722 之組合。

圖 21 包括導電部件 1822 及 1824。在一實施例中，移除部

分或全部間隔件1702以曝露更多重摻雜源極區1642。導電部件1822形成於閘極電極1522上方且允許較佳接觸及較低電阻。導電部件1824使重摻雜源極區1642、重摻雜本體接觸區1722及(當存在時)垂直定向導電區542彼此電連接。在一特定實施例中，一耐火金屬(諸如，Ti、Ta、W、Co、Pt或諸如此類)可沈積於工件上方且與經曝露矽(諸如，基本上單晶或多晶矽)選擇性地反應以形成一金屬矽化物。可移除上覆於絕緣材料上之耐火金屬之未反應部分，因此留下導電部件1822及1824。此時，在該方法中，形成針對高側功率電晶體12及低側功率電晶體14之電晶體結構。

圖22及23包括高側功率電晶體12(圖22)及低側功率電晶體內之電晶體結構之在形成互連件之一第一層級之後的圖解。形成一層間電介質(ILD)層1902且其包括氧化物、氮化物、氧氮化物或其任一組合。ILD層1902可包括具有一基本上恆定或變化組成(例如，較遠非半導體層206之一高磷含量)之一單個膜，或複數個離散膜。可在ILD層1902內或其上方使用一蝕刻停止膜、一抗反射膜或一組合以幫助進行處理。ILD層1902可經平坦化以改良後續處理操作(舉例而言，微影、後續拋光或諸如此類)期間的製程裕量。

在如圖22及23中所圖解說明之實施例中，ILD層1902經圖案化以界定接觸開口，且導電插塞1922、1924、1926、1928、1932、1934及1938形成於該等接觸開口內。導電插塞1922及1932分別接觸高側及低側電晶體內之導電電極1032。導電插塞1924及1934接觸導電部件1824，其接觸重

摻雜源極區 1642 及重摻雜本體接觸區 1722。導電插塞 1924 及 1934 分別係在高側及低側電晶體內。導電插塞 1926 接觸高側電晶體 12 內之汲極區 624。注意，導電插塞不接觸低側電晶體 14 內之汲極區 624。導電插塞 1928 及 1938 分別接觸配置在高側及低側電晶體內之閘極電極 1522 上方之導電部件 1822。

形成諸多其他導電插塞，且此等其他導電插塞在其他視圖中將係可見的。雖然圖 22 及 23 中未圖解說明，但高側電晶體 12 內之大致所有導電電極 1032 電連接至導電插塞 1922，且低側電晶體 14 內之大致所有導電電極 1032 電連接至導電插塞 1932。高側電晶體 12 內之大致所有導電部件 1824 電連接至導電插塞 1924 或垂直定向導電區 542，且低側電晶體 14 內之大致所有導電部件 1824 電連接至導電插塞 1934。高側電晶體 12 內之大致所有導電部件 1822 電連接至導電插塞 1928，且低側電晶體 14 內之大致所有導電部件 1822 電連接至導電插塞 1938。因此，高側電晶體 12 內之大致所有閘極電極 1522 電連接至導電插塞 1928，且低側電晶體 14 內之大致所有閘極電極 1522 電連接至導電插塞 1938。高側電晶體 12 內之大致所有汲極區 624 電連接至導電插塞 1926，且低側電晶體 14 內之大致所有水平定向摻雜區 622 電連接至垂直定向導電區 542。

形成另一層間電介質 (ILD) 層 2002 且其包括氧化物、氮化物、氧氮化物或其任一組合。ILD 層 2002 可包括如先前相對於 ILD 層 1902 所述之組成中之任一者。ILD 層 2002 可

具有與ILD層 1902相比大致相同之組成或不同之一組成。
ILD層 2002經圖案化以界定接觸開口。

形成至少部分地延伸於ILD層 2002內之接觸開口內之互連件 2022、2026、2032及 2038。互連件 2022使高側電晶體 12內之導電電極 1032與導電部件 1824電連接。互連件 2032使低側電晶體 14內之導電電極 1032、導電部件 1824與 V_S 端子(圖 1)電連接。互連件 2026(圖 22中圖解說明其中之一者)使高側電晶體 12內之汲極區 624與 V_D 端子(圖 1)電連接。互連件 2038(圖 23中圖解說明其中之一者)使低側電晶體 14內之閘極電極與控制單元 16(圖 1)電連接。雖然未圖解說明，但其他互連件使高側電晶體 12內之閘極電極 1522與控制單元 16電連接。

雖然未圖解說明，但可如所需要或所期望使用額外或較少層或特徵來形成該電子裝置。場隔離區未加以圖解說明但可用以幫助電隔離高側功率電晶體之部分與低側功率電晶體。在另一實施例中，可使用更多絕緣及互連件層級。可在工件上方或互連件層級內形成一鈍化層。在閱讀此說明書之後，熟習此項技術者將能夠確定其等特定應用之層及特徵。

該電子裝置可包括與如圖 22及 23中所圖解說明之電晶體結構大致相同之諸多其他電晶體結構。圖 22中之電晶體結構可彼此並列連接以形成高側功率電晶體 12，且圖 23中之電晶體結構可彼此並列連接以形成低側功率電晶體 14。此一組態可給出可支援在電子裝置之正常操作期間所用之相

對高電流流動之電子裝置之一充分有效通道寬度。在一特定實施例中，每一功率電晶體可經設計以具有約30 V之一最大源極至汲極電壓差及約20 V之一最大源極至閘極電壓差。在正常操作期間，源極至汲極電壓差不大於約20 V，且源極至閘極電壓差不大於約9 V。

在又一實施例中，可使用一個或多個雙極電晶體代替場效電晶體。在此實施例中，電流攜載電極可包括發射極區及集電極區代替源極區及汲極區，且控制電極可包括基極區代替閘極電極。一高側雙極電晶體之一發射極可電連接至一低側雙極電晶體之一集電極。若使用一埋入式集電極，則該埋入式集電極可經圖案化以允許進行至埋入式導電區202之一適當隔離連接。

如本文中所述之實施例可包括具有小於約 1×10^{19} 原子/cm³之一峰值摻雜物濃度之區。若需要或期望與一含金屬材料之一歐姆接觸，則每一摻雜區之一部分可經局部摻雜以具有至少約 1×10^{19} 原子/cm³之一峰值摻雜物濃度。在一非限定性實例中，埋入式導電區202可具有小於約 1×10^{19} 原子/cm³之一峰值摻雜物濃度。若垂直導電結構422包括W或WSi，則埋入式導電區202之接近於垂直導電結構422之部分可經植入以將峰值摻雜物濃度局部地增加至至少約 1×10^{19} 原子/cm³以幫助形成埋入式導電區202與垂直導電結構422之間的歐姆接觸。在其他實施例中，可顛倒該等導電性類型。如本文中所述，圖解說明n通道電晶體結構。在一替代實施例中，可形成p通道電晶體結構。

與不包括埋入式絕緣層 204 且依賴於欲在埋入式導電區 202 與半導體層 206 之間形成之一 pn 接面之電晶體結構相比，埋入式絕緣層 204 可用以降低不希望之寄生效應。特定而言，埋入式絕緣層 204 可提供較佳隔離且可允許在不必涉及接面擊穿之情形下改變半導體 206 之摻雜濃度。隨著電晶體結構製作得更小，可增加半導體層 206 之摻雜物濃度。此外，來自深本體摻雜區 1404 之摻雜物可延伸至或接近與主表面 205 相對的半導體層 206 之表面。埋入式絕緣層 204 之存在可允許半導體層 206 內之一較高摻雜濃度而無論是來自本底摻雜濃度還是深本體摻雜區 1404，此乃因藉由埋入式絕緣層 204 之存在避免了半導體層 206 之底部處之接面擊穿。除更大設計範圍以外，埋入式絕緣層 204 亦可在形成半導體層 206 及該層內之摻雜區時降低方法複雜性。

可能有諸多不同態樣及實施例。下文闡述彼等態樣及實施例中之某些。在閱讀此說明書之後，熟習此項技術者將瞭解，彼等態樣及實施例僅係圖解說明性的且並不限制本發明之範疇。

在一第一態樣中，一種電子裝置可包括：一埋入式導電區；一埋入式絕緣層，其位於該埋入式導電區上方；及一半導體層，其配置在該埋入式絕緣層上方，其中該半導體層具有一主表面及一對置表面，且該埋入式導電區係配置成距該對置表面比距該主表面比更近。該電子裝置亦可包括一第一電晶體之一第一載流電極，其中該第一載流電極

係沿該主表面配置且與該埋入式導電層間隔開。該電子裝置可進一步包括一第一垂直導電結構，其延伸穿過該埋入式絕緣層，其中該第一垂直導電結構電連接至該第一載流電極及該埋入式導電區。

在該第一態樣之一實施例中，該電子裝置進一步包括配置在該第一垂直導電結構與該半導體層之間的一絕緣襯裏。在另一實施例中，該第一垂直導電結構延伸至該埋入式導電區中至少約0.2微米。在又一實施例中，該第一垂直導電結構界定毗鄰於該埋入式絕緣層配置之一空隙，其中該空隙之大致全部係配置在與該主表面之一高度間隔開之一高度處。

在該第一態樣之另一實施例中，該埋入式導電區在一第一位置處具有一第一摻雜物濃度且在一第二位置處具有一第二摻雜物濃度，該埋入式絕緣層距該第一位置比距該第二位置更近，且該第一摻雜物濃度小於該第二摻雜物濃度。在一特定實施例中，該埋入式導電區在一第三位置處具有一第三摻雜物濃度，其中該埋入式絕緣層距該第三位置比距該第一及第二位置最近，且該第三摻雜物濃度大於該第一摻雜物濃度且小於該第二摻雜物濃度。在又一特定實施例中，該埋入式導電區係n型摻雜。

在該第一態樣之再一實施例中，該第一載流電極係一汲極區。在又一實施例中，該電子裝置進一步包括：一第二電晶體之一第二載流電極，其中該第二載流電極係沿該主表面配置且與該埋入式導電層間隔開；及一第二垂直導電

結構，其延伸穿過該埋入式絕緣層，其中該第二垂直導電區電連接至該第二載流電極及該埋入式導電區。在一特定實施例中，該第一載流電極係該第一電晶體之一汲極區，且該第二載流電極係該第二電晶體之一源極區。在另一特定實施例中，該第一及第二電晶體係兩個n通道功率電晶體或兩個p通道功率電晶體。在另一特定實施例中，該第一電晶體係一功率切換電路之一低側電晶體且該第二電晶體係該功率切換電路之一高側電晶體。在又一特定實施例中，該第一電晶體包括一第一控制電極，且該第二電晶體包括一第二控制電極。該電子裝置進一步包括耦合至該第一控制電極之一第一控制端子及耦合至該第二控制電極之一第二控制端子。

在一第二態樣中，一種形成一電子裝置之方法可包括提供一基板，該基板包括位於一埋入式絕緣層上方之一半導體層，該埋入式絕緣層位於一埋入式導電區上方，其中該半導體層具有一主表面及一對置表面，且該埋入式導電區係配置成距該對置表面比距該主表面更近。該方法亦可包括在該半導體層內且沿該第一半導體層之該主表面形成一第一摻雜區，其中該第一摻雜區係一第一電晶體之一第一載流電極之部分。該方法亦可包括形成延伸穿過該半導體層及該埋入式絕緣層之至少部分之一第一垂直導電結構，其中，在一完成之裝置中，該埋入式導電區、該第一垂直導電結構及該第一摻雜區係彼此電連接。

在該第二態樣之一實施例中，該方法進一步包括形成延

伸穿過該半導體層及該埋入式絕緣層之一溝槽。在一特定實施例中，形成該第一垂直導電結構包含在該溝槽內沈積一導電材料。在另一特定實施例中，該方法進一步包括在沈積該導電材料之前沿該溝槽之一壁對該半導體層之一部分進行熱氧化。在又一特定實施例中，該方法進一步包括使該溝槽延伸至該埋入式導電區中達至少0.2微米之一深度，其中在對該半導體層之該部分進行熱氧化之後且在沈積該導電材料之前執行使該溝槽延伸。

在該第二態樣之另一實施例中，該方法進一步包括在該半導體層內且沿該半導體層之該主表面形成一第二摻雜區，其中該第二摻雜區係一第二電晶體之一第二載流電極之部分。該方法仍進一步包括形成延伸穿過該半導體層及該埋入式絕緣層之至少部分之一第二垂直導電結構，其中，在一完成之裝置中，該埋入式導電區、該第二垂直導電結構及該第二摻雜區係彼此電連接。在一特定實施例中，該第一載流電極係該第一電晶體之一汲極區，且該第二載流電極係該第二電晶體之一源極區。在另一特定實施例中，在形成該第二垂直導電結構之後執行形成該第二摻雜區，在大致一相同時間週期期間執行形成該第一導電結構與形成該第二導電結構，且在形成該第一摻雜區之前執行形成該第一導電結構。

注意，並非需要以上大體說明中所述之全部活動或實施例，可不需要一具體活動之一部分，且可執行一個或多個另外除彼等所述活動以外之活動。另外，其中所列舉活動

之次序未必係其中對其等執行之次序。

本文中為清晰起見在單獨實施例之背景下所述之某些特徵亦可在一單個實施例中組合提供。相反，為簡便起見在一單個實施例之背景下所述之各個特徵亦可單獨或以任一子組合方式提供。此外，以範圍形式提及值時，其包括彼範圍內之每個值。

上文已相對於具體實施例闡述了本發明之益處、其他優點及問題之解決方案。然而，該等優點、益處及解決問題之方案及任何可達成任何優點、益處或解決方案或使之更突出之要件皆不應被視為任何或所有申請專利範圍之關鍵、必需或基本要件。

本文中所述之說明書及對實施例之圖解說明意欲提供對各種實施例之結構之一大體理解。該說明書及該等圖解說明並非意欲充當對使用本文中所述之結構或方法之設備及系統之所有元件及特徵之一窮舉及全面說明。單獨實施例亦可以與一單個實施例組合方式提供，且相反，為簡便起見在一單個實施例之背景下所述之各種特徵亦可單獨或以任一子組合方式提供。此外，以範圍形式提及值時，其包括彼範圍內之每個值。僅在閱讀此說明書之後，熟習此項技術者可明瞭諸多其他實施例。可使用其他實施例及自本發明導出該等其他實施例，以使得可在不背離本發明之範疇之情況下做出一結構替代、邏輯替代及另一改變。因此，將本發明理解為圖解說明性而非限制性的。

【圖式簡單說明】

圖1包括一電子裝置之一部分之一電路圖；

圖2包括一工件之一部分之一剖視圖之一圖解，該工件包括一埋入式導電區、一埋入式絕緣層及一半導體層；

圖3包括圖2之工件在形成一襯墊層、一停止層且將一溝槽蝕刻至工件中之後的一剖視圖之一圖解；

圖4包括圖3之工件在溝槽內形成垂直導電結構之後的一剖視圖之一圖解；

圖5包括圖4之工件在垂直導電結構上方形成導電插塞之後的一剖視圖之一圖解；

圖6及7包括圖5之工件在該工件之其中正形成高側及低側功率電晶體之部分內形成一植入屏蔽層、水平定向摻雜區及汲極區之後的剖視圖之圖解；

圖8包括圖6及7之工件在形成絕緣部件之後的一剖視圖之一圖解；

圖9包括圖8之工件在形成一經圖案化導電層之後的一剖視圖之一圖解；

圖10包括圖9之工件在形成絕緣部件且由經圖案化導電層形成導電電極之後的一剖視圖之一圖解；

圖11包括圖10之工件在形成犧牲間隔件及犧牲部件之後的一剖視圖之一圖解；

圖12包括圖11之工件在已移除犧牲間隔件之後的一植入步驟期間的一剖視圖之一圖解；

圖13包括圖12之工件在移除犧牲部件且形成絕緣間隔件之後的一剖視圖之一圖解；

圖 14 包括圖 13 之工件在形成通道區及深本體摻雜區之後的一剖視圖之一圖解；

圖 15 包括圖 14 之工件在形成閘極電極、源極延伸區及本體區之後的一剖視圖之一圖解；

圖 16 包括如圖 15 中所陳述之位置處之工件之一放大視圖之一圖解；

圖 17 包括圖 15 之工件在形成絕緣間隔件及重摻雜源極區之後的一剖視圖之一圖解；

圖 18 包括如圖 17 中所陳述之位置處之工件之一放大視圖之一圖解；

圖 19 包括圖 17 之工件在形成另一組間隔件、蝕刻重摻雜源極區之部分且形成重摻雜本體接觸區之後的一剖視圖之一圖解；

圖 20 包括如圖 19 中所陳述之位置處之工件之一放大視圖之一圖解；

圖 21 包括圖 19 之工件在形成矽化物部件之後的一剖視圖之一圖解；及

圖 22 及 23 包括圖 21 之工件在形成高側及低側電晶體之電晶體結構之互連件之一第一層級之後的剖視圖之圖解。

【主要元件符號說明】

10	電子裝置
12	電晶體
14	電晶體
16	控制單元

162	控制端子
164	控制端子
200	工件
202	埋入式導電區
204	埋入式絕緣層
205	主表面
206	半導體層
302	襯墊層
304	停止層
322	溝槽
324	絕緣間隔件
402	溝槽延伸部
422	垂直導電結構
424	空隙
522	導電插塞
542	垂直定向導電區
602	植入屏蔽層
622	水平定向摻雜區
624	汲極區
802	絕緣部件
812	絕緣層
814	絕緣層
902	導電層
904	開口

1002	絕緣部件
1012	絕緣層
1014	絕緣層
1022	絕緣間隔件
1032	導電電極
1042	開口
1102	犧牲間隔件
1122	犧牲部件
1222	摻雜區
1302	絕緣部件
1304	絕緣間隔件
1306	開口
1402	通道區
1404	深本體摻雜區
1502	閘極電介質層
1522	閘極電極
1524	絕緣層
1542	源極延伸區
1562	本體區
1602	絕緣間隔件
1642	重摻雜源極區
1702	間隔件
1704	開口
1722	重摻雜本體接觸區

1822	導電部件
1824	導電部件
1902	層間電介質(ILD)層
1922	導電插塞
1924	導電插塞
1926	導電插塞
1928	導電插塞
1932	導電插塞
1934	導電插塞
1938	導電插塞
2002	層間電介質(ILD)層
2022	互連件
2026	互連件
2032	互連件
2038	互連件

七、申請專利範圍：

1. 一種電子裝置，其包含：

一埋入式導電區；

一埋入式絕緣層，其位於該埋入式導電區上方；

一半導體層，其配置在該埋入式絕緣層上方，其中該半導體層具有一主表面及一對置表面，且該埋入式導電區係配置成距該對置表面比距該主表面更近；

一第一電晶體之一第一載流電極，其中該第一載流電極係沿該主表面配置且與該埋入式導電層間隔開；及

一第一垂直導電結構，其延伸穿過該埋入式絕緣層，其中該第一垂直導電結構電連接至該第一載流電極及該埋入式導電區，其中該第一垂直導電結構界定毗鄰於該埋入式絕緣層配置之一空隙，其中該空隙之實質上全部係配置在與該主表面之一高度間隔開之一高度處。

2. 如請求項1之電子裝置，其中該第一垂直導電結構延伸至少0.2微米進入該埋入式導電區。

3. 如請求項1之電子裝置，其中該第一載流電極係一源極區。

4. 如請求項1之電子裝置，其中：

該埋入式導電區在一第一位置處具有一第一摻雜物濃度且在一第二位置處具有一第二摻雜物濃度；

該埋入式絕緣層距該第一位置比距該第二位置更近；且

該第一摻雜物濃度小於該第二摻雜物濃度。

5. 如請求項4之電子裝置，其中該埋入式導電區在一第三

位置處具有一第三摻雜物濃度，其中：

該埋入式絕緣層距該第三位置比距該第一及第二位置最近；且

該第三摻雜物濃度大於該第一摻雜物濃度且小於該第二摻雜物濃度。

6. 如請求項5之電子裝置，其中該埋入式導電區係n型摻雜。
7. 如請求項1之電子裝置，其中該第一載流電極係一汲極區。
8. 如請求項1之電子裝置，其進一步包含：
 - 一第二電晶體之一第二載流電極，其中該第二載流電極係沿該主表面配置且與該埋入式導電層間隔開；及
 - 一第二垂直導電結構，其延伸穿過該埋入式絕緣層，其中該第二垂直導電區電連接至該第二載流電極及該埋入式導電區。
9. 如請求項8之電子裝置，其中該第一載流電極係該第一電晶體之一汲極區，且該第二載流電極係該第二電晶體之一源極區。
10. 如請求項8之電子裝置，其中該第一及該第二電晶體係皆為n通道功率電晶體或皆為兩個p通道功率電晶體。
11. 如請求項8之電子裝置，其中該第一電晶體係一功率切換電路之一低側電晶體且該第二電晶體係該功率切換電路之一高側電晶體。
12. 如請求項8之電子裝置，其中：

該第一電晶體包含一第一控制電極；

該第二電晶體包含一第二控制電極；且

該電子裝置進一步包含：

一第一控制端子，其耦接至該第一控制電極；及

一第二控制端子，其耦接至該第二控制電極。

13. 一種電子裝置，其包含：

一埋入式導電區；

一埋入式絕緣層，其位於該埋入式導電區上方；

一半導體層，其配置在該埋入式絕緣層上方，其中該半導體層具有一主表面及一對置表面，且該埋入式導電區係配置成距該對置表面比距該主表面更近；

一第一電晶體之一第一載流電極，其中該第一載流電極係沿該主表面配置且與該埋入式導電層間隔開；及

一第一垂直導電結構，其延伸穿過該埋入式絕緣層，其中該第一垂直導電結構電連接至該第一載流電極及該埋入式導電區；及

一絕緣襯裏，其配置在該第一垂直導電結構與該半導體層之間。

14. 一種形成一電子裝置之方法，其包含：

提供一基板，該基板包括位於一埋入式絕緣層上方之半導體層，該埋入式絕緣層位於一埋入式導電區上方，其中該半導體層具有一主表面及一對置表面，且該埋入式導電區係配置成距該對置表面比距該主表面更近；

在該半導體層內且沿該半導體層之該主表面形成一第一摻雜區，其中該第一摻雜區係一第一電晶體之一第一載流電極之部分；及

形成延伸穿過該半導體層及該埋入式絕緣層之至少部分之一第一垂直導電結構，其中在一完成之裝置中，該埋入式導電區、該第一垂直導電結構及該第一摻雜區係彼此電連接，

在該半導體層內且沿該半導體層之該主表面形成一第二摻雜區，其中該第二摻雜區係一第二電晶體之一第二載流電極之部分；及

形成延伸穿過該半導體層及該埋入式絕緣層之至少部分之一第二垂直導電結構，其中在一完成之裝置中，該埋入式導電區、該第二垂直導電結構及該第二摻雜區係彼此電連接。

15. 如請求項14之方法，其進一步包含形成延伸穿過該半導體層及該埋入式絕緣層之一溝槽。
16. 如請求項15之方法，其中形成該第一垂直導電結構包含在該溝槽內沈積一導電材料。
17. 如請求項15之方法，其進一步包含在沈積該導電材料之前沿該溝槽之一壁對該半導體層之一部分進行熱氧化。
18. 如請求項17之方法，其進一步包含使該溝槽延伸至該埋入式導電區中達至少0.2微米之一深度，其中在對該半導體層之該部分進行熱氧化之後且在沈積該導電材料之前執行使該溝槽延伸。

19. 如請求項14之方法，其中該第一載流電極係該第一電晶體之一汲極區，且該第二載流電極係該第二電晶體之一源極區。
20. 如請求項14之方法，其中：
- 在形成該第二垂直導電結構之後執行形成該第二摻雜區；
- 形成該第一導電結構及形成該第二導電結構係在實質上相同的一時間週期內被執行；且
- 在形成該第一摻雜區之前執行形成該第一導電結構。
21. 如請求項14之方法，其中該第一垂直導電結構包含一重摻雜半導體材料。

八、圖式：

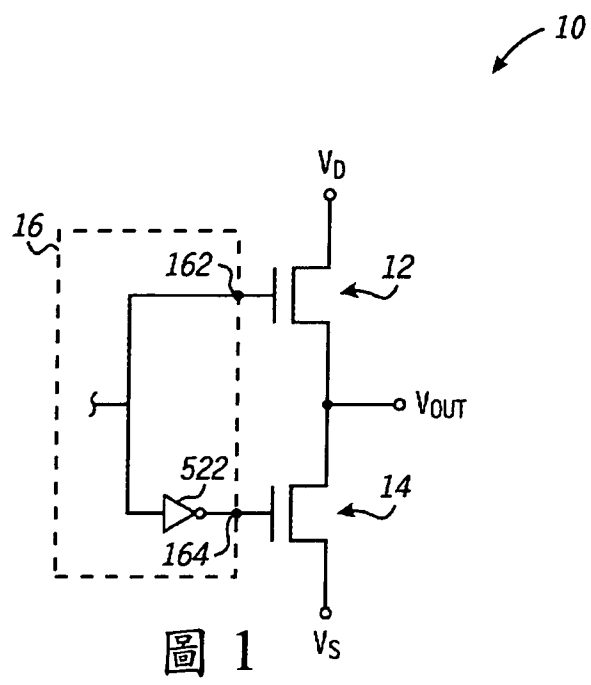


圖 1

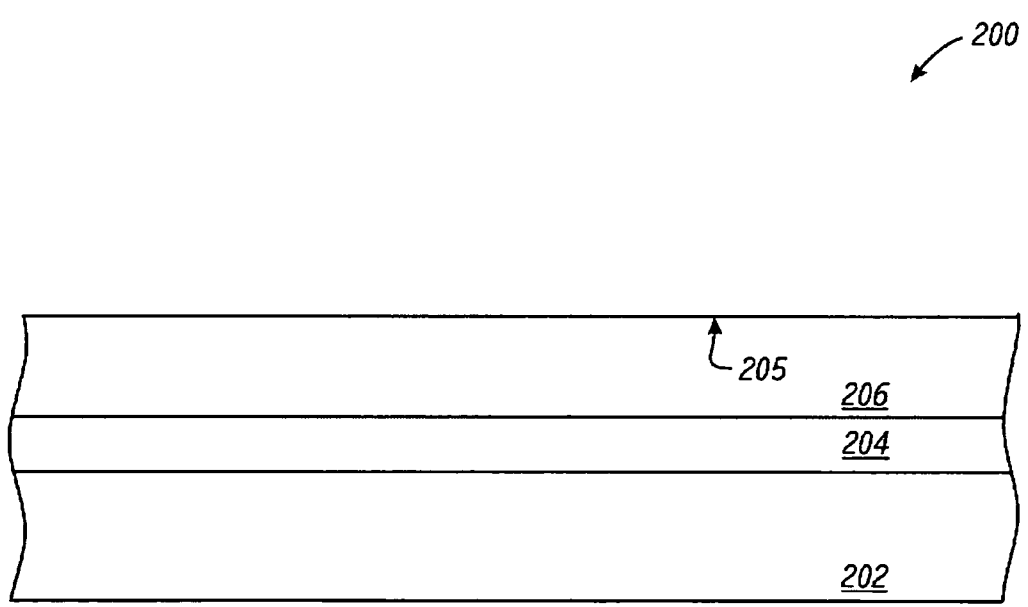


圖 2

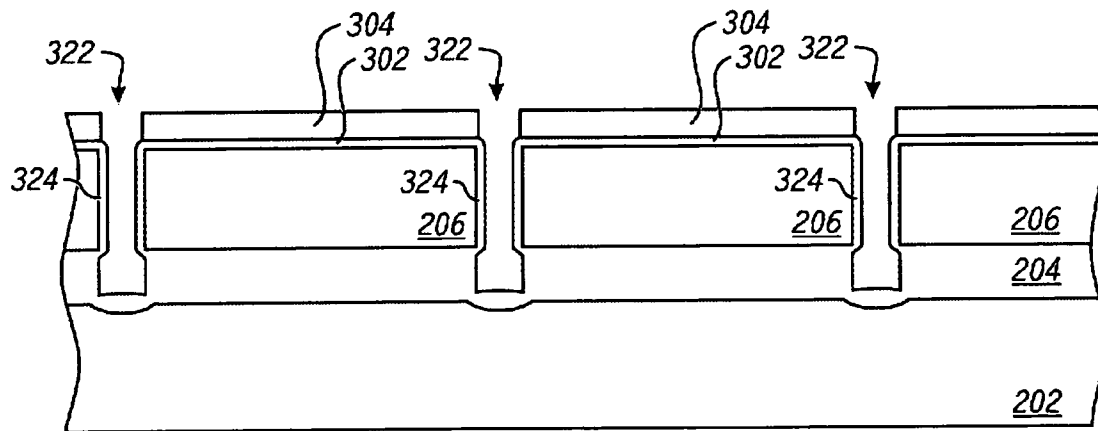


圖 3

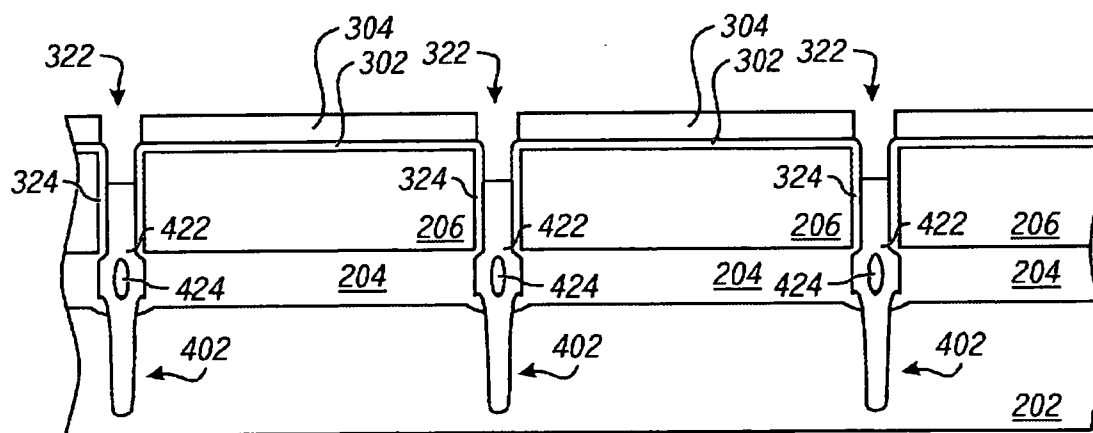


圖 4

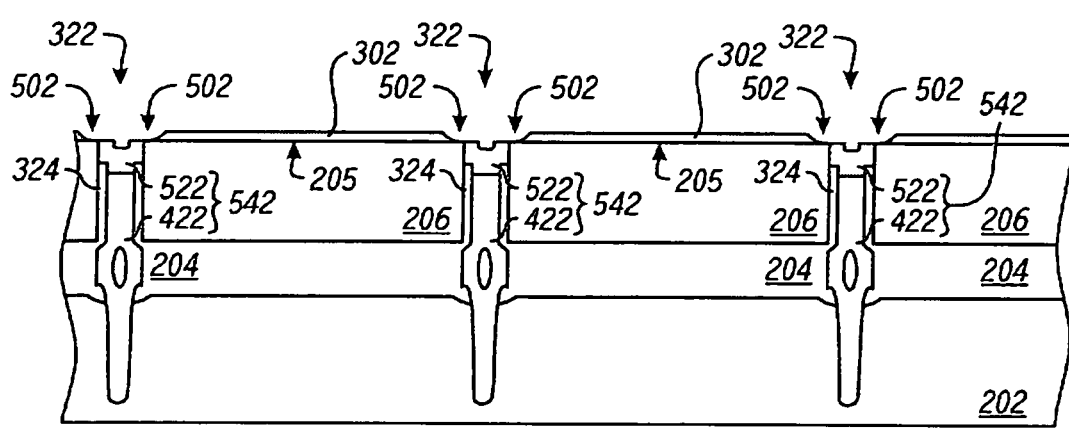


圖 5

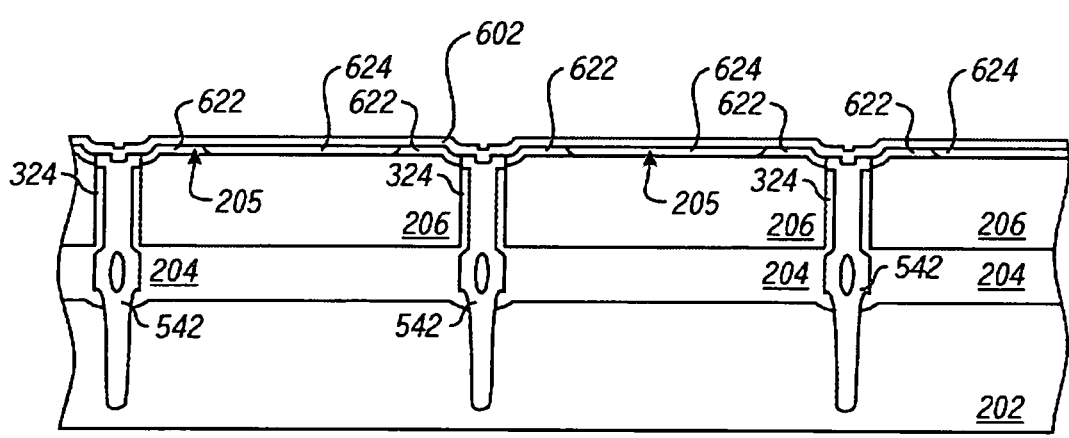


圖 6

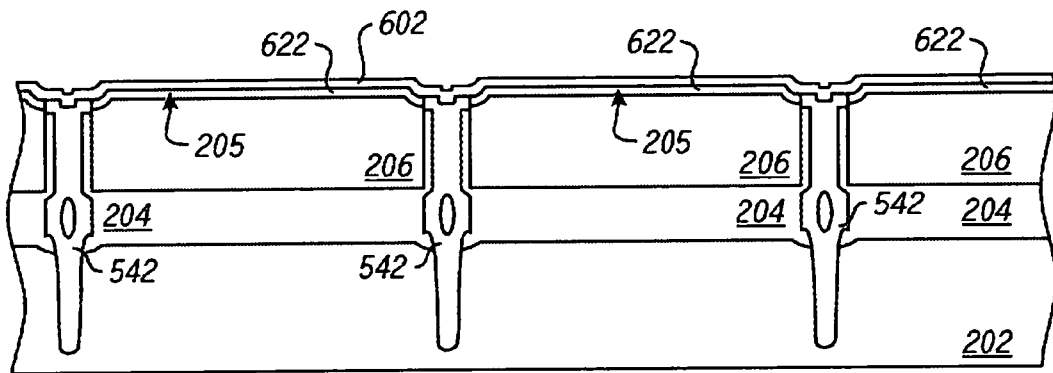


圖 7

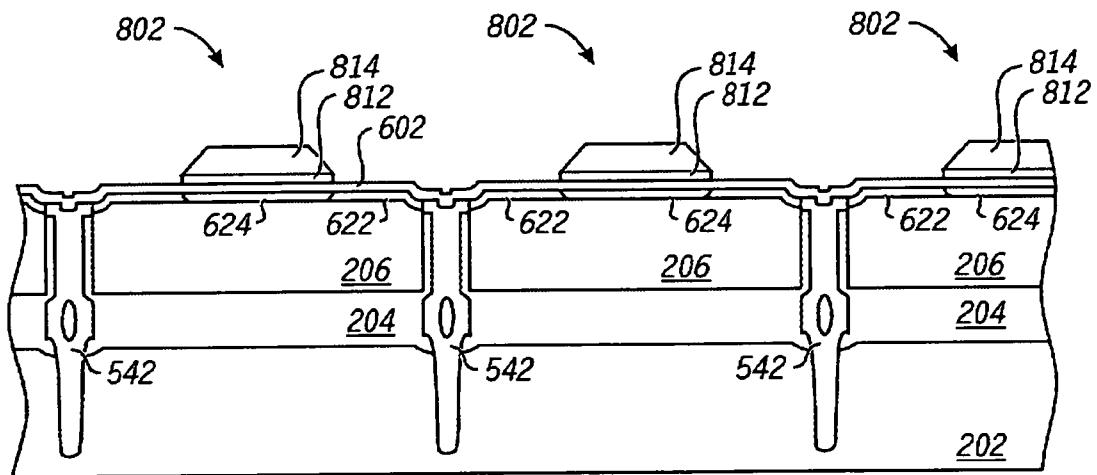


圖 8

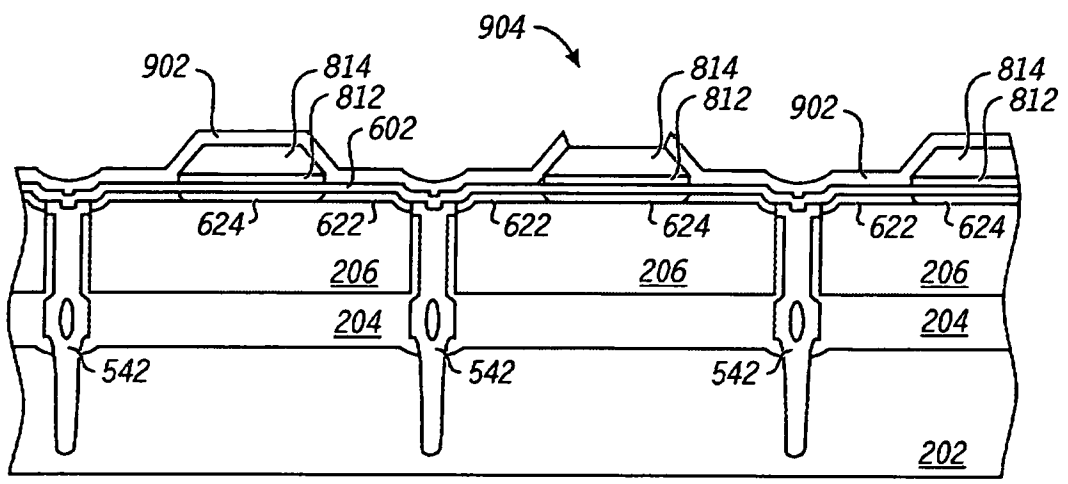


圖 9

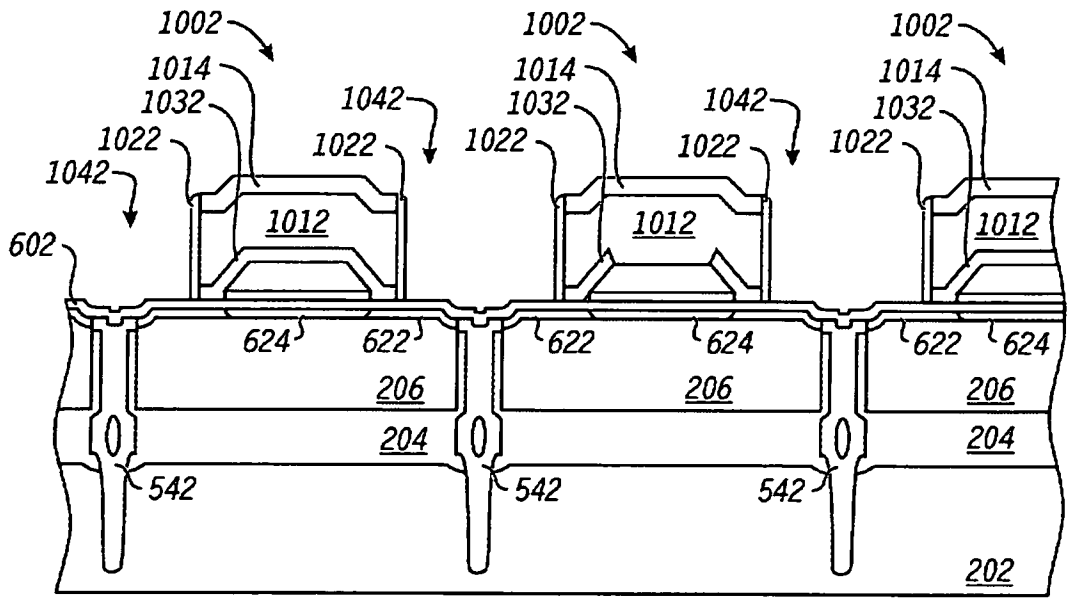


圖 10

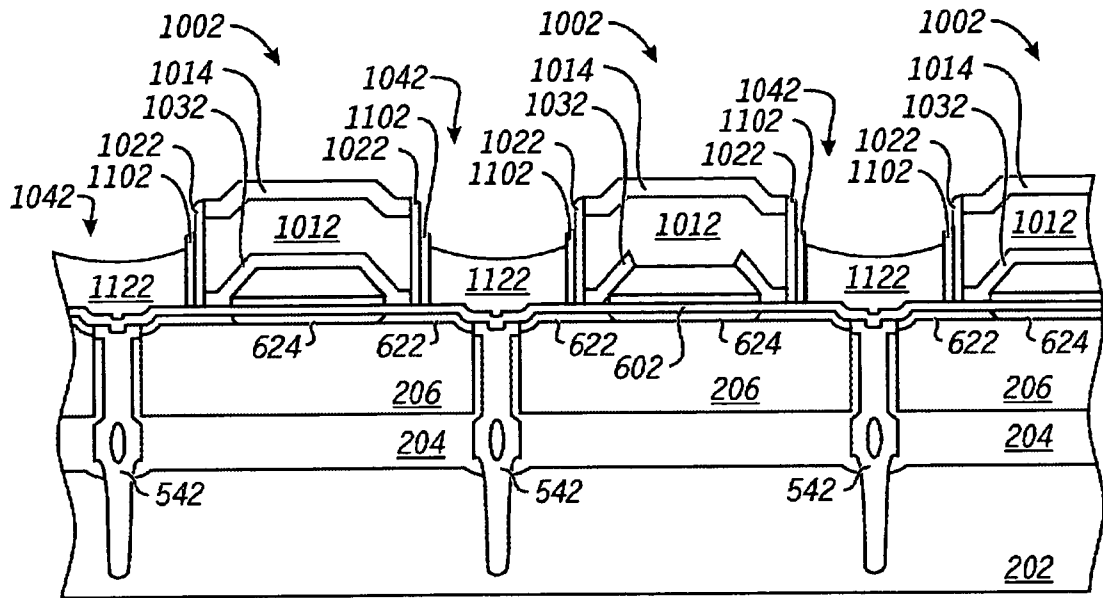


圖 11

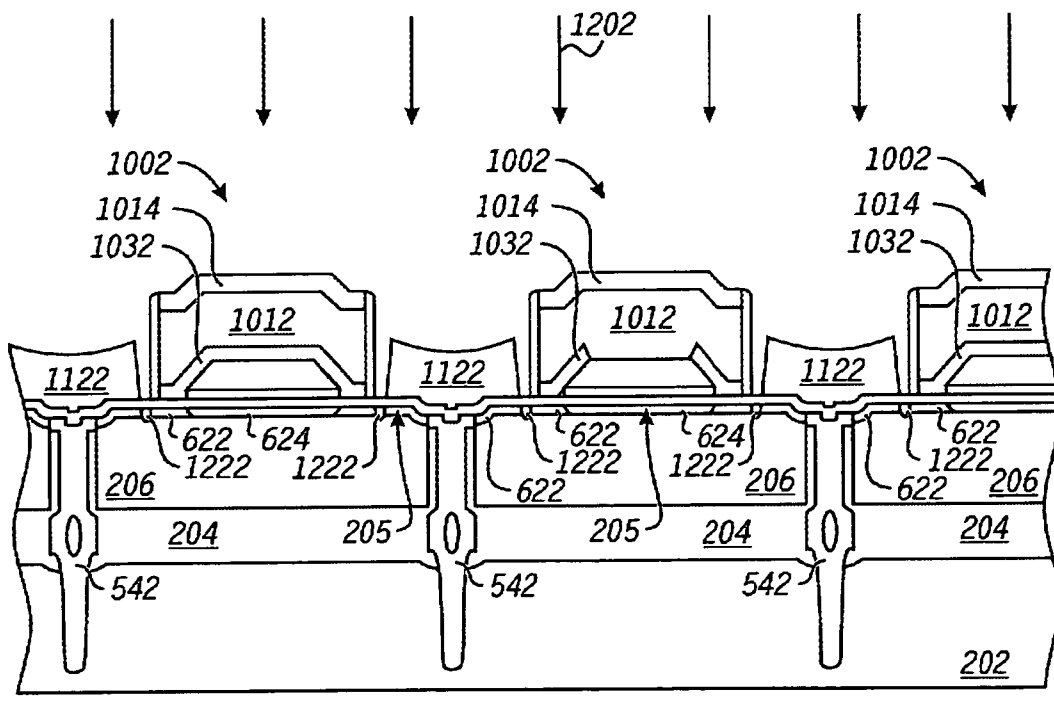


圖 12

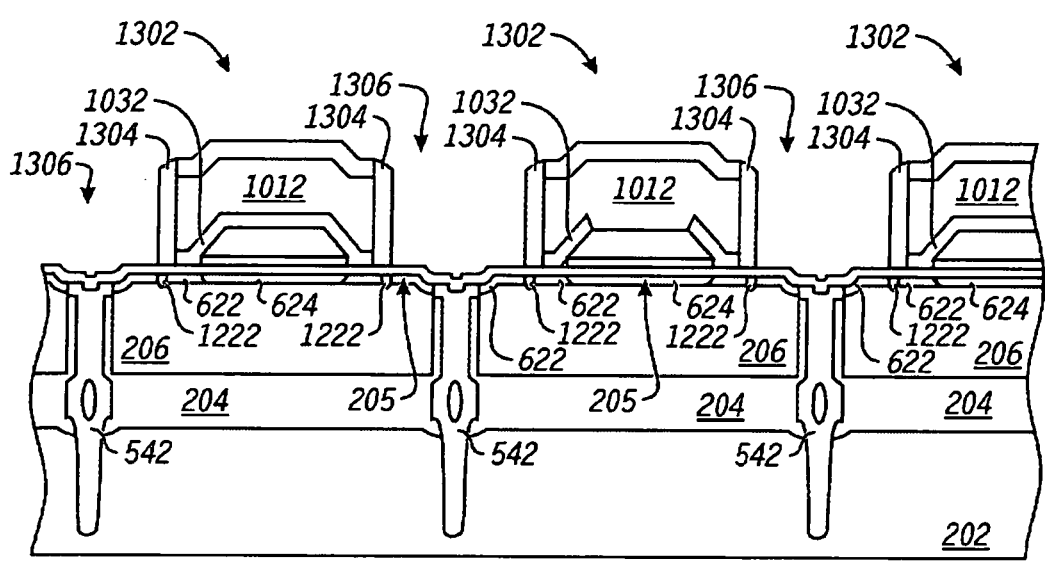


圖 13

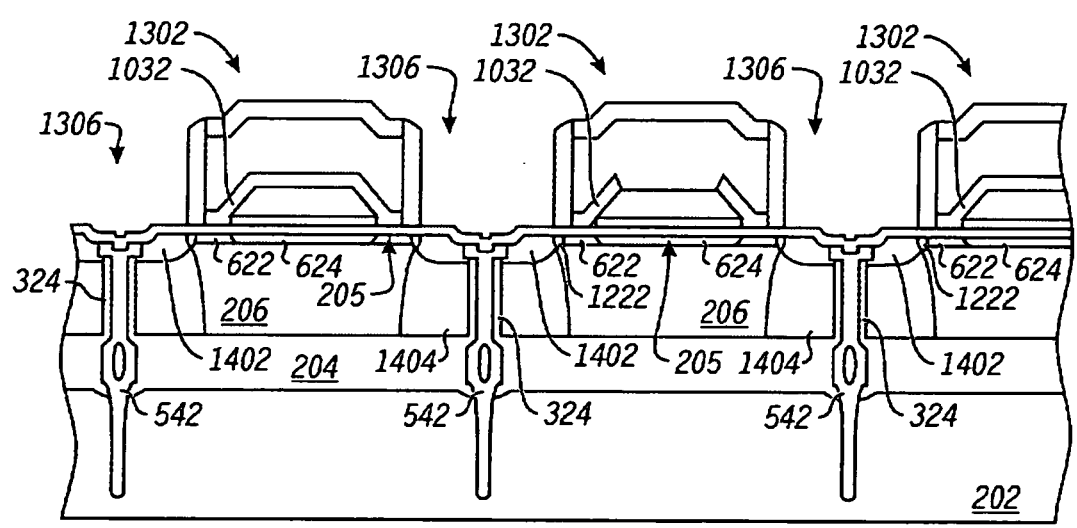


圖 14

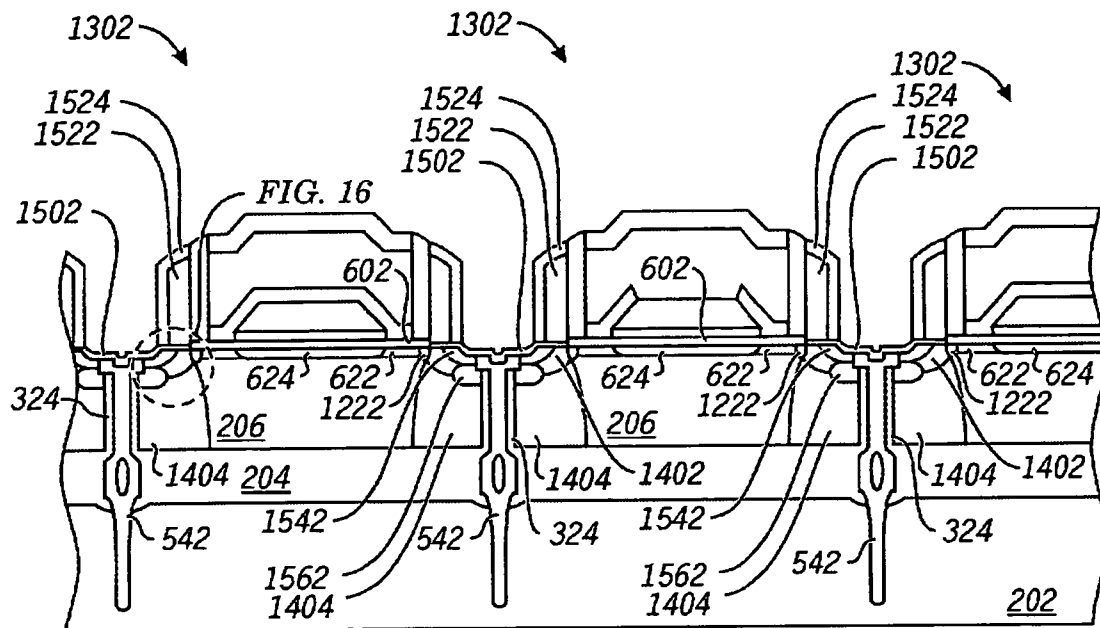


圖 15

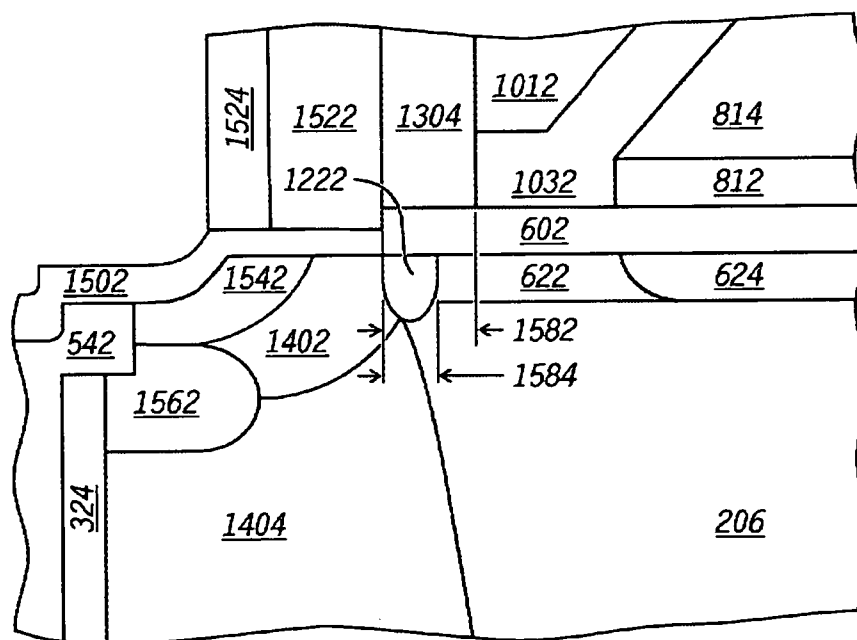


圖 16

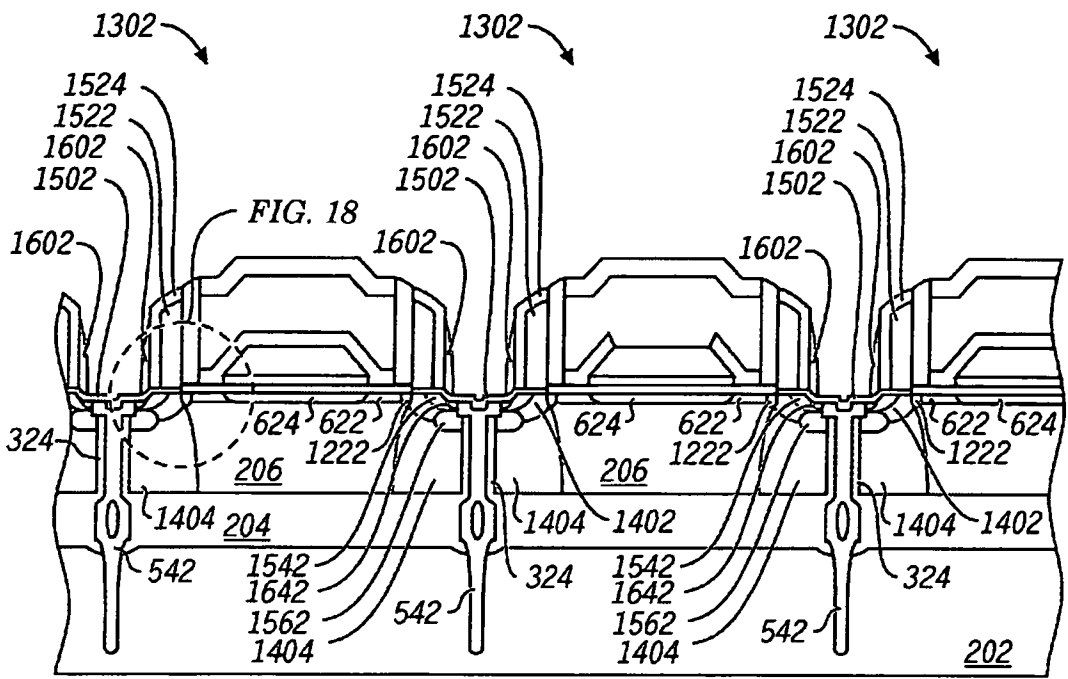


圖 17

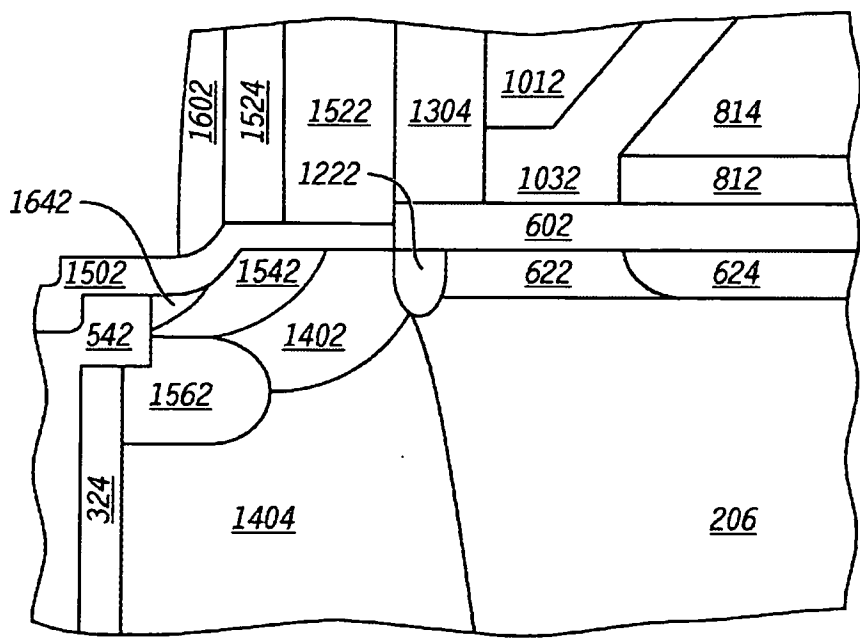


圖 18

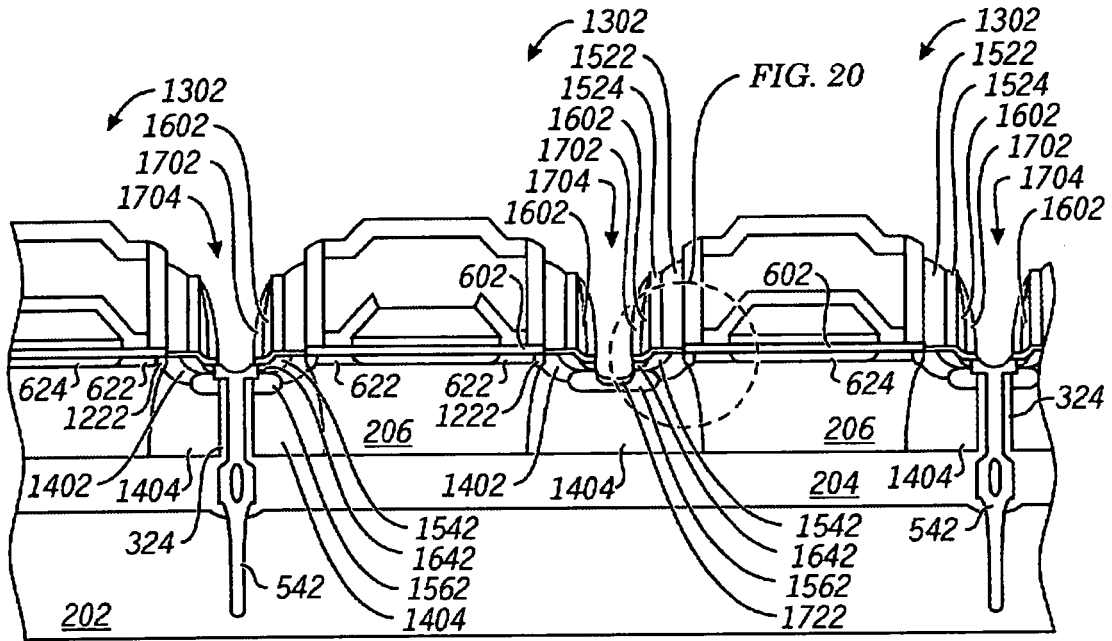


圖 19

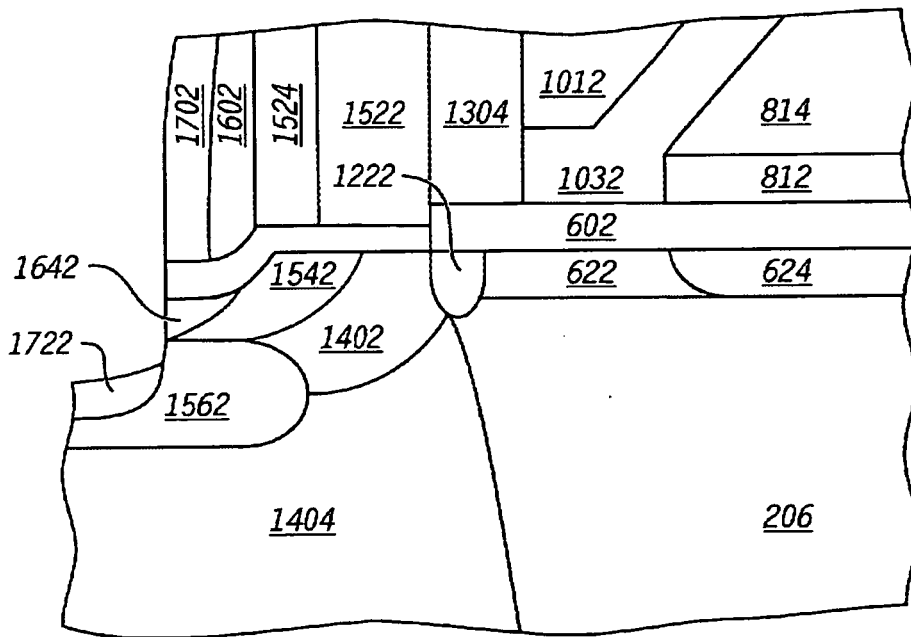


圖 20

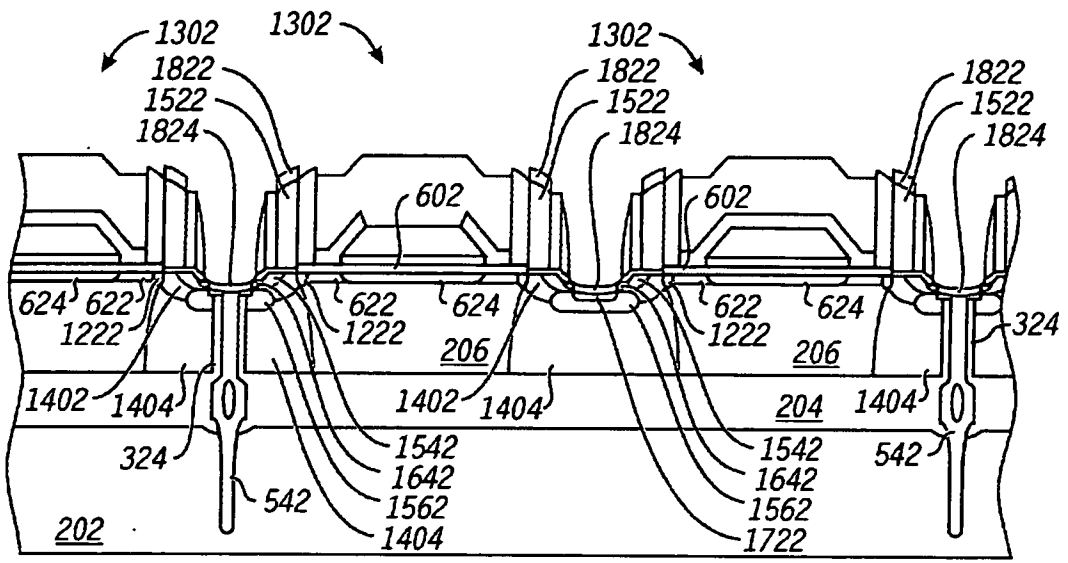


圖 21

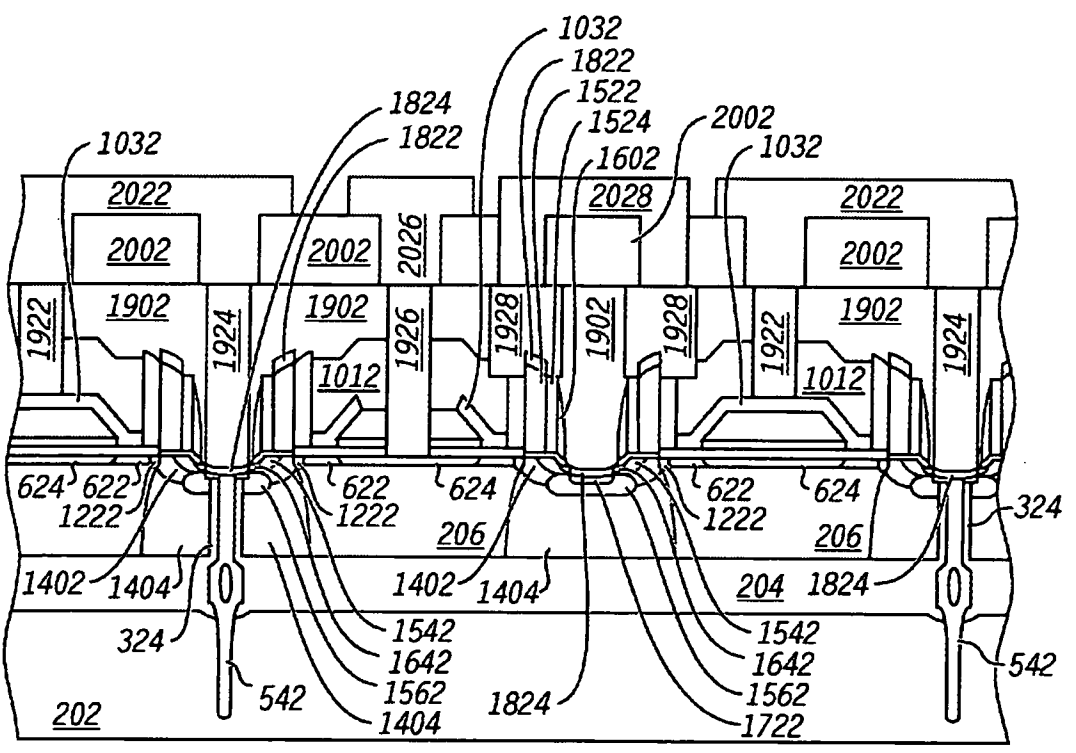


圖 22

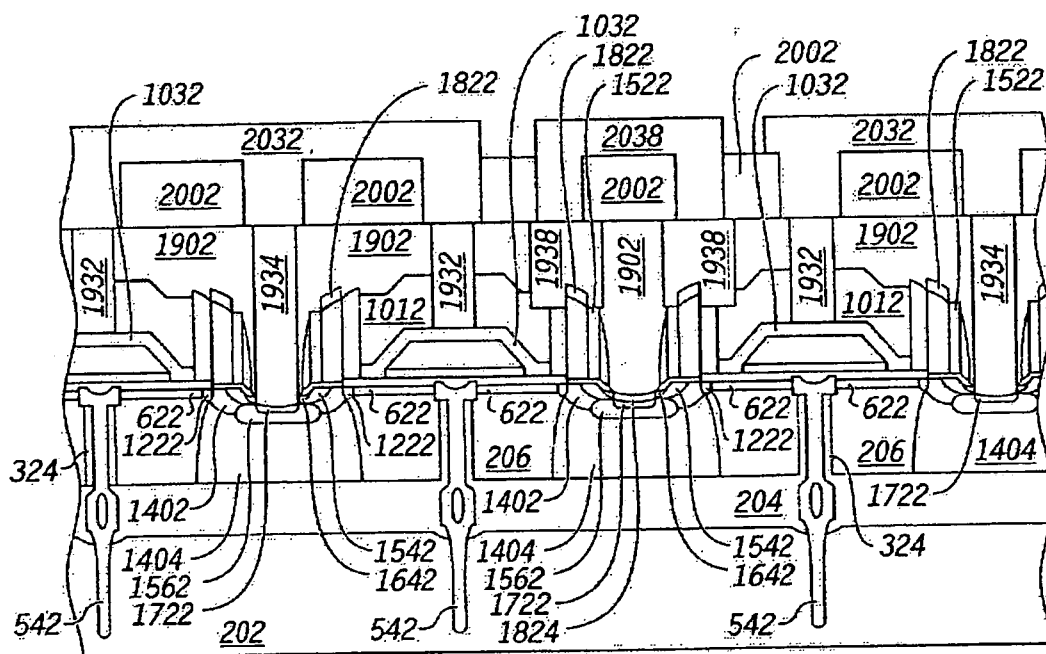


圖 23