

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6740723号
(P6740723)

(45) 発行日 令和2年8月19日(2020.8.19)

(24) 登録日 令和2年7月29日(2020.7.29)

(51) Int.Cl.		F I			
H03D	7/14	(2006.01)	H03D	7/14	C
H03D	9/06	(2006.01)	H03D	9/06	K

請求項の数 3 (全 10 頁)

<p>(21) 出願番号 特願2016-113933 (P2016-113933)</p> <p>(22) 出願日 平成28年6月7日 (2016.6.7)</p> <p>(65) 公開番号 特開2017-220803 (P2017-220803A)</p> <p>(43) 公開日 平成29年12月14日 (2017.12.14)</p> <p>審査請求日 平成31年4月22日 (2019.4.22)</p>	<p>(73) 特許権者 000002130 住友電気工業株式会社 大阪府大阪市中央区北浜四丁目5番33号</p> <p>(74) 代理人 100087480 弁理士 片山 修平</p> <p>(72) 発明者 姉川 修 神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社 横浜製作所内</p> <p>審査官 志津木 康</p> <p>(56) 参考文献 特開平09-093043 (JP, A) 特表2000-514988 (JP, A)</p> <p style="text-align: right;">最終頁に続く</p>
--	--

(54) 【発明の名称】 リングミキサ

(57) 【特許請求の範囲】

【請求項1】

互いに平衡な入力信号が入力する第1の入力端子および第2の入力端子と、
互いに平衡な発振信号が入力する第3の入力端子および第4の入力端子と、
第1の出力端子および第2の出力端子と、
一端が前記第1の出力端子に接続され、他端が第1のノードに接続された第1の分布定数線路と、
一端が前記第3の入力端子に接続され、他端が前記第1のノードに接続された第2の分布定数線路と、
一端が前記第2の出力端子に接続され、他端が第2のノードに接続された第3の分布定数線路と、
一端が前記第4の入力端子に接続され、他端が前記第2のノードに接続された第4の分布定数線路と、
一端が前記第1の出力端子に接続され、他端が第3のノードに接続された第5の分布定数線路と、
一端が前記第4の入力端子に接続され、他端が前記第3のノードに接続された第6の分布定数線路と、
一端が前記第2の出力端子に接続され、他端が第4のノードに接続された第7の分布定数線路と、
一端が前記第3の入力端子に接続され、他端が前記第4のノードに接続された第8の分

10

20

布定数線路と、

ゲートが前記第 1 の入力端子に接続され、ドレインが前記第 1 のノードに接続され、ソースが接地された第 1 の F E T と、

ゲートが前記第 1 の入力端子に接続され、ドレインが前記第 2 のノードに接続され、ソースが接地された第 2 の F E T と、

ゲートが前記第 2 の入力端子に接続され、ドレインが前記第 3 のノードに接続され、ソースが接地された第 3 の F E T と、

ゲートが前記第 2 の入力端子に接続され、ドレインが前記第 4 のノードに接続され、ソースが接地された第 4 の F E T と、

を具備し、

前記第 1 の分布定数線路、前記第 2 の分布定数線路、前記第 3 の分布定数線路、前記第 4 の分布定数線路、前記第 5 の分布定数線路、前記第 6 の分布定数線路、前記第 7 の分布定数線路および前記第 8 の分布定数線路の電気長は、各々前記発振信号の波長の $1 / 8$ 以上かつ $3 / 8$ 以下である、リングミキサ。

【請求項 2】

前記第 1 の分布定数線路、前記第 2 の分布定数線路、前記第 3 の分布定数線路、前記第 4 の分布定数線路、前記第 5 の分布定数線路、前記第 6 の分布定数線路、前記第 7 の分布定数線路および前記第 8 の分布定数線路の電気長は、各々前記発振信号の波長の $3 / 16$ 以上かつ $5 / 16$ 以下である、請求項 1 に記載のリングミキサ。

【請求項 3】

前記第 1 の出力端子および前記第 2 の出力端子から、前記発振信号に前記入力信号がミキシングされた互いに平衡な出力信号が出力される請求項 1 または請求項 2 に記載のリングミキサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、リングミキサに関し、例えば F E T を有するリングミキサに関する。

【背景技術】

【0002】

リングミキサは、局所発振信号に入力信号をミキシングし出力信号を出力する回路である。出力信号を出力する F E T (Field Effect Transistor) を用いたリングミキサが知られている(特許文献 1)。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開平 8 - 204458 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、F E T を用いたリングミキサでは、入力信号から出力信号への変換利得が低い。本発明は、上記課題に鑑みなされたものであり、変換利得を向上させることを目的とする。

【課題を解決するための手段】

【0005】

本発明の一実施形態は、各々一対の分布定数線路が直列に接続され、リング状に接続された 4 つの線路と、前記 4 つの線路のうち隣接する線路の間に設けられ、対向するノードに発振信号が入力し、残りの対向するノードから出力信号が出力する 4 つのノードと、ソースに基準電位が供給され、ドレインがそれぞれ前記一対の分布定数線路間のノードに接続され、ゲートに入力信号が入力する 4 つの F E T と、を具備するリングミキサである。

【発明の効果】

10

20

30

40

50

【 0 0 0 6 】

本発明によれば、変換利得を向上させることができる。

【 図面の簡単な説明 】

【 0 0 0 7 】

【 図 1 】 図 1 は、比較例 1 に係るリングミキサの回路図である。

【 図 2 】 図 2 は、比較例 1 および実施例 1 における各信号の時間に対する電圧を示す図である。

【 図 3 】 図 3 は、比較例 1 における周波数に対する変換利得を示す図である。

【 図 4 】 図 4 (a) から図 4 (d) は、線路 2 2 を示す等価回路図である。

【 図 5 】 図 5 は、実施例 1 に係るリングミキサの回路図である。

【 図 6 】 図 6 (a) から図 6 (d) は、線路 2 2 を示す等価回路図である。

【 図 7 】 図 7 は、実施例 1 における周波数に対する変換利得を示す図である。

【 図 8 】 図 8 は、実施例 1 における入力信号のパワーに対する変換利得を示す図である。

【 図 9 】 図 9 は、実施例 1 における入力信号のパワーに対する変換位相を示す図である。

【 発明を実施するための形態 】

【 0 0 0 8 】

[本願発明の実施形態の説明]

最初に本願発明の実施形態の内容を列記して説明する。

本願発明は、各々一对の分布定数線路が直列に接続され、リング状に接続された 4 つの線路と、前記 4 つの線路のうち隣接する線路の間に設けられ、対向するノードに発振信号が入力し、残りの対向するノードから出力信号が出力する 4 つのノードと、ソースに基準電位が供給され、ドレインがそれぞれ前記一对の分布定数線路間のノードに接続され、ゲートに入力信号が入力する 4 つの F E T と、を具備するリングミキサである。これにより、F E T がオンしたときに隣接する線路間のノードからみた分布定数線路をオープンにできる。これにより、線路を遮断できる。よって、入力信号から出力信号への変換利得を向上できる。

【 0 0 0 9 】

前記 4 つの F E T のうち対向する F E T のゲートに前記入力信号である平衡入力信号の一方が入力し、残りの対向する F E T のゲートに前記平衡入力端子の他方が入力し、前記対向するノードの一方に前記発振信号である平衡発振信号の一方が入力し、前記対向するノードの他方に前記平衡発振信号の他方が入力し、前記残りの対向するノードの一方から前記出力信号である平衡出力信号の一方が出力し、前記残りの対向するノードの他方から前記平衡出力信号の他方が出力することが好ましい。これにより、平衡発振信号に平衡入力信号をミキシングし、平衡出力信号として出力できる。

【 0 0 1 0 】

前記 4 つの線路における前記一对の分布定数線路は、各々前記発振信号の波長の 1 / 8 以上かつ 3 / 8 以下の電気長を有することが好ましい。これにより、F E T がオンしたときに、隣接する線路間のノードからみた分布定数線路を理想的にオープンにできる。これにより、線路をより理想的に遮断できる。よって、入力信号から出力信号への変換利得をより向上できる。

【 0 0 1 1 】

[比較例 1]

図 1 は、比較例 1 に係るリングミキサの回路図である。図 1 に示すように、リングミキサ 1 0 2 では、ノード N 6 と N 8 との間、ノード N 7 と N 9 との間、ノード N 6 と N 9 との間、およびノード N 7 と N 8 との間にそれぞれ線路 2 2、2 4、2 6 および 2 8 が直列に接続されている。線路 2 2 から 2 8 にはそれぞれ F E T 3 2 から 3 8 が直列に接続されている。発振端子 L O 1 は F E T 3 2 および 3 4 のゲートに接続され、発振端子 L O 2 は F E T 3 6 および 3 8 のゲートに接続されている。入力端子 I F 1 および I F 2 はそれぞれノード N 8 および N 9 に接続されている。出力端子 R F 1 および R F 2 はそれぞれノード N 6 および N 7 に接続されている。

10

20

30

40

50

【 0 0 1 2 】

発振端子 L O 1 および L O 2 にはそれぞれ発振信号 L O + および L O - が入力する。入力端子 I F 1 および I F 2 にはそれぞれ入力信号 I F + および I F - が入力する。出力端子 R F 1 および R F 2 からそれぞれ出力信号 R F + および R F - が出力する。発振信号 L O + と L O - 、入力信号 I F + と I F - 、および出力信号 R F + と R F - は各々平衡信号である。図 1 において、実線は F E T 3 2 および 3 4 がオンかつ F E T 3 6 および 3 8 がオフのときの信号の流れを示す。破線は F E T 3 2 および 3 4 がオフかつ F E T 3 6 および 3 8 がオンのときの信号の流れを示す。太線は入力信号 I F + の流れを示し、細線は入力信号 I F - の流れを示す。

【 0 0 1 3 】

図 2 は、比較例 1 および実施例 1 における各信号の時間に対する電圧を示す図である。時間に対する発振信号 L O + 、入力信号 I F + および出力信号 R F + を示している。時間は任意座標である。図 1 および図 2 に示すように、発振信号 L O + が正のとき、F E T 3 2 および 3 4 がオンし F E T 3 6 および 3 8 がオフする。このため、出力信号 R F + としてほぼ入力信号 I F + が出力される、出力信号 R F - としてほぼ入力信号 I F - が出力される。発振信号 L O + が負のとき、F E T 3 2 および 3 4 がオフし F E T 3 6 および 3 8 がオンする。このため、出力信号 R F + としてほぼ入力信号 I F - が出力される、出力信号 R F - としてほぼ入力信号 I F + が出力される。以上により、発振信号 L O + および L O - と入力信号 I F + および I F - がミキシングされた信号が出力信号 R F + および R F - として出力される。

【 0 0 1 4 】

比較例 1 に係るリングミキサの変換利得をシミュレーションした。シミュレーションの条件は以下である。

F E T : I n G a A s チャンネル層 / A l G a A s 電子供給層 H E M T (High Electron Mobility Transistor)、ゲート幅 $80 \mu\text{m}$

発振信号 : L O (Local Oscillation) 信号 周波数 70 GHz から 82 GHz

入力信号 : I F (Intermediate Frequency) 信号 周波数 3 GHz 、パワー - 20 dBm

出力信号 : R F (Radio Frequency) 信号

【 0 0 1 5 】

図 3 は、比較例 1 における周波数に対する変換利得を示す図である。周波数は発振信号の周波数であり、変換利得は入力信号に対する出力信号の利得である。実線は入力信号 I F + に対する出力信号 R F + の変換利得であり、破線は入力信号 I F - に対する出力信号 R F - の変換利得である。周波数が 70 GHz から 82 GHz において変換利得は -10.5 dB から -12.2 dB と小さい。

【 0 0 1 6 】

比較例 1 において変換利得の低い理由を説明する。図 4 (a) から図 4 (d) は、線路 2 2 を示す等価回路図である。図 4 (a) に示すように、線路 2 2 に F E T 3 2 が設けられている。F E T 3 2 がオンのとき、ノード N 6 と N 8 との間を線路 2 2 を介し高周波信号が伝送される。図 4 (b) に示すように、F E T 3 2 がオフすると、線路 2 2 は遮断され、線路 2 2 には信号は高周波信号が伝送されないはずである。

【 0 0 1 7 】

しかしながら、図 4 (c) に示すように、実際の線路 2 2 では、F E T 3 2 とノード N 6 および N 8 との間に伝送線路として分布定数線路 L 0 が接続されている。図 4 (d) に示すように、F E T 3 2 がオフすると、分布定数線路 L 0 はオープンスタブとなる。このため、分布定数線路 L 0 の長さ等によっては、線路 2 2 が理想的なオフにならず、変換利得が低下してしまう。

【 実施例 1 】

【 0 0 1 8 】

図 5 は、実施例 1 に係るリングミキサの回路図である。図 5 に示すように、リングミキ

10

20

30

40

50

サ 1 0 0 では、ノード N 6 と N 8 との間、ノード N 7 と N 9 との間、ノード N 6 と N 9 との間、およびノード N 7 と N 8 との間にそれぞれ線路 2 2、2 4、2 6 および 2 8 が直列に接続されている。このように、線路 2 2 から 2 8 はリング状に接続されている。線路 2 2 から 2 8 にはそれぞれ分布定数線路 L 1 から L 4 が一対ずつ設けられている。一対の分布定数線路 L 1 から L 4 のそれぞれの間のノードがノード N 1 から N 4 である。ノード N 6 から N 9 はそれぞれ出力端子 R F 1、R F 2、発振端子 L O 1 および L O 2 に接続されている。F E T 1 2 から 1 8 のソースはそれぞれグランドに、ドレインはノード N 1 から N 4 に接続されている。F E T 1 2 および 1 4 のゲートは入力端子 I F 1 に、F E T 1 6 および 1 8 のゲートは入力端子 I F 2 に接続されている。

【 0 0 1 9 】

発振信号 L O + および L O - は平衡発振信号であり、互いにほぼ逆相である。入力信号 I F + および I F - は平衡入力信号であり、互いにほぼ逆相である。出力信号 R F + および R F - は平衡出力信号であり、互いにほぼ逆相である。F E T 1 2 から 1 8 は、ゲートに入力信号 I F + および I F - の最大振幅の中央値（例えば図 2 では 0 V）より高い電圧（例えば図 2 では正電圧）が入力するとオンし、低い電圧（例えば図 2 では負電圧）が入力するとオフする。例えば F E T 1 2 から 1 8 のピンチオフ電圧をゲートに入力信号 I F + および I F - の最大振幅の中央値とする。

【 0 0 2 0 】

図 5 において、実線は F E T 1 2 および 1 4 がオフかつ F E T 1 6 および 1 8 がオンのときの信号の流れを示す。破線は F E T 1 2 および 1 4 がオンかつ F E T 1 6 および 1 8 がオフのときの信号の流れを示す。太線は発振信号 L O + の流れを示し、細線は発振信号 L O - の流れを示す。図 2 および図 5 に示すように、入力信号 I F + が負のとき、F E T 1 2 および 1 4 がオフし F E T 1 6 および 1 8 がオンする。このため、出力信号 R F + としてほぼ発振信号 L O + が出力される、出力信号 R F - としてほぼ発振信号 L O - が出力される。入力信号 I F + が正のとき、F E T 1 2 および 1 4 がオンし F E T 1 6 および 1 8 がオフする。このため、出力信号 R F + としてほぼ発振信号 L O - が出力される、出力信号 R F - としてほぼ発振信号 L O + が出力される。以上により、発振信号 L O + および L O - と入力信号 I F + および I F - がミキシングされた信号が出力信号 R F + および R F - として出力される。

【 0 0 2 1 】

図 6 (a) から図 6 (d) は、線路 2 2 を示す等価回路図である。図 6 (a) に示すように、線路 2 2 内のノード N 1 とグランドとの間に F E T 1 2 が接続されている。F E T 1 2 がオフのとき、ノード N 6 と N 8 との間を線路 2 2 を介し高周波信号が伝送される。図 6 (b) に示すように、F E T 1 2 がオンすると、線路 2 2 は接地される。図 6 (c) に示すように、ノード N 1 と N 6 との間、およびノード N 1 と N 8 間に分布定数線路 L 1 を接続する。分布定数線路 L 1 は例えば $\lambda/4$ の長さである。F E T 1 2 がオフのとき、分布定数線路 L 1 は伝送線路として機能する。よって、線路 2 2 を高周波信号が伝送する。図 4 (d) に示すように、F E T 1 2 がオンのときノード N 1 が接地される。分布定数線路 L 1 は長さが $\lambda/4$ のショートスタブとなる。よって、ノード N 6 および N 8 から N 1 を見るとオープンに見える。このように、ノード N 6 と N 8 との間を理想的なオープンにできる。F E T 1 2 の寄生容量等を考慮すると、分布定数線路 L 1 の長さは $\lambda/4$ よりやや短くなる。

【 0 0 2 2 】

実施例 1 に係るリングミキサの変換利得をシミュレーションした。シミュレーションの条件は以下である。

F E T : I n G a A s チャンネル層 / A l G a A s 電子供給層 H E M T、ゲート幅 8 0 μm

分布定数線路 : 長さ 2 2 0 μm 、幅 1 0 μm

発振信号 : L O 信号 周波数 7 0 G H z から 8 2 G H z

入力信号 : I F 信号 周波数 1 G H z

10

20

30

40

50

出力信号：RF信号

【0023】

図7は、実施例1における周波数に対する変換利得を示す図である。周波数は発振信号の周波数であり、変換利得は入力信号に対する出力信号の利得である。実線は入力信号IF+に対する出力信号RF+の変換利得であり、破線は入力信号IF-に対する出力信号RF-の変換利得である。入力信号のパワーは、-20dBmである。周波数が70GHzから82GHzにおいて変換利得は-1.5dBから-2.2dBと比較例1の図3に比べ、変換利得が10dB程度改善している。

【0024】

図8は、実施例1における入力信号のパワーに対する変換利得を示す図である。発振信号の周波数は76GHzである。図8に示すように、IFパワーが増加すると変換利得が大きくなる。IFパワーが-20dBm以下では変換利得は一定であり、良好な線形性を有する。

10

【0025】

図9は、実施例1における入力信号のパワーに対する変換位相を示す図である。発振信号の周波数は76GHzである。図9に示すように、IFパワーが-10dBm以下では変換位相は一定であり、良好な線形性を有する。

【0026】

実施例1によれば、4つの線路22から28は、それぞれ一对の分布定数線路L1からL4が直列に接続され、リング状に接続されている。ノードN6からN9は、4つの線路22から28のうち隣接する線路の間に設けられている。対向するノードN8およびN9に発振信号LO+およびLO-が入力し、残りの対向するノードN6およびN7から出力信号RF+およびRF-が出力される。FET12から18のドレインはそれぞれ一对の分布定数線路L1からL4間のノードN1からN4に接続され、ソースに基準電位（例えばグランド電位）が供給され、ゲートに入力信号IF+およびIF-が入力する。

20

【0027】

これにより、FET12から18がオンしたときに、分布定数線路L1からL4はショートスタブとなり、ノードN6からN9から分布定数線路L1からL4をみたときをオープンにできる。このため、線路22から28を遮断できる。よって、入力信号IF+およびIF-から出力信号RF+およびRF-への変換利得を向上できる。

30

【0028】

また、対向するFET12および14のゲートに入力信号IF+（平衡入力信号の一方）が入力し、残りの対向するFET16および18のゲートに入力信号IF-（平衡入力端子の他方）が入力する。対向するノードN8およびN9の一方のノードN8に発振信号LO+（平衡発振信号の一方）が入力し、他方のノードN9に発振信号LO-（平衡発振信号の他方）が入力する。残りの対向するノードN6およびN7の一方のノードN6から出力信号RF+（平衡出力信号の一方）が出力し、他方のノードN7から出力信号RF-（平衡出力信号の他方）が出力する。

【0029】

これにより、図5のように、平衡発振信号LO+およびLO-と平衡入力信号IF+およびIF-をミキシングし、平衡出力信号RF+およびRF-を出力できる。発振信号LO+とLO-と、入力信号IF+とIF-と、および出力信号RF+とRF-と、は逆相である。これらの位相差は、リングミキサとして機能する範囲で逆相であればよい。

40

【0030】

さらに、線路22から28における一对の分布定数線路L1からL4は、発振信号LO+およびLO-の波長の1/8以上かつ3/8以下の電気長を有する。これにより、FET12から18がオンしたときに、ショートスタブとして機能する分布定数線路L1からL4をノードN6からN9からみたときに理想的にオープンにできる。このため、線路22から28を理想により近い状態で遮断できる。よって、入力信号IF+およびIF-から出力信号RF+およびRF-への変換利得をさらに向上できる。

50

【0031】

分布定数線路L1からL4は、発振信号LO+およびLO-の波長の3/16以上かつ5/16以下の電気長であることがより好ましい。さらに、分布定数線路L1からL4は、発振信号LO+およびLO-の波長の1/4の電気長であることがさらに好ましい。これにより、FET12から18がオンしたときに、線路22から28をより理想的に遮断できる。

【0032】

入力信号IF+およびIF-は出力信号RF+およびRF-より周波数が低い例(すなわちアップコンバートする例)を説明したが、入力信号IF+およびIF-は出力信号RF+およびRF-より周波数が高くてよい(すなわちダウンコンバートでも)よい。

10

【0033】

線路22から28は同じように動作することが好ましい。よって、分布定数線路L1からL4の電気長は略同じであることが好ましい。また、FET12から18のサイズ(例えばゲート幅)は略同じであることが好ましい。FET12から18の特性(例えばピンチオフ電圧)は略同じであることが好ましい。略同じとは、リングミキサとして機能する範囲で同じであればよい。例えば、製造誤差を含む範囲で同じであればよい。

【0034】

分布定数線路を短くするため、発振信号LO+およびLO-の周波数は10GHz以上が好ましく、30GHz以上がより好ましい。また、発振信号LO+およびLO-の周波数は100GHz以下が好ましい。

20

【0035】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した意味ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

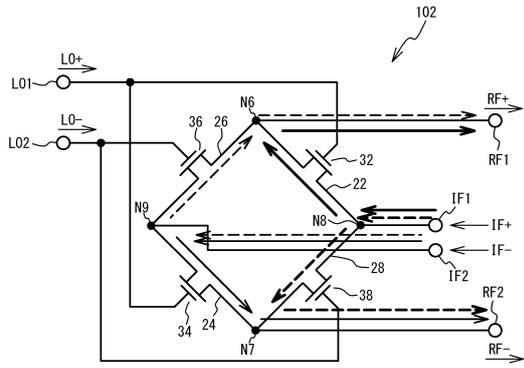
【符号の説明】

【0036】

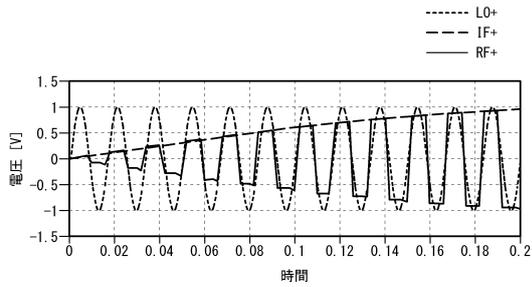
12、14、16、18、32、34、36、38 FET
 22、24、26、28 線路
 IF1、IF2 入力端子
 LO1、LO2 発振端子
 RF1、RF2 出力端子
 IF+、IF- 入力信号
 LO+、LO- 発振信号
 RF+、RF- 出力信号
 L1、L2、L3、L4 分布定数線路
 N1、N2、N3、N4、N6、N7、N8、N9 ノード

30

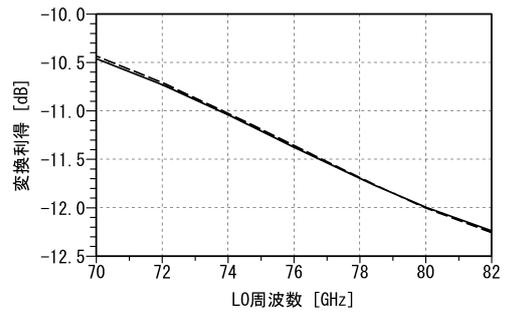
【図1】



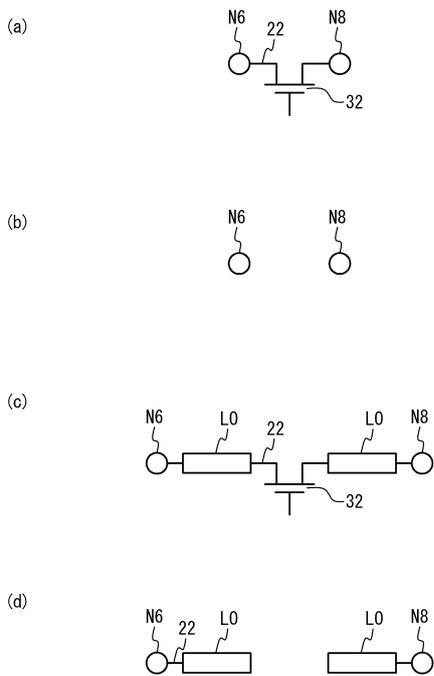
【図2】



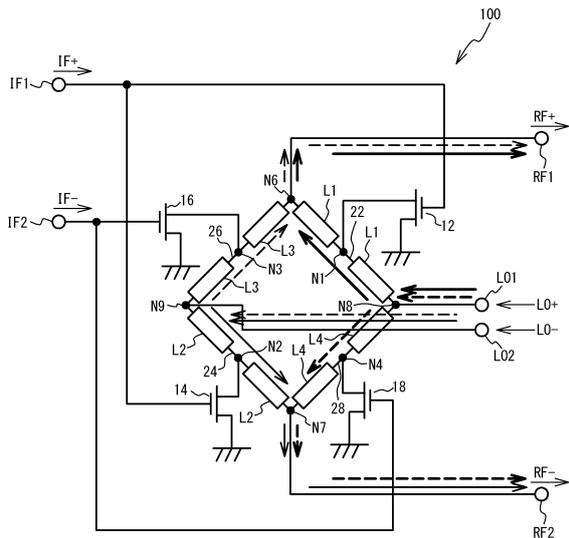
【図3】



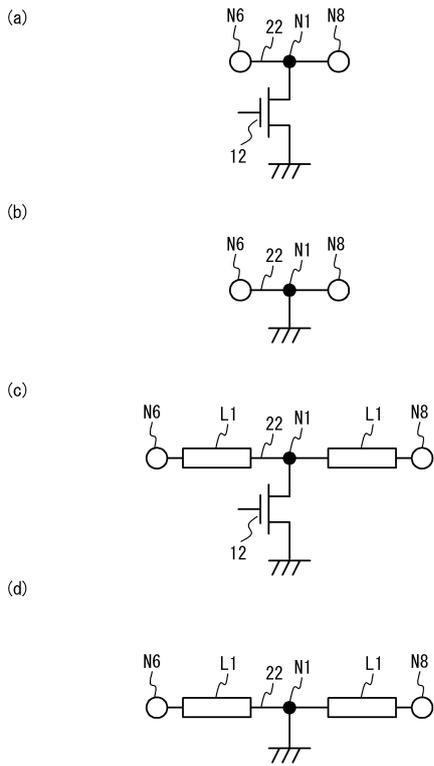
【図4】



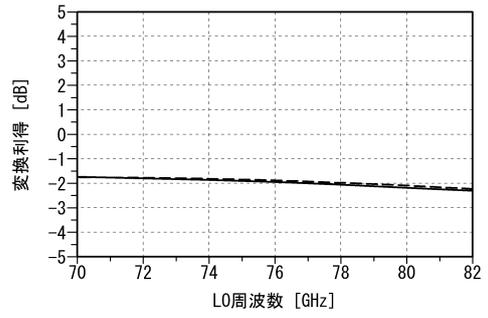
【図5】



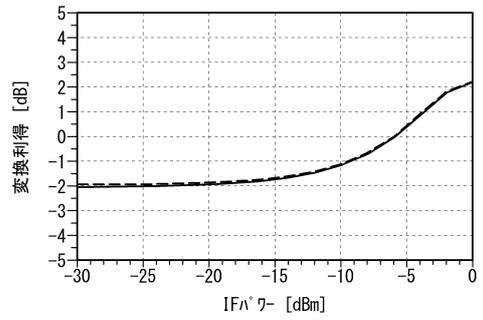
【図6】



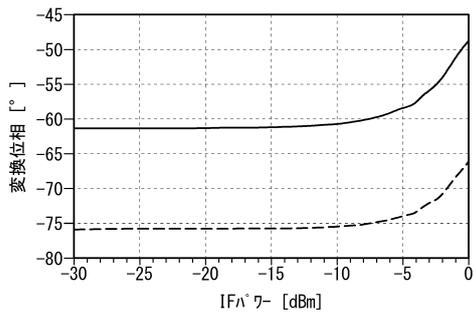
【図7】



【図8】



【図9】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H03D7/00 - H03D9/06