

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4472934号
(P4472934)

(45) 発行日 平成22年6月2日(2010.6.2)

(24) 登録日 平成22年3月12日(2010.3.12)

(51) Int.Cl.

F I

HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 4 3 4
HO 1 L 27/115 (2006.01)	HO 1 L 29/78 3 7 1
HO 1 L 29/788 (2006.01)	HO 1 L 27/08 3 2 1 E
HO 1 L 29/792 (2006.01)	G 1 1 C 17/00 6 2 1 Z
HO 1 L 21/8238 (2006.01)	G 1 1 C 17/00 6 3 4 A

請求項の数 2 (全 48 頁) 最終頁に続く

(21) 出願番号 特願2003-36005 (P2003-36005)
 (22) 出願日 平成15年2月14日(2003.2.14)
 (65) 公開番号 特開2004-6658 (P2004-6658A)
 (43) 公開日 平成16年1月8日(2004.1.8)
 審査請求日 平成18年2月6日(2006.2.6)
 (31) 優先権主張番号 特願2002-89744 (P2002-89744)
 (32) 優先日 平成14年3月27日(2002.3.27)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 593102345
 イノテック株式会社
 神奈川県横浜市港北区新横浜 3-17-6
 (74) 代理人 100079991
 弁理士 香取 孝雄
 (72) 発明者 三井田 ▲高▼
 神奈川県横浜市港北区新横浜 3丁目17番
 6号 イノテック株式会社内

審査官 河合 俊英

最終頁に続く

(54) 【発明の名称】 半導体装置および半導体メモリ

(57) 【特許請求の範囲】

【請求項1】

表面をエッチングしてトレンチを形成することによりコラム方向に連続し、ロウ方向に複数配列された凸部および該凸部に隣接した複数のトレンチの底面を形成した一導電型半導体基板と、

前記凸部に形成されたチャネル領域と、該チャネル領域の左右に隣接してトレンチ底面である半導体基板表面に形成された反対導電型のビット線の対と、ロウ方向に複数形成されたコントロールゲートの1つとによって単位セルトランジスタが形成され、該単位セルトランジスタが前記ロウ方向およびコラム方向に複数配列されたセルトランジスタアレイと、

該セルトランジスタアレイの1つの凸部と、これを挟んで隣接する反対導電型ビット線の対、およびコラム方向に複数配置されたコントロールゲートにより構成され、前記コラム方向に複数形成されたセルトランジスタ群を単位とするバンクと、該バンクの前記反対導電型のビット線の各々を選択する選択トランジスタとを備え、

前記選択トランジスタは、前記ビット線と同じ高さ位置にチャネル領域とソース・ドレイン領域とが形成され、かつ前記選択トランジスタの一方のソース・ドレイン領域は前記ビット線と同一面において電氣的に接続されていることを特徴とする半導体メモリ。

【請求項2】

請求項1に記載の半導体メモリにおいて、前記バンクが前記ロウ方向およびコラムに複数配列され、コラム方向に隣接する複数のバンク間は、前記トレンチ底面と同一面となる

10

20

ように前記凸部がエッチング除去され前記選択トランジスタが形成されていることを特徴とする半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置および半導体メモリに関する。より詳細には、本発明は、2つのトランジスタの各ソース・ドレイン領域を共通接続するのに有用な技術に関する。

【0002】

【従来の技術】

EEPROM(Electrically Erasable Programmable Read Only Memory)等の不揮発性メモリは、携帯電話機等に搭載されて現在広く普及している。このEEPROMのセルトランジスタは、そのフローティングゲート内の蓄積電荷の有無によって、1ビットの情報を記憶させることができる。

【0003】

一方、最近になって、デバイスの小型化を図るべく、1ビットではなく複数ビットの情報を記憶することが可能な多値トランジスタの開発が進んでいる。

【0004】

多値トランジスタには種々ある。その中でも、本願発明者は、シリコン基板に溝を複数形成し、その溝の側壁にフローティングゲートを形成して作製される多値トランジスタに注目している(例えば、本願発明者による特許文献1, 2参照。)

【0005】

この種の多値トランジスタでは、上記溝の底面にソース・ドレイン領域が形成され、シリコン基板の表面にチャンネル領域が形成される。すなわち、この多値トランジスタは、ソース・ドレイン領域とチャンネル領域との高さ位置が異なるという特徴を有する。この特徴は、ソース・ドレイン領域とチャンネル領域とが共に基板表面に形成される典型的なMOSトランジスタには見られず、この種の多値トランジスタに特有のものである。

【0006】

【特許文献1】

特許第3249811号明細書

【特許文献2】

特許第3249812号明細書。

【0007】

【発明が解決しようとする課題】

ところで、半導体メモリは、上述のセルトランジスタだけでなく、そのセルトランジスタやバンクを選択するための選択トランジスタも有している。この選択トランジスタとしては、通常、上述のMOSトランジスタが使用される。そして、セルトランジスタと選択トランジスタの各ソース・ドレイン領域が共通接続され、選択トランジスタをオン状態にすることで、それにつながるセルトランジスタやバンクが選択される。

【0008】

しかしながら、上述したように、セルトランジスタのソース・ドレイン領域が溝の底面に形成されるのに対し、選択トランジスタのソース・ドレイン領域は基板の表面に形成されるから、各トランジスタのソース・ドレイン領域は同一平面にはなくその高さ位置が異なる。したがって、それらを共通接続しようとしても、そこには技術上の困難があり、従来技術ではこの接続を実現することができない。

【0009】

本発明はこのような従来技術の欠点を解消し、チャンネル領域とソース・ドレイン領域との高さ位置が異なるトランジスタの当該ソース・ドレイン領域を、別のトランジスタのソース・ドレイン領域に容易に接続することができる半導体装置および半導体メモリを提供することを目的とする。

【0010】

10

20

30

40

50

【課題を解決するための手段】

上記した課題は、ソース・ドレイン領域がチャンネル領域の一部よりも下方に形成される第1トランジスタと、第1トランジスタのソース・ドレイン領域と実質的に同じ高さ位置にチャンネル領域とソース・ドレイン領域とが形成される第2トランジスタとを備え、第1トランジスタと第2トランジスタの各々の一方のソース・ドレイン領域を実質的に同一面内において電氣的に接続したことを特徴とする半導体装置によって解決する。

【0011】

または、複数の凸部が形成された一導電型半導体基板と、隣接する凸部の間の半導体基板の表面に形成された反対導電型のビット線と、ロウ方向およびコラム方向に複数配列され、ビット線をソース領域またはドレイン領域とし、少なくとも凸部の頂面にチャンネル領域が形成されるセルトランジスタと、ビット線と実質的に同じ高さ位置にチャンネル領域とソース・ドレイン領域とが形成され、ビット線を選択する選択トランジスタとを備え、選択トランジスタの一方のソース・ドレイン領域とビット線とを実質的に同一面内において電氣的に接続したことを特徴とする半導体メモリによって解決する。

10

【0012】

さらに、凸部が対向する一对の側面を有し、セルトランジスタが、凸部の頂面に形成された第1絶縁膜と、凸部の各側面とソース・ドレイン領域とを覆う第2絶縁膜と、凸部の両側方の第2絶縁膜上に対をなして形成され、第2絶縁膜を介して凸部の側面とソース・ドレイン領域とに対向する一对のフローティングゲートと、各フローティングゲート上に形成された第3絶縁膜と、第3絶縁膜を介して各フローティングゲートと対向し、かつ、第1絶縁膜を介して凸部の頂面と対向するコントロールゲートとを有することを特徴とする半導体メモリによって解決する。

20

【0013】

また、複数のセルトランジスタを(1コラム)×(所定ロウ)ずつバンク分けして、奇数ロウのバンクと偶数ロウのバンクとを選択トランジスタで仮想接地方式により選択することを特徴とする半導体メモリによっても解決する。

【0014】

これらの本発明によれば、第1トランジスタと第2トランジスタの各ソース・ドレイン領域が実質的に同一面内に位置し、その高さ位置が従来のように異ならないので、それらを同一面内で容易に共通接続することができ、従来見られた共通接続の技術的な困難性が克服される。

30

【0015】

なお、半導体メモリは、セルトランジスタを駆動するための駆動トランジスタを含み、駆動トランジスタは、選択トランジスタとは異なる高さ位置にあり、駆動トランジスタと選択トランジスタは同一工程により同時に形成することとしてもよい。異なる高さにあるにもかかわらず、同時に形成するため、工程数の削減が図れる。

【0016】

また、凸部のコラム方向の端部に保護用絶縁膜を設け、保護用絶縁膜は、半導体メモリに含まれるLDD構造を有するトランジスタのサイドウォール絶縁膜と同一工程により同時に形成することが好ましい。保護用絶縁膜とサイドウォール絶縁膜を同時に形成するため、工程数の削減が図れる。

40

【0017】

なお、ロウ方向に複数配列されたセルトランジスタを含む半導体メモリにおいて、セルトランジスタの各々は、ソース・ドレイン領域がチャンネル領域の一部よりも下方に形成されており、コントロールゲートを含み、ロウ方向に複数配列されたセルトランジスタ同士は、コントロールゲートを共有し、ロウ方向に複数配列されたセルトランジスタは複数のブロックに分割され、半導体メモリは、隣接するブロックの間に設けられた絶縁分離領域と、絶縁分離領域が設けられた領域の複数個においてコントロールゲートと接続するロウ方向に設けられた導体(例えば金属線)とを含んでもよい。導体により、コントロールゲートのロウ方向の抵抗を実質的に低下させることができる。

50

【0018】

さらに、セルトランジスタが、コラム方向にも複数配列されているときに、コラム方向に配列したセルトランジスタを、複数のグループに分け、各グループ内においては、セルトランジスタはチャンネル領域を共有し、半導体メモリは、各グループの末端に設けられた絶縁分離領域を含み、絶縁分離領域によりグループ同士を分離することが好ましい。これにより、セルトランジスタをグループごとに制御することが可能になる。

【0019】

また、ロウ方向およびコラム方向に複数配列されたセルトランジスタを含む半導体メモリにおいて、セルトランジスタの各々は、ソース・ドレイン領域がチャンネル領域の一部よりも下方に形成されており、コントロールゲートを含み、ロウ方向に複数配列されたセルトランジスタ同士は、コントロールゲートを共有し、ロウ方向に複数配列されたセルトランジスタは複数のブロックに分割され、半導体メモリは、隣接するブロックの間に設けられた絶縁分離領域を含み、コラム方向に配列したセルトランジスタは、複数のグループに分けられており、各グループ内においては、セルトランジスタはチャンネル領域を共有し、半導体メモリは、各グループの末端に設けられた絶縁分離領域を含み、絶縁分離領域によりグループ同士を分離することが可能である。この結果、セルトランジスタはロウ方向およびコラム方向に電氣的に分割されるため、ロウ方向およびコラム方向の両方向において、ブロックおよびグループ単位で個別に制御することができる。

【0020】

ところで、コラム方向に複数配列されたセルトランジスタを含む半導体メモリにおいて、セルトランジスタの各々は、ソース・ドレイン領域がチャンネル領域の一部よりも下方に形成されており、セルトランジスタは、複数のグループに分けられており、コラム方向に隣接するセルトランジスタのソース・ドレイン領域は、各グループ内においては少なくとも共通であり、半導体メモリは、グループに対して設けられた接続領域と、複数の接続領域においてソース・ドレイン領域と接続するコラム方向に設けられた導体（例えば金属線）とを含むようにできる。導体により、ソース・ドレイン領域のコラム方向の抵抗を実質的に下げることができる。

【0021】

この半導体メモリにおいて、各グループ内においては、セルトランジスタはチャンネル領域を共有し、半導体メモリは、各グループの末端に設けられた絶縁分離領域を含み、絶縁分離領域によりグループ同士を分離することができる。このとき、グループ単位で制御することができる。

【0022】

半導体メモリにおいて、異なるブロックに属する複数のセルトランジスタに対して並行して書込みまたは読出しを行うことにより、半導体メモリ全体として、書込みまたは読出しの速度を上げることができる。

【0023】

なお、ロウ方向およびコラム方向に複数配列されたセルトランジスタを含む半導体メモリにおいて、セルトランジスタの各々はコントロールゲートを含み、ロウ方向に複数配列されたセルトランジスタ同士は、コントロールゲートを共有し、セルトランジスタの各々は、ソース・ドレイン領域がチャンネル領域の一部よりも下方に形成されており、コラム方向に隣接するセルトランジスタのソース・ドレイン領域は共通であり、半導体メモリは、コラム方向に設けられた導体（例えば金属線）を含み、導体は、コラム方向に隣接するコントロールゲートの間において、ソース・ドレイン領域と接続され、ソース・ドレイン領域のコラム方向の抵抗を実質的に下げることができる。

【0024】

この際に、コラム方向に隣接するコントロールゲートの間領域が狭い等の理由から、高集積度の半導体メモリにおいて、接続するための領域の確保が困難であり、導体をソース・ドレイン領域と接続することが難しい場合がありうる。そのときに、ロウ方向およびコラム方向のうちの少なくとも1方向において、接続のための領域に余裕があれば、製造上

10

20

30

40

50

当該領域を確保することは容易である。

【0025】

ところで、コラム方向およびロウ方向に複数配列されたセルトランジスタを含む半導体メモリにおいて、セルトランジスタの各々は、ソース・ドレイン領域がチャンネル領域の一部よりも下方に形成されており、コラム方向に隣接するセルトランジスタのソース・ドレイン領域が共通であり、ロウ方向に隣接するセルトランジスタ同士が、セルトランジスタ間のソース・ドレイン領域を共有し、ソース・ドレイン領域の中間部に、ソース・ドレイン領域と同一の導電型の高濃度領域を設け、高濃度領域は、コラム方向に配列した複数のセルトランジスタに共通とすることができる。高濃度領域は抵抗値が低いため、高濃度領域により、ソース・ドレイン領域のコラム方向の抵抗を実質的に下げることができる。

10

【0026】

【発明の実施の形態】

次に、本発明の実施例について、添付図面を参照しながら詳細に説明する。

【0027】

(1) 予備的事項の説明

本発明の特徴を説明する前に、まず、本実施例に係る半導体メモリのセルトランジスタや回路構成等について説明する。

【0028】

(セルトランジスタの構造)

図1は、本実施例に係るセルトランジスタの断面図である。

20

【0029】

セルトランジスタTCは、一導電型半導体基板であるp型シリコン基板12上に形成され、p型シリコン基板12にはpウエル13が形成される。p型シリコン基板12には、凸部13aが形成される。

【0030】

凸部13aは、p型シリコン基板12に複数設けられている。ビット線BL1、BL2は、凸部13aを挟むpウエル13の表面に形成されている。ビット線BL1、BL2は、pウエル13の表面の所定のところに、反対導電型であるn型不純物をイオン注入して形成される。各ビット線BL1、BL2は、コラム方向に一体化しており、ロウ方向に複数形成されている。

【0031】

凸部13aの頂面13cには第1絶縁膜であるゲート絶縁膜15cが形成される。また、凸部13aは対向する一对の側面13b、13bを有し、各側面13bの表層には、n型領域17が形成される。n型領域17、17の不純物濃度は、上記ビット線BL1、BL2の不純物濃度に比して、1/100~1/10000、好ましくは1/1000程度の不純物濃度に選択される。

30

【0032】

図中、第2絶縁膜であるトンネル絶縁膜15aは、各側面13b、13bとビット線BL1、BL2とを覆う。後述するが、ビット線BL1、BL2はソース・ドレイン領域としても機能するので、以下ではビット線BL1、BL2のことをソース・ドレイン領域とも称す。

【0033】

凸部13aの各側面側に、フローティングゲートFG1、FG2が設けられる。フローティングゲートFG1、FG2は、各々トンネル絶縁膜15aを介して、ソース・ドレイン領域BL1、BL2および側面13b、13bと対向する。第3絶縁膜であるインターポリ絶縁膜15bは、フローティングゲートFG、FGの各表面に形成される。なお、トンネル絶縁膜15a、インターポリ絶縁膜15b、およびゲート絶縁膜15cは、本実施例ではいずれもシリコン酸化膜から成る。

40

【0034】

コントロールゲートCGは、上記インターポリ絶縁膜15bを介してフローティングゲートFG1、FG2と対向し、またゲート絶縁膜15cを介して頂面13cと対向する。このコントロールゲートCGは、上記インターポリ絶縁膜15bを介してフローティングゲートFG1、FG2と対向する部分と、ゲート絶縁膜15cを介して頂面13cと対向する部分とを各々電氣的に独立して形成し、これらを独立に電気制御するようにしてもよい。

50

【 0 0 3 5 】

フローティングゲートFG1、FG2、およびコントロールゲートCGはいずれもポリシリコンから形成されている。このうち、コントロールゲートCGは、ロウ方向に一体化しており、後述するようにコラム方向に複数形成されていて、その各々はワード線WL0、WL1、...として機能する。

【 0 0 3 6 】

本実施例では、チャンネル領域は、凸部13aの両側面13b、13bと頂面13cの各表層に三次元的に形成される。よって、チャンネル領域とソース・ドレイン領域BL1、BL2との高さ位置は異なり、チャンネル領域の一部の下方にソース・ドレイン領域が位置する。この特徴は、ソース・ドレイン領域とチャンネル領域とが共に基板表面に形成される典型的なMOSトランジスタには見られない。

10

【 0 0 3 7 】

図2は、このセルトランジスタTCの等価回路を模式的に表した図であり、さまざまな容量を示している。各容量の意味は次の通りである。

- ・ C_{CG} ・・・コントロールゲートCGと凸部13aの頂面13cとの対向容量である。
- ・ C_{CF1} (C_{CF2})・・・コントロールゲートCGとフローティングゲートFG1 (FG2) との対向容量である。
- ・ C_{FG1} (C_{FG2})・・・フローティングゲートFG1 (FG2) と、凸部13aの側面13bとの対向容量である。
- ・ C_{FS} (C_{FD})・・・フローティングゲートFG1 (FG2) と、ソース・ドレイン領域BL1 (BL2) との対向容量である。

20

【 0 0 3 8 】

(セルトランジスタの駆動方法)

次に、上述のセルトランジスタTCの駆動方法について説明する。

【 0 0 3 9 】

i) 書込動作

まず、書込動作について、図3を参照して説明する。図3は、セルトランジスタTCへの書込動作について示す断面図である。

【 0 0 4 0 】

凸部13aの両側方には一対のフローティングゲートFG1、FG2が設けられるが、本実施例によれば、各フローティングゲートFG1、FG2に独立に電子を注入することができる。

30

【 0 0 4 1 】

例えば、右側のフローティングゲートFG2に電子を注入するには、図3に示すように、コントロールゲートCGに書込電圧 V_G 、たとえば、2.2Vを印加する。そして、電子が注入される側のソース・ドレイン領域BL2に電圧 V_{DD} 、たとえば、6Vを印加する。基板12と、電子が注入されない側のソース・ドレイン領域BL1とは接地する。これにより、ソース・ドレイン領域BL1～BL2間には、書込み用の電位差、すなわち6Vが与えられることになる。

【 0 0 4 2 】

これによれば、コントロールゲートCGに正電位が印加されるから、頂面13cの表層に反転層13dが形成され、n型領域17、17同士がこの反転層13dにより電氣的に接続される。またn型領域17、17は、それと同じ導電型、すなわちn型のソース・ドレイン領域BL1、BL2に接しているから、結局、ソース・ドレイン領域BL1、BL2が電氣的に接続される。

40

【 0 0 4 3 】

したがって、キャリア(本実施例では電子)は、同図の矢印50、52の経路を流れることになる。特に、頂面13cを流れる電子に注目されたい。この電子から見れば、その運動方向に右側のフローティングゲートFG2が位置する。よって、電子がこのフローティングゲートFG2に注入されるためには、電子の運動方向を変える必要が無いから、電子をフローティングゲートFG2に引き付けるためのゲート電圧、すなわち書込電圧 V_G を小さくすることができる。

【 0 0 4 4 】

50

しかも、側面13bにn型領域17、17を設けたことで、側面13bが低抵抗となり、そこでの電圧降下が抑えられる。よって、頂面13cの両端に、ソース・ドレイン領域BL1~BL2間電圧(本実施例では、6V)より若干低下した高い電圧が印加されるから、この電圧により電子が頂面13cで勢いよく加速され、フローティングゲートFG2に電子が矢印52のように効率良く注入される。このように、n型領域17、17も、書込電圧 V_G を低減するのに寄与する。

【0045】

上記の図3では、右側のフローティングゲートFG2にのみ電子が注入されたが、左側のフローティングゲートFG1に電子を注入するには、ソース・ドレイン領域BL1、BL2の電圧を入れ替えれば良い。

【0046】

よって、本発明では、図4(a)~(d)に示す4状態が得られる。

【0047】

図4(a)は、両フローティングゲートFG1、FG2に電子が注入されていない“(1, 1)”論理状態を示す。

【0048】

図4(b)、(c)は、フローティングゲートFG1、FG2の一方にのみ電子が注入された“(1, 0)”、“(0, 1)”論理状態を示す。

【0049】

図4(d)は、両フローティングゲートFG1、FG2に電子が注入された“(0, 0)”論理状態を示す。この状態を得るには、例えば、右側のフローティングゲートFG2に電子を注入した後、左側のフローティングゲートFG1に電子を注入すれば良い。

【0050】

かくして、本発明では、1つのセルトランジスタTCに2ビットのデータ“(1, 1)”~“(0, 0)”を書き込むことができる。

【0051】

本発明ではフローティングゲートFG1、FG2が2つ設けられ、各フローティングゲートFG1、FG2に電子が独立に存在するから、セル縮小を図る場合でも、どちらのフローティングゲートFG1、FG2に電子が存在するのかを明確に区別することができる。

【0052】

ii) 読出動作

次に、読出動作について、図5(a)~(b)を参照して説明する。データを読み出すには、まず、図5(a)に示すように、コントロールゲートCGに読出電圧 V_G 、たとえば、2.2Vを印加する。そして、一方のソース・ドレイン領域BL2に電圧 V_{DD} 、たとえば、1.6Vを印加し、他方のソース・ドレイン領域BL1と基板12とを接地する。これにより、ソース・ドレイン領域BL1~BL2間には、読出し用の電位差、すなわち1.6Vが印加されることになる。

【0053】

この電位配分により、コントロールゲートCGが正電位となるから、凸部13aの頂面に反転層13dが形成される。よって、同図の矢印の向きに第1のドレイン電流 I_{d1} が流れる。

【0054】

次いで、図5(b)に示すように、読出電圧 V_G 、すなわち2.2Vはそのまま、ソース・ドレイン領域BL1、BL2の電圧を入れ替える。このようにすると、ソース・ドレイン領域BL1~BL2間の電位差が反転するから、同図の矢印の向きに第2のドレイン電流 I_{d2} が流れる。

【0055】

本実施例では、上記のようにソース・ドレイン領域BL1、BL2の電圧を入れ替えることにより、2種類のドレイン電流 I_{d1} 、 I_{d2} を計測する。ドレイン電流 I_{d1} 、 I_{d2} の大きさは、4値状態の各状態によって後述のごとく異なる。よって、2種類のドレイン電流値のセット(I_{d1} 、 I_{d2})と、各状態とを一対一に対応させることにより、どの状態が記憶されているかを読み出すことができる。

【0056】

次に、各論理状態“(1, 1)”~“(0, 0)”におけるドレイン電流値について説明する。

10

20

30

40

50

【 0 0 5 7 】

(a) “ (1, 0) ” 論理状態

図6(a)～(b)は、“ (1, 0) ” 論理状態を読み出す場合の断面図である。図6(a)において、それぞれの部材に印加する電圧は上述の図5(a)の通りであって、この電圧によりドレイン電流 I_{d1} が流れる。

【 0 0 5 8 】

図6(a)の状態では、右側のフローティングゲートFG2は、電子が注入されたことにより電位が下がる。しかし、フローティングゲートFG2の電位は、対向容量 C_{CF2} 、 C_{FD} によってコントロールゲートCGの電位（本実施例では2.2V）やソース・ドレインBL2の電位（本実施例では1.6V）の正電位側に引き上げられる。

10

【 0 0 5 9 】

よって、結局、フローティングゲートFG2の電位下降が抑えられるから、フローティングゲートFG2近傍でのチャネル抵抗はそれ程大きくない。したがって、ドレイン電流 I_{d1} の電流値は比較的大きくなる。

【 0 0 6 0 】

特に、図のようにn型領域17を設けた場合は、n型領域17はソース・ドレイン領域BL2に接するから、n型領域17の電位がソース・ドレイン領域BL2のそれとほぼ同じになる。したがって、フローティングゲートFG2の電位は、対向容量 C_{FG2} によってもソース・ドレインBL側に引き上げられる。よって、右側のフローティングゲートFG2近傍のチャネル抵抗がさらに小さくなるから、ドレイン電流 I_{d1} の電流値はより一層大きくなる。

20

【 0 0 6 1 】

一方、図6(b)は、ソース・ドレインBL1、BL2の電圧を入れ替えて、ドレイン電流 I_{d2} を流した場合である。この場合、注入電子によって、右側のフローティングゲートFG2の電位が下がる。しかも、右側のソース・ドレイン領域BL2が接地されるから、フローティングゲートFG2の電位は、ソース・ドレイン領域BL2との対向容量 C_{FD} により接地側に引き下げられる。よって、フローティングゲートFG2の電位が図6(a)の場合よりも低くなるから、フローティングゲートFG2近傍のチャネル抵抗が大きくなり、ドレイン電流 I_{d2} が先の I_{d1} よりも小さくなる。

【 0 0 6 2 】

特に、n型領域17を設けると、右側のフローティングゲートFG2の電位は対向容量 C_{FG2} によっても接地側に引き下げられ、ドレイン電流 I_{d2} がより一層小さくなる。

30

【 0 0 6 3 】

このように、“ (1, 0) ” 論理状態は、

・ (I_{d1} 、 I_{d2}) = (大、小)

で識別することができる。このドレイン電流 I_{d1} 、 I_{d2} の大小の判定は、後述のセンスアンブが基準電流と比較して行う。

【 0 0 6 4 】

(b) “ (0, 1) ” 論理状態

“ (0, 1) ” 状態は、上記とは反対に左側のフローティングゲートFG1に電子が注入される。よって、各ドレイン電流 I_{d1} 、 I_{d2} の電流値は、上記の議論と同様にして評価され、

40

・ (I_{d1} 、 I_{d2}) = (小、大)

となる。

【 0 0 6 5 】

(c) “ (1, 1) ” 論理状態

“ (1, 1) ” 論理状態は、いずれのフローティングゲートFG1、FG2にも電子が注入されない。したがって、各フローティングゲートFG1、FG2の電位は電子によって引き下げられないから、 I_{d1} 、 I_{d2} の双方とも大となる。また、この状態は左右対称であるから、 I_{d1} と I_{d2} とに差は生じず、

・ (I_{d1} 、 I_{d2}) = (大、大)

となる。

50

【 0 0 6 6 】

(d) “ (0, 0) ” 論理状態

“ (0, 0) ” 論理状態は、両方のフローティングゲートFG1、FG2に電子が注入されるから、左右対称となる。したがって、 I_{d1} と I_{d2} とに差は生じず、

・ $(I_{d1}, I_{d2}) = (\text{小}, \text{小})$

となる。

【 0 0 6 7 】

iii) 消去動作

次に、フローティングゲートFG1、FG2に注入された電子の消去方法について説明する。蓄積電子を引き抜くには、図7に示すように、コントロールゲートCGに高電位 V_G 、たとえば12Vを印加し、基板12とソース・ドレイン領域BL1、BL2とを接地する。ここで、コントロールゲートCGと、基板12およびソース・ドレイン領域BL1、BL2との電位差は相対的に設定することができ、たとえば、コントロールゲートCGに6Vを、ソース・ドレイン領域BL1、BL2に-6Vを印加するようにしてもよい。

【 0 0 6 8 】

この電位配分によれば、フローティングゲートFG1(FG2)から見ると、コントロールゲートCG側の電位が高いので、蓄積電子はインターポリ絶縁膜15bを介してコントロールゲートCGに引き抜かれる。なお、上記と逆に基板12側をコントロールゲートCGよりも高電位にして、基板12側に蓄積電子を引き抜くことも可能である。

【 0 0 6 9 】

iv) 非選択時

上記i) ~ iii)は、いずれもセルトランジスタTCが選択されている場合であった。実際の動作では、セルトランジスタTCが常に選択されているということではなく、非選択状態の場合もある。

【 0 0 7 0 】

非選択状態でも、たとえばビット線BL1に、他のセルトランジスタTCを選択すべく、各動作の電圧 V_{DD} が印加されることがある。この場合、非選択セルトランジスタTCのフローティングゲートFG1は、ビット線BL1との大きい対向容量 C_{FS} により、ビット線BL1の電位に引き付けられる。よって、フローティングゲートFG1とソース・ドレイン領域BL1との間の電位差が小さくなるから、それらの間のトンネル絶縁膜15aが高電界に曝されることが無い。従って、トンネル絶縁膜15aにトンネル電流が流れ難くなり、トンネル絶縁膜15aの劣化を防ぐことができる。

【 0 0 7 1 】

ここで、上記駆動時i) ~ iv)の各利点を得るために、フローティングゲートFG1(FG2)とソース・ドレイン領域BL1(BL2)との対向容量 C_{FS} (C_{FD})が重要な役割を果たしているのに注意されたい。本実施例では、フローティングゲートFG1(FG2)をソース・ドレイン領域BL1(BL2)上に覆設することにより、フローティングゲートFG1 ~ FG2の間隔を狭めてデバイスを小型化すると共に、対向容量 C_{FD} 、 C_{FS} を大きく稼いで上述の利点を得やすくしている。フローティングゲートFG1(FG2)とソース・ドレイン領域BL1(BL2)との対向面積は限定されない。対向面積が大きいほど上述の利点を得やすいが、小さくても得ることは可能である。

【 0 0 7 2 】

(回路構成)

次に、本実施例に係る半導体メモリの回路構成について説明する。図8は、本実施例に係る半導体メモリの回路構成図である。同図において、セルトランジスタ $TC_{i,j}$ はiロウjコラム目のセルトランジスタを表し、その構造と動作は上記した通りである。そして、セルトランジスタ $TC_{i,j}$ の各々は、(1コラム) × (nロウ)のバンク BNK_j ($j=0, 1, 2, \dots$)にバンク分けされている。なお、(nコラム)におけるnは所定の自然数を表し、その値は特に限定されない。また、バンク BNK_j におけるjは、そのバンクに属するセルトランジスタ $TC_{i,j}$ の共通のコラム番号を表す。

【 0 0 7 3 】

10

20

30

40

50

各バンク BNK_j ($j=0, 1, 2, \dots$)には、それを選択するための選択トランジスタ $STE_{i,j}$ 、 $STO_{i,j}$ が接続される。このうち、選択トランジスタ $STE_{i,j}$ は偶数バンク BNK_j ($j=0, 2, 4, \dots$)選択用のものであって、以下では偶数バンク選択トランジスタとも言う。また、 $STO_{i,j}$ は奇数バンク BNK_j ($j=1, 3, 5, \dots$)選択用のものであって、以下では奇数バンク選択トランジスタとも言う。

【0074】

同図に示されるように、偶数バンク選択トランジスタ $STE_{i,j}$ の各々は、それらの一方のソース・ドレインが1コラムおきに共通接続され、その共通接続ノードA、D、Eに仮想接地線 VG_i ($i=0, 2, 4, \dots$)が接続される。奇数バンク選択トランジスタ $STO_{i,j}$ も同様であるが、その共通接続点は、偶数バンク選択トランジスタ $STE_{i,j}$ のそれよりも1コラムだけずれている。

10

【0075】

なお、本図の偶数バンク選択トランジスタ $STE_{i-1,j}$ ($j=0, 1, 2, 3, \dots$)は、コラム方向に数えて $i-1$ 番目のバンク中の偶数バンクを選択する。そして、奇数バンク選択トランジスタ $STO_{i+1,j}$ ($j=0, 1, 2, 3, \dots$)は、コラム方向に数えて $i+1$ 番目のバンク中の奇数バンクを選択する。

【0076】

また、仮想接地線 VG_i ($i=0, 2, 4, \dots$)は、その電気抵抗を減らすべく、アルミニウム等の金属からなる。一方、ビット線 BL_i ($i=0, 1, 2, \dots$)は拡散層からなり、その電気抵抗は仮想接地線 VG_i のそれよりもずっと高い。

20

【0077】

回路動作は次の通りである。この回路では、ワード線とビット線との組み合わせでセルトランジスタを選択するのではなく、まず偶数バンク群 BNK_j ($i=0, 2, 4, \dots$)と奇数バンク群 BNK_j ($i=1, 3, 5, \dots$)のいずれか一方の群を一つ選択し、次いでそのバンク BNK_j 内の一つのセルトランジスタ $TC_{i,j}$ を選択する。

【0078】

例えば、セルトランジスタ $TC_{0,0}$ を選択する場合を考える。セルトランジスタ $TC_{0,0}$ は偶数バンク BNK_0 に属する。よって、まず偶数バンク群 BNK_j ($i=0, 2, 4, \dots$)を選択すべく、偶数バンク選択線 SE_i をハイレベルにし、各偶数バンク選択トランジスタ $STE_{i,j}$ ($j=0, 1, 2, \dots$)をオン状態にする。

30

【0079】

その他の選択線(SE_{i-1} 、 SO_i 、 SO_{i+1})は全てローレベルにし、その選択線がゲートに接続されるトランジスタを全てオフ状態にする。

【0080】

上述の電圧配分によれば、オン状態の偶数バンク選択トランジスタ $STE_{i,0}$ 、 $STE_{i,1}$ によってビット線 BL_0 、 BL_1 が選択されて、ビット線 BL_0 、 BL_1 が仮想接地線 VG_0 、 VG_2 に電氣的に接続状態となる。他の偶数バンク BNK_2 、 BNK_4 に繋がるビット線も同様にして仮想接地線と電氣的に接続状態となる。このようにして、まず偶数バンク群 j ($i=0, 2, 4, \dots$)が選択される。

【0081】

次いで、目的のセルトランジスタ $TC_{0,0}$ を選択するため、読出動作の場合、それにつながるビット線 BL_0 を接地レベルにし、かつビット線 BL_1 に電圧 V_{DD} として1.6Vを印加する。そして、ワード線 WL_0 に読出電圧 V_G として2.2Vを印加する。なお、各ビット線 BL_i ($i=1, 2, \dots$)への種々の電圧の印加は、バンクセクタ300を介して、データライン/グラウンドラインセクタ302が行う。

40

【0082】

これらの電圧値により、図5(a)で説明したように、セルトランジスタ $TC_{0,0}$ に第1のドレイン電流 I_{d1} が流れる。この第1のドレイン電流 I_{d1} の電流経路は、センスアンプ304 データライン/グラウンドラインセクタ302 バンクセクタ300 仮想接地線 VG_2 ノードD ノードC 偶数バンク選択トランジスタ $STE_{i,1}$ ビット線 BL_1 セルトランジスタ $TC_{0,0}$ ビット線 BL_0 偶数バンク選択トランジスタ $STE_{i,0}$ ノードB ノードA 仮想接地

50

線VG₀ バンクセクタ300 データライン/グランドラインセクタ302、である。

【0083】

なお、このとき、バンクセクタ300の機能により、BNK₀以外の偶数バンク(BNK₂、BNK₄、...)内のセルトランジスタは選択されないので、そのセルトランジスタにドレイン電流が流れることはない。

【0084】

次いで、ビット線BL0、BL1間の電位差を反転させ、それ以外の電圧値を上記と同様のままにしておく。このようにすると、図5(b)で説明したように、セルトランジスタTC_{0,0}に第2のドレイン電流I_{d2}が流れる。この第2のドレイン電流I_{d2}の電流経路は、上記の第1のドレイン電流I_{d1}のその逆である。

【0085】

上記のようにして、セルトランジスタTC_{0,0}の第1のドレイン電流I_{d1}および第2のドレイン電流I_{d2}がセンスアンプにより計測され、セルトランジスタTC_{0,0}に4値状態“(1, 1)”~“(0, 0)”のどの状態が記憶されているかが識別される。

【0086】

この回路構成によれば、第1のドレイン電流I_{d1}は、拡散層からなる高抵抗のビット線BL0、BL1内を常に流れるという訳ではなく、目的のバンクBNK₀に到達するまでは低抵抗のアルミニウムからなる仮想接地線VG₂内を流れ、目的のバンクBNK₀に到達してからビット線BL1を流れるようになる。そして、セルトランジスタTC_{0,0}を流れた後、第1のドレイン電流I_{d1}はビット線BL0を経由して仮想接地線VG₀を流れる。

【0087】

このように、常にビット線BL0、BL1内を流れる場合よりも低抵抗なので、本実施例では第1のドレイン電流I_{d1}を高速で読み出すことが可能となる。第2のドレイン電流I_{d2}についても同様の利点が得られる。

【0088】

上記では、偶数バンクBNK₀内のセルトランジスタTC_{0,0}が選択された。一方、奇数バンク群BNK_j(j=1,3,5...)内のセルトランジスタTC_{i,j}を選択するには、奇数バンク選択線SO_iをハイレベルにし、各奇数バンク選択トランジスタSTO_{i,j}(j=0,1,2...)をオン状態にする。そして、その他の選択線(SE_i、SE_{i-1}、SO_{i+1})は全てローレベルにし、その選択線がゲートに接続されるトランジスタを全てオフ状態にする。これ以外は偶数バンクを選択する場合と同様なので、奇数バンクについてはこれ以上説明しない。

【0089】

上述したセルトランジスタの選択方法は仮想接地方式とも称される。この方式については、特開平3-179775号公報が詳しい。

【0090】

(2)本発明の特徴について

図9は、本実施例に係る半導体メモリの要部切り欠き断面図である。図9においては、既に説明したのと同じ部材には同じ参照番号を付してある。図中、導電性プラグ63が、不図示の層間絶縁膜に埋め込まれている。そして、その層間絶縁膜上に仮想接地線VG₄が形成されて、仮想接地線VG₄と導電性プラグ63とが電氣的に接続される。導電性プラグ63は、図8のノードEに対応するものであり、偶数バンク選択トランジスタSTE_{i,3}とSTE_{i,4}との共通ソース・ドレイン接続点と電氣的に接続される。なお、ワード線WL₀、WL₁は、図1のコントロールゲートCGがロウ方向に連なっているものである。

【0091】

セルトランジスタTC_{0,1}は、そのチャンネル領域が側面13bと頂面13cとに形成され、そのソース・ドレイン領域BL2は、頂面13cに形成されるチャンネル領域よりも下方に位置する。一方、偶数バンク選択トランジスタSTE_{i,2}は公知のMOSトランジスタであって、そのソース・ドレイン領域50とチャンネル領域51とはほぼ同一面内に位置する。

【0092】

図から明らかなように、偶数バンク選択トランジスタSTE_{i,2}は、従来例のようにシリコ

10

20

30

40

50

ン基板12の表面の高さ位置 L_1 に形成されるのではなく、それよりも低い高さ位置 L_2 に形成される。この高さ位置 L_2 は、セルトランジスタ $TC_{0,1}$ のソース・ドレイン領域BL2の高さ位置にほぼ等しい。

【0093】

よって、これら2つのトランジスタ $STE_{1,2}$ 、 $TC_{0,1}$ の各ソース・ドレイン領域50、BL2はほぼ同一面内に位置し、その高さ位置が従来のように異なるので、各ソース・ドレイン領域50、BL2同士を横方向に繋げることでそれらを容易に電氣的に共通接続することができ、従来見られた共通接続の技術的な困難性を克服することができる。

【0094】

(3)製造プロセス

次に、本実施例に係る半導体メモリの製造方法について、図10～図35を参照して説明する。最初に、図10に示すように、p型シリコン基板12に公知の方法で絶縁分離領域（本実施例ではSTI(Shallow Trench Isolation)である）用の溝12aを形成する。そして、例えばCVD法（化学的気相成長法）を用いて、溝12a内にシリコン酸化膜等の絶縁材10を埋め込む。その後、基板12の表面を熱酸化して、シリコン酸化膜18を形成する。

【0095】

なお、p型シリコン基板12は、例えばボロン濃度が約 $4.0 \times 10^{18} \text{cm}^{-3}$ の p^+ 基板上に、ボロン濃度が約 $1.0 \times 10^{15} \text{cm}^{-3}$ のp型エピキシャル層を形成したものである。

【0096】

次いで、図11に示すように、イオン注入によりp型シリコン基板12にpウエル13を形成する。イオン注入は4回行われ、各回の条件は次の通りである。

【0097】

・1回目・・・イオン種： BF_2

加速エネルギー：15(KeV)

ドーズ量： $5.0 \times 10^{11} (\text{cm}^{-2})$

・2回目・・・イオン種： BF_2

加速エネルギー：45(KeV)

ドーズ量： $5.0 \times 10^{11} (\text{cm}^{-2})$

・3回目・・・イオン種：B（ボロン）

加速エネルギー：20(KeV)

ドーズ量： $6.0 \times 10^{12} (\text{cm}^{-2})$

・4回目・・・イオン種：B（ボロン）

加速エネルギー：40(KeV)

ドーズ量： $5.0 \times 10^{12} (\text{cm}^{-2})$

次に、図12に示すように、シリコン酸化膜18をエッチングして除去する。続いて、図13に示すように、基板12の表面を再び熱酸化して、シリコン酸化膜よりなるゲート絶縁膜15cを形成する。ゲート絶縁膜15cの膜厚は、約10nm程度である。

【0098】

そして、ゲート絶縁膜15c上に、順に、シリコン窒化膜25（膜厚は約10nm）、シリコン酸化膜26（膜厚は4nm）、およびシリコン窒化膜27（膜厚は50nm）を形成する。各膜の機能は後の工程で明らかになる。これらの膜は、いずれも公知のCVD法により形成される。

【0099】

次に、図14に示すように、最上層のシリコン窒化膜27上にフォトレジスト45を塗布する。塗布後、フォトリソグラフィにより、フォトレジスト45を帯状にパターニングする。そし

10

20

30

40

50

て、フォトリジスト45をエッチングマスクにすることで、ゲート絶縁膜15c、シリコン窒化膜25、シリコン酸化膜26、シリコン窒化膜27、絶縁材10、およびpウエル13をエッチングする。

【0100】

これにより、後にセルトランジスタが形成される部位（以下、メモリセル部と言う）ではトレンチ28が形成される。このトレンチのサイズは限定されないが、本実施例ではその深さが約380nm程度である。また、隣接するトレンチ28間の間隔は、約160nm程度である。

【0101】

一方、後で選択トランジスタが形成される部位（以下、選択トランジスタ部と言う）では、pウエル13と絶縁材10とが、ほぼ同一面に現れるよう均一にエッチングされる。なお、このエッチングの後、フォトリジスト45はアッシングされて除去される。

10

【0102】

次いで、図15に示すように、露出面全体にシリコン酸化膜29（膜厚約20nm）を形成する。このシリコン酸化膜29は、CVD法により成膜される。続いて、図16に示すように、シリコン酸化膜29を厚み方向に異方的にエッチングし、そのシリコン酸化膜29をトレンチ28の側面に残存させる。このエッチングは、例えばRIE(Reactive Ion Etching)により行われる。

【0103】

次に、図17に示すように、選択トランジスタ部にフォトリジスト60を帯状に形成し、それをマスクとしてヒ素をイオン注入する。これにより、pウエル13にビット線BL1~BL4が形成される。このイオン注入の際、トレンチ28の側面にはシリコン酸化膜29が形成されているので、その側面にヒ素が注入されるのが防がれる。また、凸部13aがマスクとして機能するので、各ビット線BL1~BL4をトレンチ28の底にセルフアライン的に形成することができる。

20

【0104】

このイオン注入の条件は次の通りである。

【0105】

イオン種：As（ヒ素）

加速エネルギー：15(KeV)

ドーズ量： $2.0 \times 10^{14} (\text{cm}^{-2})$

30

なお、図18は、各ビット線BL1~BL4の平面形状を見やすくするために、フォトリジスト60を点線で表した図である。

【0106】

次に、図19に示すように、シリコン酸化膜29を約10nm程度エッチングして薄厚にする。薄厚なので、同図では残存するシリコン酸化膜29を省略してある。次いで、図20に示すように、凸部13aの両側面13bにヒ素をイオン注入して、n型領域17を形成する。側面13bにイオン注入するには、基板12をイオンの入射方向に対して傾ければ良い。本実施例では、p型シリコン基板12の法線 n_1 を、イオンの入射方向 n_0 に対して約 $\pm 20^\circ$ 傾ける。

【0107】

このイオン注入の条件は次の通りである。

40

【0108】

イオン種：As（ヒ素）

加速エネルギー：10(KeV)

ドーズ量： $5.0 \times 10^{11} (\text{cm}^{-2})$

イオン注入の際、側面13bには薄厚にされたシリコン酸化膜29（図18）が残存するから、側面13bに過剰にヒ素が注入するのを防ぐことができる。

【0109】

このイオン注入を終了後、フォトリジスト60はアッシングされて除去される。

【0110】

ところで、トレンチ28の表層は、デバイスのチャネルとなる部位であり、その性質はデバ

50

イスの特性に大きく影響する。よって、後の種々の工程において、トレンチ28の表面が汚染されないようにする必要がある。

【0111】

この点に鑑み、本実施例では、図21に示すように、犠牲シリコン酸化膜31をトレンチ28の側面と底面とに形成する。犠牲シリコン酸化膜31の膜厚は約4nm程度であって、それは熱酸化により形成される。

【0112】

トレンチ28の表面は、この犠牲シリコン酸化膜31によって覆われて保護されるから、後の工程で汚染されるのが防がれる。しかも、このシリコン酸化膜31は、トレンチ28の表層の格子欠陥を取り除くようにも機能するので、格子欠陥によりデバイスの特性が劣化するの
10

【0113】

その後、シリコン窒化膜30を、トレンチ28内を含む露出面全体に形成する。このシリコン窒化膜30の膜厚は約60nm程度であって、それはCVD法により成膜される。そして、選択ト
ランジスタ部のシリコン窒化膜30上に、フォトレジスト61を帯状に形成する。

【0114】

次いで、図22に示すように、上記のシリコン窒化膜30を厚み方向に異方的にエッチングする。これにより、トレンチ28においては、長穴30aがシリコン窒化膜30に形成される。一
20

【0115】

続いて、図23に示すように、シリコン窒化膜30をエッチングマスクにし、先の犠牲シリ
コン酸化膜31と、各ビット線BL1~BL4の一部とを選択的にエッチングする。このエッチング
により、各ビットBL1~BL4にリセス（窪み）32（深さ約10nm）が形成される。

【0116】

次に、図24に示すように、ビット線BL1~BL4の抵抗を下げるべく、長穴30aを通じて、ヒ
素をビット線BL1~BL4にイオン注入する。このイオン注入によりヒ素が注入された部位33
が、高濃度領域すなわち n^+ 領域であり、これにより、ビット線BL1~BL4のコラム方向の抵
抗が低くなる。イオン注入の条件は次の通りである。
30

【0117】

イオン種：As（ヒ素）

加速エネルギー：30(KeV)

ドーズ量： $3.0 \times 10^{15} (\text{cm}^{-2})$

次いで、図25に示すように、シリコン窒化膜30をマスクにし、リセス32を選択的に熱酸化
して選択酸化膜15dを形成する。なお、選択トランジスタ部においては、シリコン窒化膜3
0で覆われていない部位のビット線BL1~BL4も酸化され、そこに選択酸化膜15dが形成され
る。

【0118】

上記の如く選択酸化膜15dを形成した後は、まずフォトレジスト61をアッシングして除去
40

【0119】

次いで、シリコン酸化膜26をエッチングして除去する。今度は、シリコン窒化膜25がエ
ッチングストップとして機能する。このエッチングは、シリコン酸化膜26が完全に除去され
、かつ、選択酸化膜15dが残存する程度に行う。上記の工程が終了後の状態を図26に示す
。

【0120】

次に図27に示すように、トレンチ28の底面と側面とを再び熱酸化して、膜厚が約5nm程度
のトンネル絶縁膜15aを形成する。トンネル絶縁膜15aは、その膜質がデバイス動作に大き
50

く影響するから、良好な膜質になるように形成するのが好ましい。

【0121】

本実施例では、良質なトンネル絶縁膜15aを形成すべく、プラズマ酸化法を用いる。プラズマ酸化法においては、ラジアルラインスロットアンテナを使用したマイクロ波励起高密度プラズマ装置が用いられる。そして、該装置内に、クリプトン(Kr)と酸素(O₂)との混合ガスを導入する。

【0122】

マイクロ波により励起されたクリプトンは、酸素(O₂)と衝突して大量の原子状酸素O⁺を生成せしめる。原子状酸素O⁺は、トレンチ28の表層部に容易に浸入する。よって、面方位に依存することなく、全ての面方位が概略同じ酸化速度で均一に酸化される。そのため、同図の円内に示す如く、トレンチ28のコーナ部に均一な膜厚でトンネル絶縁膜15aが形成できる。上記のプラズマ酸化法については、「第48回応用物理学関係連合講演会 講演予稿集 29p-YC-4」や、特開2001-160555号公報に詳しい。なお、このトンネル絶縁膜15aは、選択トランジスタ部において選択酸化膜15dで覆われていない部位のビット線BL1~BL4上にも形成される。

10

【0123】

次いで、図28に示すように、ポリシリコン膜34を、上記トンネル絶縁膜15a上とシリコン窒化膜25上とに形成する。ポリシリコン膜34は、in-situでリン(P)が予めドーブされている。また、このポリシリコン膜34の膜厚は、約50nm程度である。

【0124】

次に、図29に示すように、ポリシリコン膜34を厚み方向に異方的にエッチングする。これにより、シリコン窒化膜25(図27参照)上のポリシリコン膜34を除去しつつ、トレンチ28の側面上のトンネル絶縁膜15a上にポリシリコン膜34を残存させる。残存したポリシリコン膜34は、フローティングゲートFG1、FG2となる。フローティングゲートFG1、FG2を形成後、シリコン窒化膜25(図28参照)をエッチングして除去する。

20

【0125】

このシリコン窒化膜25をゲート絶縁膜15c上に設けていたことで、フローティングゲートFG1、FG2が形成されるまでの間、ゲート絶縁膜15cが種々のプロセスにおいてダメージを受けるのを防ぐことができる。

【0126】

次いで、図30に示すように、露出面全体を既述のプラズマ酸化法により酸化する。これにより、ゲート絶縁膜15c下のシリコンが酸化されるから、ゲート絶縁膜15cが厚膜となる。同時に、フローティングゲートFG1、FG2の表面も酸化され、インターポリ絶縁膜15bが形成される。このインターポリ絶縁膜15bの膜厚は、約8nm程度である。

30

【0127】

フローティングゲートFG1、FG2は、ポリシリコンから成るので、その表面にはさまざまな面方位の結晶粒が多数形成されている。このように面方位がまちまちでも、上述のプラズマ酸化法によれば、面方位に依存すること無しに、均一にシリコン酸化膜が形成できる。よって、インターポリ絶縁膜15bの膜厚が局所的に薄くなることが防がれ、薄厚の部位での絶縁特性が劣化するという不都合が生じない。この利点は、ポリシリコンにリン(P)がドーブされていても得ることができる。

40

【0128】

続いて、図31に示すように、まず全体にポリシリコン膜37を形成し、その上にタングステンシリサイド膜36を形成し、さらにその上にシリコン酸化膜よりなるキャップ膜38を形成する。そして、これらの積層膜をパターンニングすることで、ワード線WL₀、WL₁および偶数バンク選択線SE_i、SE_{i-1}を形成する。上述のタングステンシリサイド膜36は、これら各線の抵抗を下げるように機能する。

【0129】

次に、図32に示すように、全体にフォトレジスト39を塗布する。塗布後、フォトリソグラフィにより、ワード線WL₀、WL₁上と選択トランジスタ部上とにフォトレジスト39を残す。

50

【0130】

続いて、図33に示すように、フォトレジスト39をエッチングマスクとして使用し、ワード線 WL_0 、 WL_1 で覆われていない部位のインターポリ絶縁膜15bをエッチングして除去する。このエッチングの際、ワード線 WL_0 、 WL_1 間のゲート絶縁膜15cも僅かにエッチングされる。さらに、エッチャントを変えて、ワード線 WL_0 、 WL_1 で覆われていない部位のフローティングゲートFG1、FG2をエッチングして除去する。

【0131】

次いで、図34に示すように、素子分離領域40を形成する。この素子分離領域40を形成すべき部位は、ワード線 WL_0 、 WL_1 で覆われていない凸部13aの、側面13bおよび頂面13cである。側面13bおよび頂面13cは、ワード線 WL_0 、 WL_1 下でチャンネル領域となるが、この素子分離領域40によって、隣接するワード線 WL_0 、 WL_1 のチャンネルが電氣的に分離される。

10

【0132】

素子分離領域40を形成するには、フォトレジスト39をマスクにして、ボロンをイオン注入する。イオン注入に際しては、素子分離領域40を凸部13aの側面13bに形成すべく、基板12をイオンの入射方向に対して傾ける。本実施例では、p型シリコン基板12の法線 n_1 を、イオンの入射方向 n_0 に対して約 $\pm 20^\circ$ 傾ける。

【0133】

このイオン注入の条件は次の通りである。

【0134】

イオン種： BF_2

20

加速エネルギー：20(KeV)

ドーズ量： $1.0 \times 10^{13} (\text{cm}^{-2})$

次に、図35に示すように、フォトレジスト39をアッシングして除去する。

【0135】

その後、偶数バンク選択線 SE_i 、 SE_{i-1} の両側のpウエル13に低濃度のヒ素をイオン注入する。そして、偶数バンク選択線 SE_i 、 SE_{i-1} の側面に、例えばシリコン酸化膜からなるサイドウォール絶縁膜62を公知の方法で形成する。次いで、このサイドウォール絶縁膜62をマスクにし、高濃度のヒ素をイオン注入することで、LDD(Lightly Doped Drain)構造のソース・ドレイン領域50を備えた偶数バンク選択トランジスタ $STE_{i,j}$ を形成する。偶数バンク選択トランジスタ $STE_{i,j}$ においては、トンネル絶縁膜15aがゲート絶縁膜として機能する。

30

【0136】

この後は、図9に示されるように、不図示のシリコン酸化膜等の層間絶縁膜を全体に形成し、その層間絶縁膜と選択酸化膜15dとにコンタクトホールを形成して、コンタクトホールに導電性プラグ63を埋め込む。導電性プラグ63は、例えばTiN(窒化チタン)とW(タングステン)との二層構造を有する。そして、上記の層間絶縁膜にアルミニウム膜を形成してそれをパターニングすることで、導電性プラグ63に電氣的に接続された仮想接地線 VG_4 を形成する。以上により、本実施例に係る半導体メモリが完成する。

【0137】

次に、本発明の別の実施例について説明する。以下の説明では、既述の実施例の構成要素と同一の機能を有するものについては同一の参照符号を用いることとし、その説明も一部省略する。

40

【0138】

一般に半導体メモリは、セルトランジスタを駆動するための駆動トランジスタを含む。本実施例では、駆動トランジスタは、選択トランジスタSTE、STOとは異なる高さ位置にあるにもかかわらず、駆動トランジスタと選択トランジスタSTE、STOは同一工程により同時に形成される。

【0139】

また、凸部のコラム方向の端部に保護用絶縁膜を設け、保護用絶縁膜は、半導体メモリに含まれるLDD構造を有するトランジスタ、本実施例では駆動トランジスタおよび選択トラ

50

ンジスタSTE, ST0のサイドウォール絶縁膜と同一工程により同時に形成される。

【0140】

さらに、ロウ方向に複数配列されたセルトランジスタTCは複数のブロックに分割され、隣接するブロックの間に設けられた後述の素子分離領域ST1aと、素子分離領域ST1aの複数個においてコントロールゲートCGと接続するロウ方向に設けられた金属線(以下では第1の金属線と呼ぶ)とを設けている。この結果、異なるブロックに属する複数のセルトランジスタTCに対して並行して書込みまたは読出しを行うことができる。

【0141】

なお、本実施例は既述の実施例と同様に、各バンク内においては、セルトランジスタはチャンネル領域を共有し、各バンクの末端に素子分離領域ST1bが設けられ、素子分離領域ST1bによりバンク同士を分離している。また、仮想接地方式を採用している点でも同様であり、バンクに対して設けられた複数個の接続領域において、ソース・ドレイン領域(すなわちビット線)と接続する金属線(以下では第2の金属線とも呼ぶ)、すなわち仮想接地線VGをコラム方向に設けている。

【0142】

本実施例では、さらに第3の金属線として、コラム方向に設けられた金属線306(図37を参照)を含み、この金属線は、コラム方向に隣接するコントロールゲートの間において、ソース・ドレイン領域と接続され、ソース・ドレイン領域のコラム方向の抵抗を、仮想接地線とともに実質的に下げる。第3の金属線は、バンクごとに独立に設ける。

【0143】

これらの3種類の金属線の配置例を図36, 37により説明する。図36は、本実施例に係る仮想接地方式を用いた半導体メモリの斜視図である。本図の回路構成は、図8に示すものと同一である。本図においては、図8に示す各バンクBANKを構成するトランジスタTCに加えて、素子分離領域ST1a、および素子分離領域ST1aにおいてコントロールゲートCGに接続される第1の金属線38も示す。

【0144】

なお、図36では凸部のコラム方向の端部に素子分離領域ST1bが示されているが、素子分離領域ST1bの端部に設けられる保護用絶縁膜は、図面の複雑化を防ぐため図36には示さない。選択トランジスタSTE, ST0のサイドウォール絶縁膜も同様に図示しない。これらの詳細については後述する。

【0145】

素子分離領域ST1aを設ける理由は以下の通りである。書込みや読出しの速度向上を達成するために、複数のトランジスタTCを、複数のブロック212に分割することが好ましく、ロウ方向に配列されたブロック212のうち、隣接するブロック212同士の間、ブロック212同士を分離するための素子分離領域ST1aを設ける。各ブロック212はロウ方向に、例えば32個もしくは64個のトランジスタTCを含み、1つのブロック212に含まれるトランジスタTCのソースおよびドレインBLはロウ方向に直列に接続されていて、複数のトランジスタTCのコントロールゲートCGは共通接続する。

【0146】

素子分離領域ST1aを設ける理由をさらに説明する。複数のトランジスタTCのソースおよびドレインBLが直列に接続されている場合、これらのトランジスタTCのうちの、複数のトランジスタTCに対して同時に書込みを行おうとする場合、書込みの対象としていないトランジスタTCに対しても書込みが行われる可能性がある。素子分離領域ST1aにより、複数のブロック212に分離して、1つのブロック212内では、複数のトランジスタTCに対して同時に書込みを行うことをせずに、異なるブロック212に属する複数のトランジスタTCに対してのみ、同時に書込みを行うこととすれば、この問題は発生しない。その上、書込速度を高速の状態に維持することができる。また、読出し時においても、異なるブロック212に属する複数のトランジスタTCに対してのみ、同時に読出しを行うこととすれば、読出対象外のトランジスタTCに電流が流れる問題も防止できる。

【0147】

この半導体メモリにおいて、素子分離領域STIaを、STI (Shallow Trench Isolation) とすれば、分離領域の占有面積を小さくすることができ、半導体メモリの小型化に有効である。

【0148】

さらに、この半導体メモリは、複数のトランジスタTCのコントロールゲートCGを共通接続するための導体（例えばアルミ線）38と、アルミ線38とコントロールゲートCGとを接続するためのコンタクト部54とを含み、コンタクト部54の位置は、素子分離領域STIaの上方とすることができる。導体38により、コントロールゲートCGの抵抗を下げるができる。なお、コラム方向には、各バンクBANK同士を分離するための素子分離領域STIbが設けられている。素子分離領域STIbもSTIである。本図には、また仮想接地線VGがビット線BLに接続される接続点218も示す。

10

【0149】

図37は、3種類の金属線VG、38、306を特に示す。これらの金属線VG、38、306はAl線等である。本実施例では第1の金属線38の下の層に第2の金属線VGを配置し、その下の層に第3の金属線306を配置する。すなわち基板からの高さは、第1の金属線38の高さ308 > 第2の金属線VGの高さ310 > 第3の金属線306の高さ313という大小関係にある。

【0150】

第1の金属線38はプラグ54により、ブロック212の両端においてコントロールゲートCGに接続され、第2の金属線VGは、プラグ312により選択トランジスタSTE、STOに接続される。第3の金属線306はプラグ314により、ソース・ドレイン領域BLに接続される。プラグ314は、コントロールゲートCGの間に設けられる。図37においては、第3の金属線306は、ブロック212の端部にあるビット線BL上にも示すが、実際は、ブロック212の端部以外のビット線BL上にも設ける。

20

【0151】

なお、本実施例は既述の実施例と同様に、ロウ方向に隣接するセルトランジスタ同士が、セルトランジスタ間のソース・ドレイン領域を共有し、ソース・ドレイン領域の中間部に、ソース・ドレイン領域と同一の導電型の高濃度領域を設け、高濃度領域は、コラム方向に配列した複数のセルトランジスタに共通である。

【0152】

次に、本実施例の半導体メモリの製造方法について、図38～図47を参照して説明する。本実施例では、セルトランジスタの製造工程を、駆動トランジスタであるCMOSトランジスタの製造工程と両立して行うことができる。よって、以下では、セルトランジスタだけでなく、CMOSトランジスタの製造工程も併記する。図中、CMOSトランジスタ部CMとは、CMOSトランジスタが形成される部位を指す。そして、セルトランジスタ部CTは、セルトランジスタが形成される部位を指す。さらに、以下の図38～図47においては、素子分離領域STIbの製造過程もあわせて示す。

30

【0153】

図38(a)、図38(b)は、それぞれ、3つの断面図からなる。左から1つ目の断面図はセルトランジスタ部CTのロウ方向の断面図である。左から2つ目の断面図は、コラム方向の素子分離領域STIbの製造方法を示すためのものであり、図36のAA方向に見た素子分離領域STIbのコラム方向の断面図である。右端の断面図は、バンク選択トランジスタSTO、STEの製造方法を示すためのものであり、図36のBB方向に見たバンク選択トランジスタSTO、STEのコラム方向の断面図である。以下の図39～図57においても同様に素子分離領域STIbおよびバンク選択トランジスタSTO、STEのコラム方向の断面図を併せて示す。

40

【0154】

最初に、図38(a)に示すように、一方の導電型の半導体基板であるp⁻型シリコン基板（本実施例ではボロン濃度 $1.0 \times 10^{16} \text{cm}^{-3}$ ）12を準備する。その表面に、シリコン熱酸化膜18を形成し、シリコン熱酸化膜18上にシリコン窒化膜19を形成する。図38(a)から図40(b)までは、ロウ方向およびコラム方向の素子分離領域STIa、STIbを形成するための工程である。

50

【 0 1 5 5 】

次いで、レジスト100を塗布してレジスト100を現像、露光してパターンを形成する。このパターンによりシリコン窒化膜19をパターニングして、開口部19a~19dを形成する(図38(b))。開口19aは、CMOSトランジスタ部CM内の、CMOSトランジスタ同士の素子分離領域に形成される。開口19bは、CMOSトランジスタ部CMとセルトランジスタ部CTの素子分離領域に形成される。開口19cは、セルトランジスタ部CT内のロウ方向の素子分離領域ST1aに形成される。開口19dは、セルトランジスタ部CT内のコラム方向の素子分離領域ST1bに形成される。

【 0 1 5 6 】

次にレジスト100を除去して、パターニングされたシリコン窒化膜19をマスクとして、シリコン酸化膜18とシリコン基板12をエッチングし、開口102a~102dを形成する(図39(a))。素子分離用の酸化シリコン104を、CVD法によりたとえば400nmの厚さに堆積して、開口102a~102dを埋める(図39(b))。

【 0 1 5 7 】

続いて、堆積された酸化シリコン104をCMP(化学機械研磨)法により研磨して平坦化する(図40(a))。研磨は窒化膜19の途中で止める。その後、窒化膜19を除去するとともに、表面を平坦化する(図40(b))。

【 0 1 5 8 】

次いで、全体にフォトレジスト20を塗布する。このフォトレジスト20を露光・現像することにより、CMOSトランジスタ部CMに開口20aを形成する。その後、フォトレジスト20をマスクとして用いて、ヒ素とリンをイオン注入して、開口20aの下にnウエル21を形成する(図41(a))。ヒ素とリンは別々に注入され、砒素を深い位置に注入し、リンを浅い位置に注入する。

【 0 1 5 9 】

nウエル21を形成後、フォトレジスト20は除去される。新たなフォトレジスト22を全体に塗布する。このフォトレジスト22を露光・現像して、CMOSトランジスタ部CMに開口22aを形成する。その後、フォトレジスト22をマスクとして用いて、BF₂(フッ化ホウ素)とボロンをイオン注入して、開口22aの下にpウエル23を形成する(図41(b))。BF₂とボロンは別々に注入され、ボロンを深い位置に注入し、BF₂を浅い位置に注入する。pウエル23を形成後、フォトレジスト22は除去される。

【 0 1 6 0 】

次いで、全体にフォトレジスト24を塗布する。フォトレジスト24には、露光・現像により、開口24aが形成される。開口24aは、セルトランジスタ部CTに形成される。このフォトレジスト24をマスクとして用いてBF₂とボロンをイオン注入して、浅い位置にp層106、深い位置にp⁺層108を形成する(図42(a))。BF₂とボロンは別々に注入され、ボロンを深い位置に注入し、BF₂を浅い位置に注入する。それぞれのイオン注入の条件は、たとえば次の通りである。

【 0 1 6 1 】

イオン種：BF₂

加速エネルギー：35(KeV)

ドーズ量：4.0×10¹¹ (cm⁻²)

イオン種：B(ボロン)

加速エネルギー：20(KeV)

ドーズ量：2.0×10¹² (cm⁻²)

イオン注入により、浅い位置にp層106、深い位置にp⁺層108が形成される。p層106は、セルトランジスタのチャネルとなり、p⁺層108は、セルトランジスタのパンチスルーを防止する。次に、レジスト24を除去し、シリコン酸化膜18をエッチングして除去する(図42(b))。

【 0 1 6 2 】

その後、基板12の表面を再び熱酸化し、ゲート絶縁膜15cを形成する。ゲート絶縁膜15cの

10

20

30

40

50

膜厚は、約3nm程度である。ゲート絶縁膜15c上に、順に、膜厚が約20nmであるゲート絶縁膜(シリコン窒化膜)15e、膜厚が約20nmであるシリコン酸化膜110a、膜厚が約20nmであるシリコン窒化膜110b、膜厚が約4nmであるシリコン酸化膜110c、膜厚が約100nmであるシリコン窒化膜110d、および膜厚が約50nmであるシリコン酸化膜110eを堆積する(図43(a))。各膜の機能は、後の工程で明らかになる。これらの膜は、いずれも公知のCVD法、すなわち化学的気相成長法により形成される。

【0163】

次いで、最上層のシリコン酸化膜110e上にフォトレジスト(図示せず)を塗布する。塗布後、フォトレジストを露光・現像することにより、帯状の開口(図示せず)を形成する。この開口をエッチングマスクとして用いて、シリコン酸化膜110eのエッチングを行う。エッチングにより、シリコン酸化膜110eに帯状の開口45a, 45bを形成する(図43(b))。開口45aは、セルトランジスタのソース・ドレイン領域が形成される領域に開けられる。開口45bは、素子分離領域STIbおよびバンク選択トランジスタST0, STEが形成される領域に開けられる。

10

【0164】

この後、レジストを除去し、開口45a, 45bをマスクとして、異方性エッチングであるRIE(Reactive Ion Etching)によりシリコン窒化膜110dを除去する。続いて、シリコン酸化膜110e, 110cをエッチングし、RIEによりシリコン窒化膜110bを除去し、シリコン酸化膜110aをエッチングする。さらに、RIEによりシリコン窒化膜15eを除去し、シリコン層であるP層106およびP⁺層108に、RIEによりトレンチ28, 28, …を掘る(図44(a))。トレンチ28, 28, …のサイズは限定されないが、本実施例ではその深さは約40nm程度である。また、隣接するトレンチ28, 28, …の間隔(すなわち凸部13aの幅)は、約130nm程度である。

20

【0165】

続いて、露出面全体に、膜厚が約20nmであるシリコン酸化膜29を形成する(図44(b))。シリコン酸化膜29は、CVD法により成膜される。

【0166】

次に、シリコン酸化膜29を厚み方向に異方的にエッチングする。このエッチングは、RIEにより行われる。これにより、シリコン酸化膜29は、凸部13aの側面13bに形成されたものを残して、除去される。次に熱酸化を行なって、トレンチ28の底部に、膜厚が3nmであるシリコン酸化膜114を形成する(図45(a))。

30

【0167】

その後、レジスト112を塗布し、マスクを用いてレジスト112の露光、現像を行い、CMOSトランジスタ部CMおよび右端のSTI部のレジスト112を残して、レジスト112を除去する。このレジスト112をマスクとして、ヒ素を2回に分けて、イオン注入することにより、トレンチ28, 28, …の底部にN⁺層を形成する(図45(b))。N⁺層はビット線BL1, BL2, …である。イオン注入量は、たとえば以下の通りである。

【0168】

1回目：
加速エネルギー：10(KeV)
ドーズ量： 1.5×10^{14} (cm⁻²)
2回目：
加速エネルギー：30(KeV)
ドーズ量： 1.0×10^{14} (cm⁻²)

40

イオン注入の際、側面13bにはシリコン酸化膜29が形成されているから、側面13bにはヒ素が注入されない。また、凸部13aがマスクとして機能するので、各ビット線BL1, BL2, …をトレンチ28の底にセルフアライン的に形成することができる。

【0169】

イオン注入を終了後、側面13bに残存するシリコン酸化膜29と、底面に残存するシリコン酸化膜114をエッチングして除去する(図46(a))。

50

【 0 1 7 0 】

次いで、凸部13aの両側面13b、13bにヒ素をイオン注入して、反対の導電型を有する領域であるn型領域17、17、・・・を形成する(図46(b))。側面13bにイオン注入するには、基板12をイオンの入射方向に対して傾ければよい。本実施例では、p型シリコン基板12の法線 n_1 を、イオンの入射方向 n_0 に対して約 $\pm 20^\circ$ 傾ける。このイオン注入の条件は次の通りである。

【 0 1 7 1 】

イオン種：As(ヒ素)

加速エネルギー：15(KeV)

ドーズ量： $2.0 \times 10^{12} (\text{cm}^{-2})$

ところで、トレンチ28、28、・・・の表面は、デバイスのチャンネルとなる部位であり、その性質はデバイスの特性に大きく影響する。よって、後の種々の工程において、トレンチ28、28、・・・の表面が汚染されないようにする必要がある。この点に鑑み、本実施例では、犠牲シリコン酸化膜31をトレンチ28、28、・・・の側面と底面とに形成する(図47(a))。犠牲シリコン酸化膜31の膜厚は約4nm程度であって、熱酸化により形成される。

【 0 1 7 2 】

トレンチ28、28、・・・の表面は、犠牲シリコン酸化膜31によって覆われて保護されるから、後の工程で汚染されることが防がれる。しかも、シリコン酸化膜31は、トレンチ28、28、・・・の表面の格子欠陥を取り除くようにも機能するので、格子欠陥によりデバイスの特性が劣化することも防がれる。

【 0 1 7 3 】

その後、マスク膜として用いるシリコン窒化膜30を、トレンチ28、28、・・・内を含む露出面全体に形成する(図47(b))。シリコン窒化膜30の膜厚は約60nm程度であり、CVD法により成膜される。

【 0 1 7 4 】

続いて、図48(a)に示すように、レジスト116を塗布し、セルトランジスタ部CTのソース・ドレイン領域のレジスト116を除去する。このレジスト116をマスクとして、シリコン窒化膜30を厚み方向に異方的にエッチングして、コラム方向に長い長穴(すなわち開口)30aを形成する。長穴30aは、トレンチ28よりも幅が狭いことに注意されたい。長穴30aを形成後、シリコン窒化膜30をエッチングマスクとして用いて、先の犠牲シリコン酸化膜31と、各ビット線BL1、BL2、・・・の一部とを選択的にエッチングする。このエッチングにより、各ビット線BL1、BL2、・・・には、窪みであるリセス32が形成される。その深さは約10nmである。

【 0 1 7 5 】

その後、ビット線BL1、BL2、・・・の抵抗を下げるべく、長穴30aを通じて、ヒ素をビット線BL1、BL2、・・・にイオン注入する。図に、このイオン注入によりヒ素が注入された部位(n^+ 領域)33を示す。イオン注入の条件は次の通りである。

【 0 1 7 6 】

イオン種：As(ヒ素)

加速エネルギー：40(KeV)

ドーズ量： $5.0 \times 10^{15} (\text{cm}^{-2})$

次いで、レジスト116を除去し、シリコン窒化膜30をマスクとして用いて、リセス32、32、・・・を選択的に熱酸化して選択酸化膜234、234、・・・を形成する(図48(b))。熱酸化により酸化膜234を膨らまして厚くする理由は、この部分において、コントロールゲートCGとソース・ドレイン領域BLとがもっとも接近するため、酸化膜234の耐圧を高くする必要があるからである。

【 0 1 7 7 】

選択酸化膜234、234、・・・を形成した後、シリコン窒化膜30、110dをエッチングして除去する(図49(a))。このエッチングでは、シリコン酸化膜110cと犠牲シリコン酸化膜31とがエッチングストップして機能する。

【0178】

次いで、シリコン酸化膜110cおよび犠牲シリコン酸化膜31をエッチングして除去する(図49(b))。今度は、シリコン窒化膜110bがエッチングストップとして機能する。このエッチングは、シリコン酸化膜110cおよび犠牲シリコン酸化膜31が完全に除去され、かつ選択酸化膜234、234、・・・が残存する程度に行う。

【0179】

その後、トレンチ28、28、・・・の底面と側面とに、膜厚が約3nm程度のトンネル絶縁膜(プラズマ酸化膜)15aと、膜厚が約3nm程度のトンネル絶縁膜(プラズマ窒化膜)15dを形成する(図50(a))。トンネル絶縁膜15a、15dは、その膜質がデバイス動作に大きく影響するから、良好な膜質になるように形成することが好ましい。

10

【0180】

本実施例では、良質なトンネル絶縁膜15a、15dを形成すべく、トンネル絶縁膜はプラズマ酸化膜15aと、その上に形成されるプラズマ窒化膜15dからなる積層膜とする。プラズマ酸化膜15aは、トレンチ28、28、・・・の底面と側面とを、プラズマ酸化法に従って酸化することにより形成する。プラズマ酸化法においては、たとえばラジアルラインスロットアンテナを使用したマイクロ波励起高密度プラズマ装置が用いられる。

【0181】

当該装置を用いたプラズマ酸化法では、装置内にクリプトン(Kr)と酸素(O_2)との混合ガスを導入する。導入されたクリプトンは、ラジアルラインスロットアンテナが放射するマイクロ波により励起される。マイクロ波により励起されたクリプトンは、酸素(O_2)と衝突して大量の原子状酸素 O^* を生成せしめる。原子状酸素 O^* は、シリコンの面方位に依存することなく、トレンチ28、28、・・・の表層部に容易に浸入する。その結果、全ての面方位が概略同じ酸化速度で均一に酸化される。酸化膜形成後、混合ガスの導入を停止し、マイクロ波の放射も止めて、装置内のガスを排気する。

20

【0182】

次に、プラズマ窒化膜15dをプラズマ酸化膜15a上に形成する。プラズマ窒化膜15dは、たとえば、プラズマ酸化膜15aと同様に、ラジアルラインスロットアンテナを使用したマイクロ波励起高密度プラズマ装置を用いて形成する。

【0183】

当該装置を用いたプラズマ窒化法では、装置内にクリプトン(Kr)とアンモニア(NH_3)との混合ガスを導入する。導入されたクリプトンは、ラジアルラインスロットアンテナが放射するマイクロ波により励起される。マイクロ波により励起されたクリプトンは、アンモニア(NH_3)と衝突してアンモニアラジカル NH^* を生成せしめる。アンモニアラジカル NH^* は、トレンチ28、28、・・・の表層部にプラズマ窒化膜を形成する。そして、シリコンの面方位に依存することなく、プラズマ窒化膜を形成する。

30

【0184】

上記のようにトンネル絶縁膜15dを形成した後、導電膜であるポリシリコン膜34を、トンネル絶縁膜15d上とシリコン窒化膜110b上とに形成する(図50(b))。ポリシリコン膜34は、in-situドーピングによりリン(P)が予めドーピングされている。リンをドーピングする理由は、ポリシリコン膜34は、フローティングゲートFG1、FG2として用いられるため、リンをドーピングすることにより抵抗を下げることが好ましいからである。ポリシリコン膜34の膜厚は、約60nm程度である。

40

【0185】

次に、ポリシリコン膜34を厚み方向に異方的にエッチングする。これにより、シリコン窒化膜110b上のポリシリコン膜34を除去しつつ、トレンチ28、28、・・・の側面上のトンネル絶縁膜15d上にポリシリコン膜34を残存させる。トレンチ28、28、・・・の側面上のポリシリコン膜34の上端は、凸部13aの頂面より高い位置にあるようにエッチングを行なう。残存したポリシリコン膜34は、フローティングゲートFG1、FG2となる。

【0186】

フローティングゲートFG1、FG2を形成後、シリコン窒化膜110bとシリコン酸化膜110aをエ

50

ッチングして除去する(図51(a))。ここで、このシリコン窒化膜110bとシリコン酸化膜110a(図50(b)を参照)の果たしてきた役割に注意されたい。シリコン窒化膜110bとシリコン酸化膜110aは、まず、図43(a)の工程でゲート絶縁膜15e上に形成された。そして、図50(b)の工程まで、ゲート絶縁膜15eはシリコン窒化膜110bとシリコン酸化膜110aで覆われて保護されていた。

【0187】

ゲート絶縁膜15eは、デバイスの動作に大きく影響する。したがって、上記の如く、シリコン窒化膜110bとシリコン酸化膜110aでゲート絶縁膜15eを保護しておくこと、イオン注入、エッチング、異種の膜の成膜等の種々のプロセスにより、ゲート絶縁膜15eの膜質が劣化することを防ぐことができる。その結果、デバイスの動作特性が劣化することを防ぐことができる。

10

【0188】

次いで、露出面全体を、上述のプラズマ酸化法により酸化する。これにより、フローティングゲートFG1、FG2の表面が酸化され、インターポリ絶縁膜15bが形成される。このときに少量の窒素を酸化膜に混入させて、窒化膜も生成させる。窒化膜により膜が密になり、ボロンの逃げが防げるからである。また、コラム方向の素子分離領域ST1bおよびバンク選択トランジスタST0、STEに酸化膜108が形成される(図51(b))。インターポリ絶縁膜15bの膜厚は、約12nm程度である。

【0189】

続いて、全体にフォトレジスト35を塗布する。塗布後、フォトレジスト35を露光・現像することにより、CMOSトランジスタ部CM上に開口35aを形成する。さらに、このフォトレジスト35をエッチングマスクとして使用し、CMOSトランジスタ部CM上のゲート絶縁膜15e、15cをエッチングする。これにより、CMOSトランジスタのnウエル21とpウエル23の表面が露出する(図52(a))。ゲート絶縁膜15e、15cをエッチングする理由は、ゲート絶縁膜15cがこれまでの処理により損傷を受けているからである。

20

【0190】

続いて、レジスト35を除去した後、プラズマ酸化を行い、CMOSトランジスタのnウエル21とpウエル23の表面に、膜厚が約3nmであるゲート酸化膜120を形成する(図52(b))。このとき、プラズマ酸化により、インターポリ膜15bの表面に残存している可能性があるレジスト35中の炭素CがCO₂に変化し、レジスト35が除去されるというメリットもある。

30

【0191】

次にポリシリコンCGをCVD法により堆積し、堆積したポリシリコンCGの表面をCMP法により研磨して平坦化し、タングテンシリサイド(WSi)を形成し、その上にシリコン酸化膜36を堆積する(図53(a))。本図では、ポリシリコンCGと、その上にあるタングテンシリサイドとを同一の参照符号CGで示す。この工程により、ロウ方向に一体化してなるコントロールゲートCGが複数形成される。同時に、CMOSトランジスタ部上のpウエル23、nウエル21上に、ゲート電極41が形成される。ゲート電極41は、ポリシリコン膜37を主体に構成され、WSi膜により、その抵抗が下げられている。WSi膜は、コントロールゲートCGにも形成されるから、コントロールゲートCGの抵抗も下がる。

【0192】

40

シリコン酸化膜36をポリシリコンCGの上に堆積する理由は、シリコン酸化膜36をマスクとして用いてポリシリコンCGをパターニングするためである。レジストをマスクとして用いてポリシリコンCGをパターニングするよりも、シリコン酸化膜36のマスクの方が適切だからである。ポリシリコンCGのパターニングは、次の工程で行なわれる。

【0193】

すなわち、レジスト127を塗布し、レジスト127を露光・現像してパターニングし、パターニングされたレジスト127を用いてシリコン酸化膜36をパターニングする。パターニングされたシリコン酸化膜36を用いて、ポリシリコンCGをパターニングする(図53(b))。ポリシリコンCG、すなわちコントロールゲートCGが除去される部分は、本図に示すように、CMOSトランジスタ部CMのソース・ドレイン領域が形成される部分129a、セルトランジスタ部

50

CTのコラム方向のST1bが形成される部分129b、バンク選択トランジスタST0、STEのソース・ドレイン領域が形成される部分129c、およびロウ方向に連続したコントロールゲートCG間の領域40（図34参照）である。

【0194】

この後、コントロールゲートCGで覆われていない部位である素子分離領域ST1bにある凸部13aの側面と、図34に示す素子分離領域40にある凸部13aの側面に形成されているインターポリ絶縁膜138とポリシリコン140を除去する。そのために、レジスト127を除去後、マスク130を形成し、このマスク130を用いて、これらの部位におけるインターポリ絶縁膜138とポリシリコン140を除去する。インターポリ絶縁膜138を除去するときと、ポリシリコン140を除去するときでは、エッチャントを変える。こうして、コントロールゲートCGで覆われていない部位のフローティングゲートFG1、FG2は除去される。この工程により、隣接するコントロールゲートCG、CG、・・・の間に、トンネル絶縁膜15dが露出する。そして、ポリシリコン140を除去した後に、露出したシリコン窒化膜15dのコーナー部132を丸めるために、酸化処理を行なって、コーナー部132に酸化物を形成する（図54(a)）。

10

【0195】

本図に示す領域134は、図54(a)以外の図38～図47においては、セルトランジスタ部CTのソース・ドレインが形成される領域のロウ方向の断面（図36の断面DD）を示しているが、本図においてのみ、素子分離領域40のロウ方向の断面（図36の断面CC）を示す。

【0196】

この後、CMOSトランジスタ部CMのNMOS123とPMOS124、さらにバンク選択トランジスタST0、STEを形成する工程を行なう。以下に示すように、CMOSトランジスタ部CMのNMOS123とバンク選択トランジスタST0、STEは、同一の工程により同時に形成される。また、凸部の端部の絶縁保護膜318と、NMOS123およびPMOS124のサイドウォール絶縁膜136bに関しても同一の工程により、同時に形成される。

20

【0197】

最初に、レジスト130を除去して、レジスト138を塗布し、レジスト138を露光・現像して、レジスト138のNMOS123とバンク選択トランジスタST0、STEの部位を開口する。そして、これらの場所に砒素をイオン注入することにより、LDD（Lightly Doped Drain）136cを形成する。この際にシリコン酸化膜36もマスクとして機能している（図54(b)）。

【0198】

同様にして、PMOS124にもLDD136cを形成し、次に、PMOS124、NMOS123、バンク選択トランジスタST0、STE、および素子分離領域ST1bの凸部13aに、シリコン窒化膜からなるサイドウォール絶縁膜136bを形成する（図55(a)）。

30

【0199】

続いて、レジスト140を塗布し、レジスト140を露光・現像して、レジスト140のNMOS123とバンク選択トランジスタST0、STEの部位を開口する。そして、これらの場所に砒素をイオン注入することにより、ソース・ドレイン領域136aを形成する。この際にシリコン酸化膜36もマスクとして機能している（図55(b)）。

【0200】

同様にして、PMOS124にもソース・ドレイン領域136aを形成する。こうしてCMOSトランジスタ部CMのNMOS123とPMOS124、さらにバンク選択トランジスタST0、STEが形成される。次に、BPSG膜（Boro-Phospho Silicate Glass 膜）36を堆積する。BPSG膜は、Al線のために表面を平坦化するためのものである。BPSG膜を堆積した後、BPSG膜を高温で熱処理することにより、表面の凹凸を緩和することができる。熱処理後、BPSG膜をCMP法により平坦化する（図56(a)）。

40

【0201】

続いて、マスク（図示しない）を用いて、シリコン酸化膜36に穴を開け、その穴にタングステンプラグ（コンタクト部）54、320、322を埋め込み、埋込み後、CMP法により表面を平坦化する（図56(b)）。タングステンプラグ54、320、322は、セルトランジスタ部CTではコントロールゲートCGとAl膜38を接続し、CMOSトランジスタ部CMおよびバンク選択トランジスタ

50

タST0, STEでは、ソース・ドレインとAl膜324, 326を接続するためのものである。Al膜38, 324, 326は、次の工程で形成される。

【0202】

最後の工程では最初に、Al膜38, 324, 326を蒸着し、蒸着で形成されたAl膜38, 324, 326をパターニングする。次にシリコン酸化膜56を堆積し、その上に保護膜58を形成する(図57)。第2の金属線VGおよび第3の金属線306は、本図には表れないが、保護膜58を形成する前に、第2の金属線VGおよび第3の金属線306を形成する。こうして半導体メモリが完成する。

【0203】

本実施例によれば、駆動トランジスタは、選択トランジスタとは異なる高さ位置にあるにもかかわらず、同一工程により同時に形成するため、工程数の削減が図れる。

10

【0204】

また、凸部のコラム方向の端部の保護用絶縁膜は、半導体メモリに含まれるLDD構造を有するトランジスタのサイドウォール絶縁膜と同一工程により同時に形成するため、工程数の削減が図れる。

【0205】

なお、セルトランジスタはロウ方向に複数のブロックに分割され、隣接するブロックの間に設けられたSTI領域において、コントロールゲートは、ロウ方向に設けた金属線と接続する。こうして、コントロールゲートのロウ方向の抵抗を実質的に低下させることができる。

20

【0206】

さらに、セルトランジスタは各バンク内において、チャネル領域を共有し、各バンクの末端に設けられた素子分離領域STIbによりバンク同士を分離する。これにより、セルトランジスタをバンクごとに制御することが可能になる。

【0207】

ところで、バンクに対して設けられた接続領域218においてソース・ドレイン領域と接続する仮想接地線VGにより、ソース・ドレイン領域のコラム方向の抵抗を実質的に下げることができる。

【0208】

半導体メモリにおいて、異なるブロックに属する複数のセルトランジスタに対して並行して書込みまたは読出しを行うことにより、半導体メモリ全体として、書込みまたは読出しの速度を上げることができる。

30

【0209】

なお、コラム方向に設けられた第3の金属線は、コラム方向に隣接するコントロールゲートの間において、ソース・ドレイン領域と接続され、ソース・ドレイン領域のコラム方向の抵抗を実質的に下げることができる。

【0210】

ところで、ロウ方向に隣接するセルトランジスタ同士が、セルトランジスタ間のソース・ドレイン領域を共有し、ソース・ドレイン領域の中間部に、ソース・ドレイン領域と同一の導電型の高濃度領域33を設け、高濃度領域33は、コラム方向に配列した複数のセルトランジスタに共通としている。高濃度領域は抵抗値が低いいため、高濃度領域により、ソース・ドレイン領域のコラム方向の抵抗を実質的に下げることができる。

40

【0211】

以上の実施例においては、フローティングゲートFG1, FG2の形状が扇形であったが、本発明はこれに限られるものではなく、扇形以外のフローティングゲートFG1, FG2を有するセルトランジスタにも適用できる。このようなセルトランジスタについて以下説明する。

【0212】

図58は、図1のセルトランジスタとはフローティングゲートFG1, FG2の形状等が異なる半導体メモリの一実施例の構成を示す説明図である。本実施例の半導体メモリはフラッシュメモリ200である。フラッシュメモリ200は、対向する一对の側面13bを有する凸部13aが設

50

けられた p 型半導体基板と、凸部13aの頂面13c上に形成されたゲート絶縁膜15cと、凸部13aを挟む半導体基板の表面に形成された一对の n 型ソース・ドレイン領域BL1, BL2と、凸部13aの側面13bとソース・ドレイン領域BL1, BL2とを覆うトンネル絶縁膜15aを含む。さらに、フラッシュメモリ200は、凸部13aの各側面13b側に設けられトンネル絶縁膜15aを介して側面13bとソース・ドレイン領域BL1, BL2とに対向する一对のフローティングゲートFG1, FG2と、各フローティングゲートFG1, FG2上に形成されたインターポリ絶縁膜15bと、インターポリ絶縁膜15bを介して各フローティングゲートFG1, FG2と対向し、かつゲート絶縁膜15cを介して凸部13aの頂面13cと対向するコントロールゲートCGとを有する。

【0213】

コントロールゲートCGはその一部が少なくとも、インターポリ絶縁膜15bを介してフローティングゲートFG1, FG2と対向し、またゲート絶縁膜15cを介して頂面13cと対向している。このコントロールゲートCGは、上記インターポリ絶縁膜15bを介してフローティングゲートFG1, FG2と対向する部分と、ゲート絶縁膜15cを介して頂面13cと対向する部分とを各々電氣的に独立して形成し、これらを独立に電気制御するようにしてもよい。

10

【0214】

各フローティングゲートFG1, FG2の、コラム方向に垂直な断面形状は、本実施例では実質的に長方形であり、長方形の一辺は、凸部13aの側面にトンネル絶縁膜15aを介して対向し、長方形の一辺は、ソース・ドレイン領域BL1, BL2にトンネル絶縁膜15aを介して対向する。これらの2辺は隣り合う辺であり、さらに、長方形の一辺がインターポリ絶縁膜15bを介してコントロールゲートCGと対向している。このトランジスタを以下では、フローティングゲートFG1, FG2の形状が実質的に四角形であるため、S (Square)型メモリと呼ぶ。

20

【0215】

本実施例では、インターポリ絶縁膜15bは、シリコン酸化膜202a、シリコン窒化膜202b、シリコン酸化膜202cがこの順に配列している膜であり、またゲート絶縁膜15cは、これらの膜202a, 202b, 202cに加えて、その下に形成されているシリコン酸化膜204aと、シリコン窒化膜204bとを含む。

【0216】

シリコン酸化膜204aは、従来から知られているゲート絶縁膜(熱酸化膜)と同じ製法で形成できる。またインターポリ絶縁膜15bに関しても、膜202a, 202b, 202cは従来技術により製造することができる。さらに、フローティングゲートFG1, FG2の、コントロールゲートCGに対向する面をCMP法により平坦化した後にインターポリ絶縁膜15b、すなわち膜202a, 202b, 202cを形成して、耐圧性に優れた膜を形成する。すなわち、フローティングゲートFG1, FG2に用いられる例えばポリシリコンは、粗い表面形状を有しており、この上にインターポリ絶縁膜15bを形成すると、インターポリ絶縁膜15bの耐圧性が保証されなくなる危険性が大きい。そこでフローティングゲートFG1, FG2のインターポリ絶縁膜15bと接する面をCMP法により平坦化した後、インターポリ絶縁膜15bを形成することによって、耐圧性の優れた膜が形成可能となる。これらの個々の製造プロセス技術は公知であるため、本実施例のフラッシュメモリ200は、製造上のリスクが少ないという利点がある。

30

【0217】

本実施例のフローティングゲートFG1, FG2は四角形であるため、図1に示すフローティングゲートFG1, FG2と比較して、結合比CRが小さいという利点がある。ここで、結合比CRとは、コントロールゲートCGとフローティングゲートFG1(FG2)との対向容量 C_{CF1} (C_{CF2}) / (フローティングゲートFG1(FG2)と凸部13aの側面13bとの対向容量 C_{FG1} (C_{FG2}) + フローティングゲートFG1(FG2)とソース・ドレイン領域BL1(BL2)との対向容量 C_{FS} (C_{FD})) で定義される量、すなわち、 $C_{CF1} / (C_{FG1} + C_{FS})$ 、または $C_{CF2} / (C_{FG2} + C_{FD})$ である。

40

【0218】

図1に示すトランジスタの場合、結合比CRは、0.37程度であるが、本実施例の場合、結合比CRは、0.35以下であり、0.32程度が実現できる。結合比CRが、小さくなる理由は、図1に示すフローティングゲートFG1, FG2の形状は、中心角が90度の扇形に近い形状であるが、本実施例の場合は四角形であり、本実施例の方が、フローティングゲートFG1, FG2がコ

50

ントロールゲートCGと対向する面積が小さくなるからである。

【0219】

容量比が十分小さいと、メモリからデータを読み出す際の特性上好ましい。なぜならば、このときフローティングゲートFG1、FG2と、ソース・ドレイン領域BL1、BL2等との結合が強いため、フローティングゲートFG1、FG2の電位が、ソース・ドレイン領域BL1、BL2の電位によって十分に影響を受けるからである。その結果、電流ウィンドウが大きくなり、データの読み出し速度が速くなる。

【0220】

容量比CRを小さくする方法としては、トンネル絶縁膜の膜厚を、インターポリ絶縁膜の膜厚よりも薄くする、フローティングゲートFG1、FG2がコントロールゲートCGと対向する面積を、ソース・ドレイン領域BL1、BL2と対向する面積よりもできるだけ小さくする等がある。面積を小さくするために、たとえば、フローティングゲートFG1、FG2の形状を、コントロールゲートCGと対向する面積を小さくし、ソース・ドレイン領域BL1、BL2と対向する面積を大きくした台形とする方法がある。

【0221】

容量比CRと消去の関係については、フローティングゲートFG1、FG2からコントロールゲートCGに電荷を抜くときは、容量比CRが小さいほど、ソース・ドレイン領域BL1、BL2とコントロールゲートCGとの間の電位差が小さくてよい。フローティングゲートFG1、FG2とコントロールゲートCGとの間に電位差が付きやすいからである。

【0222】

逆に、フローティングゲートFG1、FG2からソース・ドレイン領域BL1、BL2に電荷を抜くときは、容量比CRが小さすぎると、ソース・ドレイン領域BL1、BL2とコントロールゲートCGとの間の電位差を大きくしなければならない。フローティングゲートFG1、FG2とソース・ドレイン領域BL1、BL2との間に電位差が付きにくいからである。

【0223】

ところで、本実施例の半導体メモリにおいては、複数個のトランジスタは、ソース・ドレイン領域BL1、BL2を結ぶ方向に配置され、隣接する複数個のトランジスタのうち一方のフローティングゲートFG1と、他方のフローティングゲートFG2との間に、コントロールゲートCGとソース・ドレイン領域BL1、BL2との間を電気的に分離する絶縁膜15fを設けている。これを設けた理由は次の通りである。

【0224】

図1のトランジスタでは、ロウ方向に隣接するセルトランジスタTC、TC間のA部において、コントロールゲートCGとビット線BL2とが対向する。よって、A部において、各種の動作時に、コントロールゲートCGとビット線BL2との間にリーク電流が流れることが考えられる。

【0225】

この点が懸念される場合は、図1のように、第4の絶縁膜である選択酸化膜234をトンネル絶縁膜15aに繋げて設け、さらに、その厚みをトンネル絶縁膜15aよりも厚膜にすると良い。このようにすると、選択酸化膜234の厚みによって、上記のリーク電流を防ぐことができる。図1の例においては、コントロールゲートCGとビット線BL1、BL2との間のリーク電流を防ぐために、第4の絶縁膜を選択酸化により形成している。

【0226】

S型メモリでは、フローティングゲートをエッチングにより分離して互いに隣接するようにフローティングゲートを形成した後、これらのフローティングゲート間の分離空間に絶縁物を充填して、絶縁膜15fを形成し、その上に、コントロールゲートCGを形成したものである。このようにコントロールゲートCGとビット線BL1、BL2との間に絶縁物が埋められると、フローティングゲートFG1、FG2はコントロールゲートCGと、インターポリ絶縁膜15bを介する部分のみが対向することになる。

【0227】

本実施例のトランジスタの書込み、読出し、消去は、図1のトランジスタと同様に行われ

10

20

30

40

50

る。なお、消去は、フローティングゲートFG1, FG2からソース・ドレイン領域BL1, BL2へ行うことが好ましい。書込み、読出し、消去時における、ソース・ドレイン領域BL1, BL2およびコントロールゲートCGの電圧設定値の一例を表1に示す。

【0228】

【表1】

	CG		BL1, BL2(ドレイン)		BL1, BL2(ソース)	
	選択時	非選択時	選択時	非選択時	選択時	非選択時
書込み	2.5V	0V	5V	オープン	0V	オープン
読出し	2.5V	0V	1.2V	オープン	0V	オープン
消去	-8.5V	オープン	8.5V	オープン	8.5V	オープン

10

【0229】

次に、扇形以外のフローティングゲートFG1, FG2を有する別のセルトランジスタについて説明する。図59は、このセルトランジスタの構成を示す説明図である。これはフラッシュメモリ206である。フラッシュメモリ206は、対向する一对の側面13bを有する凸部13aが設けられたp型半導体基板と、凸部13aの頂面13c上に形成されたゲート絶縁膜15cと、凸部13aを挟む半導体基板の表面に形成された一对のn型ソース・ドレイン領域BL1, BL2と、凸部13aの側面13bとソース・ドレイン領域BL1, BL2とを覆うトンネル絶縁膜15aを含む。さらに、フラッシュメモリ206は、凸部13aの各側面13b側に設けられトンネル絶縁膜15aを介して側面13bとソース・ドレイン領域BL1, BL2とに対向する一对のフローティングゲートFG1, FG2と、各フローティングゲートFG1, FG2上に形成されたインターポリ絶縁膜15bと、インターポリ絶縁膜15bを介して各フローティングゲートFG1, FG2と対向し、かつゲート絶縁膜15cを介して凸部13aの頂面13cと対向するコントロールゲートCGとを有する。

20

30

【0230】

このコントロールゲートCGも、上記図58の例と同様に、上記インターポリ絶縁膜15bを介してフローティングゲートFG1, FG2と対向する部分と、ゲート絶縁膜15cを介して頂面13cと対向する部分とを各々電氣的に独立して形成し、これらを独立に電気制御するようにしてもよい。

【0231】

各フローティングゲートFG1, FG2の、コラム方向に垂直な断面形状は、インターポリ絶縁膜15bを介してコントロールゲートCGに対向するフローティングゲートFG1, FG2の面208の面積が、トンネル絶縁膜15aを介してソース・ドレイン領域BL1, BL2に対向するフローティングゲートFG1, FG2の面の面積より小さいものである。このような断面形状のうち、本実施例は特に、実質的にL字形であり、L字形の側部がトンネル絶縁膜15aを介して凸部13aの側面13bに対向し、L字形の底部がトンネル絶縁膜15aを介してソース・ドレイン領域BL1, BL2に対向している。さらに、L字形の側部の頂部がインターポリ絶縁膜15bを介してコントロールゲートCGと対向している。このトランジスタを以下では、フローティングゲートFG1, FG2の形状が実質的にL字形であるため、L型メモリと呼ぶ。

40

【0232】

本実施例では、インターポリ絶縁膜15bは、プラズマ酸化法によるシリコン酸化膜であり、またゲート絶縁膜15cは、この膜15bに加えて、その下に形成されているシリコン酸化膜210aと、シリコン窒化膜210bとを含む。トンネル絶縁膜15aも、プラズマ酸化法による

50

シリコン酸化膜である。

【0233】

プラズマ酸化法により、面の方向によらず均一なシリコン酸化膜が形成できる。すなわち、(100)面と(111)面にほぼ等しい厚さのシリコン酸化膜が形成される。これは、水平面および垂直面を含むトンネル絶縁膜15aを同時に形成する際に好ましい。また、プラズマ酸化法による酸化膜は、酸化膜の経時絶縁破壊(TDDB: Time Dependent Dielectric Breakdown)に対する耐性を表す Q_{BD} が高いという利点がある。また、絶縁破壊に対する耐性を表すSILC (Stress Induced Leakage Current) も低いという利点がある。

【0234】

図59に示す例においても前記した図58に示す実施例と同様に、フローティングゲートFG1、FG2の、コントロールゲートCGに対向する面をCMP法により平坦化した後にインターポリ絶縁膜15b、すなわち膜210cを形成して、耐圧性に優れた膜を形成する。すなわち、フローティングゲートFG1、FG2に用いられる例えばポリシリコンは、粗い表面形状を有しており、この上にインターポリ絶縁膜15bを形成すると、インターポリ絶縁膜15bの耐圧性が保証されなくなる危険性が大きい。そこでフローティングゲートFG1、FG2のインターポリ絶縁膜15bと接する面をCMP法により平坦化した後、インターポリ絶縁膜15bを形成することによって、耐圧性の優れた膜が形成可能となる。CMP法は、公知の製造プロセス技術であるため、製造上のリスクが少ないという利点がある。

【0235】

本実施例のフローティングゲートFG1、FG2はL字形であるため、図1や図58に示すフローティングゲートFG1、FG2に比較して、既述の結合比CRが小さいという利点がある。

【0236】

図1に示すトランジスタの場合、結合比CRは、0.37程度であり、図58に示すS型メモリの場合、0.32程度であるが、本実施例の場合、結合比CRは、0.20以下であり、0.17程度が十分に実現できる。結合比CRが、小さくなる理由は、フローティングゲートFG1、FG2の形状が、本実施例の場合はL字形であり、本実施例の方が、フローティングゲートFG1、FG2がコントロールゲートCGと対向する面208の面積が小さくなるからである。

【0237】

容量比が十分小さいと、既述のように、メモリからデータを読み出す際の特性上好ましい。すなわち、容量比が小さいほど電流ウィンドウが大きくなり、その結果、データの読み出し速度が速くなる。本実施例では、図1や図58のトランジスタに比較して、容量比を小さくすることが容易であり、図1や図58のトランジスタの場合よりも容易にデータの読み出し速度を速くすることができる。

【0238】

消去に関しては、本実施例では容量比CRが小さいため、既述の理由から比較的小さい電圧を印加するだけで、フローティングゲートFG1、FG2からコントロールゲートCGに電荷を抜くことができる。

【0239】

本実施例においても、上記した図58の例と同様、フローティングゲートをエッチングにより分離して互いに隣接するようにフローティングゲートを形成した後、これらのフローティングゲート間の分離空間に絶縁物を充填して、絶縁膜15fを形成し、その上に、コントロールゲートCGを形成することができる。このようにコントロールゲートCGとビット線BL1、BL2との間に絶縁物が埋められると、フローティングゲートFG1、FG2はコントロールゲートCGと、インターポリ絶縁膜15bを介する部分のみが対向することとなる。

【0240】

さらに、絶縁膜15fを充填する領域を増やしてゆけば、L型のフローティングゲート部分の下辺部が実質的に除去され、フローティングゲートFG1、FG2を実質的にI型に形成することもできる。このようにすれば、フローティングゲートFG1、FG2のビット線BL1、BL2に対する対向容量 C_{FS} 、 C_{FD} が減少するものの、本実施例における効果を保持したまま、さらにメモリを高集積化することが可能となる。

10

20

30

40

50

【0241】

本実施例のトランジスタの書込み、読出し、消去は、図1のトランジスタと同様に行われる。なお、消去は、フローティングゲートFG1, FG2からコントロールゲートCGへ行うことが好ましい。書込み、読出し、消去時における、ソース・ドレイン領域BL1, BL2およびコントロールゲートCGの電圧設定値の一例を表2に示す。

【0242】

【表2】

	CG		BL1, BL2(ドレイン)		BL1, BL2(ソース)	
	選択時	非選択時	選択時	非選択時	選択時	非選択時
書込み	2.5V	0V	5V	オープン	0V	オープン
読出し	2.5V	0V	1.2V	オープン	0V	オープン
消去	6.5V	オープン	-6.5V	オープン	-6.5V	オープン

10

20

【0243】

図58および図59に記載の実施例において共通して、フローティングゲートFG1, FG2の、インターポリ絶縁膜15bと対向する面をCMP法により平坦化した後にインターポリ絶縁膜15bを形成して、耐圧性に優れた膜を形成する点、および隣接するフローティングゲートFG1, FG2間の分離空間に絶縁物を充填して、絶縁膜15fを形成し、その上に、コントロールゲートCGを形成することが特徴として挙げられる。

【0244】

以上、複数の実施例について詳細に説明したが、本発明は上記実施例に限定されない。本発明は、その主旨を逸脱しない範囲内で適宜変形することができる。例えば、上記では半導体メモリについて説明したが、半導体メモリ以外の半導体装置にも本発明を適用することができる。また、上記では、一導電型としてp型を用い、反対導電型としてn型を用いたが、これに代えて、一導電型としてn型を用い、反対導電型としてp型を用いてもよい。

30

【0245】

【発明の効果】

以上説明したように、本発明によれば、第1トランジスタと第2トランジスタの各ソース・ドレイン領域がほぼ同一面内に位置し、その高さ位置が従来のように異なるので、それらを同一面内で容易に共通接続することができ、従来見られた共通接続の技術的な困難性を克服することができる。

【0246】

また、駆動トランジスタは、選択トランジスタとは異なる高さ位置にあるにもかかわらず、同一工程により同時に形成するため、工程数の削減が図れる。

40

【0247】

凸部のコラム方向の端部の保護用絶縁膜は、半導体メモリに含まれるLDD構造を有するトランジスタのサイドウォール絶縁膜と同一工程により同時に形成するため、工程数の削減が図れる。

【0248】

なお、ロウ方向にセルトランジスタは複数のブロックに分割され、隣接するブロックの間に設けられた絶縁分離領域において、ロウ方向に設けられた導体はコントロールゲートと接続するため、コントロールゲートのロウ方向の抵抗を実質的に低下させることができる

50

。

【0249】

さらに、セルトランジスタは各バンク内において、チャンネル領域を共有し、各バンクの末端に設けられたST1bによりバンク同士を分離する。これにより、セルトランジスタをバンクごとに制御することが可能になる。

【0250】

ところで、バンクに対して設けられた接続領域218においてソース・ドレイン領域と接続するコラム方向に設けられた仮想接地線VGにより、ソース・ドレイン領域のコラム方向の抵抗を実質的に下げることができる。

【0251】

半導体メモリにおいて、異なるブロックに属する複数のセルトランジスタに対して並行して書込みまたは読出しを行うことにより、半導体メモリ全体として、書込みまたは読出しの速度を上げることができる。

【0252】

なお、コラム方向に設けられた第3の導体は、コラム方向に隣接するコントロールゲートの間において、ソース・ドレイン領域と接続され、ソース・ドレイン領域のコラム方向の抵抗を実質的に下げることができる。

【図面の簡単な説明】

【図1】本発明の実施例に係るセルトランジスタの断面図である。

【図2】本発明の実施例に係るセルトランジスタの等価回路を模式的に表した図である。

【図3】本発明の実施例に係るセルトランジスタへの書込動作について示す断面図である。

。

【図4】本発明の実施例に係るセルトランジスタで得られる4状態について示す断面図である。

【図5】本発明の実施例に係るセルトランジスタの読出動作について示す断面図である。

【図6】本発明の実施例に係るセルトランジスタにおいて、“(1, 0)”状態を読み出す場合の断面図である。

【図7】本発明の実施例に係るセルトランジスタの消去動作について示す断面図である。

【図8】本発明の実施例に係る半導体メモリの回路構成図である。

【図9】本発明の実施例に係る半導体メモリの要部切り欠き断面図である。

【図10】本発明の実施例に係る半導体メモリの製造方法について示す断面図(その1)である。

【図11】本発明の実施例に係る半導体メモリの製造方法について示す断面図(その2)である。

【図12】本発明の実施例に係る半導体メモリの製造方法について示す断面図(その3)である。

【図13】本発明の実施例に係る半導体メモリの製造方法について示す断面図(その4)である。

【図14】本発明の実施例に係る半導体メモリの製造方法について示す断面図(その5)である。

【図15】本発明の実施例に係る半導体メモリの製造方法について示す断面図(その6)である。

【図16】本発明の実施例に係る半導体メモリの製造方法について示す断面図(その7)である。

【図17】本発明の実施例に係る半導体メモリの製造方法について示す断面図(その8)である。

【図18】本発明の実施例に係る半導体メモリの製造方法について示す断面図(その9)である。

【図19】本発明の実施例に係る半導体メモリの製造方法について示す断面図(その10)である。

10

20

30

40

50

【図20】本発明の実施例に係る半導体メモリの製造方法について示す断面図（その11）である。

【図21】本発明の実施例に係る半導体メモリの製造方法について示す断面図（その12）である。

【図22】本発明の実施例に係る半導体メモリの製造方法について示す断面図（その13）である。

【図23】本発明の実施例に係る半導体メモリの製造方法について示す断面図（その14）である。

【図24】本発明の実施例に係る半導体メモリの製造方法について示す断面図（その15）である。

10

【図25】本発明の実施例に係る半導体メモリの製造方法について示す断面図（その16）である。

【図26】本発明の実施例に係る半導体メモリの製造方法について示す断面図（その17）である。

【図27】本発明の実施例に係る半導体メモリの製造方法について示す断面図（その18）である。

【図28】本発明の実施例に係る半導体メモリの製造方法について示す断面図（その19）である。

【図29】本発明の実施例に係る半導体メモリの製造方法について示す断面図（その20）である。

20

【図30】本発明の実施例に係る半導体メモリの製造方法について示す断面図（その21）である。

【図31】本発明の実施例に係る半導体メモリの製造方法について示す断面図（その22）である。

【図32】本発明の実施例に係る半導体メモリの製造方法について示す断面図（その23）である。

【図33】本発明の実施例に係る半導体メモリの製造方法について示す断面図（その24）である。

【図34】本発明の実施例に係る半導体メモリの製造方法について示す断面図（その25）である。

30

【図35】本発明の実施例に係る半導体メモリの製造方法について示す断面図（その26）である。

【図36】本発明の他の実施例に係る半導体メモリの斜視図である。

【図37】図36の実施例に係る3種類の金属線を示す斜視図である。

【図38】図36の半導体メモリの製造方法について示す断面図（その1）である。

【図39】図36の半導体メモリの製造方法について示す断面図（その2）である。

【図40】図36の半導体メモリの製造方法について示す断面図（その3）である。

【図41】図36の半導体メモリの製造方法について示す断面図（その4）である。

【図42】図36の半導体メモリの製造方法について示す断面図（その5）である。

【図43】図36の半導体メモリの製造方法について示す断面図（その6）である。

40

【図44】図36の半導体メモリの製造方法について示す断面図（その7）である。

【図45】図36の半導体メモリの製造方法について示す断面図（その8）である。

【図46】図36の半導体メモリの製造方法について示す断面図（その9）である。

【図47】図36の半導体メモリの製造方法について示す断面図（その10）である。

【図48】図36の半導体メモリの製造方法について示す断面図（その11）である。

【図49】図36の半導体メモリの製造方法について示す断面図（その12）である。

【図50】図36の半導体メモリの製造方法について示す断面図（その13）である。

【図51】図36の半導体メモリの製造方法について示す断面図（その14）である。

【図52】図36の半導体メモリの製造方法について示す断面図（その15）である。

【図53】図36の半導体メモリの製造方法について示す断面図（その16）である。

50

【図54】図36の半導体メモリの製造方法について示す断面図（その17）である。

【図55】図36の半導体メモリの製造方法について示す断面図（その18）である。

【図56】図36の半導体メモリの製造方法について示す断面図（その19）である。

【図57】図36の半導体メモリの製造方法について示す断面図（その20）である。

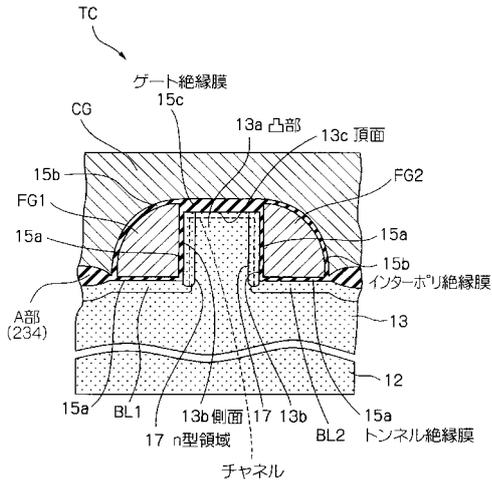
【図58】S型メモリの断面図である。

【図59】L型メモリの断面図である。

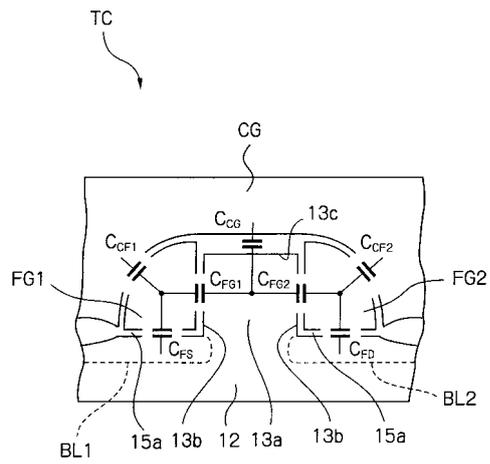
【符号の説明】

12	p型シリコン基板（一導電型半導体基板）	
13	pウエル	
13a	凸部	10
13b	凸部の側面	
13c	凸部の頂面	
15a	トンネル絶縁膜（第2絶縁膜）	
15b	インターポリ絶縁膜（第3絶縁膜）	
15c	ゲート絶縁膜（第1絶縁膜）	
15d	選択酸化膜	
17	n型領域	
18、26、29	シリコン酸化膜	
25、27、30	シリコン窒化膜	
30a	シリコン窒化膜の長穴	20
28	トレンチ	
31	犠牲シリコン酸化膜	
32	リセス	
33	n ⁺ 領域	
34、37	ポリシリコン膜	
36	タンゲステンシリサイド膜	
38	キャップ膜	
39、45、60、61	フォトレジスト	
40	素子分離領域	
50	ソース・ドレイン領域	30
51	チャネル領域	
62	サイドウォール絶縁膜	
63	導電性プラグ	
FG1、FG2	フローティングゲート	
WL ₀ 、WL ₁ ～WL _{n-1} 、WL _n	ワード線	
BL0～BL4	ビット線	
BNK ₀ ～BNK ₃	バンク	
STE _{i-1,0} ～STE _{i-1,4} 、STE _{i,0} ～STE _{i,4}	偶数バンク選択トランジスタ	
STO _{i-1,0} ～STO _{i-1,4} 、STO _{i,0} ～STO _{i,4}	奇数バンク選択トランジスタ	
SE _{i-1} 、SE _i	偶数バンク選択線	40
SO _{i-1} 、SO _i	奇数バンク選択線	
TC、TC _{i,j}	セルトランジスタ	
VG ₀ 、VG ₂ 、VG ₄	仮想接地線	

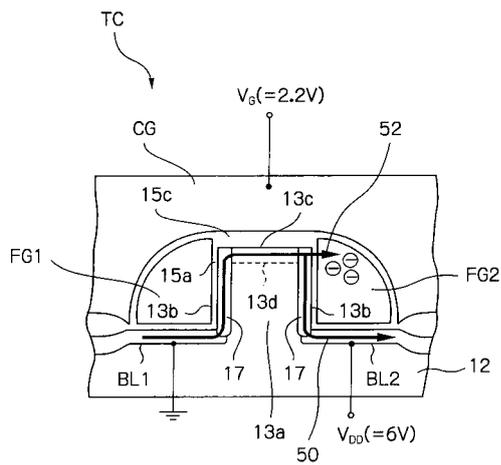
【図1】



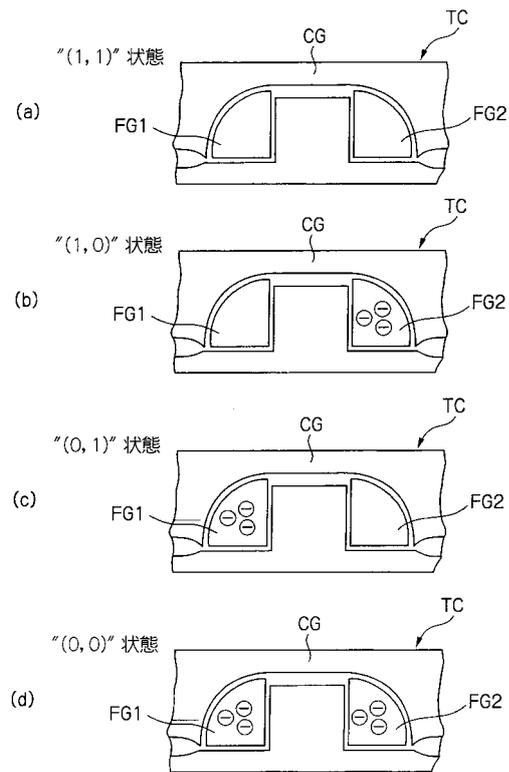
【図2】



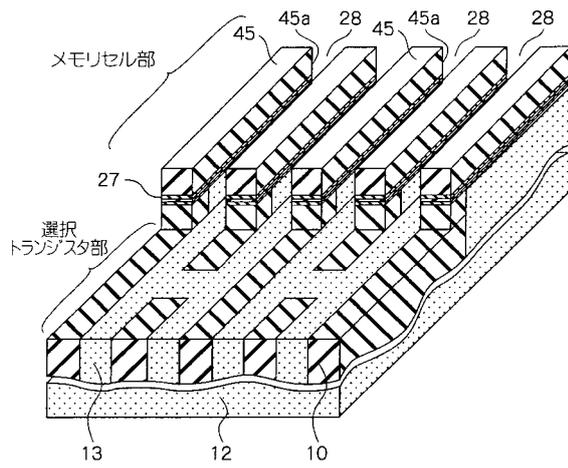
【図3】



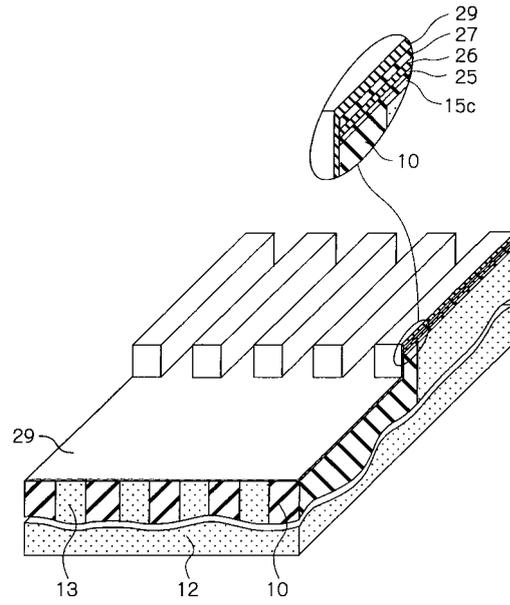
【図4】



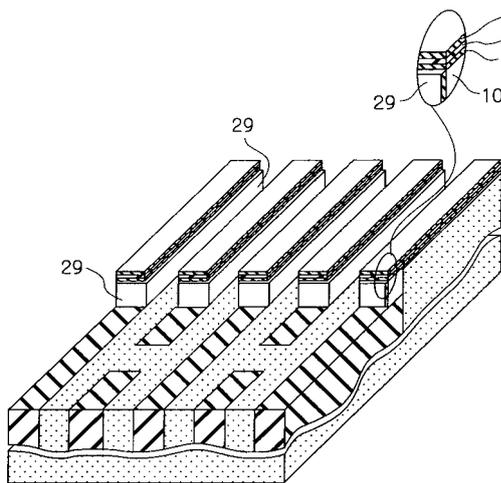
【図14】



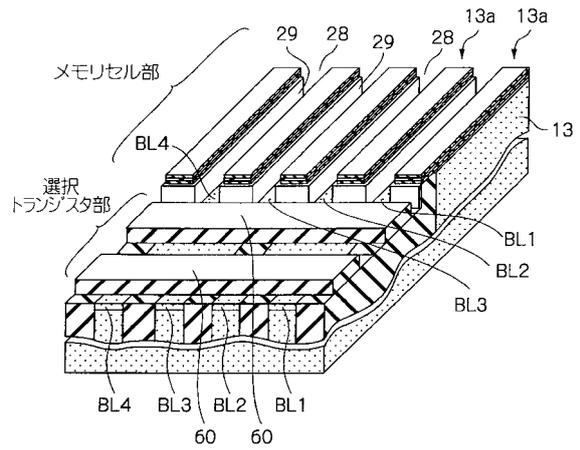
【図15】



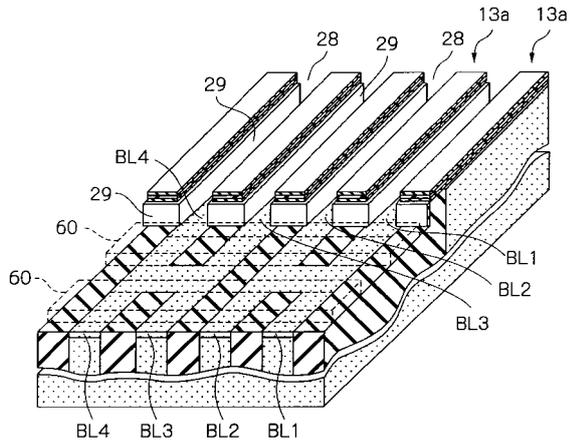
【図16】



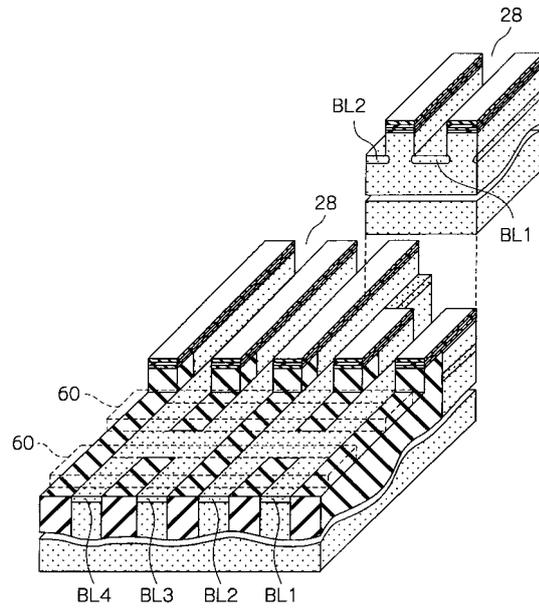
【図17】



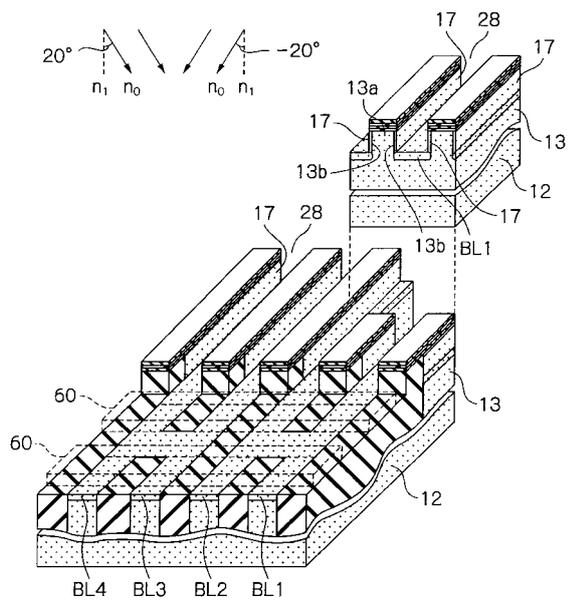
【図18】



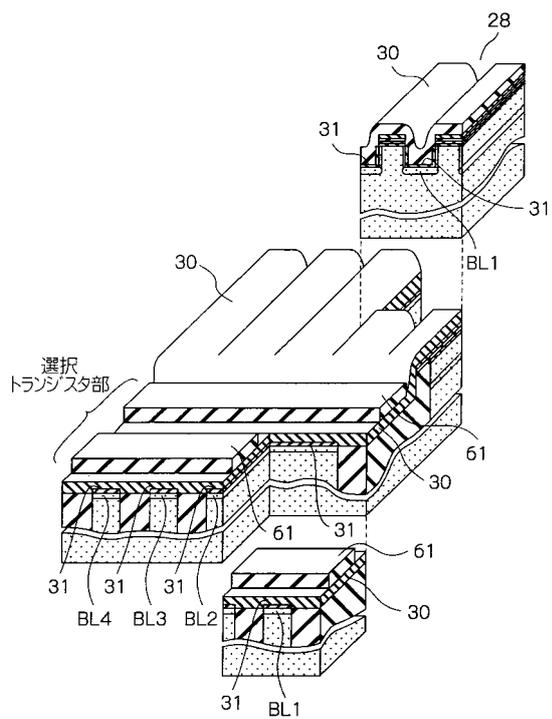
【図19】



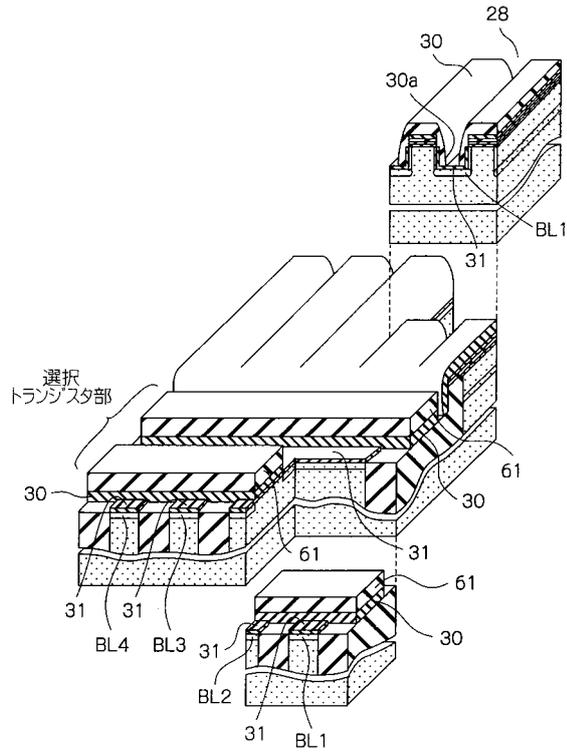
【図20】



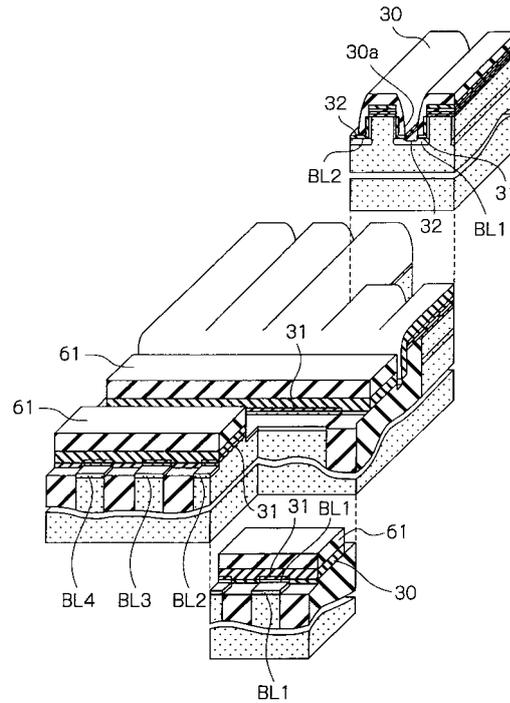
【図21】



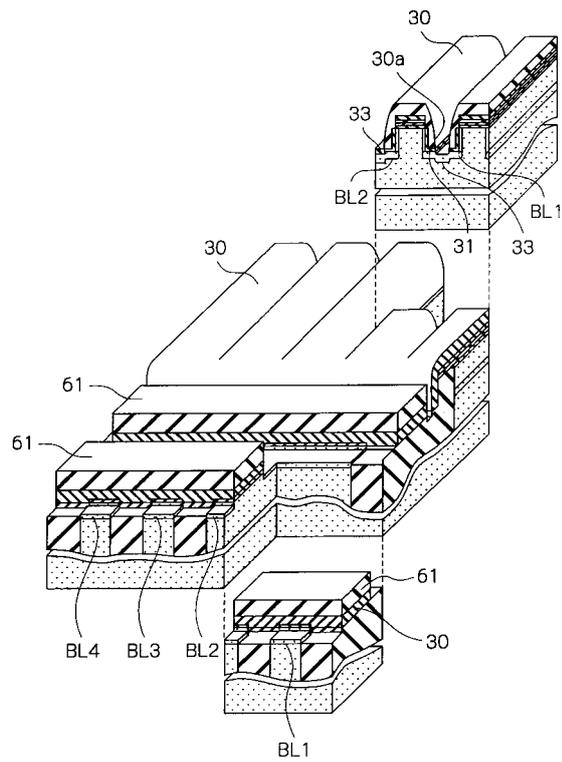
【図 2 2】



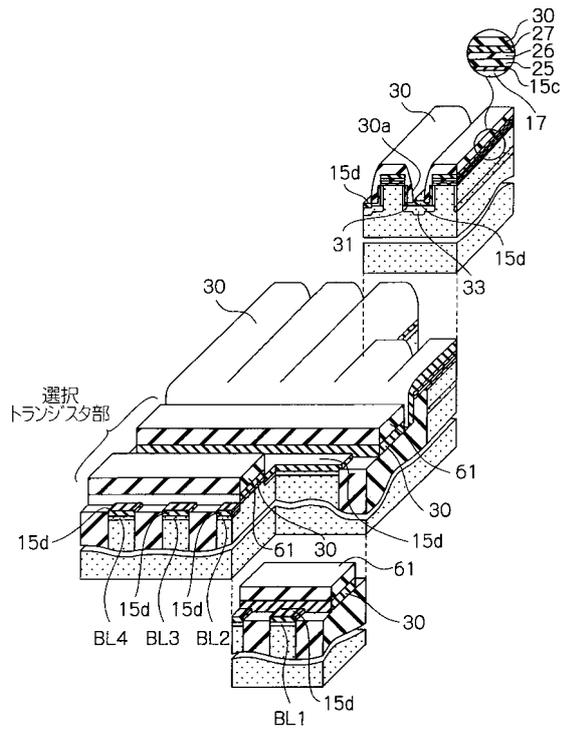
【図 2 3】



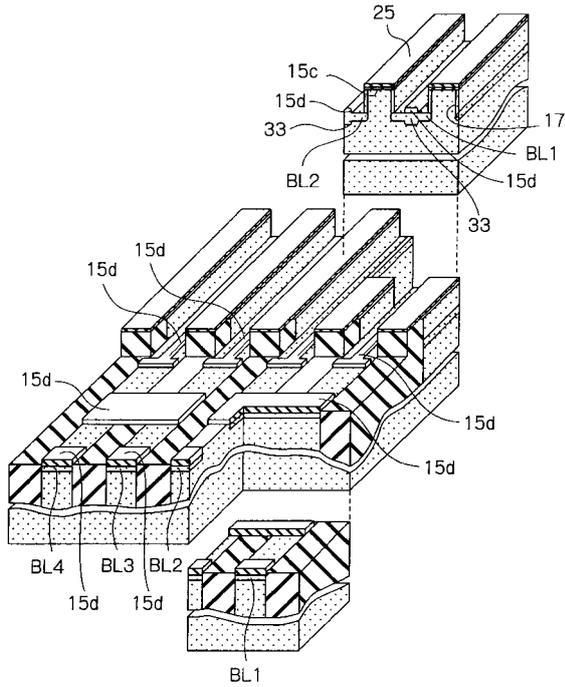
【図 2 4】



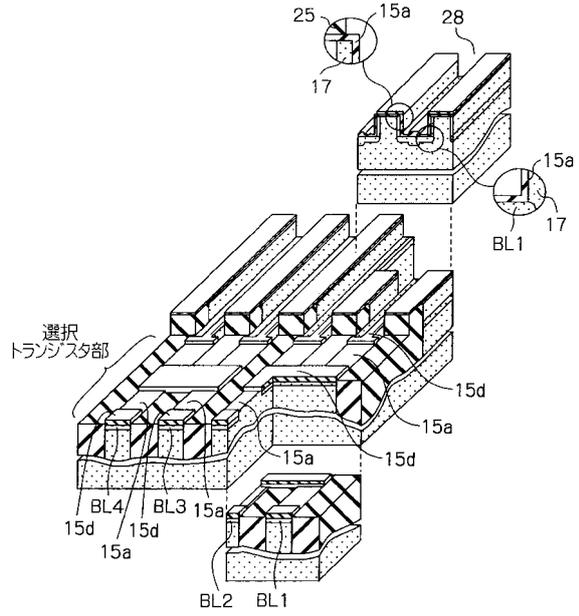
【図 2 5】



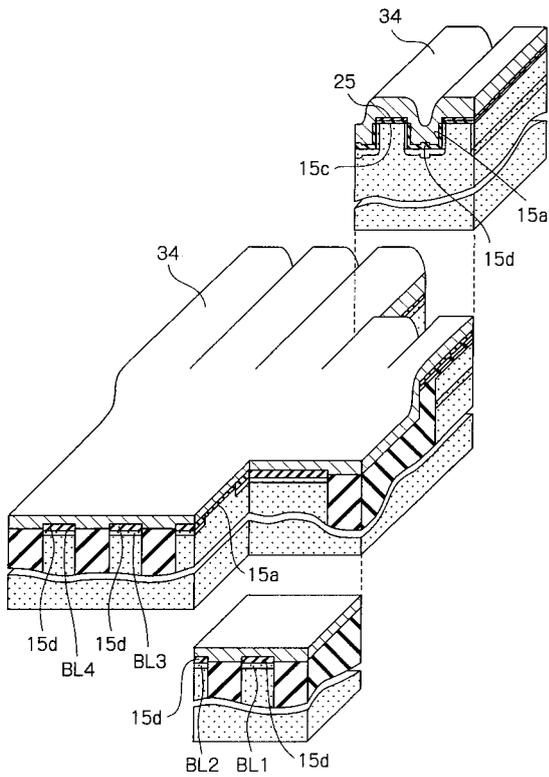
【図26】



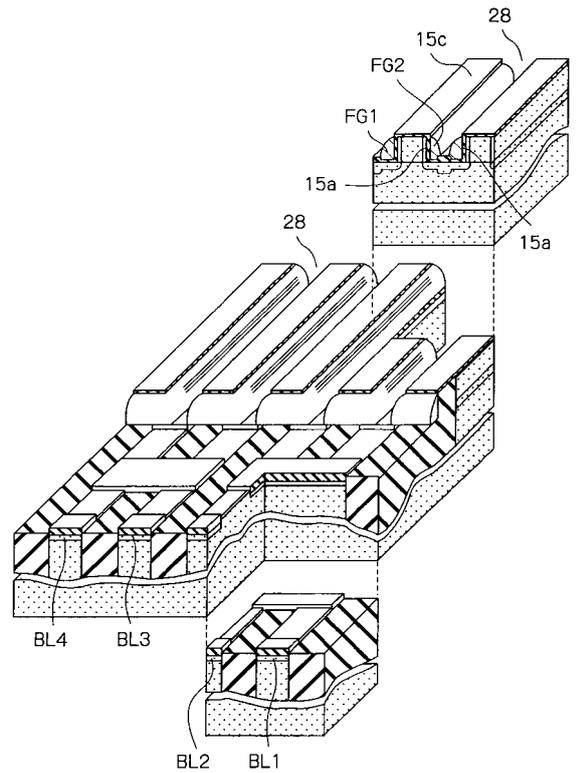
【図27】



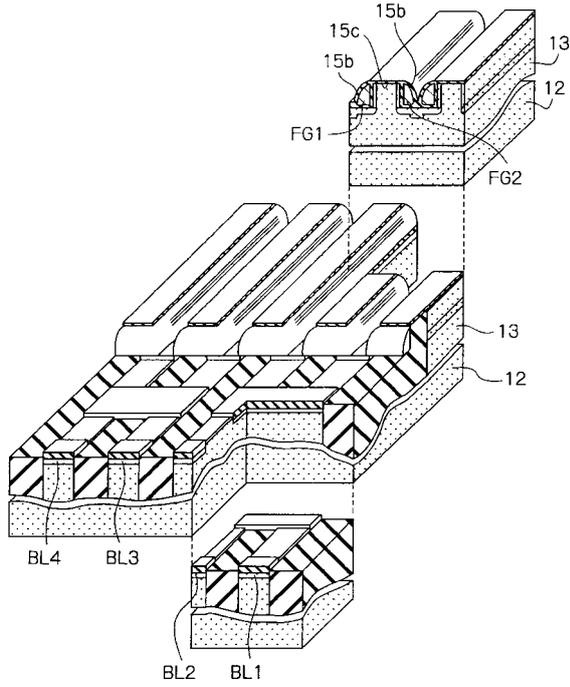
【図28】



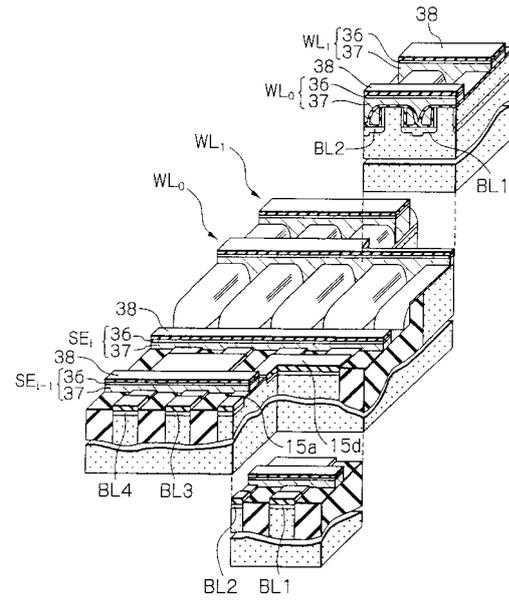
【図29】



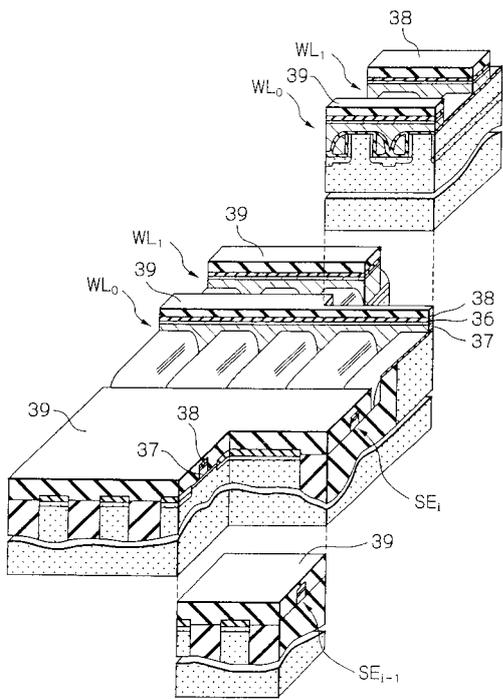
【図30】



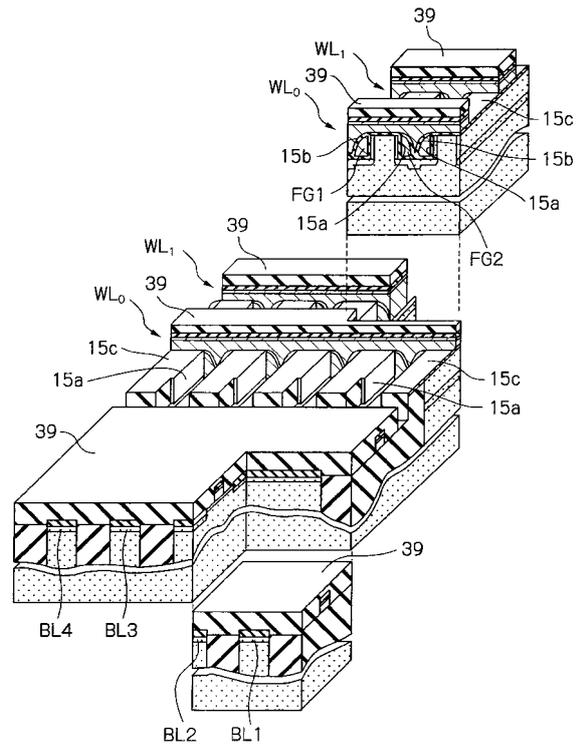
【図31】



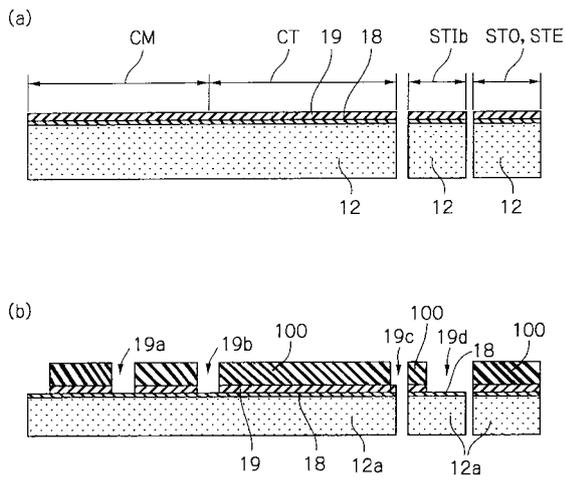
【図32】



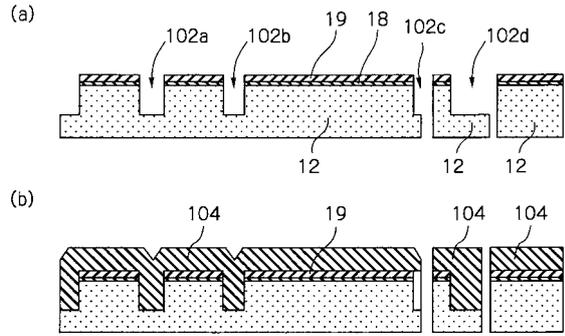
【図33】



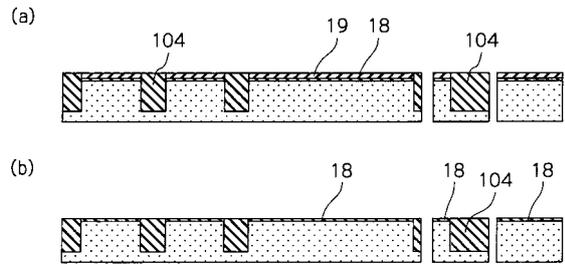
【 38 】



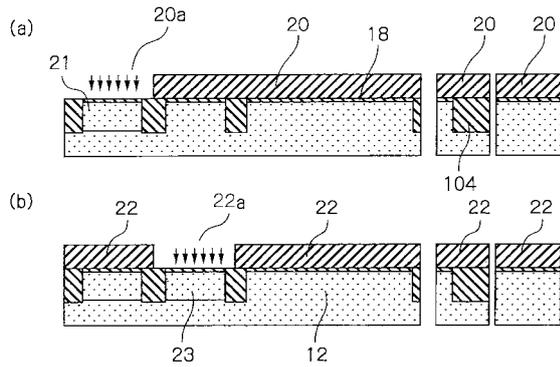
【 39 】



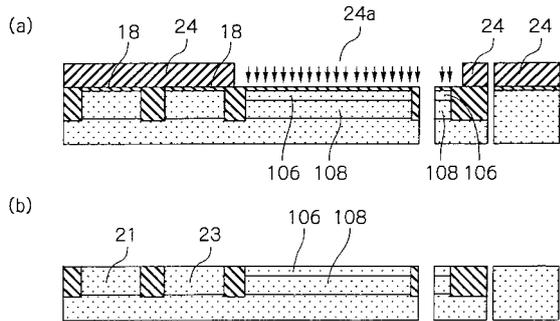
【 40 】



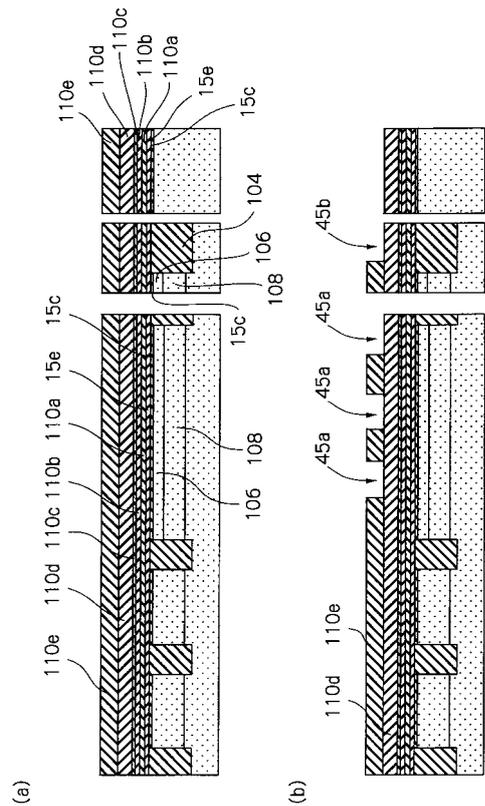
【 41 】



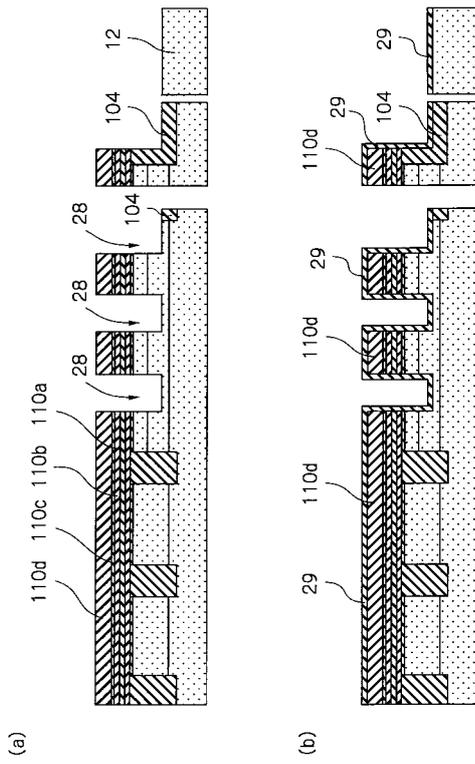
【 42 】



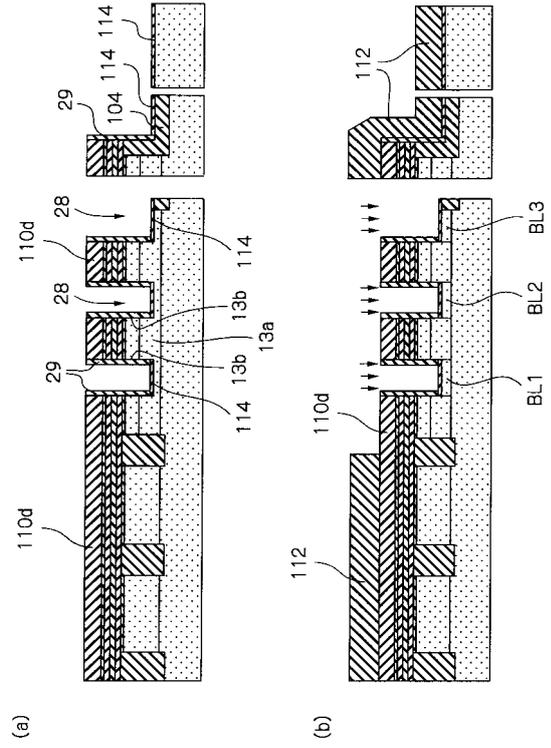
【 43 】



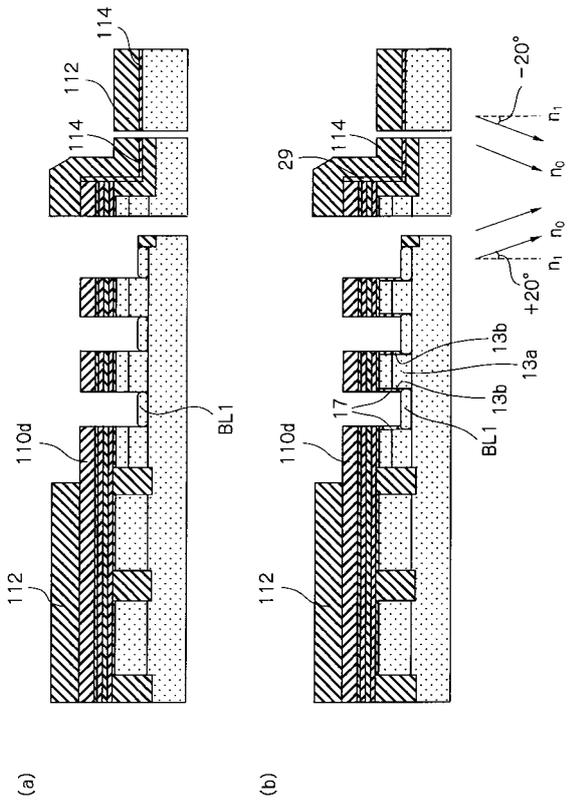
【 図 4 4 】



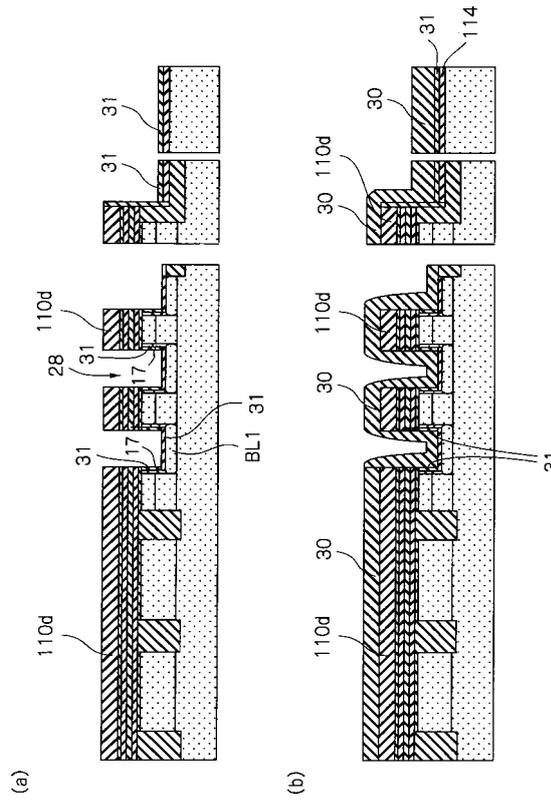
【 図 4 5 】



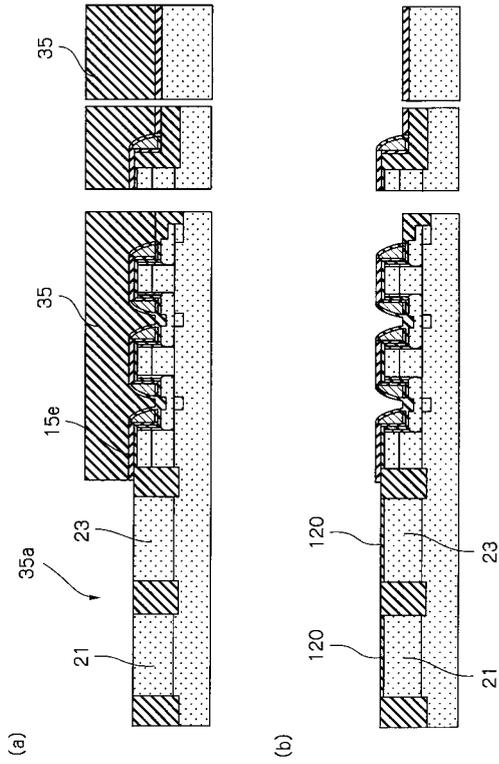
【 図 4 6 】



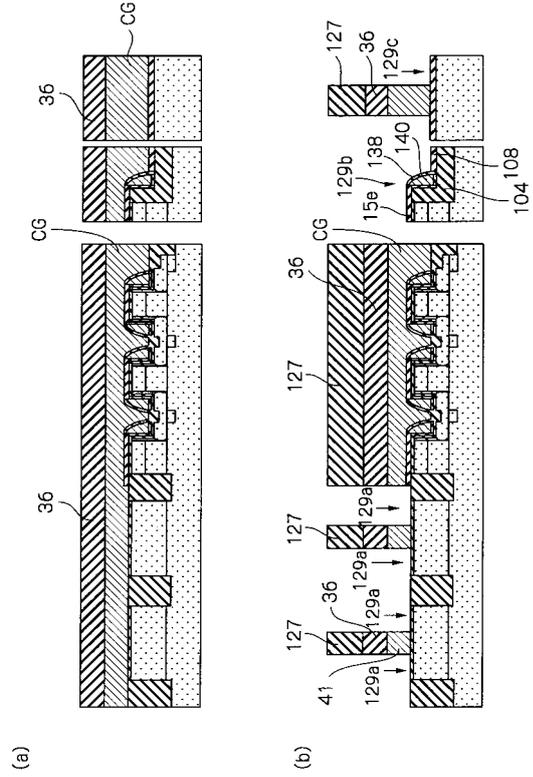
【 図 4 7 】



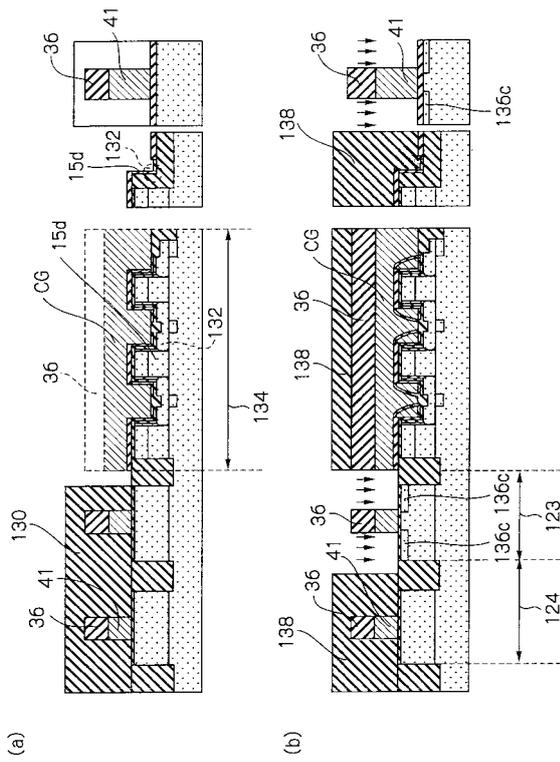
【 図 5 2 】



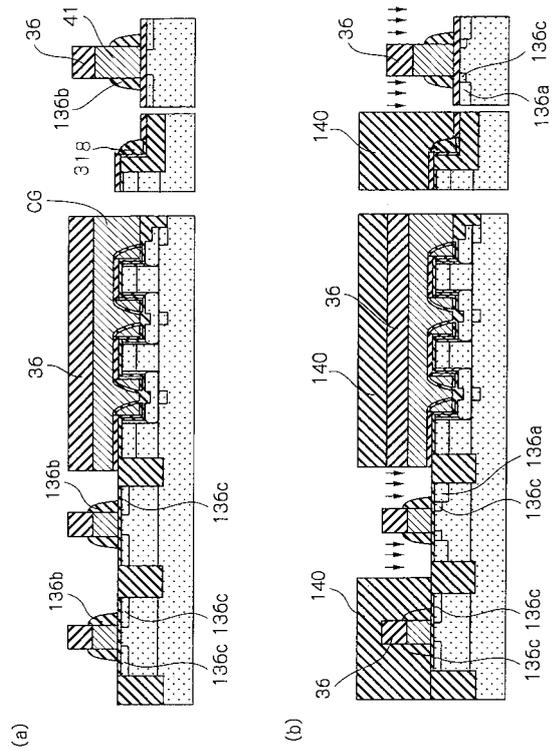
【 図 5 3 】



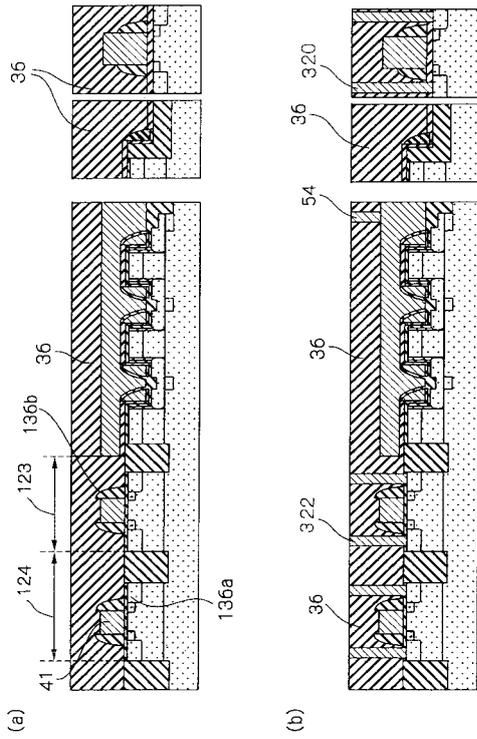
【 図 5 4 】



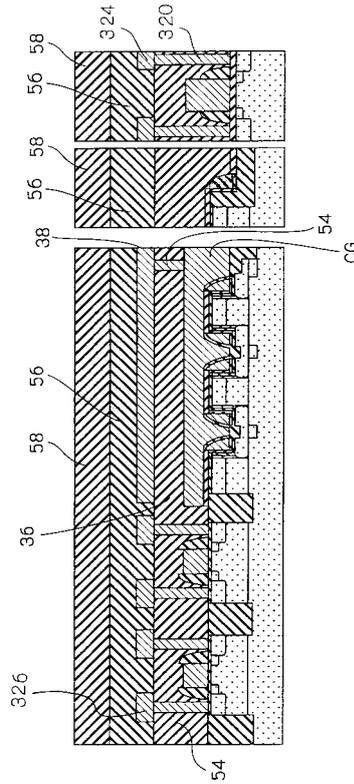
【 図 5 5 】



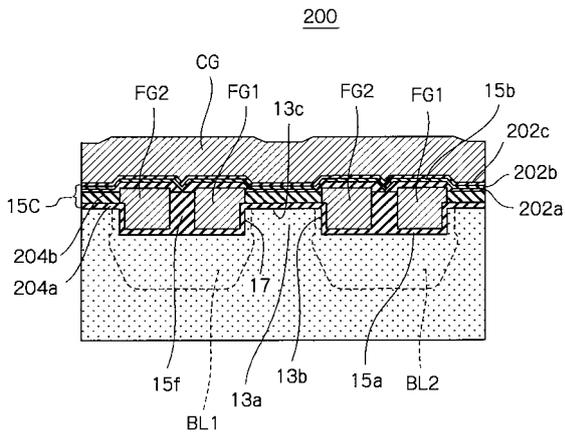
【 56 】



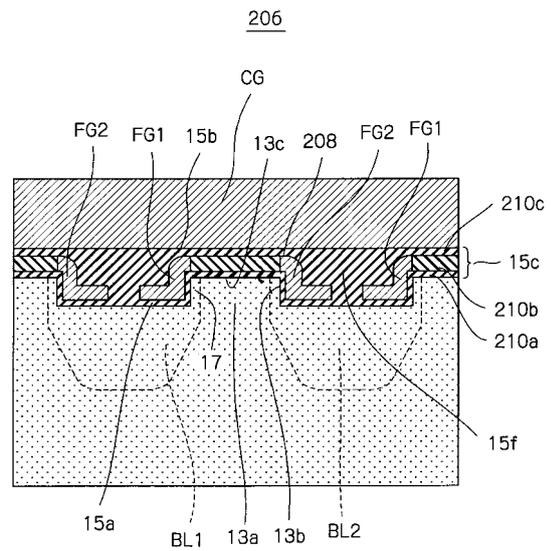
【 57 】



【 58 】



【 59 】



フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L</i>	<i>27/092</i>	<i>(2006.01)</i>	<i>G 1 1 C</i>	<i>17/00 6 1 1 G</i>
<i>G 1 1 C</i>	<i>16/04</i>	<i>(2006.01)</i>	<i>G 1 1 C</i>	<i>17/00 6 1 3</i>
<i>G 1 1 C</i>	<i>16/06</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/10 4 8 1</i>
<i>G 1 1 C</i>	<i>16/02</i>	<i>(2006.01)</i>		
<i>H 0 1 L</i>	<i>27/10</i>	<i>(2006.01)</i>		

(56)参考文献 特許第3249811(JP, B2)
 特開平09-199695(JP, A)
 特開平03-179775(JP, A)
 特開平09-205187(JP, A)
 特開平03-185860(JP, A)
 特開平11-177069(JP, A)
 特開平11-121636(JP, A)
 特開平11-354758(JP, A)
 特開平10-112511(JP, A)
 特開平10-098170(JP, A)
 特開平04-269865(JP, A)
 特開平11-238815(JP, A)
 特許第3249812(JP, B2)
 特開昭63-168053(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247
 G11C 16/02
 G11C 16/04
 G11C 16/06
 H01L 21/8238
 H01L 27/092
 H01L 27/10
 H01L 27/115
 H01L 29/788
 H01L 29/792