



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2014년12월17일  
 (11) 등록번호 10-1474138  
 (24) 등록일자 2014년12월11일

(51) 국제특허분류(Int. Cl.)  
 H01G 4/12 (2006.01) H01G 4/30 (2006.01)  
 (21) 출원번호 10-2013-0064484  
 (22) 출원일자 2013년06월05일  
 심사청구일자 2013년06월05일  
 (65) 공개번호 10-2014-0142848  
 (43) 공개일자 2014년12월15일  
 (56) 선행기술조사문헌  
 JP09260202 A  
 JP2006179873 A  
 KR1020120133716 A  
 KR1020130047886 A

(73) 특허권자  
 삼성전기주식회사  
 경기도 수원시 영통구 매영로 150 (매탄동)  
 (72) 발명자  
 이종호  
 경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)  
 최재열  
 경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)  
 (뒷면에 계속)  
 (74) 대리인  
 특허법인씨엔에스

전체 청구항 수 : 총 12 항

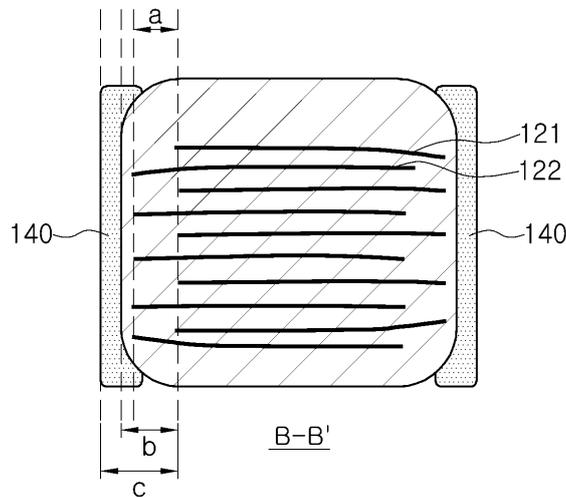
심사관 : 김상철

(54) 발명의 명칭 **적층 세라믹 전자 부품 및 그 제조 방법**

**(57) 요약**

본 발명은, 복수의 유전체층이 적층된 세라믹 본체; 상기 유전체층을 사이에 두고 상기 세라믹 본체의 양 단면을 통해 번갈아 노출되도록 형성되며, 상기 세라믹 본체의 폭-두께 단면에서 보았을 때 폭 방향으로 좌우 교대로 오프셋 되게 배치된 복수의 제1 및 제2 내부 전극; 및 상기 세라믹 본체의 양 단면에 형성되며, 상기 제1 및 제2 내부 전극과 각각 전기적으로 연결된 제1 및 제2 외부 전극; 을 포함하는 적층 세라믹 전자 부품을 제공한다.

**대표도** - 도3



(72) 발명자

**김성우**

경기 수원시 영통구 매영로 150, (매탄동, 삼성  
전기)

**김유나**

경기 수원시 영통구 매영로 150, (매탄동, 삼성  
전기)

---

## 특허청구의 범위

### 청구항 1

복수의 유전체층이 적층된 세라믹 본체;

상기 유전체층을 사이에 두고 상기 세라믹 본체의 양 단면을 통해 번갈아 노출되도록 형성되며, 상기 세라믹 본체의 폭-두께 단면에서 보았을 때 폭 방향으로 좌우 교대로 오프셋 되게 배치된 복수의 제1 및 제2 내부 전극 - 상기 제1 및 제2 내부 전극의 좌우로 오프셋 된 부분의 폭을 a로, 상기 a에 상기 세라믹 본체의 폭 방향의 한 쪽 마진을 더한 것을 b로 규정할 때,  $0.1 \leq a/b$ 의 범위를 만족함 - ; 및

상기 세라믹 본체의 양 단면에 형성되며, 상기 제1 및 제2 내부 전극과 각각 전기적으로 연결된 제1 및 제2 외부 전극; 을 포함하는 적층 세라믹 전자 부품.

### 청구항 2

삭제

### 청구항 3

제1항에 있어서,

상기 세라믹 본체의 양 측면에 형성된 절연층을 더 포함하는 것을 특징으로 하는 적층 세라믹 전자 부품.

### 청구항 4

제3항에 있어서,

상기 절연층의 폭을 c로 규정할 때,  $5 \mu\text{m} \leq c \leq 50 \mu\text{m}$ 의 범위를 만족하는 것을 특징으로 하는 적층 세라믹 전자 부품.

### 청구항 5

삭제

### 청구항 6

제1항에 있어서,

상기 제1 및 제2 내부 전극은 상기 세라믹 본체의 양 측면으로부터 각각 이격되게 형성된 것을 특징으로 하는 적층 세라믹 전자 부품.

### 청구항 7

제1항에 있어서,

상기 제1 및 제2 내부 전극은 상기 세라믹 본체의 양 측면으로 각각 노출되게 형성된 것을 특징으로 하는 적층 세라믹 전자 부품.

### 청구항 8

복수의 유전체층이 적층된 세라믹 본체;

상기 유전체층을 사이에 두고 상기 세라믹 본체의 양 단면을 통해 번갈아 노출되도록 형성되며, 상기 세라믹 본체의 폭-두께 단면에서 보았을 때 폭 방향으로 좌우 교대로 오프셋 되게 배치된 복수의 제1 및 제2 내부 전극 - 상기 제1 및 제2 내부 전극은 상기 세라믹 본체의 양 측면으로부터 각각 이격되게 형성되며, 상기 세라믹 본체 내에 위치하는 상기 제1 및 제2 내부 전극 단부의 서로 오버랩 되지 않은 일 모서리에 서로 대향되게 스페이스 부가 형성됨 - ; 및

상기 세라믹 본체의 양 단면에 형성되며, 상기 제1 및 제2 내부 전극과 각각 전기적으로 연결된 제1 및 제2 외부 전극;

을 포함하는 적층 세라믹 전자 부품.

### 청구항 9

제1 및 제2 내부 전극이 형성된 복수의 세라믹 그린 시트를, 상기 제1 및 제2 내부 전극이 상기 세라믹 그린 시트들 사이에 두고 폭 방향으로 좌우 교대로 오프셋 되도록 적층하고 가압하여 적층체를 마련하는 단계;

상기 적층체를, 상기 제1 및 제2 내부 전극이 양 단면을 통해 번갈아 노출되도록, 1개의 칩에 대응하는 영역으로 절단하여 세라믹 본체를 마련하는 단계; 및

상기 세라믹 본체의 양 단면에 상기 제1 및 제2 내부 전극과 각각 전기적으로 연결되도록 제1 및 제2 외부 전극을 형성하는 단계; 를 포함하고,

상기 적층체를 마련하는 단계는,

상기 제1 및 제2 내부 전극의 좌우로 오프셋 된 부분의 폭을 a로, 상기 a에 상기 세라믹 본체의 폭 방향의 한 쪽 마진을 더한 것을 b로 규정할 때,  $0.1 \leq a/b$ 의 범위를 만족하도록 상기 세라믹 그린 시트에 상기 제1 및 제2 내부 전극을 형성하는 것을 특징으로 하는 적층 세라믹 전자 부품의 제조 방법.

### 청구항 10

삭제

### 청구항 11

제9항에 있어서,

상기 세라믹 본체의 양 측면에 절연층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 적층 세라믹 전자 부품의 제조 방법.

### 청구항 12

제11항에 있어서,

상기 절연층의 폭을 c로 규정할 때,  $5 \mu\text{m} \leq c \leq 50 \mu\text{m}$ 의 범위를 만족하는 것을 특징으로 하는 적층 세라믹 전자 부품의 제조 방법.

### 청구항 13

삭제

### 청구항 14

제9항에 있어서,

상기 적층체를 마련하는 단계는,

상기 제1 및 제2 내부 전극을 상기 세라믹 본체의 양 측면으로부터 각각 이격되게 상기 세라믹 그린 시트에 형성하는 것을 특징으로 하는 적층 세라믹 전자 부품의 제조 방법.

**청구항 15**

제9항에 있어서,

상기 적층체를 마련하는 단계는,

상기 제1 및 제2 내부 전극을 상기 세라믹 본체의 양 측면으로 각각 노출되게 상기 세라믹 그린 시트에 형성하는 것을 특징으로 하는 적층 세라믹 전자 부품의 제조 방법.

**청구항 16**

제1 및 제2 내부 전극이 형성된 복수의 세라믹 그린 시트를, 상기 제1 및 제2 내부 전극이 상기 세라믹 그린 시트를 사이에 두고 폭 방향으로 좌우 교대로 오프셋 되도록 적층하고 가압하여 적층체를 마련하는 단계;

상기 적층체를, 상기 제1 및 제2 내부 전극이 양 단면을 통해 번갈아 노출되도록, 1개의 칩에 대응하는 영역으로 절단하여 세라믹 본체를 마련하는 단계; 및

상기 세라믹 본체의 양 단면에 상기 제1 및 제2 내부 전극과 각각 전기적으로 연결되도록 제1 및 제2 외부 전극을 형성하는 단계; 를 포함하고,

상기 적층체를 마련하는 단계는,

상기 제1 및 제2 내부 전극을 상기 세라믹 본체의 양 측면으로부터 각각 이격되게 상기 세라믹 그린 시트에 형성하되, 상기 세라믹 본체 내에 위치하는 상기 제1 및 제2 내부 전극 단부의 서로 오버랩 되지 않은 일 모서리에 서로 대향되게 스페이스부를 형성하는 것을 특징으로 하는 적층 세라믹 전자 부품의 제조 방법.

**명세서**

**기술분야**

[0001] 본 발명은 적층 세라믹 전자 부품 및 그 제조 방법에 관한 것이다.

**배경기술**

[0002] 세라믹 재료를 사용하는 전자 부품으로 커패시터, 인덕터, 압전 소자, 바리스터 및 서미스터 등이 있다.

[0003] 이러한 세라믹 전자 부품 중의 하나인 적층 세라믹 커패시터(MLCC: Multi-Layered Ceramic Capacitor)는 소형이면서 고용량이 보장되고 실장이 용이한 장점을 가진다.

[0004] 상기 적층 세라믹 커패시터는 액정 표시 장치(LCD: Liquid Crystal Display) 및 플라즈마 표시 장치 패널(PDP: Plasma Display Panel) 등의 영상 기기, 컴퓨터, 개인 휴대용 단말기(PDA: Personal Digital Assistants) 및 휴대폰 등 여러 전자 제품의 인쇄회로기판에 장착되어 전기를 충전시키거나 또는 방전시키는 역할을 하는 칩 형태의 콘덴서이다.

[0005] 상기 적층 세라믹 커패시터는 적층된 복수의 유전체층, 상기 유전체층 사이에 대향 배치되는 서로 다른 극성의 내부 전극 및 상기 내부 전극에 전기적으로 접속되는 외부 전극을 포함할 수 있다.

[0006] 최근, 전자 제품들의 소형화 추세에 따라, 이러한 적층 세라믹 전자 부품 역시 소형화되고 대용량화될 것이 요구되고 있으며, 이에 따라 근래에는 유전체층의 두께가 얇아지면서 적층 수가 증가된 적층 세라믹 전자 부품이 제조되고 있다.

- [0007] 하지만, 이와 같이 유전체층이 박층화되고 적층 수가 증가하게 되면 세라믹 본체 내에서 내부 전극이 형성된 액티브 영역과 내부 전극이 미형성된 마진부 사이의 밀도 차이가 커지게 된다.
- [0008] 이러한 큰 밀도 차이는 제품의 길이 방향 보다 폭 방향에서 더욱 심하게 발생하며, 이에 적층 세라믹 전자 부품의 적층 및 가압 공정에서 층간 뭉그러짐을 유발하여 이로 인해 마진부에서 층간 박리(delamination, 디라미네이션)나 크랙(crack)이 발생하고 습기, 도금액 및 이물질 등이 내부로 침투함으로써 신뢰성이 저하되는 문제점이 있다.
- [0009] 또한, 유전체층이 박층화되면 유전체층의 단위 두께 당 전압이 높아지게 되므로, 적층 세라믹 전자 부품에 낮은 전압을 인가하더라도 유전체층의 절연 파괴가 발생할 가능성이 높아진다.
- [0010] 특히, 적층 세라믹 커패시터의 폭 및 두께 방향 단면에서 볼 때, 내부 전극의 폭 방향의 양 단부는 압착 과정에서 내부 전극이 늘어나면서 썸기 형상을 갖게 되어 노치(notch) 효과에 의해 전계 강도가 더욱 높아지게 된다.
- [0011] 따라서, 적층 방향으로 인접하는 내부 전극의 단부에서 높은 전계 강도가 중첩되면서 유전체층의 절연 파괴가 더욱 쉽게 발생하는 문제점이 있다.
- [0012] 하기 특허문헌 1에 개시된 적층 세라믹 커패시터는 제1 및 제2 내부 전극이 폭 방향으로 좌우 교대로 오프셋 되게 배치된 구조는 개시하지 않는다.

**선행기술문헌**

**특허문헌**

- [0013] (특허문헌 0001) 일본특허공개공보 2002-184648호

**발명의 내용**

**해결하려는 과제**

- [0014] 당 기술 분야에서는, 적층 세라믹 커패시터의 폭 방향의 액티브 영역과 마진부 사이의 밀도 차이를 줄여 소형화 및 고용량화를 구현하면서, 적층 및 가압 공정에서 층간 뭉그러짐에 의해 마진부에 주로 발생하는 층간 박리나 크랙을 방지하고, 신뢰성을 향상시키며, 고전압 하에서의 절연 파괴를 방지할 수 있는 새로운 방안이 요구되어 왔다.

**과제의 해결 수단**

- [0015] 본 발명의 일 측면은, 복수의 유전체층이 적층된 세라믹 본체; 상기 유전체층을 사이에 두고 상기 세라믹 본체의 양 단면을 통해 번갈아 노출되도록 형성되며, 상기 세라믹 본체의 폭-두께 단면에서 보았을 때 폭 방향으로 좌우 교대로 오프셋 되게 배치된 복수의 제1 및 제2 내부 전극; 및 상기 세라믹 본체의 양 단면에 형성되며, 상기 제1 및 제2 내부 전극과 각각 전기적으로 연결된 제1 및 제2 외부 전극; 을 포함하는 적층 세라믹 전자 부품을 제공한다.
- [0016] 본 발명의 일 실시 예에서, 상기 제1 및 제2 내부 전극의 좌우로 오프셋 된 부분의 폭을 a로, 상기 a에 상기 세라믹 본체의 폭 방향의 한 쪽 마진을 더한 것을 b로 규정할 때,  $0.1 \leq a/b$ 의 범위를 만족할 수 있다.
- [0017] 본 발명의 일 실시 예에서, 상기 적층 세라믹 전자 부품은 상기 세라믹 본체의 양 측면에 형성된 절연층을 더 포함할 수 있다.

- [0018] 본 발명의 일 실시 예에서, 상기 절연층의 폭을  $c$ 로 규정할 때,  $5 \mu\text{m} \leq c \leq 50 \mu\text{m}$ 의 범위를 만족할 수 있다.
- [0019] 본 발명의 일 실시 예에서, 상기 제1 및 제2 내부 전극의 좌우로 오프셋 된 부분의 폭을  $a$ 로, 상기  $a$ 에 상기 세라믹 본체의 폭 방향의 한 쪽 마진을 더한 것을  $b$ 로, 상기 절연층의 폭을  $c$ 로 규정할 때,  $0.1 \leq a/b$  및  $5 \mu\text{m} \leq c \leq 50 \mu\text{m}$ 의 범위를 만족할 수 있다.
- [0020] 본 발명의 일 실시 예에서, 상기 제1 및 제2 내부 전극은 상기 세라믹 본체의 양 측면으로부터 각각 이격되게 형성될 수 있다.
- [0021] 본 발명의 일 실시 예에서, 상기 제1 및 제2 내부 전극은 상기 세라믹 본체의 양 측면으로 각각 노출되게 형성될 수 있다.
- [0022] 본 발명의 일 실시 예에서, 상기 제1 및 제2 내부 전극은 상기 세라믹 본체의 양 측면으로부터 각각 이격되게 형성되며, 상기 세라믹 본체 내에 위치하는 상기 제1 및 제2 내부 전극 단부의 서로 오버랩 되지 않은 일 모서리에 서로 대향되게 스페이스부가 형성될 수 있다.
- [0023] 본 발명의 다른 측면은, 제1 및 제2 내부 전극이 형성된 복수의 세라믹 그린 시트를, 상기 제1 및 제2 내부 전극이 상기 세라믹 그린 시트를 사이에 두고 폭 방향으로 좌우 교대로 오프셋 되도록 적층하고 가압하여 적층체를 마련하는 단계; 상기 적층체를, 상기 제1 및 제2 내부 전극이 양 단면을 통해 번갈아 노출되도록, 1개의 칩에 대응하는 영역으로 절단하여 세라믹 본체를 마련하는 단계; 및 상기 세라믹 본체의 양 단면에 상기 제1 및 제2 내부 전극과 각각 전기적으로 연결되도록 제1 및 제2 외부 전극을 형성하는 단계; 를 포함하는 적층 세라믹 전자 부품의 제조 방법을 제공한다.

**발명의 효과**

- [0024] 본 발명의 일 실시 형태에 따르면, 제1 및 제2 내부 전극을 세라믹 본체의 폭 방향으로 좌우 교대로 오프셋 되게 배치함으로써, 세라믹 본체 내부의 폭 방향의 액티브 영역과 마진부 사이의 밀도 차이를 줄여 적층 세라믹 전자 부품의 소형화 및 고용량화를 구현하면서, 적층 및 가압 공정에서 층간 뭉그러짐에 의해 마진부에 주로 발생하는 층간 박리나 크랙을 방지하고, 신뢰성을 향상시키며, 고전압 하에서의 절연 파괴를 방지할 수 있는 효과가 있다.

**도면의 간단한 설명**

- [0025] 도 1은 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터를 개략적으로 도시한 사시도이다.
- 도 2는 도 1의 A-A' 선 단면도이다.
- 도 3은 도 1의 B-B' 선 단면도이다.
- 도 4는 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터의 제1 및 제2 내부 전극을 각각 도시한 평면도이다.
- 도 5는 도 4의 제1 및 제2 내부 전극을 오버랩 하여 도시한 평면도이다.
- 도 6은 본 발명의 다른 실시 형태에 따른 적층 세라믹 커패시터의 제1 및 제2 내부 전극을 각각 도시한 평면도이다.
- 도 7은 도 6의 제1 및 제2 내부 전극을 오버랩 하여 도시한 평면도이다.
- 도 8은 본 발명의 또 다른 실시 형태에 따른 적층 세라믹 커패시터의 제1 및 제2 내부 전극을 각각 도시한 평면도이다.
- 도 9는 도 8의 제1 및 제2 내부 전극을 오버랩 하여 도시한 평면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0026] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 형태들을 설명한다.
- [0027] 그러나, 본 발명의 실시 형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시 형태로 한정되는 것은 아니다.
- [0028] 또한, 본 발명의 실시 형태는 당해 기술 분야에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다.
- [0029] 도면에서 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있다.
- [0030] 또한, 각 실시 예의 도면에 나타난 동일한 사상의 범위 내의 기능이 동일한 구성 요소는 동일한 참조 부호를 사용하여 설명한다.
- [0031] 이하에서는 본 발명의 일 실시 형태에 따른 적층 세라믹 전자 부품을 설명하되, 특히 적층 세라믹 커패시터로 설명하지만 본 발명이 이에 한정되는 것은 아니다.
- [0032] **적층 세라믹 커패시터**
- [0033] 도 1은 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터를 개략적으로 도시한 사시도이고, 도 2는 도 1의 A-A'선 단면도이다.
- [0034] 도 1 및 도 2를 참조하면, 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터(100)는, 복수의 유전체층(111)이 적층된 세라믹 본체(110), 복수의 제1 및 제2 내부 전극(121, 122) 및 제1 및 제2 외부 전극(131, 132)을 포함한다.
- [0035] 세라믹 본체(110)는 복수의 유전체층(111)을 두께 방향으로 적층한 다음 소성한 것으로서, 이러한 세라믹 본체(110)의 형상, 치수 및 유전체층(111)의 적층 수가 본 실시 형태에 도시된 것으로 한정되는 것은 아니다.
- [0036] 또한, 세라믹 본체(110)를 형성하는 복수의 유전체층(111)은 소결된 상태로서, 인접하는 유전체층(111) 사이의 경계는 주사전자현미경(SEM: Scanning Electron Microscope)를 이용하지 않고 확인하기 곤란할 정도로 일체화될 수 있다.
- [0037] 이러한 세라믹 본체(110)의 형상은 특별히 제한되지 않으며, 예를 들어 육면체 형상을 가질 수 있다.
- [0038] 본 실시 형태에서는 설명의 편의를 위해 세라믹 본체(110)의 서로 대향되는 두께 방향의 면을 제1 및 제2 주면(1, 2)으로, 제1 및 제2 주면(1, 2)을 연결하며 서로 대향되는 길이 방향의 면을 제1 및 제2 단면(3, 4)으로, 이와 수직으로 교차되며 서로 대향되는 폭 방향의 면을 제1 및 제2 측면(5, 6)으로 정의하기로 한다.
- [0039] 또한, 본 실시 형태를 명확하게 설명하기 위해 세라믹 본체(110)의 방향을 정의하면, 도면 상에 표시된 L, W 및 T는 각각 길이 방향, 폭 방향 및 두께 방향을 나타낸다.
- [0040] 여기서, 두께 방향은 유전체층(111)이 적층된 적층 방향과 동일한 개념으로 사용될 수 있다.
- [0041] 유전체층(111)은 고유전율을 갖는 세라믹 분말, 예를 들어 티탄산바륨( $BaTiO_3$ )계 또는 티탄산스트론튬( $SrTiO_3$ )계 분말을 포함할 수 있으며, 충분한 정전 용량을 얻을 수 있는 한 본 발명이 이에 한정되는 것은 아니다.
- [0042] 또한, 유전체층(111)에는 상기 세라믹 분말과 함께, 필요시 전이 금속 산화물 또는 탄화물, 희토류 원소, 마그네슘(Mg) 또는 알루미늄(Al) 등과 같은 다양한 종류의 세라믹 첨가제, 유기용제, 가소제, 결합제 및 분산제 등이 더 첨가될 수 있다.

- [0043] 또한, 유전체층(111)의 평균 두께는 적층 세라믹 커패시터(100)의 용량 설계에 맞추어 임의로 변경할 수 있다.
- [0044] 세라믹 본체(110)는 커패시터의 용량 형성에 기여하는 부분으로서 유전체층(111)과 제1 및 제2 내부 전극(121, 122)으로 이루어진 영역인 액티브 영역과, 상하 마진부로서 상기 액티브 영역의 상하부에 각각 형성된 상부 및 하부 커버층(112, 113)으로 구성될 수 있다.
- [0045] 상부 및 하부 커버층(112, 113)은 내부 전극을 포함하지 않는 것을 제외하고는 상기 액티브 영역의 유전체층(111)과 동일한 재질 및 구성을 가질 수 있으며, 단일 유전체층 또는 2개 이상의 유전체층을 상기 액티브 영역의 상면 및 하면에 각각 두께 방향으로 적층하여 형성할 수 있다.
- [0046] 이러한 상부 및 하부 커버층(112, 113)은 기본적으로 물리적 또는 화학적 스트레스에 의한 제1 및 제2 내부 전극(121, 122)의 손상을 방지하는 역할을 수행할 수 있다.
- [0047] 제1 및 제2 내부 전극(121, 122)은 서로 다른 극성을 갖는 전극으로서, 유전체층(111)에 소정의 두께로 도전성 금속을 포함하는 도전성 페이스트를 인쇄하여 형성한다.
- [0048] 이때, 제1 및 제2 내부 전극(121, 122)은 유전체층(111)을 사이에 두고 유전체층(111)의 적층 방향을 따라 세라믹 본체(110)의 양 단면을 통해 번갈아 노출되도록 형성될 수 있으며, 이때 중간에 배치된 유전체층(111)에 의해 서로 전기적으로 절연될 수 있다.
- [0049] 또한, 제1 및 제2 내부 전극(121, 122)은 세라믹 본체(110)의 양 단면을 통해 번갈아 노출된 부분을 통해 제1 및 제2 외부 전극(131, 132)과 각각 접촉되어 전기적으로 연결될 수 있다.
- [0050] 따라서, 제1 및 제2 외부 전극(131, 132)에 전압을 인가하면 서로 대향하는 제1 및 제2 내부 전극(121, 122) 사이에 전하가 축적되고, 이때 적층 세라믹 커패시터(100)의 정전 용량은 상기 액티브 영역에서 제1 및 제2 내부 전극(121, 122)이 서로 중첩되는 영역의 면적과 비례하게 된다.
- [0051] 또한, 제1 및 제2 내부 전극(121, 122)의 두께는 적층 세라믹 커패시터(100)의 용량 설계에 맞추어 임의로 변경할 수 있다.
- [0052] 또한, 제1 및 제2 내부 전극(121, 122)을 형성하는 도전성 페이스트에 포함되는 도전성 금속은 은(Ag), 팔라듐(Pd), 백금(Pt), 니켈(Ni) 및 구리(Cu) 중 하나 또는 이들의 합금 등으로 이루어진 것을 사용할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0053] 상기 도전성 페이스트의 인쇄 방법은 스크린 인쇄법 또는 그라비아 인쇄법 등을 사용할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0054] 도 3은 도 1의 B-B'선 단면도이고, 도 4는 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터의 제1 및 제2 내부 전극을 각각 도시한 평면도이고, 도 5는 도 4의 제1 및 제2 내부 전극을 오버랩 하여 도시한 평면도이다.
- [0055] 도 3 내지 도 5를 참조하면, 이러한 제1 및 제2 내부 전극(121, 122)은, 내부 전극이 형성된 액티브 영역과 내부 전극이 미형성된 마진부 사이의 밀도 차이를 줄이기 위해, 세라믹 본체(110)의 폭-두께 단면에서 보았을 때 폭 방향으로 좌우 교대로 오프셋 되게 배치된다.
- [0056] 따라서, 세라믹 본체(110)의 폭 방향의 액티브 영역과 마진부의 단차가 중첩되는 것을 방지하여 마진부에서 층간 박리나 크랙이 발생하는 것을 방지하고, 고온 가속 및 내습 부하의 신뢰성 열화를 방지하며, BDV 특성을 향상시켜 절연 파괴를 방지할 수 있다.
- [0057] 이때, 제1 및 제2 내부 전극(121, 122)의 좌우로 오프셋 된 부분의 폭을 a로, 상기 a에 상기 세라믹 본체의 폭 방향의 한 쪽 마진을 더한 것을 b로 규정할 때, 상기 a/b는,  $0.1 \leq a/b$ 의 범위를 만족할 수 있다.

- [0058] 여기서, 상기 a/b가 0.1 미만인 경우 단차 개선에 의한 내습 신뢰성 개선 효과를 기대하기 어렵다.
- [0059] 제1 및 제2 내부 전극(121, 122)은 세라믹 본체(110)의 폭 방향 마진을 확보하기 위해 세라믹 본체(110)의 양 측면으로부터 각각 소정 폭 이격되게 형성될 수 있다.
- [0060] 또한, 세라믹 본체(110)의 양 측면에는 상기 내부 전극의 오프셋 배치에 의해 줄어든 폭 방향의 마진부를 더 보상하기 위해 절연층(140)이 각각 형성될 수 있다.
- [0061] 절연층(140)은 세라믹 슬러리나 절연성 고분자 물질 등으로 형성될 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0062] 또한, 절연층(140)의 폭을 c로 규정할 때, 상기 c는,  $5 \mu\text{m} \leq c \leq 50 \mu\text{m}$ 의 범위를 만족할 수 있다.
- [0063] 여기서, 절연층(140)의 폭(c)이  $5 \mu\text{m}$  미만이면 내습 신뢰성이 저하될 수 있으며,  $50 \mu\text{m}$ 를 초과하게 되면 정해진 칩 규격 내에서 제1 및 제2 내부 전극(121, 122)의 오버랩 면적이 상대적으로 작아져 용량이 저하되는 문제가 발생할 수 있다.
- [0064] 제1 및 제2 외부 전극(131, 132)은 세라믹 본체(110)의 양 단면에 형성되며, 제1 및 제2 내부 전극(121, 122)의 노출된 부분과 각각 접촉되어 전기적으로 연결된다.
- [0065] 이러한 제1 및 제2 외부 전극(131, 132)은 도전성 금속을 포함하는 도전성 페이스트에 의해 형성될 수 있으며, 상기 도전성 금속은 은(Ag), 니켈(Ni) 및 구리(Cu) 또는 이들의 합금일 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0066] 한편, 제1 및 제2 외부 전극(131, 132) 위에는 필요시 도금층(미도시)이 형성될 수 있다.
- [0067] 상기 도금층은 적층 세라믹 커패시터(100)를 인쇄회로기판에 솔더로 실장 할 때 상호 간의 접촉 강도를 높이기 위한 것이다.
- [0068] 이러한 도금층은 예를 들어 제1 및 제2 외부 전극(131, 132) 상에 각각 형성된 니켈(Ni) 도금층과, 상기 니켈 도금층 상에 형성된 주석(Sn) 도금층의 구조로 이루어질 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0069] **적층 세라믹 커패시터의 제조 방법**
- [0070] 이하 본 발명의 일 실시 형태에 따른 적층 세라믹 커패시터의 제조 방법을 설명한다.
- [0071] 먼저 복수의 그린 시트를 마련한다.
- [0072] 상기 그린 시트는 세라믹 그린 시트로서 세라믹 분말, 용제, 가소제, 결합제 및 분산제 등을 배합한 후 바스킷 밀(Basket Mill) 등을 이용하여 슬러리를 제조하고, 상기 슬러리를 닥터 블레이드 등의 공법을 통해 캐리어 필름(carrier film) 상에 도포 및 건조하여 수  $\mu\text{m}$  두께로 제조할 수 있으며, 세라믹 본체(110)의 유전체층(111)을 형성하기 위한 것이다.
- [0073] 다음으로, 상기 세라믹 그린 시트 상에 도전성 페이스트를 디스펜싱(dispensing)하고, 스퀴지(squeegee)를 일측 방향으로 진행시켜 내부 전극 막을 형성하며, 상기 내부 전극 막은 제1 및 제2 내부 전극(121, 122)을 형성하기 위한 것이다.
- [0074] 상기 도전성 페이스트는 금속 분말, 세라믹 분말 및 실리카( $\text{SiO}_2$ ) 분말 등을 포함할 수 있다.

- [0075] 또한, 상기 금속 분말은 은(Ag), 팔라듐(Pd), 백금(Pt), 니켈(Ni) 및 구리(Cu) 중 하나 또는 이들의 합금 등으로 이루어진 것을 사용할 수 있다.
- [0076] 한편, 상기 내부 전극 막은 상기 그린 시트 상에 상기 도전성 페이스트를 스크린 인쇄법 또는 그라비아 인쇄법 등으로 인쇄하여 형성할 수도 있다.
- [0077] 다음으로, 상기 내부 전극 막이 형성된 세라믹 그린 시트를 캐리어 필름으로부터 분리시킨 후, 복수의 세라믹 그린 시트를 상기 내부 전극 막이 상기 세라믹 그린 시트들 사이에 두고 폭 방향으로 좌우 교대로 오프셋 되도록 번갈아 적층하고 고온 및 고압으로 가압하여 적층체를 마련한다.
- [0078] 다음으로, 상기 적층체를 상기 내부 전극 막이 양 단면으로 번갈아 노출되도록 1개의 칩에 대응하는 영역으로 절단하고 소성 및 연마하여 제1 및 제2 내부 전극(121, 122)이 양 단면을 통해 번갈아 노출되도록 형성된 세라믹 본체(110)를 마련한다.
- [0079] 다음으로, 세라믹 본체(110)의 양 단면에 복수의 제1 및 제2 내부 전극(121, 122)의 노출된 부분과 각각 접촉되어 전기적으로 연결되도록 제1 및 제2 외부 전극(131, 132)을 형성한다.
- [0080] 이때, 필요시 제1 및 제2 외부 전극(131, 132) 위에 도금층을 더 형성할 수 있다.
- [0081] **실예**
- [0082] 본 발명의 실시 예와 비교 예에 따른 적층 세라믹 커패시터는 하기와 같이 제작되었으며, 본 발명이 이러한 실시 예에 제한되는 것은 아니다.
- [0083] 내부 전극용 도전성 페이스트를 사용하여 세라믹 그린 시트 위에 스크린 인쇄 공법으로 제1 및 제2 내부 전극을 형성한 후, 상기 제1 및 제2 내부 전극이 상기 세라믹 그린 시트들 사이에 두고 폭 방향으로 좌우 교대로 오프셋 되도록 상기 세라믹 그린 시트를 200 내지 270 층 적층하여 적층체를 마련하였다.
- [0084] 이후, 상기 적층체를 압착 및 절단하여 1005 규격 사이즈(size)의 칩으로 제조하였으며, 상기 칩을 H<sub>2</sub> 0.1 % 이하 환원 분위기 및 1050 내지 1200 °C의 온도에서 소성하여 세라믹 본체를 마련하였다.
- [0085] 이후, 상기 세라믹 본체를 외부 전극 형성 및 도금 등의 공정을 거쳐 적층 세라믹 커패시터로 제작하였다.
- [0086] 하기 표 1은 제1 및 제2 내부 전극의 좌우로 오프셋 된 부분의 폭을 a로, 상기 a에 세라믹 본체의 폭 방향의 한쪽 마진을 더한 것을 b로 규정할 때, a/b의 값에 따른 가속 수명 시험 결과를 비교하여 나타낸 것으로서, 각각의 시료는 상기 a 및 b의 값을 다양하게 변화시켜 제조하였다.
- [0087] 여기서, 비교 예는 상기 a/b가 1.0 미만이 되도록 제조한 것이다.
- [0088] 가속 수명 시험은 105 °C에서 12.6 V의 DC 전압을 인가하여 3시간 이내 절연 저항이 10<sup>4</sup> Ω 이하로 떨어진 샘플이 발생하는 경우를 NG로, 그렇지 않은 경우를 OK로 평가하였다

표 1

[0089]

#	a [ $\mu\text{m}$ ]	b [ $\mu\text{m}$ ]	a/b	가속 수명 시험 결과
비교예 1	1	33	0.03	NG
비교예 2	3	42	0.07	NG
비교예 3	3	37	0.08	NG
실시예 1	4	33	0.12	OK
실시예 2	4	39	0.10	OK
실시예 3	5	43	0.11	OK
실시예 4	5	45	0.11	OK
실시예 5	5	40	0.13	OK
실시예 6	5	42	0.12	OK
실시예 7	10	44	0.23	OK
실시예 8	12	35	0.34	OK
실시예 9	17	45	0.38	OK
실시예 10	22	39	0.56	OK
실시예 11	22	36	0.61	OK
실시예 12	28	45	0.62	OK
실시예 13	32	44	0.73	OK
실시예 14	37	47	0.79	OK
실시예 15	41	51	0.80	OK

[0090]

상기 표 1을 참조하면, 본 발명의 실시 예 1 내지 실시 예 15의 경우 상기 a/b의 값이 본 발명의 범위 내를 만족하며, 가속 수명 시험 결과 3시간 이내 절연 저항이  $10^4$   $\Omega$  이하로 떨어진 샘플이 발생하지 않음을 알 수 있다.

[0091]

반면, 본 발명의 비교 예 1 내지 비교 예 3의 경우 상기 a/b의 값이 0.1 미만으로서, 가속 수명 시험 결과 불량 이 나타남을 알 수 있다.

[0092]

하기 표 2는 제1 및 제2 내부 전극의 좌우로 오프셋 된 부분의 폭을 a로, 상기 a에 세라믹 본체의 폭 방향의 한 쪽 마진을 더한 것을 b로, 절연층의 폭을 c로 규정할 때, 상기 a/b의 값이 본 발명의 범위 내를 만족할 때, 상기 c의 값에 따른 내습 신뢰성 시험 결과를 비교하여 나타낸 것으로서, 각각의 시료는 상기 a, b 및 c의 값을 다양하게 변화시켜 제조하였다.

[0093]

여기서, 비교 예는 상기 c가 5  $\mu\text{m}$  미만 또는 50  $\mu\text{m}$ 를 초과하도록 제조한 것이다.

[0094]

내습 신뢰성 시험은 85  $^{\circ}\text{C}$ , 상대습도 85 %하에서 6.3 V의 DC 전압을 인가하여 1시간 이내 절연 저항이  $10^4$   $\Omega$  이하로 떨어진 샘플이 발생하는 경우를 NG로, 그렇지 않은 경우를 OK로 평가하였다

[0095]

또한, 용량 판정은 150  $^{\circ}\text{C}$ 에서 1시간 열처리하고 상온에서 1000 시간이 경과한 후 용량을 확인하였으며, 이때 용량이 규격 중심치의 80 내지 120 % 범위 내의 용량을 구현하는 경우 OK, 그렇지 않은 경우를 NG로 평가하였다.

표 2

[0096]

#	a [ $\mu\text{m}$ ]	b [ $\mu\text{m}$ ]	a/b	c [ $\mu\text{m}$ ]	내습신뢰성 시험결과	용량 판정
비교예 1	34	35	0.97	2	NG	OK
비교예 2	33	34	0.97	3	NG	OK

비교예 3	34	45	0.76	4	NG	OK
실시예 1	22	34	0.65	5	OK	OK
실시예 2	33	34	0.97	7	OK	OK
실시예 3	25	33	0.76	11	OK	OK
실시예 4	33	34	0.97	18	OK	OK
실시예 5	25	44	0.57	23	OK	OK
실시예 6	35	42	0.83	31	OK	OK
실시예 7	9	34	0.26	38	OK	OK
실시예 8	10	36	0.28	45	OK	OK
실시예 9	11	43	0.26	50	OK	OK
비교예 4	5	45	0.11	53	OK	NG
비교예 5	27	44	0.61	60	OK	NG
비교예 6	33	34	0.97	70	OK	NG

[0097] 상기 표 2를 참조하면, 본 발명의 실시 예인 1 내지 실시 예 9의 경우 상기 a/b의 값 및 상기 c의 값이 본 발명의 범위 내를 만족하며, 내습 신뢰성 시험 결과 불량 발생하지 않으며, 용량 편정 결과도 만족함을 알 수 있다.

[0098] 즉, 상기 c가 본 실시 예의 범위를 만족시키는 경우 고용량을 확보하면서 내습 신뢰성 시험에서 열화가 발생하지 않는 신뢰성 높은 적층 세라믹 전자 부품을 구현할 수 있음을 알 수 있다.

[0099] 반면, 본 발명의 비교 예 1 내지 비교 예 3의 경우 상기 c의 값이 5 μm 미만으로서, 마진부가 충분히 확보되지 못하여 내습 신뢰성 시험 결과 불량이 발생함을 알 수 있다.

[0100] 또한, 본 발명의 비교 예인 비교 예 4 내지 비교 예 6의 경우 상기 c의 값이 50 μm를 초과함으로써, 내습 신뢰성 시험 결과 불량이 발생하지 않았으나, 용량이 규격 중심치의 80 내지 120 % 범위 내의 용량을 구현하지 못하는 것으로 나타났다.

[0101] 따라서, 본 발명의 일 실시 형태에 따르면, 세라믹 본체의 양 측면에 형성된 절연층의 폭을 5 내지 50 μm를 만족하도록 조절함으로써, 신뢰성이 우수한 고용량 적층 세라믹 전자 부품의 구현이 가능하다.

[0102] **변형 예**

[0103] 도 6은 본 발명의 다른 실시 형태에 따른 적층 세라믹 커패시터의 제1 및 제2 내부 전극을 각각 도시한 평면도이고, 도 7은 도 6의 제1 및 제2 내부 전극을 오버랩 하여 도시한 평면도이다.

[0104] 여기서, 제1 및 제2 외부 전극(131, 132) 및 절연층(140)이 형성된 구조는 앞서 설명한 일 실시 형태와 동일하므로 중복을 피하기 위하여 이에 대한 구체적인 설명을 생략하며, 앞서 설명한 실시 형태와 상이한 구조를 갖는 제1 및 제2 내부 전극(123, 124)을 토대로 구체적으로 설명하기로 한다.

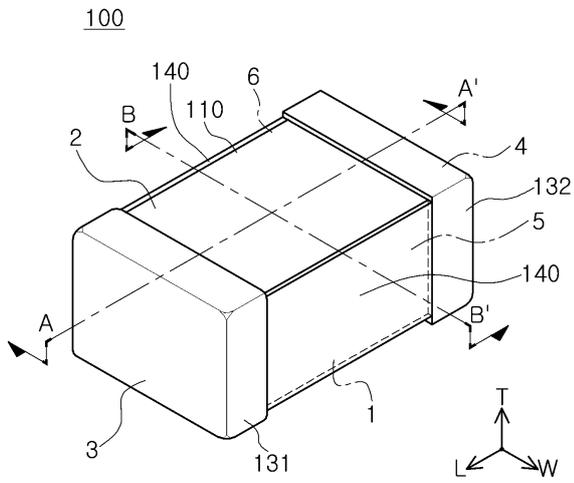
[0105] 도 6 및 도 7을 참조하면, 본 발명의 다른 실시 형태에 따른 적층 세라믹 커패시터(100)의 제1 내부 전극(123)은 세라믹 본체(110)의 제1 단면(3) 및 제1 측면(5)을 통해 노출되도록 형성되고, 제2 내부 전극(124)은 세라믹 본체(110)의 제2 단면(4) 및 제2 측면(6)을 통해 노출되도록 형성될 수 있다.

[0106] 따라서, 제1 및 제2 내부 전극(123, 124)이 세라믹 본체(110)의 제1 및 제2 측면(5, 6)으로 노출되게 형성됨으로써, 세라믹 본체(110)의 폭 방향의 단차를 앞서 일 실시 형태에 비해 더 줄일 수 있으며, 이때 세라믹 본체(110)의 마진은 소정 폭을 갖는 절연층(140)을 통해 확보하게 된다.

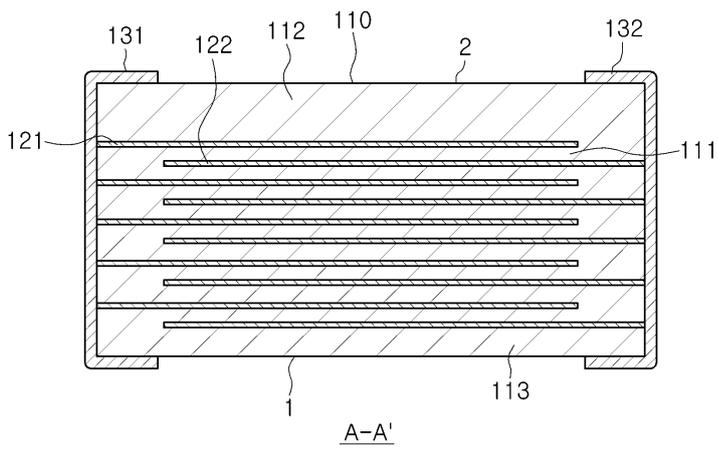


도면

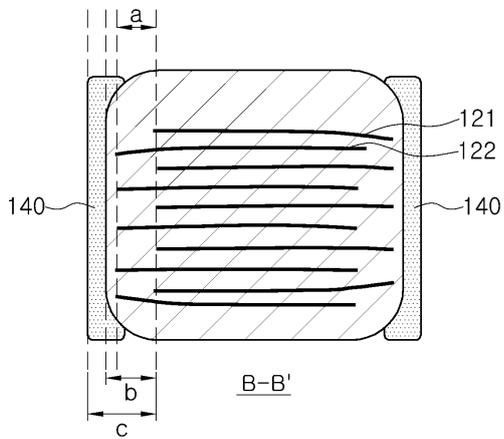
도면1



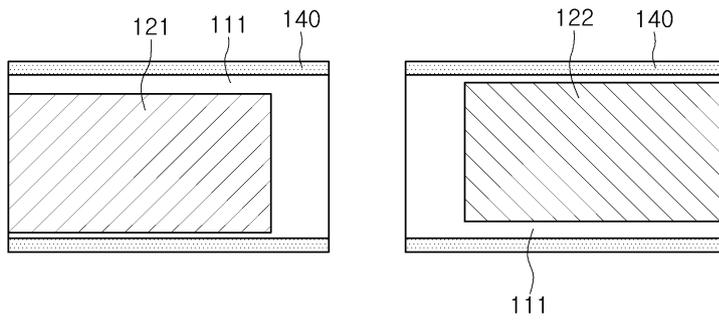
도면2



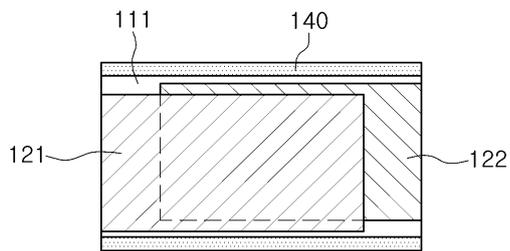
도면3



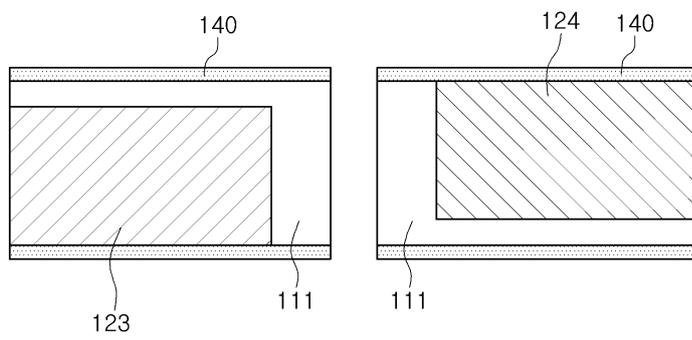
도면4



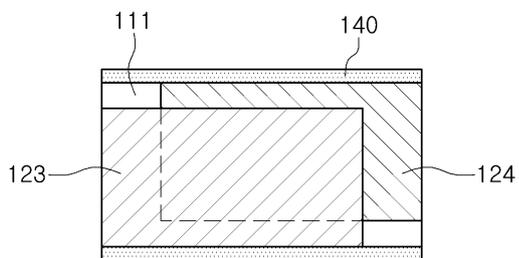
도면5



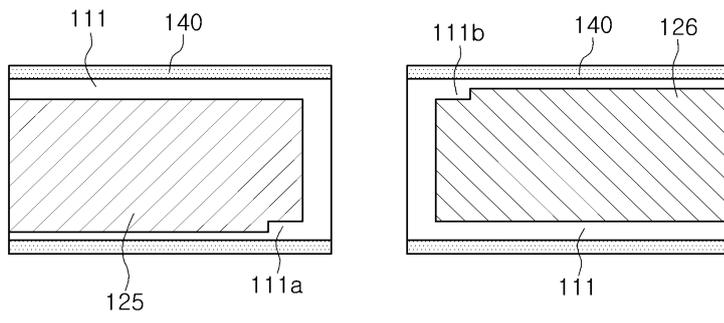
도면6



도면7



도면8



도면9

