

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3959264号  
(P3959264)

(45) 発行日 平成19年8月15日(2007.8.15)

(24) 登録日 平成19年5月18日(2007.5.18)

(51) Int. Cl. F I  
 HO 1 L 25/18 (2006.01) HO 1 L 25/08 Z  
 HO 1 L 25/07 (2006.01) G 1 1 C 17/00 G O 1 U  
 HO 1 L 25/065 (2006.01)  
 G 1 1 C 16/02 (2006.01)

請求項の数 5 (全 13 頁)

(21) 出願番号	特願2001-375022 (P2001-375022)	(73) 特許権者	000003078
(22) 出願日	平成13年9月29日 (2001.9.29)		株式会社東芝
(65) 公開番号	特開2003-110086 (P2003-110086A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成15年4月11日 (2003.4.11)	(74) 代理人	100058479
審査請求日	平成17年1月25日 (2005.1.25)		弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100070437
			弁理士 河井 将次

最終頁に続く

(54) 【発明の名称】 積層型半導体装置

(57) 【特許請求の範囲】

【請求項1】

複数の半導体集積回路チップが積層された積層型半導体装置であって、  
 前記各半導体集積回路チップは、  
 自己の識別情報が電氣的に書き込まれて保持される保持回路と、  
 各半導体集積回路チップが積層された状態で自己の保持回路に自己の識別情報を設定する識別情報設定回路と、  
 自己の保持回路に自己の識別情報を設定するために用いる少なくとも一つの設定端子と

を備え、

各半導体集積回路チップの前記少なくとも一つの設定端子は、他の半導体集積回路チップの対応する前記少なくとも一つの設定端子に接続され、

前記識別情報設定回路は、所定の動作に費やされる時間の各半導体集積回路チップ間での相違に基づいて自己の保持回路に自己の識別情報を設定する

ことを特徴とする積層型半導体装置。

【請求項2】

前記各半導体集積回路チップ内の回路構成は互いに実質的に同一である

ことを特徴とする請求項1に記載の積層型半導体装置。

【請求項3】

前記各半導体集積回路チップはチップセレクトのための信号が入力される複数の端子を

有し、各半導体集積回路チップの対応する前記複数の端子どうしは全て共通に接続されている

ことを特徴とする請求項 1 に記載の積層型半導体装置。

【請求項 4】

前記保持回路は、保持される情報を電氣的に書き換え可能な構造を有することを特徴とする請求項 1 に記載の積層型半導体装置。

【請求項 5】

前記保持回路は、不揮発性メモリセルを含むことを特徴とする請求項 1 に記載の積層型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、積層型半導体装置に関する。

【0002】

【従来の技術】

メモリカード等に要求される記憶容量の増大に伴い、メモリチップ等の半導体集積回路チップ(LSIチップ)を積層した積層型半導体装置(マルチチップデバイス)が提案されている。この積層型半導体装置は、複数のチップを縦方向に積層するため、各チップを横方向に配置した半導体装置に比べて小型化(小面積化)をはかることが可能である。

【0003】

積層型半導体装置では、各チップ間の電氣的な接続は、例えばチップを貫通するスルーラグによって行われる。そのため、積層された同一構造のメモリチップのなかから所望のチップを選択するためには、チップを能動状態(動作可能状態)にするためのチップイネーブルバー(ICE)の端子位置をチップ毎に変えるといった手段を講じる必要がある。そのため、各チップの構造を共通化することができず、製造コストの上昇を招くことになる。

【0004】

このような問題に対して、各チップのスルーラグ間を接続するバンプの配置パターンを変えることで、チップセレクトのための各チップのチップイネーブルバー或いはチップアドレス信号が入力される端子の位置を各チップで共通化するという提案がなされている(特開2000-49277)。この提案について、図10を参照して以下説明する。

【0005】

各チップC1~C4はスルーラグPGを備え、スルーラグPG間はバンプBPによって接続されている。図中、P1で示した部分は、所望のチップを選択する(能動状態にする)ためのチップアドレス信号(CA0, CA1)が供給される端子部分である。P2で示した部分は、チップを特定するための端子が形成された部分であり、この部分では各チップC1~C4でバンプBPの配置パターンを異ならせている。すなわち、チップC1では三つのスルーラグPGが全て接地電位(Vss)に、チップC2では二つのスルーラグPGが接地電位に、チップC3では一つのスルーラグPGが接地電位に接続され、チップC4ではいずれのスルーラグPGも接地電位には接続されていない。

【0006】

このように、バンプBPの配置によって各チップC1~C4の接続関係を互いに異ならせることで、所望のチップを選択するためのチップアドレス信号CA0, CA1の端子位置を各チップで共通化することができる。そして、各チップC1~C4内に、P1及びP2で示した部分の端子(スルーラグPG)の論理値を入力とする論理回路を構成することで、チップアドレス信号(CA0, CA1)によって所望のチップを選択することができる。

【0007】

しかしながら、上述した従来技術では、各チップを共通化することは可能であるが、チップ毎にバンプの配置パターンを変える必要がある。そのため、やはり製造工程の共通化を

10

20

30

40

50

十分にはかることができず、製造コストの上昇を招くことになる。また、図10のP2で示した部分のチップ特定用端子の数は、チップの積層数の増大とともに増加するため、チップの積層数が多い場合には端子数の大幅な増加につながる。

【0008】

【発明が解決しようとする課題】

以上述べたように、従来の積層型半導体装置では、バンプの配置パターンを変えることによって任意のチップを選択するようにしているため、製造工程の共通化が不十分であることに起因する製造コストの上昇といった問題や、積層数の増大にともなうチップ特定用端子数の増加といった問題があった。

【0009】

本発明は上記従来の課題に対してなされたものであり、製造コストの上昇や端子数の増加を抑えることが可能な積層型半導体装置を提供することを目的としている。

【0010】

【課題を解決するための手段】

本発明に係る積層型半導体装置は、複数の半導体集積回路チップが積層された積層型半導体装置であって、前記各半導体集積回路チップは、自己の識別情報が電氣的に書き込まれて保持される保持回路を備えることを特徴とする。

【0011】

【発明の実施の形態】

以下、本発明の実施形態を図面を参照して説明する。

【0012】

図1は、本実施形態に係る積層型半導体装置の一構成例を示したものである。

【0013】

ベース基板BS上には、複数の半導体集積回路チップ(LSIチップ)C1~C4が積層されている。ベース基板BSは、マザーボードとして機能するものであり、端子BTM及び図示しない配線パターンや電源等が設けられている。

【0014】

各半導体集積回路チップC1~C4は、実質的に同一構造となっており、同一の仕様を有している。すなわち、各チップC1~C4の形状、端子数及び回路構成等は実質的に同一となっている。実質的に同一であるとしているのは、例えばリダンダンシー等によって回路構成等が厳密には完全に同一とは言えない場合もあるためである。各チップC1~C4において、少なくともクロック信号や各種制御信号などが入力される対応する端子どうしは共通に接続されている。本例では、チップを貫通する導電材からなるスループラグPGによって端子TMが構成されており、各チップの対応する端子どうしはバンプBPによって全て共通に接続されている。各チップの端子には、電源端子や各種制御信号及びデータ信号の入出力端子等が含まれており、その中には所望のチップを能動状態(動作可能状態)にするチップセレクトのためのチップアドレス(CA0, CA1)を指定する端子も含まれる。

【0015】

各チップC1~C4の対応する端子どうしが共通に接続されているため、チップアドレスCA0及びCA1を指定するだけでは所望のチップを選択することはできない。そのため、各チップ内には自己を他のチップから識別するための識別データを電氣的に保持(記憶)する保持回路(図示せず)が設けられている。この保持回路は、半導体能動素子を含み、保持する情報を電氣的に書き込み可能な構造を有しており、例えば不揮発性メモリセルを含む回路によって構成されている。本例では、4層のチップC1~C4を積層しているため、識別データは2ビットのコードで表すことができ、例えば各チップにはそれぞれ(0,0)(0,1)(1,0)(1,1)の異なるコードが割り当てられる。

【0016】

図2は、本実施形態に係る積層型半導体装置の他の構成例を示したものである。基本的な概念については図1に示した例と同様であり、本例特有の構成について以下説明する。

10

20

30

40

50

## 【 0 0 1 7 】

本例では、各半導体集積回路チップC1～C4は、基板SBA1～SBA4に搭載されている。各基板SBA1～SBA4上には、チップの端子TMと後述するスループラグTPとを電氣的に接続する配線WRが設けられている。各基板SBA1～SBA4の間には基板SBB1～SBB4が介在しており、基板SBB1～SBB4の中央に設けられた穴(デバイスホール)に対応して各チップC1～C4が配置されている。各基板SBA1～SBA4及び各基板SBB1～SBB4には、各基板を貫通するスループラグTPが設けられており、各スループラグTPどうしはバンプBPによって接続されている。

## 【 0 0 1 8 】

以下の説明では、半導体集積回路チップC1～C4としてNAND型E<sup>2</sup>PROM等の不揮発性メモリチップを想定し、自己の識別データを保持する保持回路として不揮発性メモリセルを備えた回路を想定する。また、積層型半導体装置としては、図1に示した構成例を想定する。

10

## 【 0 0 1 9 】

図3は、各半導体集積回路チップC1～C4内に設けられた回路の一例を示した図である。

## 【 0 0 2 0 】

各チップC1～C4内の保持回路11には自己の識別データとして、例えばチップC1には(0,0)、チップC2には(0,1)、チップC3には(1,0)、チップC4には(1,1)が保持されている。電源が投入されると、保持回路11に保持された識別データのうち、下位ビットはラッチ回路12aに、上位ビットはラッチ回路12bにラッチされる。

20

## 【 0 0 2 1 】

各チップC1～C4には、チップアドレスを入力する端子13a及び13b(図1に示した端子TMのなかの二つ)が設けられており、端子13aにはチップアドレスの下位ビットCA0が、端子13bにはチップアドレスの上位ビットCA1が外部から入力される。例えば、チップC1を選択する場合には、チップアドレス(CA0,CA1)を(0,0)に設定する。なお、さらに上位のアドレスを入力する端子を設けることにより、チップC1～C4のいずれも選択していない状態を設定することができる。

## 【 0 0 2 2 】

ラッチ回路12aの出力及び端子13aはエクスクルーシブノア(EXNOR)回路14aに、ラッチ回路12bの出力及び端子13bはエクスクルーシブノア(EXNOR)回路14bに接続されており、エクスクルーシブノア回路14a及び14bの出力はナンド(NAND)回路15に入力している。したがって、チップアドレスCA0とラッチ回路12aのデータが等しく、且つチップアドレスCA1とラッチ回路12bのデータが等しい場合、すなわち端子13a及び13bから入力されるチップアドレスと保持回路11に保持されている識別データが全て等しい場合に限り、ナンド回路15の出力チップイネーブルバー(/CE)はロウレベル(論理値0)となる。/CE信号は主回路16(例えば、不揮発性メモリチップでは、メモリセルアレイ16aやローデコーダ・カラムデコーダ等の周辺回路16b等からなる回路)に供給され、/CE信号がアクティブ(/CE信号がロウレベル)となったチップのみが能動状態となる。

30

40

## 【 0 0 2 3 】

以上のように、本実施形態に係る積層型半導体装置は、各チップ内に自己の識別データを電氣的に書き込んで電氣的に保持する保持回路を備えているため、従来のようにチップセレクトのために各チップの接続関係を異ならせる必要がない。そのため、バンプの配置パターンをチップ毎に変える必要がなく、各チップの製造工程の共通化はもちろんバンプの製造工程の共通化もはかることができる。また、従来のようにチップ特定用の多数の端子を設ける必要がないので、チップの積層数の増大にともなう端子数の大幅な増加を抑えることができる。

## 【 0 0 2 4 】

50

また、保持回路は電氣的に書き換え可能な構造であるため、識別データを書き込んだ後に容易に識別データを変更することができる。例えば、各チップ間のチップセレクトのための手段としてバンプの代わりにヒューズを用い、ヒューズをレーザによって溶断することでチップ内の接続パターンを変えるような場合には、一旦ヒューズを切断した後は接続パターンの変更を行うことができないが、本実施形態では必要に応じてデータの書き換えを行うことが可能である。

**【 0 0 2 5 】**

さらに、電氣的な書き込み（書き換え）を行うことから、各チップを積層した後に識別データを書き込むこともでき、例えば電源を投入する度に識別データを書き込むといったことも可能である。

10

**【 0 0 2 6 】**

次に、本実施形態に係る積層型半導体装置の製造方法の一例について、図 4 に示したフローチャートを参照して説明する。本例は、各チップの積層前に識別データを書き込む例である。

**【 0 0 2 7 】**

まず、所定の製造工程にしたがって、半導体能動素子や配線等の回路及びスループラグを半導体ウエハに形成し、さらにスループラグ上にパッドを形成する（S 1 1）。続いて、プレダイソートにより不良チップの検出を行い、不良セルの特定と不良セルの救済を行うリダンダンシーを実施する。リダンダンシーはレーザ溶断で行ってもよいし、電氣的な切り換えによって行ってもよい。この工程において、保持回路への識別データの書き込みを行う。書き込み方法は、不揮発性メモリセルに対する通常書き込み方法と同様である（S 1 2）。なお、不良セルの救済のためのリダンダンシー回路内にも、識別データを保持する保持回路と同一の構造、すなわち不揮発性メモリセルを用いれば、リダンダンシー及び識別データの書き込みに当たって、共通の書き込み方法を用いることができ、工程を簡略化するうえで有効となる。

20

**【 0 0 2 8 】**

続いて、先に形成したパッド上にバンプを形成する（S 1 3）。このバンプ形成工程は、S 1 2 の工程の前に行ってもよい。さらに、ファイナルダイソート及びバーンインを行う（S 1 4）。

**【 0 0 2 9 】**

次に、ウエハの裏面から研削処理等を行ってウエハを薄くし、さらにダイシングによってウエハをチップに分離する（S 1 5）。その後、チップの選別を行い（S 1 6）、さらにチップの積層、組み立てを行う（S 1 7）。チップの積層の際には、書き込まれた識別データが互いに異なるチップを積層する。例えば、チップ C 1 では（0, 0）、チップ C 2 では（0, 1）、チップ C 3 では（1, 0）、チップ C 4 では（1, 1）というように、各チップの識別データが互いに異なるようにする。

30

**【 0 0 3 0 】**

なお、本例においては、保持回路への識別データの書き込みは各チップを積層する前であればよく、例えばファイナルダイソート工程の際に書き込み処理を行うようにしてもよい。すなわち、本実施形態の積層型半導体装置は、識別データを保持回路に電氣的に書き込んで保持するため、所望の時点で識別データの書き込みを行うことが可能である。

40

**【 0 0 3 1 】**

次に、本実施形態に係る積層型半導体装置の動作例（電源投入後の動作例）について、図 5 に示したフローチャートを参照して説明する。

**【 0 0 3 2 】**

積層型半導体装置に電源が投入（パワーオン）されると（S 2 1）、各チップはパワーオンリセットされ（S 2 2）、一定期間の待機状態の後（S 2 3）、各チップの R / B（レディ / ビジー）信号端子が B（ビジー）状態にセットされる（S 2 4）。次に、不良アドレスデータを読み出してセットする初期設定データリード処理（S 2 5）、制御電圧値データを読み出してセットする初期設定データリード処理（S 2 6）、保持回路に保持され

50

ている識別データを読み出してセットする初期設定データリード処理（S27）、さらにその他のデータを読み出してセットする初期設定データリード処理（S28）を行う。S27の処理は、図3で示した例では、保持回路11に保持されている識別データをラッチ回路12a及び12bにラッチする処理に対応する。その後、R/B信号端子をR（レディ）状態、すなわち外部からのアクセスが可能なスタンバイ状態にセットする（S29）。

#### 【0033】

以上のようにして初期設定を行った後、図3で示したように、端子13a及び13bに外部からチップアドレス信号CA0及びCA1を入力することで、チップC1～C4の中から所望のチップを選択することができる。

10

#### 【0034】

次に、本実施形態に係る積層型半導体装置の製造方法の他の例について、図6に示したフローチャートを参照して説明する。

#### 【0035】

図6に示したフローチャートと図4に示したフローチャートを比較すればわかるように、本例では、S32のステップで識別データの書き込み処理は行わず、チップC1～C4を積層した後に、S38のステップで保持回路に識別データの書き込み処理を行うようにしている。その他の基本的な処理（S31、S33～S37）については図4に示した例と同様である。

#### 【0036】

このように、本実施形態に係る積層型半導体装置では、各チップ内に自己の識別データを電氣的に書き込んで保持する保持回路を備えているため、各チップを積層した後も識別データを保持回路に書き込むことが可能である。以下、各チップ積層後に識別データを書き込む処理の具体例について説明する。

20

#### 【0037】

図7は上記処理を行うための識別情報設定回路の構成例を示したブロック図であり、図7に示すような回路が各チップC1～C4内にそれぞれ同一構成で形成されている。また、以下に述べる各端子も各チップC1～C4に同一構成で形成されており、各端子は共通に接続されている。

#### 【0038】

端子21には入力制御回路22が接続されており、例えば端子21に外部から制御信号を入力することで、入力制御回路22から発振回路23に発振開始信号が送出される。入力制御回路22には電圧発生回路24も接続されており、電圧発生回路24では入力制御回路22からの信号を受けて所定の電圧を発生する。電圧発生回路24の電圧はキャパシタ（チップ内の寄生容量を用いる）25に徐々に充電され、キャパシタ25の充電電圧は時間の経過とともにしだいに上昇する。キャパシタ25の充電電圧は電圧検出回路26によって検出され、充電電圧が所定値に到達したときに電圧検出回路26から発振回路23に発振終了信号が送出され、発振回路23の発振が停止する。

30

#### 【0039】

発振回路23にはカウンタ回路27が接続されており、カウンタ回路27では発振回路23からの発振信号をクロック信号としてカウントを行う。すなわち、上述した発振開始信号が生じてから発振終了信号が生じるまでの時間がカウンタ回路27によってカウントされることになる。キャパシタ25の容量や発振回路23の発振周期はチップ毎にばらつくため、カウンタ回路27でのカウント値は通常各チップC1～C4間で通常異なったものとなる。

40

#### 【0040】

カウンタ回路28は、端子29を介して外部から供給されるクロック信号によってカウント動作を行う。このクロック信号は、カウンタ回路27でのカウント動作が終了した後、外部から各チップに入力するようにする。カウンタ回路27及び28のカウント値は一致検出回路30に入力しており、一致検出回路30からはカウンタ回路27及び28の両カ

50

ウント値が一致したときに一致信号が出力される。先に述べたように、カウンタ回路 27 でのカウント値は各チップ C1 ~ C4 間で異なっているため、一致検出回路 30 から一致信号が出力されるタイミングも各チップ C1 ~ C4 間で異なったものとなる。

【0041】

一致検出回路 30 からの一致信号は、プルアップ抵抗 32 が接続されたトランジスタ 31 を介して端子 33 に出力される。端子 33 は各チップ C1 ~ C4 で共通に接続されているため、あるチップで生じた一致信号は他のチップにも供給されることになる。自己のチップ内で生じた一致信号（トランジスタ 31 の出力信号）及び他のチップで生じた一致信号（端子 33 を介して入力する一致信号）は、クロック信号として遅延回路 34 を介してカウンタ回路（本例では 2 ビット構成）35 に入力する。したがって、カウンタ回路 35 のカウント値は、各チップで一致信号が生じる毎にカウントアップされる。

10

【0042】

一致検出回路 30 からの一致信号はゲート回路 36 にも入力しており、自己のチップで生じた一致信号によってゲート回路 36 が導通状態となり、カウンタ回路 35 のカウント値がゲート回路 36 を介してラッチ回路 37 にラッチされる。カウンタ回路 35 の入力には遅延回路 34 が接続されていることから、一致信号が生じる前のカウント値がラッチ回路 37 にラッチされることになる。例えば、チップ C1 で最初に一致信号が生じた場合には、チップ C1 のカウンタ回路 35 のカウント値は“00”であり、この値“00”がチップ C1 のラッチ回路 37 にラッチされる。その次にチップ C2 で一致信号が生じた場合には、チップ C2 のカウンタ回路 35 のカウント値は“01”であり、この値“01”がチップ C2 のラッチ回路 37 にラッチされる。このようにして、各チップ C1 ~ C4 内のラッチ回路 37 には、それぞれ異なったカウント値“00”“01”“10”及び“11”がラッチされる。

20

【0043】

各チップ C1 ~ C4 内のラッチ回路 37 にラッチされた値は、各チップ C1 ~ C4 内の保持回路（図 3 の保持回路 11 に対応）38 に書き込まれ、各チップ C1 ~ C4 内の保持回路 38 には互いに異なった値、すなわち互いに異なった識別データが記憶されることになる。

【0044】

図 8 は、図 7 に示した回路の動作の一例を示したフローチャートである。

30

【0045】

電源投入（S41）の後、端子 21 に制御信号が入力されると、入力制御回路 22 からの発振開始信号によって発振回路 23 での発振動作が開始され（S42）、発振信号をクロックとしてカウンタ 27 でのカウント動作が開始される（S43）。電圧検出回路 26 から発振終了信号が出力され、全チップ C1 ~ C4 のカウント動作が終了すると（S44）、各チップ C1 ~ C4 は一旦待機状態となる（S45）。

【0046】

その後、各チップに端子 29 から共通の外部クロック信号を入力し、各チップのカウンタ回路 28 で外部クロック信号をカウントする（S46）。各チップでは、先に述べたように、一致検出回路 30 での一致検出動作、ラッチ回路 37 へのカウント値のラッチ動作等が行われる。

40

【0047】

各チップ C1 ~ C4 におけるカウンタ 27 のカウント値は寄生容量の充電時間のばらつき等により通常は互いに異なったものとなるが、2 以上のチップでカウンタ 27 のカウント値がたまたま等しくなっている場合もある。このような場合には、上記 2 以上のチップにおいて一致検出回路 30 から同時に一致信号が生じるため、それらのチップのラッチ回路 37 にラッチされるカウント値は互いに等しくなる。そこで、ラッチ回路 37 にラッチされたカウント値が各チップ間で互いに異なっているか否かを判断する（S47）。本例では、ラッチ回路 37 自体にラッチされているカウント値を比較する代わりに、端子 33 から出力される一致信号を外部装置でカウントするようにしている。2 以上のチップでラッ

50

チップ回路 37 のカウント値が等しくなる場合には、それらのチップでは端子 33 から同時に一致信号が生じているため、外部装置でのカウント値は 3 以下となる。したがって、外部装置でのカウント値が 3 以下の場合には、端子 21 に制御信号を入力してカウンタ 27、28 及び 35 のリセット等を行い、各チップのラッチ回路 37 にラッチされるカウント値が互いに異なった値となるまで（外部装置でのカウント値が 4 となるまで）、繰り返し上述した処理と同様の処理を行う。

【0048】

各チップのラッチ回路 37 にラッチされたカウント値が各チップ間で互いに異なっている場合（外部装置でのカウント値が 4 の場合）には、各チップのラッチ回路 37 にラッチされたカウント値が、各チップの保持回路 38 に識別データとして書き込まれる（S48）

10

【0049】

なお、各チップのラッチ回路 37 或いはカウンタ 27 のカウント値自体を比較して、2 以上のチップでカウント値が互いに等しい場合に、上述したのと同様にして S42 からの処理を繰り返すようにしてもよい。

【0050】

以上のように、寄生容量への充電時間等、所定の動作に費やされる時間のチップ間でのばらつきを利用することにより、各チップを積層した後も各保持回路に互いに異なった識別情報を書き込むことが可能となる。

【0051】

図 7 及び図 8 で説明した例では、寄生容量への充電時間等のチップ間でのばらつきを利用して、各チップ内の保持回路に互いに異なる識別データを記憶するようにしたが、その他任意の動作に費やされる時間のチップ間でのばらつきが利用可能であり、例えばメモリセル（メモリセルアレイ内のメモリセル）への書き込み時間のチップ間でのばらつきを利用するようにしてもよい。

20

【0052】

図 9 は、このような方法を利用して識別データを記憶する場合の動作を示したフローチャートである。なお、回路構成については図示しないが、図 7 のカウンタ 27 への入力までの構成が異なるだけであり、カウンタ 27 及びそれ以降の構成（参照番号 27 ~ 38 の構成）については図 7 の例と同様である。

30

【0053】

電源投入（S51）及びパワーオンリセット（S52）の後、各チップをテストモードにして（S53）、メモリセルへの書き込み動作を開始し、書き込み開始と同時にカウンタ（図 7 のカウンタ 27 に相当）の動作を開始する（S54）。全チップ C1 ~ C4 の書き込みが終了してカウント動作が終了すると（S55）、各チップ C1 ~ C4 は一旦待機状態となる（S56）。その後の基本的な処理（S57 ~ S59）については図 8 に示した例と同様である。

【0054】

このように、本例においても図 8 に示した例と同様、各チップ積層後に保持回路に識別データを書き込むことが可能である。なお、本例ではメモリセルへの書き込み時間のばらつきを利用したが、消去時間のばらつきを利用してもよく、さらに書き込み時間及び消去時間両者のばらつきを利用してもよい。

40

【0055】

以上、本発明の実施形態を説明したが、本実施形態は以下のような変更を行うことも可能である。

【0056】

上述した実施形態では保持回路を主回路内のメモリセルアレイとは別に設けたが、メモリセルアレイ内のメモリセルを保持回路のメモリセルとして代用してもよい。

【0057】

また、上述した実施形態では、半導体集積回路チップとして不揮発性メモリチップを、保

50



持回路として不揮発性メモリセルからなる回路を想定して説明を行ったが、これ以外のチップや保持回路を用いることも可能である。例えば、図6～図9で説明したように、各チップ積層後に保持回路に識別データを書き込む場合には、半導体集積回路チップとしてDRAM等の揮発性メモリチップを、保持回路としてDRAM用の揮発性メモリセルからなる回路を用いるようにしてもよい。例えばDRAMチップでは、電源オフによってメモリセルアレイのデータが消失するため、保持回路に保持されていた識別データが電源オフ時に消失するものの、電源をオンしたときに新たに識別データを保持回路に記憶させるようにすれば問題はない。要するに、保持回路には電源投入前に予め識別データが記憶されていなくてもよく、電源投入の度に保持回路に識別データを記憶させるようにしてもよい。さらに、保持回路としては、電氣的に書き換え可能な構造に何ら限定されるものではなく、電氣的な書き込みが可能であれば、例えばアンチヒューズ素子などを用いたPROMのように、一旦設定された自己の識別情報がその後書き換えられることなく保持され続けるものであってもよい。

10

#### 【0058】

以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出され得る。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば発明として抽出され得る。

20

#### 【0059】

##### 【発明の効果】

本発明によれば、各チップ内に自己の識別データを保持する回路を備えていることから、製造工程の共通化や端子数増加の防止等をはかることが可能となり、低コストの積層型半導体装置を得ることが可能となる。

##### 【図面の簡単な説明】

【図1】本発明の実施形態に係る積層型半導体装置の構成の一例を示した図。

【図2】本発明の実施形態に係る積層型半導体装置の構成の他の例を示した図。

【図3】本発明の実施形態に係り、半導体集積回路チップ内に設けられた回路の一例を示した図。

30

【図4】本発明の実施形態に係る積層型半導体装置の製造方法の一例を示したフローチャート。

【図5】本発明の実施形態に係る積層型半導体装置について電源投入後の動作例を示したフローチャート。

【図6】本発明の実施形態に係る積層型半導体装置の製造方法の他の例を示したフローチャート。

【図7】本発明の実施形態に係り、半導体集積回路チップ内に設けられた識別情報設定回路の構成例を示したブロック図。

【図8】本発明の実施形態に係り、識別情報の設定方法の一例を示したフローチャート。

【図9】本発明の実施形態に係り、識別情報の設定方法の他の例を示したフローチャート

40

【図10】従来技術に係る積層型半導体装置の構成例を示した図。

##### 【符号の説明】

B S ... ベース基板

C 1 ~ C 4 ... 半導体集積回路チップ

B T M、T M ... 端子

P G ... スループラグ

B P ... バンプ

C A 0、C A 1 ... チップアドレス

S B A 1 ~ S B A 4、S B B 1 ~ S B B 4 ... 基板

50

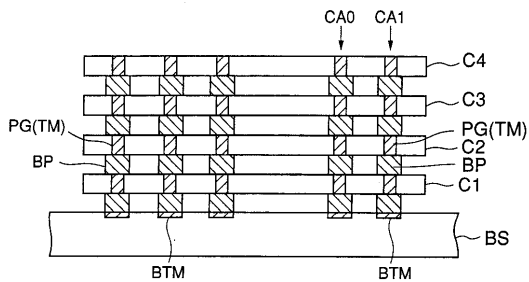
WR ... 配線

- 1 1 ... 保持回路
- 1 2 a、1 2 b ... ラッチ回路
- 1 3 a、1 3 b ... 端子
- 1 4 a、1 4 b ... エクスクルーシブノア回路
- 1 5 ... ナンド回路
- 1 6 ... 主回路
- 1 6 a ... メモリセルアレイ
- 1 6 b ... 周辺回路
- 2 1、2 9、3 3 ... 端子
- 2 2 ... 入力制御回路
- 2 3 ... 発振回路
- 2 4 ... 電圧発生回路
- 2 5 ... キャパシタ
- 2 6 ... 電圧検出回路
- 2 7、2 8、3 5 ... カウンタ回路
- 3 0 ... 一致検出回路
- 3 1 ... トランジスタ
- 3 2 ... プルアップ抵抗
- 3 4 ... 遅延回路
- 3 6 ... ゲート回路
- 3 7 ... ラッチ回路
- 3 8 ... 保持回路

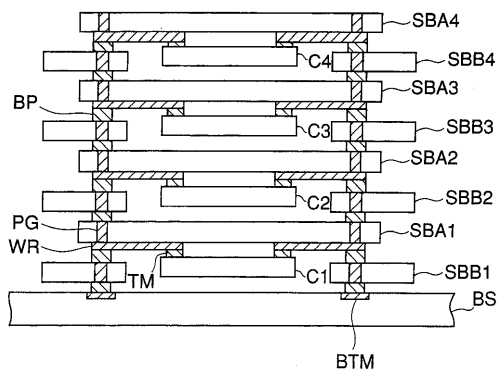
10

20

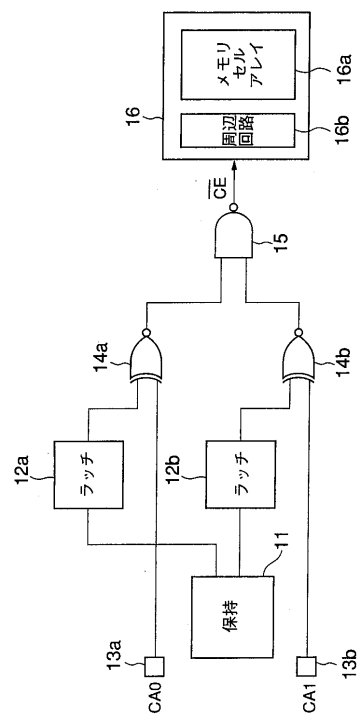
【 図 1 】



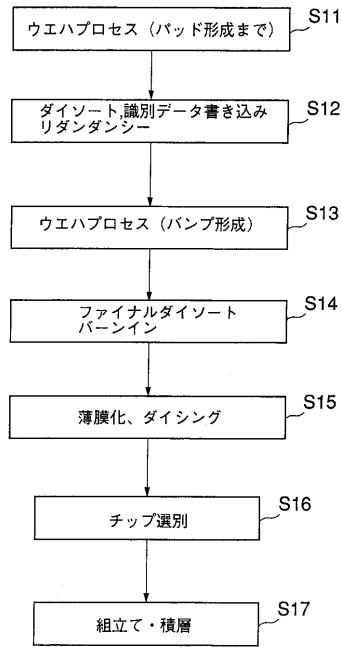
【 図 2 】



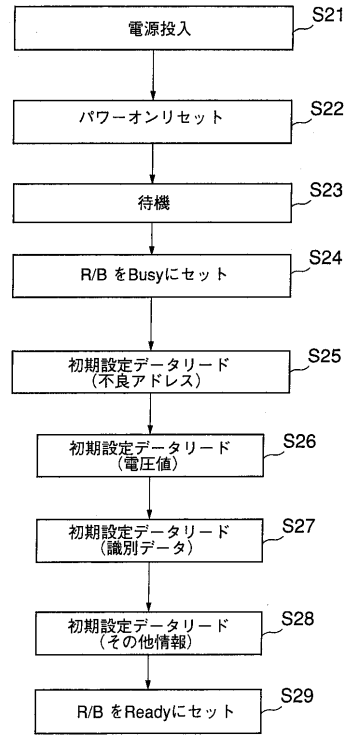
【 図 3 】



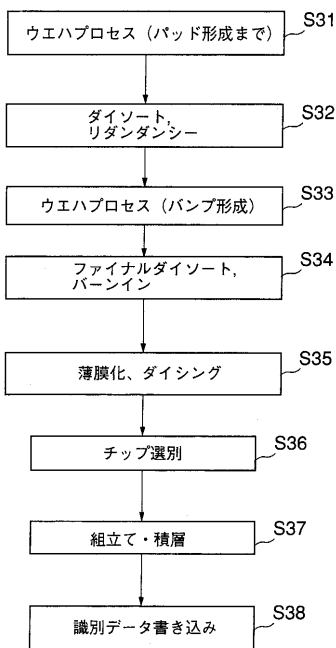
【 図 4 】



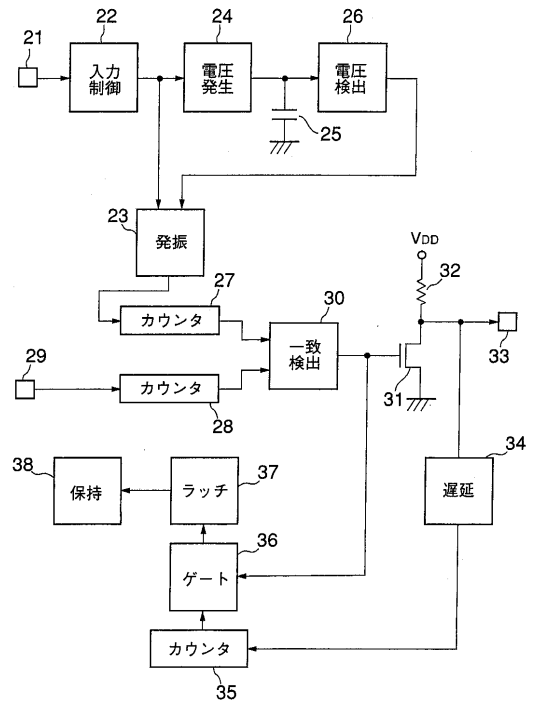
【 図 5 】



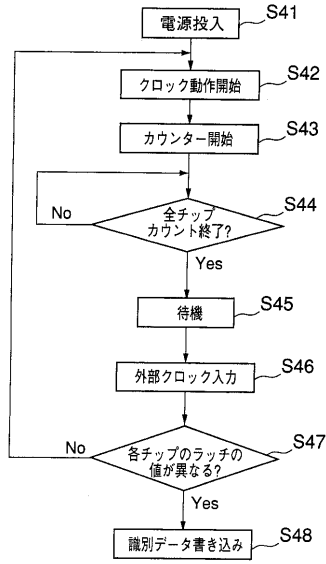
【 図 6 】



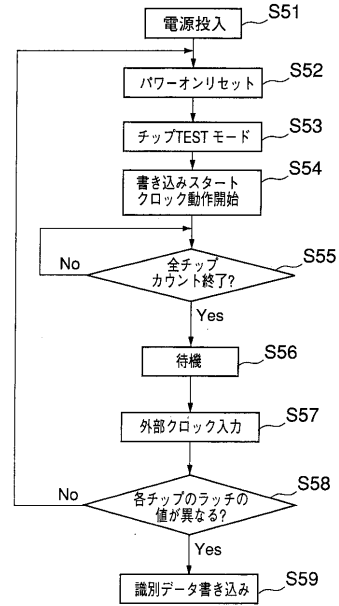
【 図 7 】



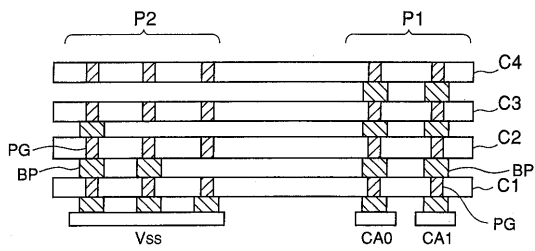
【 図 8 】



【 図 9 】



【 図 10 】



---

フロントページの続き

(72)発明者 松尾 美恵

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72)発明者 今宮 賢一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 今井 淳一

(56)参考文献 特開平04-241296(JP,A)

特開平04-329692(JP,A)

特開平04-085875(JP,A)

特開2000-049277(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/065

G11C 16/02

H01L 25/07

H01L 25/18