

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 21/336 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년07월24일 10-0603721 2006년07월14일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2005-0050107 2005년06월11일	(65) 공개번호 (43) 공개일자
------------------------	--------------------------------	------------------------

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

재단법인서울대학교산학협력재단
서울특별시 관악구 봉천동 산 4-2

(72) 발명자 박병국
 서울특별시 서초구 방배동 1015 임광아파트 7-1004

김태훈
서울시 관악구 봉천6동 1706 우성아파트 104동 1909호

박일한
경기 고양시 일산구 탄현동 동성아파트 806동 1607호

(74) 대리인 권오준

(56) 선행기술조사문헌
KR1020050005304 A
* 심사관에 의하여 인용된 문헌

심사관 : 김주식

(54) 에스오아이의 바디 바이어싱 구조

요약

본 발명은 SOI 기판 상에 직렬 연결된 소자의 바디 바이어싱 구조에 관한 것으로, 공통 소스/드레인 영역의 정선 깊이를 알게 만듦으로써, 통상적인 벌크 MOSFET처럼 하나의 바디 바이어싱 콘택만으로도 여러 개의 소자에 대해 바디 바이어싱을 가능하게 하여 SOI 기판의 플로팅 바디 효과(floating body effect)를 제거하는 효과가 있다.

대표도

도 4a

색인어

SOI, 바디, 바이어스, 플로팅

명세서

도면의 간단한 설명

도 1은 SOI 기판상에 제작되는 MOSFET의 통상적인 구조를 보여주는 단면도이다.

도 2a는 일반적인 벌크 nMOSFET의 I_D-V_D 전기적 특성도이다.

도 2b는 SOI nMOSFET의 kink 효과를 보여주는 전기적 특성도이다.

도 2c는 SOI nMOSFET의 I_D-V_D 전기적 특성도이다.

도 3은 종래 SOI nMOSFET의 바디 바이어싱 구조를 보여주는 구조도이다.

도 4a는 본 발명의 직렬 연결된 여러개 소자에 대해 바디 바이어싱이 가능하게 하는 어레이 구조도이다.

도 4b는 도 4a의 AA'선 단면도이다.

도 5a는 본 발명의 공통 소스/드레인 영역 하부에 형성된 공핍층이 전도 통로를 막지 않은 경우를 보여주는 도 4a의 AA'선 단면도이다.

도 5b는 본 발명의 공통 소스/드레인 영역 하부에 형성된 공핍층이 전도 통로를 막은 경우를 보여주는 도 4a의 AA'선 단면도이다.

도 6a는 본 발명에 있어 공핍층이 전도 통로를 막지 않은 경우의 I_D-V_D 전기적 특성도이다.

도 6b는 본 발명에 있어 공핍층이 전도 통로를 막은 경우의 I_D-V_D 전기적 특성도이다.

도 6c는 본 발명에 있어 공핍층이 전도 통로를 막은 경우의 소자 어레이 구조도이다.

도 6d는 도 6c의 어레이에서 오른쪽 소자에 대한 I_D-V_D 전기적 특성도이다.

도 7은 일반적인 NAND 플래시 메모리 어레이의 구조도 및 그 일 단면 사진이다.

도 8a는 본 발명의 일실시예인 NAND형 플래시 메모리의 바디 바이어싱 구조도이다.

도 8b는 도 8a의 BB'선 단면도이다.

도 9a는 종래 SOI상에서 제작된 NAND형 플래시 메모리의 바디를 플로팅시켰을 때 측정된 이레이즈 특성도이다.

도 9b는 본 발명에 의한 구조를 채택했을 때 프로그램과 이레이즈 특성을 종래 벌크기판에서의 경우와 비교하기 위한 전기적 특성도이다.

<도면의 주요 부분에 대한 부호의 설명>

100 : 매물산화막(BOX) 220 : 소스 영역

240 : 드레인 영역 260 : 바디 영역

300 : 게이트 절연막 400 : 제 1 도전층(공통 게이트 라인)

500 : 제 2 도전층(워드 라인) 600 : 바디 바이어싱 콘택 영역

700 : 공통 활성 영역(소스 영역)

800 : 소자 활성 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 SOI(Silicon On Insulator)의 바디 바이어싱(body biasing) 구조에 관한 것으로, 보다 상세하게는 SOI 기판 상에 직렬 연결된 소자의 바디 바이어싱 구조에 관한 것이다.

최근 반도체 집적회로의 고집적화, 고속화 및 저전력화 추세가 가속되면서, 절연층(insulator layer) 위에 단결정 실리콘(single crystal silicon)을 형성하고, 상기 실리콘 상에 단위소자나 각종 에레이(array)를 구현하는 SOI(Silicon On Insulator) 기술이 주목받고 있다.

SOI 기술을 채택할 경우 소자간의 전기저항을 줄이고 열효율을 높일 수 있어 전력 소모량을 적게 하면서 고속의 반도체에 적용할 수 있으므로 디바이스의 속도를 30% 이상 향상시킬 수 있고 전력 소모량도 30% 가량 줄일 수 있으며, 소자간의 전기적 분리(isolation)도 용이하기 때문에 기존 여러개의 칩이 수행하던 기능을 하나의 칩에 실현할 수 있도록 하는 SoC(System on Chip) 기술을 적용하기에 용이한 이점이 있다. 따라서, 최근에는 SOI 기판상에 제작되는 메모리 소자에 관한 연구도 활발히 진행되고 있다.

도 1은 SOI 기판상에 제작되는 MOSFET의 통상적인 구조이다. 도면부호 10은 매몰산화막, 22는 소스영역, 24는 드레인 영역, 26은 실리콘 바디, 30은 게이트절연막, 그리고 40은 게이트이다(지지기판은 도시되지 않음). SOI MOSFET은 통상 동작조건에서 도 1의 실리콘 바디(26)가 완전히 공핍되는 경우(Fully Depletion, 이하 'FD'라 함)와 부분적으로 공핍되는 경우(Partially Depletion, 이하 'PD'라 함)로 나누어 진다. 이 두 경우에 MOSFET은 서로 다른 동작 양상을 보이게 된다. 이하의 설명은 모두 nMOSFET 소자를 기준으로 하나, pMOSFET의 경우는 nMOSFET에 대한 설명에 n형을 p형으로 전자를 정공(hole)으로 바꾸어 생각하면 충분하다.

상기에서 언급한 바와 같이 많은 장점을 가진 SOI 기판상에 제작된 소자라 할 지라도, 도 1과 같이, 소스(22)/드레인(24) 영역에 의해 실리콘 바디(26)가 플로팅(floating)되어 있기 때문에 이로 인한 동작 상의 단점을 가지고 있다.

즉, 드레인 영역에 충분히 높은 전압이 인가될 경우 이온화 충돌에 의해 드레인 영역에서 발생한 정공이 일반적인 벌크(bulk) MOSFET에서는 기판을 통해 빠져 나가게 되나, SOI MOSFET의 경우에는 바디(26)가 플로팅되어 있어 기판으로 빠져 나가지 못하고 소스영역(22)으로 빠져 나가야 하는데, 미처 빠져 나가지 못한 정공들은 소스영역(22) 부근의 플로팅 바디(26)에 쌓이게 된다. 그 결과 플로팅 바디의 전위를 증가시키고, 이러한 전위의 증가는 문턱전압을 감소시켜 항복전압 이전에도 갑자기 전류가 튀는 kink 현상이 발생하게 된다. 이러한 현상은 FD 구조보다 PD 구조에서 더 크게 나타나게 되는데 그 이유는 FD의 경우 공핍 영역의 전위분포에 의해 정공이 소스영역으로 빠져 나가기 용이한 반면, PD의 경우는 공핍 영역보다 플로팅 바디의 전위가 상대적으로 낮아서 정공이 바디에 갇혀 버리기 때문이다.

도 2a 내지 도 2c는 일반적인 벌크 nMOSFET의 동작 특성과 같은 조건으로 제작된 SOI nMOSFET의 동작 특성을 비교하기 위한 시뮬레이션 결과이다. 즉, 도 2a는 일반적인 벌크 nMOSFET의 I_D-V_D 곡선($V_G=1.1\sim 7.7V$, step=1.1V)이며, 도 2b는 SOI nMOSFET의 kink 특성($V_G=1.1\sim 3.3V$, step=1.1V)을 보여주는 것이고, 도 2c는 SOI nMOSFET의 I_D-V_D 곡선($V_G=1.1\sim 7.7V$, step=1.1V)이다.

상술한 정공의 쌓임 현상이 소자 특성에 미치는 중요한 영향으로 kink 효과(도 2b) 이외에도 드레인 항복 전압의 감소(도 2c)를 들 수 있는데, 후자는 플로팅 바디 효과로 바디의 전위가 벌크 MOSFET의 경우에 비하여 더 쉽게 높아지기 때문에 기생 바이폴라 트랜지스터(parasitic Bipolar Junction Transistor) 동작이 가속화되면서 즉, 소스영역과 바디영역 사이의 접합이 더 순방향으로 바이어스되면서 발생하는 기생 누설전류가 그 주된 원인이다.

FD의 경우 kink 효과가 덜하기 때문에 PD의 경우보다는 이 점에서 유리하다 하더라도, 높은 드레인 전압에서는 소스영역 부근의 공핍영역에서 정공의 쌓임 현상으로 PD와 마찬가지로 항복 전압은 낮아진다.

따라서, SOI 기술에서는 바디 바이어싱(body biasing)을 통해 상기와 같은 플로팅 바디 효과(floating body effect)를 억제하는 것이 무엇보다 중요하다고 할 수 있다.

이를 위하여 종래에는, 도 3과 같이, P형 실리콘 액티브 영역 위에 게이트가 되는 폴리 실리콘을 정의하고 N^+ 와 P^+ 이온 주입을 각각 수행한 다음 P^+ 이온 주입을 한 실리콘 영역에 콘택(contact)을 만들고 여기에 바이어스를 가하여 폴리 실리콘 아래의 실리콘 액티브 영역을 통해 소자 동작시 채널이 되는 액티브 영역까지 바이어싱하는 방법을 사용하여 왔다.

그러나, 상기 종래 방법에 의하면, 게이트 밑의 액티브 영역을 따라 바이어싱하기 위해 액티브 영역을 게이트 라인을 따라 콘택을 형성시킬 수 있는 곳까지 정의해야 하므로, 게이트 선포이 작을 경우 게이트 라인 밑에 액티브 영역을 정확히 정렬하여 정의하는 것이 어려워진다. 또한, 여러 개의 소자가 직렬로 연결되어 있는 경우 모든 소자에 대해 게이트 아래로 액티브 영역을 남겨서 바디 바이어싱을 해야 하므로 소자의 집적도 측면에서도 큰 단점이 되어 왔다.

특히, 상기 문제점은 소스/드레인을 공통으로 하는 소자의 직렬 연결 형태를 갖는 각종 회로에서 발생되는데, 소자의 직렬 연결 회로의 대표적인 예는 디지털 논리 회로의 기본인 NAND 게이트와 NOR 게이트(NAND 게이트 회로에서는 nMOSFET이, 그리고 NOR 게이트 회로에서는 pMOSFET이 각각 직렬로 연결됨), 그리고 최근 멀티미디어 기기의 수요가 급등함에 따라 정보 저장 장치로서 각광 받고 있는 NAND 형 플래시 메모리(통상 8개에서 32개까지의 nMOSFET 형 메모리 셀이 직렬 연결됨) 등이 있다.

그 밖에, 상기의 플로팅 바디 효과(floating body effect)를 억제하기 위하여 SOI 소자를 완전 공핍층에 형성하거나, 백-채널(back-channel) 게이트를 형성하거나, SOI 바디를 실리콘 지지기판에 연결되도록 콘택하거나, 이종 접합부(hetero junction)를 형성하는 등 다양한 방식이 제공되었다.

이들 방식 또한 각각의 문제점이 있었는데, 그 중에 SOI 소자를 완전 공핍층에 형성하는 방식은 소자 형성시 소자를 형성하는 SOI의 막 두께에 제한을 받고 SOI 소자 특성 또한 SOI 막 균일성에 따라 크게 변하기 때문에 SOI 막의 균일성이 나쁠 경우에 오동작을 일으킬 수 있으며, 백-채널 게이트를 형성하거나 이종 접합부를 형성하는 방식도 SOI 구조 및 콘택의 배치와 저항 문제 등이 잘 고려되어야 하며 채널 폭이 상당히 크고 채널 길이가 극히 작을 경우 바디와 잘 접촉되지 않는 문제점, 그리고 SOI 바디를 실리콘 지지기판에 연결하는 콘택도 공정상 구현하기 어렵다는 문제점 등이 제기되어 왔다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 문제점을 해결하기 위한 것으로, 소스/드레인을 공통으로 하는 소자의 직렬 연결 형태를 갖는 각종 회로에서 상기 공통 소스/드레인 영역의 정션을 알게 만들어 통상적인 벌크 MOSFET처럼 하나의 바디 바이어싱 콘택만으로도 여러 개의 소자에 대해 바디 바이어싱이 가능하게 하여 플로팅 바디 효과(floating body effect)를 억제할 수 있는 어레이 구조를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 의한 SOI의 바디 바이어싱 구조는 SOI 기판과; 상기 기판에 바디 바이어싱 콘택 영역과 상기 바디 바이어싱 콘택 영역에 연결되는 공통 활성 영역과 상기 공통 활성 영역에 연결되는 소자의 활성 영역으로 구성된 액티브 영역과; 상기 액티브 영역을 정의하는 필드 영역과; 상기 바디 바이어싱 콘택 영역의 일부와 상기 공통 활성 영역의 일부 상단에 절연막을 사이에 두고 형성된 제 1 도전층과; 상기 소자의 활성 영역 상단에 절연막을 사이에 두고 형성된 제 2 도전층과; 상기 제 1 도전층이 형성되지 않은 공통 활성 영역의 타부에 형성된 소스 영역과; 상기 제 1 도전층과 제 2 도전층 사이에 형성된 공통 소스/드레인 영역과; 상기 소스영역 및 공통 소스/드레인 영역이 형성되지 않은 액티브 영역에 형성된 바디 영역을 포함하는 것을 특징으로 한다.

본 발명에 의한 SOI의 바디 바이어싱 구조에 관한 바람직한 실시예를 첨부 도면을 참조하여 보다 상세하게 설명하면 다음과 같다.

먼저, 도 4a와 같이, SOI 기판상에 바디 바이어싱 콘택 영역(600)과 상기 바디 바이어싱 콘택 영역에 연결되는 공통 활성화 영역(700)과 상기 공통 활성화 영역에 연결되는 소자의 활성화 영역(800)으로 구성된 액티브 영역과 필드 영역을 정의하고, 상기 액티브 영역 상단에 제 1 도전층(400) 및 제 2 도전층(500)을 절연막을 사이에 두고 형성한 다음, P⁺, N⁺, N⁻ 이온주입을 하면, 도 4b의 AA' 단면도에서 보여지는 바와 같이 소스영역(220), 공통 소스/드레인 영역(240), 그리고 바디 영역(260)이 만들어 진다.

여기서 N⁺ 이온주입은 상대적으로 접합 깊이(junction depth)가 깊게 형성되도록 만드는 공정을 말하며, N⁻ 이온주입은 접합 깊이가 얇게 형성되도록 만드는 공정을 가리킨다. 따라서, 도 4b와 같이, 공통 소스/드레인 영역의 접합 깊이를 낮게 만들어 정션 아래로 전도 통로(path)를 형성한다.

한편, 직렬 연결된 소자들 중 콘택을 형성해야 하는 맨 끝 소자의 게이트(400) 아래로 실리콘 액티브 바디 영역(260)을 옆으로 빼서 도 4a처럼 P⁺ 이온주입을 통해 바디 콘택을 할 바디 바이어싱 콘택 영역(600)을 형성한 다음, 이를 통해 바디 바이어싱을 하면 맨 끝 소자의 게이트 아래와 공통 소스/드레인 영역의 정션 아래로 형성된 전도 통로를 통해 동시에 직렬로 연결된 모든 소자의 바디를 바이어싱할 수 있게 된다. 물론, 도 4a의 N⁺ 영역 중 공통 활성화 영역(700)의 소정 위치에는 공통 소스 콘택이 형성된다.

이때, 공통 소스/드레인 영역(240)의 정션 아래 부분은, 도 5a와 같이, 공핍층(250)이 형성되기 마련인데, 이 공핍층(250)은 실리콘 액티브 영역의 두께보다 두껍게 형성될 경우에는 도 5b와 같이 전도 통로를 막을 수도 있게 된다. 그러나 이러한 경우에도 바디가 플로팅되어 있는 통상적인 SOI MOSFET보다 우수한 항복 전압 특성을 보이는 것을 시뮬레이션을 통해 알 수 있었다. 도 6a는 공핍층이 전도 통로를 막지 않은 경우이고, 도 6b는 공핍층이 전도 통로를 막은 경우를 나타내는데, 이들 시뮬레이션 결과로부터 kink 효과나 항복 전압 특성이 상대적으로 안 좋은 PD 구조에서도 종래 통상적인 경우보다 우수한 특성 향상을 보일 수 있다는 것을 알 수 있다.

삭제

즉, 공핍층이 전도 path를 막지 않은 경우는 벌크 소자에 필적할 만큼 우수한 항복 전압 특성을 보이고 있으며, 공핍층이 전도 path를 막은 경우에도 약간의 kink 효과가 나타나기는 하지만 바디가 플로팅 되어 있을 경우의 특성(도 2c)과는 비교되지 않을 정도로 우수한 항복 전압 특성을 보여준다.

한편, 도 6c는 직렬 연결 구조를 만들어서 떨어져 있는 소자의 특성 향상을 보기 위해서 시뮬레이션한 구조인데, 공핍층이 전도 path를 막고 있으며 게이트 아래 영역은 부분적으로 공핍되어 있는 구조이다. 두 개의 소자 중 오른쪽 소자, 즉 바디 콘택과 떨어져 있게 되는 소자의 특성은 도 6d와 같이 얻었는데, 역시 종래 바디가 플로팅 되어 있을 경우의 특성과는 비교되지 않을 정도로 우수한 항복 전압 특성을 보여주는 것을 알 수 있다.

본 발명의 적용 예 중에서 공통 소스/드레인 영역(240)의 정션 아래 부분에 형성되는 공핍층의 두께 여부가 중요치 않은 경우가 있는데 SOI 상에 제작되는 NAND형 플래시 메모리가 바로 그것이다.

배열(array) 구조의 형태에 따라 플래시 메모리를 구분하면 크게 NOR type과 NAND type이 있는데, 각 구조는 나름대로의 장단점을 지니고 있어 적용 분야에 따라 취사 선택할 수 있는데, NOR type의 경우 CHE injection 프로그램 메커니즘을 사용하기 때문에 프로그램 스피드가 빠르고 셀 배열(cell array) 구조의 특성 상 random access 특성이 우수하지만 상대적으로 집적도에 있어서는 단점이 있으므로 빠른 random access가 요구되는 분야에 사용할 수 있다. 한편, NAND type의 경우 F-N tunneling 메커니즘을 이용하기 때문에 프로그램 스피드가 느리고 random access 특성이 좋지 않지만 집적도 특성이 우수하고 상대적 가격 우위에 있게 되므로 random access 시간이 크게 중요시 되지 않는 대용량 저장 장치에 사용할 수 있다.

NAND type 플래시 메모리는 지우기 특성을 향상시키기 위해 다수의 소자를 단위로 하는 블록(block) 전체를 지우는 block erase 동작을 택하고 있으며 이를 위해서는 바디 바이어싱이 필수적이다. NAND type 플래시 메모리를 SOI 웨이퍼에 제작할 경우 일반적으로 소자가 형성되지 않는 부분은 실리콘을 모두 깎아내기 때문에 모든 기억 소자들의 바디를 동시에 바이어싱 하기가 쉽지 않지만 본 발명에서 제시한 구조를 사용하면 바디 바이어싱이 가능하다.

즉, NAND type 플래시 메모리는 도 7과 같이 메모리 단위 셀 외에도 cell array 양쪽에 선택 트랜지스터(select transistor)가 존재한다. 메모리 단위 셀들의 소스 영역, 또는 공통 소스/드레인 영역의 접합 깊이를 적절히 조절하여 형성함으로써, 그 영역 밑으로 바이어싱이 가능하도록 만들고 그 스케일링(scaling)이 집적도에 미치는 영향이 비교적 적은 select transistor를 이용하여 도 8a와 같은 NAND형 플래시 메모리 어레이 구조를 구현하면 바디 바이어싱이 가능해진다.

도 8a를 참조하여 보다 구체적으로 설명하면, SOI 기판상에 바디 바이어싱 콘택 영역(600)과 상기 바디 바이어싱 콘택 영역에 연결되는 공통 활성 영역(700)과 상기 공통 활성 영역에 수직으로 소정의 폭을 가진 직선형으로 일정한 간격 이격되어 2 이상 연결된 소자의 활성 영역(800)으로 구성된 액티브 영역과 필드 영역을 정의하고, 상기 액티브 영역 상단 및 상기 소자의 활성 영역(800) 상단에는 절연막을 사이에 두고 상기 소자의 활성 영역(800)과 수직하게 일정 간격으로 이격된 제 1 도전층(400 : 선택 트랜지스터의 공통 게이트 라인) 및 2 이상의 제 2 도전층(500 : 워드 라인)을 형성한 다음, P⁺, N⁺, N⁻ 이온주입을 적절히 하면, 도 8b의 BB' 단면도에서 보여지는와 같이 소스영역(220), 공통 소스/드레인 영역(240), 그리고 바디 영역(260)이 만들어 진다.

상기 공통 소스/드레인 영역(240)은 N⁻ 이온주입을 하여 접합 깊이가 얇게 되어 그 아래 전도 통로가 만들어 지게 되므로 이를 통해서 상기 바디 바이어싱 콘택 영역(600)에 형성된 하나의 바디 콘택으로 상기 소자의 활성 영역(800 : B/L0, B/L1, B/L2 등)에 형성된 모든 메모리 셀(소자)의 바디 바이어싱이 가능하게 된다.

여기서, 선택 트랜지스터의 scaling은 메모리 셀 자체보다는 그 필요성이 상대적으로 낮기 때문에 공통 게이트 라인(400)을 형성할 때 필요한 margin을 충분히 확보할 수 있도록 그 선포를 결정하는 것이 바람직하다.

상술한 바와 같이, NAND형 플래시 메모리에서 바디 바이어싱이 중요해지는 동작은 block erase이다. 이때 메모리의 게이트(워드 라인)와 비교했을 때 더 높은 전압이 통상 바디 바이어싱 콘택 영역(600)에 가해지게 된다. 따라서 바디 바이어싱 콘택 영역(600)과 공통 소스/드레인 영역(240) 간에는 순방향 전압이 인가되어 공핍층이 형성되지 않아 공통 소스/드레인 영역(240) 밑으로 전도 통로를 확보할 수 있고 이를 통해 바디 바이어싱이 가능하다는 것이 본 발명의 핵심적인 기술 사상이다.

도 9a는 SOI 상에 제작된 NAND형 플래시 메모리의 바디를 종래와 같이 플로팅시켜 놓았을 때 메모리 어레이의 가운데 쪽으로 갈수록 erase 특성이 나빠지는 것을 보여주는 시뮬레이션 결과이고, 도 9b는 통상의 벌크 기판상에서 구현한 어레이와 본 발명에 따른 바디 바이어싱 구조를 가지고 구현한 SOI 상의 어레이에서 프로그램과 이레이즈를 비교한 것인데, 도 9b에서 보여지는 바와 같이, 본 발명에 따른 SOI의 바디 바이어싱 구조를 채택할 경우에는 마치 벌크 기판상에서 구현한 것과 같은 플로팅 바디 효과(floating body effect)를 효율적으로 제거할 수 있음을 확인하였다.

발명의 효과

본 발명은 소스/드레인을 공통으로 하는 소자의 직렬 연결 형태를 갖는 각종 회로에서 상기 공통 소스/드레인 영역의 정션을 알게 만들므로써, 통상적인 벌크 MOSFET처럼 하나의 바디 바이어싱 콘택만으로도 여러 개의 소자에 대해 바디 바이어싱을 가능하게 하여 SOI 기판의 플로팅 바디 효과(floating body effect)를 제거할 수 있다.

(57) 청구의 범위

청구항 1.

SOI 기판과;

상기 기판에 바디 바이어싱 콘택 영역과 상기 바디 바이어싱 콘택 영역에 연결되는 공통 활성 영역과 상기 공통 활성 영역에 연결되는 소자의 활성 영역으로 구성된 액티브 영역과;

상기 액티브 영역을 정의하는 필드 영역과;

상기 바디 바이어싱 콘택 영역의 일부와 상기 공통 활성 영역의 일부 상단에 절연막을 사이에 두고 형성된 제 1 도전층과;

상기 소자의 활성 영역 상단에 절연막을 사이에 두고 형성된 제 2 도전층과;

상기 제 1 도전층이 형성되지 않은 공통 활성 영역의 타부에 형성된 소스 영역과;

상기 제 1 도전층과 제 2 도전층 사이에 형성된 공통 소스/드레인 영역과;

상기 소스영역 및 공통 소스/드레인 영역이 형성되지 않은 액티브 영역에 형성된 바디 영역을 포함하는 것을 특징으로 하는 SOI의 바디 바이어싱 구조.

청구항 2.

제 1 항에 있어서,

상기 소자의 활성 영역은 소정의 폭을 가진 직선형으로 일정한 간격으로 이격되어 상기 공통 활성 영역에 수직하게 2 이상 연결된 것을 특징으로 하는 SOI의 바디 바이어싱 구조.

청구항 3.

제 1 항 또는 제 2 항에 있어서,

상기 소자의 활성 영역 상단에는 절연막을 사이에 두고 상기 제 2 도전층과 동일한 도전층이 일정한 간격으로 이격되어 하나 이상 더 있고,

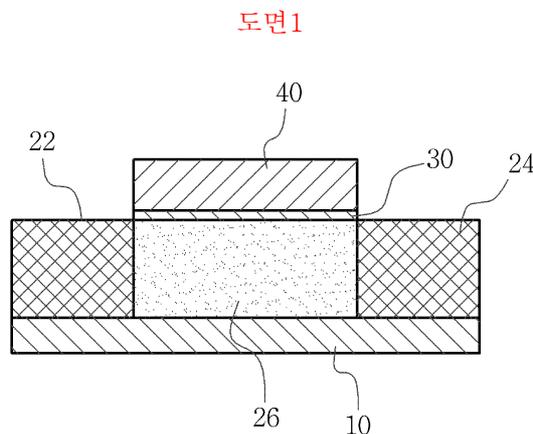
상기 공통 소스/드레인 영역은 상기 소자의 활성 영역 상단의 도전층 사이 사이에 형성된 것을 특징으로 하는 SOI의 바디 바이어싱 구조.

청구항 4.

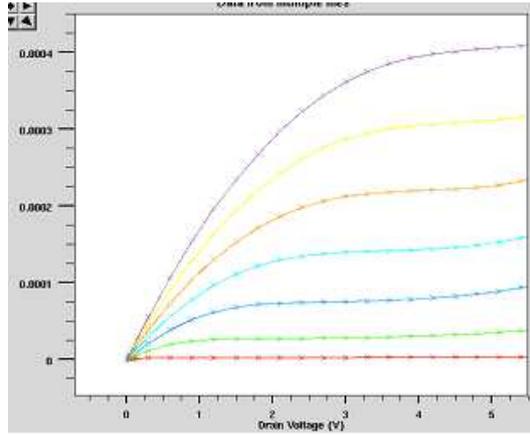
제 3 항에 있어서,

상기 공통 소스/드레인 영역은 접합 깊이가 얕아서 상기 바디 바이어싱 콘택 영역에 형성된 하나의 바디 콘택으로 상기 소자의 활성 영역에 형성된 모든 소자의 바디 바이어싱이 가능한 것을 특징으로 하는 SOI의 바디 바이어싱 구조.

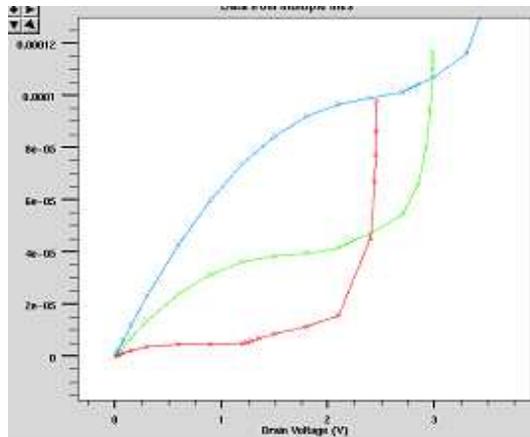
도면



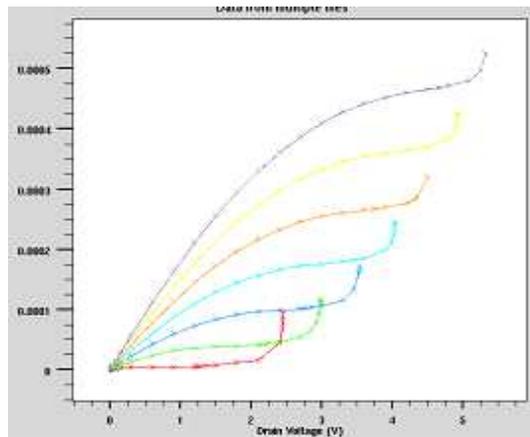
도면2a



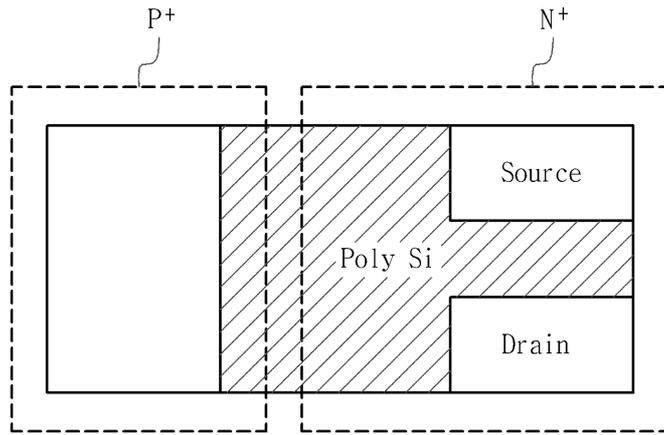
도면2b



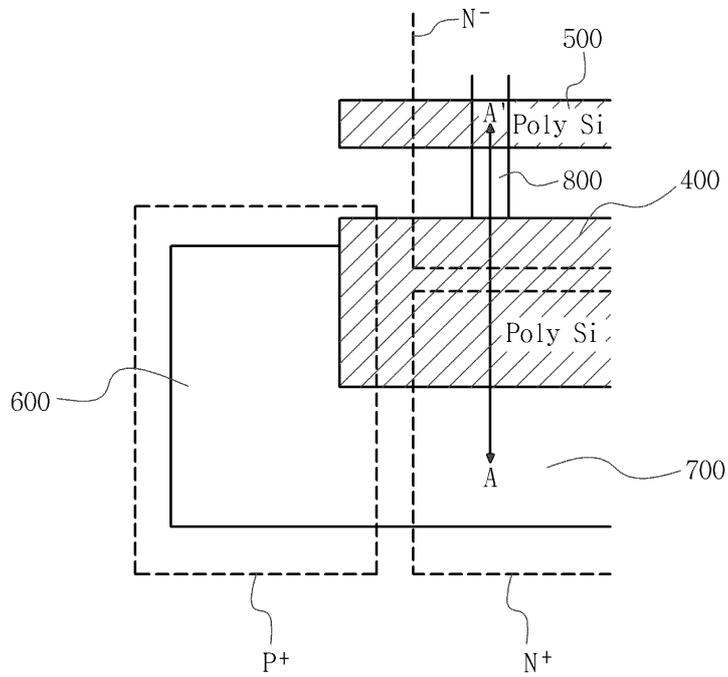
도면2c



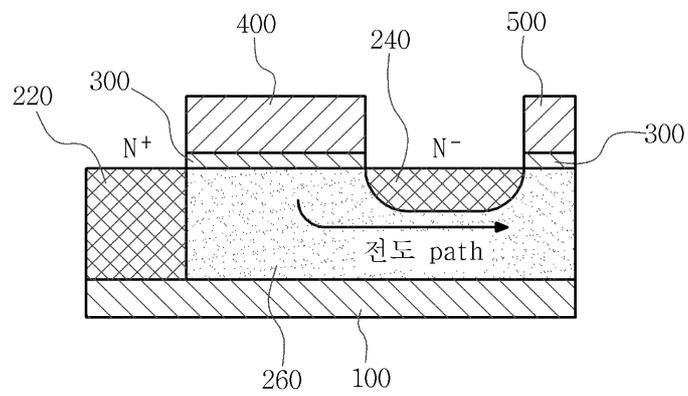
도면3



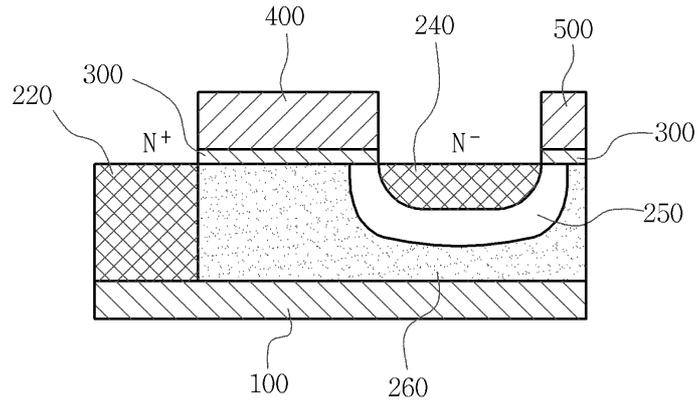
도면4a



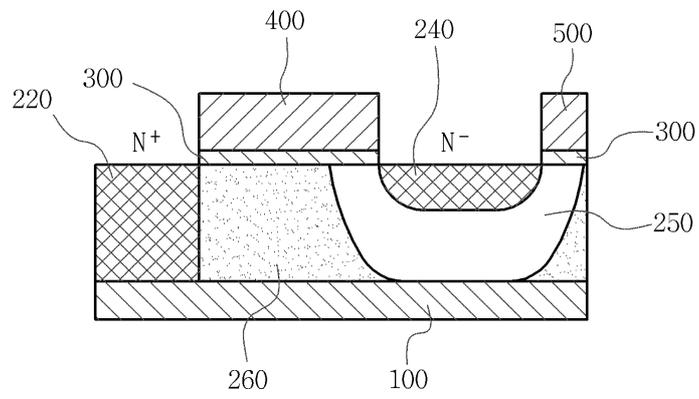
도면4b



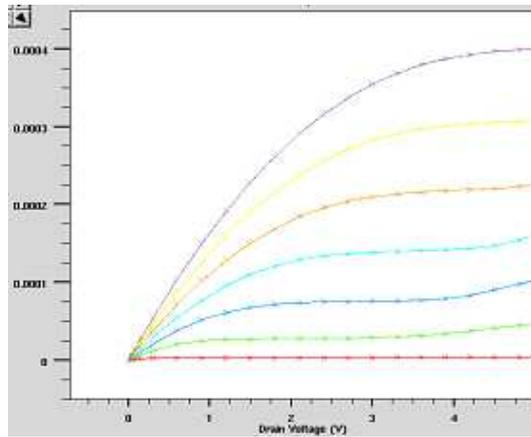
도면5a



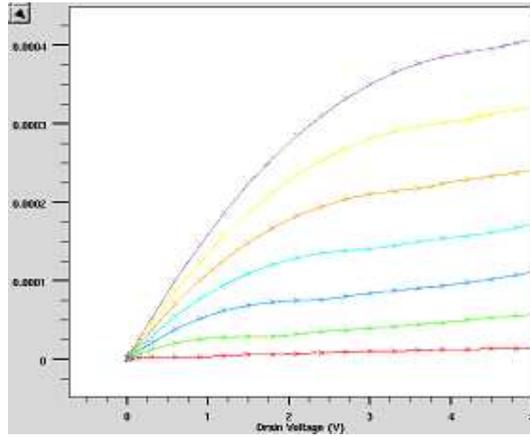
도면5b



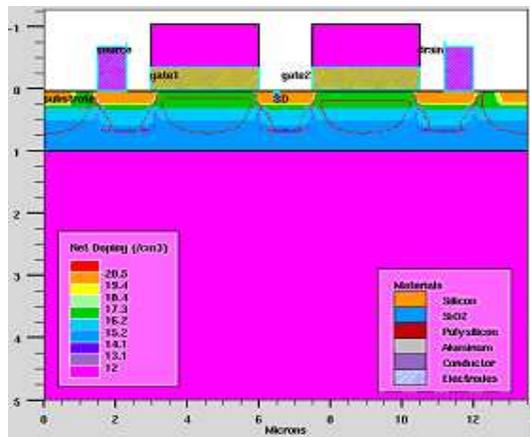
도면6a



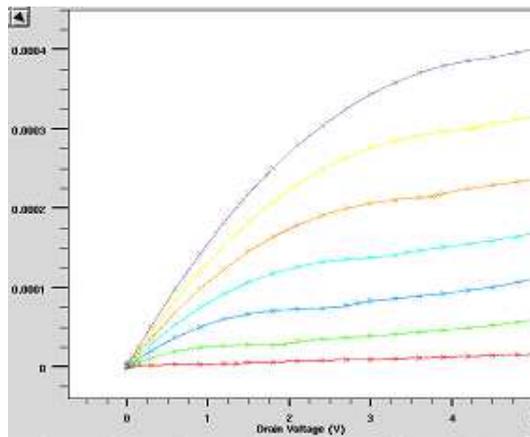
도면6b



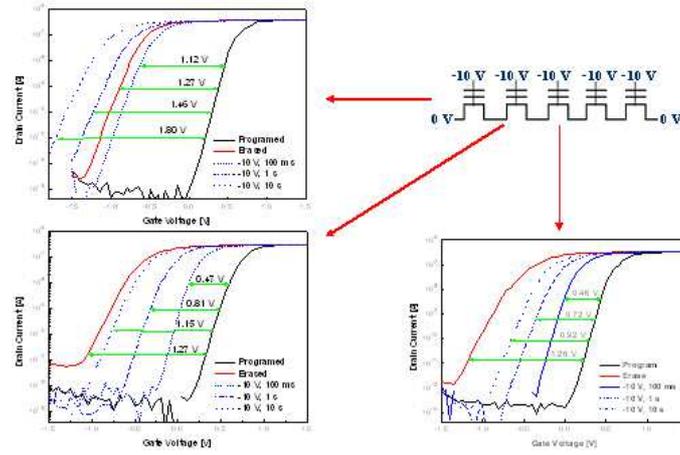
도면6c



도면6d



도면9a



도면9b

