

# 公告本

申請日期	89.7.13
案號	89P113P82
類別	HOLL 29/88

A4  
C4

475267

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	半導體記憶裝置
	英 文	"SEMICONDUCTOR MEMORY"
二、發明 創作人	姓 名	1.作井 康司 2.野口 充宏
	國 籍	1-2.均日本
三、申請人	住、居所	1.日本國東京都世田谷區經堂4-13-14-201 2.日本國神奈川縣橫濱市港北區新吉田町3105-11
	姓 名 (名稱)	日商東芝股份有限公司
	國 籍	日本
	住、居所 (事務所)	日本國神奈川縣川崎市幸區堀川町72番地
	代 表 人 姓 名	岡村 正

經濟部智慧財產局員工消費合作社印製

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

國(地區)	申請專利, 申請日期:	案號:	, <input type="checkbox"/> 有 <input type="checkbox"/> 無主張優先權
日本	1999年07月13日	特願平11-198978	<input checked="" type="checkbox"/> 有 <input type="checkbox"/> 無主張優先權
日本	2000年07月10日	特願2000-208341	<input checked="" type="checkbox"/> 有 <input type="checkbox"/> 無主張優先權

有關微生物已寄存於：, 寄存日期：, 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝  
訂  
線

經濟部中央標準局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

### 五、發明說明 ( 1 )

#### 發明之背景

##### (1) 背景 1

本發明係關於一種半導體記憶裝置，特別使用於FRAM (鐵電隨機存取記憶體)。

FRAM係將鐵電膜 (Ferroelectric Film) 用於記憶胞一部分，根據此鐵電膜的極化狀態決定記憶胞資料 ("0"，"1") 的半導體記憶體。FRAM具有以下許多特徵：高速動作、降低消耗電力、增大記憶容量、增加可容許的重寫次數 (寫入/擦除周期) 等可能，同時具有即使切斷電源，資料也不消失的非揮發性。

就FRAM的記憶胞而言，現在已知的例如將DRAM (動態隨機存取記憶體) 的記憶胞的電容絕緣膜換成鐵電膜或將MISFET (金屬絕緣半導體場效應電晶體) 的閘絕緣膜換成鐵電膜等。

具有將MISFET的閘絕緣膜換成鐵電膜的構造的記憶胞稱為MFSFET (金屬鐵電半導體場效應電晶體)。MFSFET按照鐵電膜的極化狀態 (以基板側正、閘極側負時為向下，以基板側負、閘極側正時為向上) 藉由控制流到源極區域和汲極區域之間的電流，發揮記憶體功能。

MFSFET和將DRAM的電容絕緣膜換成鐵電膜者比較，具有以下大的特徵：因基於比例縮小法則 (scaling law) 的胞尺寸縮小可能而適於記憶容量增大或晶片面積縮小，同時可以非破壞讀出資料。反面。MFSFET也具有將鐵電膜形成於半導體基板 (矽基板) 上的製程上課題 (原子相互擴散，

經濟部智慧財產局員工消費合作社印製

## 五、發明說明(2)

使用緩衝層時其介電常數)等爲了實用化的特有技術性課題。

現在作爲關於具有MFSFET的FRAM的研究論文，例如已知以下文獻。

文獻1：H. Ishihara et al., "Proposal of a Single-Transistor-Cell-Type Ferroelectric Memory Using an SOI structure and Experimental Study on the Interference Problem in the Write Operation" Jpn J. Appl. Phys. Vol. 36, pp. 1655-1658, March 1997。

文獻2：石原宏、「強誘電体ゲートFETの作製とニューロン回路への応用」応用物理 第66巻 第12号 頁1335-1339、1997

文獻3：石原宏、「強誘電体ゲートFETの現状と問題点」信学技報ED 97-213、頁9-16、1998年3月

成爲現在MFSFET原型的技術，例如揭示於1955年由貝爾研究所提出的專利(W. L. Brown, 美國專利2,791,759、I. M. Ross, 美國專利2,791,760)。

提出此技術以來，持續四十幾年一直在斷斷續續進行MFSFET的研究開發。然而，關於MFSFET，如上述，解決困難的特有技術性課題，特別是在鐵電膜和半導體膜(矽膜)間防止原子相互擴散而得到良好界面特性這種課題未被充分解決，在現在都未達到實用化的水準。

另一方面，近幾年爲了因應電子機器高級化、複雜化，關於半導體記憶體也高速動作、降低消耗電力、增大記憶

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

### 五、發明說明(3)

容量、增加可容許的重寫次數、非揮發性等使用者的要求更加嚴厲起來。可反應這種要求的FRAM再受到注目，特別是以日本和韓國為中心，具有MFSFET的FRAM的研究開發活化起來。

FRAM的原型具有所謂的單純矩陣構造：在鐵電膜下部配置Y方向延伸的條狀電極，在其上部配置X方向延伸的條狀電極。然而，在此構造會產生下述干擾效應：程式(program)時連被選胞以外的未被選胞也部分地施加電壓，所以因反覆寫入而未被選胞的資料反轉。

於是，現在為防止此干擾效應而研究開發了具有使用胞選擇用FET的動態矩陣(active matrix)構造的FRAM或改良具有單純矩陣構造的FRAM的FRAM等。

圖1顯示使用MFSFET的FRAM的習知胞陣列構造一例。圖2顯示圖1的裝置的等效電路。

此FRAMT揭示於文獻3，具有單純矩陣構造。

在矽基板11上形成氧化矽膜( $\text{SiO}_2$ ) 12，在氧化矽膜12上例如形成Y方向延伸的條狀矽膜13。矽膜13具有p型區域和夾入此p型區域的兩個n型區域。利用矽基板11、氧化矽膜12及矽膜13形成SOI(絕緣層上有矽)構造。

在矽膜13上形成完全覆蓋矽膜13的鐵電膜14，在鐵電膜14上例如形成X方向延伸的條狀金屬膜(閘極) 15。由於矽膜(矽條) 13和金屬膜(金屬條) 15配置成互相正交，所以形成單純矩陣構造。在矽膜13和金屬膜15的交叉點形成MFSFET 16。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(4)

此胞陣列構造因形成於一個矽條內的多數記憶胞並排連接且共有一個源極區域和一個汲極區域而各記憶胞無需設置對於源極區域和汲極區域的接觸孔，適於記憶胞高密度化。

其次，就圖1及圖2的FRAM基本動作加以說明。

在以下說明，爲了方便起見，施加低電位給矽膜13、施加高電位給金屬膜15時，以產生於鐵電膜的電場爲向下電場，施加高電位給矽膜13、施加低電位給金屬膜15時，以產生於鐵電膜的電場爲向上電場。此外，以矽膜側正、金屬膜側負的極化爲向下極化，以矽膜側負、金屬膜側正的極化爲向上極化。而且，以向下極化(剩餘極化點)爲"1"狀態("1"-程式規劃狀態)，以向上極化(剩餘極化點)爲"0"狀態(起始狀態或"0"-程式規劃狀態)。

### (1) 程式作業

首先，進行起始化。藉由施加 $V_p$ 給全部矽膜(矽條)13且施加0V給全部金屬膜(金屬條)15，進行起始化。此時，關於全部記憶胞，在鐵電膜14內(限於矽條和金屬條交叉的部分。以下，在此說明相同。)產生向上電場。

然後，如圖3所示，關於一次也未進行電場施加的鐵電膜14，極化狀態從A點移動到B點。此外，關於記憶"0"狀態的鐵電膜14，極化狀態從C點移動到B點，關於記憶"1"狀態的鐵電膜14，極化狀態從E點經過G點而移動到B點(極化反轉)。即，關於全部記憶胞，鐵電膜14有向上極化且其極化值成爲飽和極化值 $P_{max}$ 。

## 五、發明說明 ( 5 )

此外，使給與矽膜13的電位從 $V_p$ 變成 $0V$ ，關於全部記憶胞，鐵電膜14內的電場變成 $0$ ，但鐵電膜14向上極化的極化量不變成 $0$ ，而成爲剩餘極化值 $P_r$ (C點=剩餘極化點)。即，全部記憶胞被起始化成" $0$ "狀態(臨界值高的狀態)(參照圖4)。

其次，關於被選的記憶胞，進行" $1$ "-程式規劃。即，施加 $V_p$ 給被選的金屬條，施加 $V_p/3$ 給非選擇的金屬條，施加 $0V$ 給被選的矽條，施加 $2V_p/3$ 給非選擇的矽條。

此時，如圖6所示，施加電壓(電位差) $V_p$ 給被選的記憶胞(以◎所示)的鐵電膜，在其鐵電膜內產生向下電場。此向下電場使被選的記憶胞的鐵電膜的極化從向上反轉成向下，即有充分之值使鐵電膜極化反轉。因此，被選的記憶胞的鐵電膜的極化狀態係C點→F點→D點移動，其鐵電膜的向下極化的極化值成爲飽和極化值 $-P_{max}$ 。

另一方面，施加電壓 $+V_p/3$ 或 $-V_p/3$ 給選擇記憶胞以外的全部非選擇記憶胞(以白圓點、黑圓點所示)的鐵電膜。

在施加電壓 $+V_p/3$ 的鐵電膜內產生向下電場。然而，此向下電場使非選擇記憶胞的鐵電膜的極化從向上反轉成向下，即沒有充分之值使鐵電膜極化反轉。因此，施加電壓 $+V_p/3$ 的鐵電膜的極化狀態在於C點和F點之間，其鐵電膜的極化仍然向上。

在施加電壓 $-V_p/3$ 的鐵電膜內產生向上電場。因此，施加電壓 $-V_p/3$ 的鐵電膜的極化狀態在於C點和B點之間，其鐵電膜的極化仍然向上。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 五、發明說明(6)

此後，使全部矽膜13及全部金屬膜15的電位成為0V，被選的記憶胞的極化狀態就從D點移動到E點(剩餘極化點)，所以被選的記憶胞變成"1"狀態(臨界值低的狀態)(參照圖5)。另一方面，非選擇記憶胞的極化狀態回到C點(剩餘極化點)，所以非選擇記憶胞維持"0"狀態(參照圖4)。

在上述程式作業，施加0V給被選的矽膜13，施加2 VP/3給非選擇矽膜13。此時，多數矽膜(矽條)13互相物理上分離，所以比在一個矽膜形成多數井的井分離，記憶胞彼此的絕緣性充分。

此外，如圖7所示，例如進行上述程式作業後，給與矽膜13及金屬膜15預定電位亦可。這種情況，對於大部分記憶胞的鐵電膜14，對於程式作業時所施加的電壓施加大小相等、反向的電壓，所以可有效減低干擾效應。

### (2) 讀出動作

在"1"狀態的記憶胞(n通道MFSFET)，因鐵電膜14的向下剩餘極化而在通道表面，即矽膜13的p型區域表面引起負電荷。因此，"1"狀態的記憶胞比"0"狀態的記憶胞臨界值低。

在"0"狀態的記憶胞(n通道MFSFET)，因鐵電膜14的向上剩餘極化而在通道表面，即矽膜13的p型區域表面引起正電荷。因此，"0"狀態的記憶胞比"1"狀態的記憶胞臨界值高。

於是，如圖8所示，關於"1"狀態的記憶胞，汲極電流 $I_d$

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線



## 五、發明說明 ( 7 )

流動，關於"0"狀態的記憶胞，設定如汲極電流 $I_d$ 不流動的預定讀出電位 $V_{read}$ ，給與被選的金屬膜(金屬條)15此讀出電位 $V_{read}$ 。然後，隨著檢測胞電流是否在被選的記憶胞流動，讀出動作完畢。

且說假設在矽條內並排連接 $10^3$ 個記憶胞，將0V給與非選擇金屬膜15時，在矽條內的非選擇記憶胞產生漏電流 $I_{leak}$ ，則要進行正確的讀出，讀出電流(汲極電流 $I_d$ )必須是至少漏電流 $I_{leak}$ 的 $10^4$ 倍程度。

而且假設為在FET的亞閾(subthreshold)區域使電流增加一位數而需要約0.1V，則讀出電位 $V_{read}$ 成為約0.4V。

圖9顯示揭示於上述文獻1~3的FRAM的胞陣列構造的平面圖。此外，圖10顯示沿著圖9的X-X線的截面圖。

記憶胞如上述，形成於矽條和金屬條的交叉點。在矽條內形成p型區域(通道)和夾入此p型區域的兩個n型區域(源極和汲極)。金屬條成為資料選擇線。矽條互相物理上分離，矽條彼此僅一定距離分離。

茲就採用這種胞陣列構造時的胞尺寸加以檢討。

假設矽條彼此間隔(元件分離寬度)為F(F為形體尺寸，表示設計規則的最小值。)，則記憶胞X方向的尺寸(或資料傳輸線的間距)成為4F，記憶胞Y方向的尺寸(或資料選擇線的間距)成為2F。因此，一個記憶胞的尺寸成為 $8F^2$ ( $=4F \times 2F$ )。

然而，此記憶胞尺寸比如快閃記憶體的非揮發性半導體記憶體的胞尺寸大。例如在具有由串聯連接的16個記憶胞

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(8)

構成的反及(NAND)串的反及型快閃EEPROM(電可擦除可程式規劃唯讀記憶體),一個記憶胞尺寸成爲 $4.5 F^2$ (詳細後述)。因此,要製作具有大記憶容量的FRAM,就會發生晶片尺寸變大、良率降低、成本增大這種問題。此外,在具有如上述的胞陣列構造的FRAM,重寫資料時(替換時),即變更胞資料時,需要爲了控制給與各矽條的電位的解碼器,而有控制電路複雜化或引起晶片尺寸增大的問題。

### (2) 背景 2

本發明係關於一種可高密度胞配置的半導體記憶裝置。

以浮動閘極內的電荷量形式儲存數位位元資料的非揮發性半導體記憶體(EEPROM)是眾所周知的。

在此非揮發性半導體記憶體,電荷例如從通道經過電荷儲存層和半導體元件區域間的絕緣膜注入浮動閘極,從浮動閘極經過電荷儲存層和半導體元件區域間的絕緣膜抽到通道。隨著此電荷移動,流動電荷儲存層和半導體元件區域間的絕緣膜的電流稱爲隧道電流。

此外,記憶於記憶胞的數位位元資料藉由測量浮動閘極內的電荷量作爲記憶胞(MOSFET)的電導變化量,可從記憶胞讀出。

且說現在進行研究開發的非揮發性半導體記憶體中,反及型EEPROM或及(AND)型EEPROM可比記憶胞數大幅減少選擇開關元件數,所以可以說是適於記憶胞高密度化的記憶體。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(9)

反及型EEPROM如眾所周知，藉由具備串聯連接多數個記憶胞的胞單元，實現記憶胞高密度化。此外，及型EEPROM如眾所周知，藉由具備並聯連接多數個記憶胞的胞單元，實現記憶胞高密度化。

然而，在習知反及型EEPROM或及型EEPROM，為謀求選擇開關元件的選擇閘線的低電阻化而在比配置選擇閘線的配線層上面的配線層配置比選擇閘線低電阻的配線(所謂的背面副線)，以一定間隔設置選擇閘線和背面副線的接觸區域(所謂的分流區域)。

因此，在以往由於這種背面副線或分流區域，記憶胞陣列區域擴大，縮小晶片面積困難。

以下，就此問題加以詳細說明。

圖41顯示習知反及型EEPROM的胞單元的等效電路。此外，圖42顯示習知及型EEPROM的胞單元的等效電路。

如圖41所示，反及型EEPROM的胞單元45包含反及串：由串聯連接的多數個(在本例16個)記憶胞M0、M1、...M15構成；及，兩個選擇開關元件S1、S2：在此反及串兩端分別各連接一個。

此外，如圖42所示，及型EEPROM的胞單元45包含多數個(在本例16個)記憶胞M0、M1、...M15：並聯連接於兩個節點A、B之間；及，兩個選擇開關元件S1、S2：分別各一個連接於兩個節點A、B。

在圖41及圖42所示的任一胞單元45，都在胞單元45內連接多數條(在本例16條)控制閘線(字元線)WL0、

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 五、發明說明 ( 10 )

WL1、…WL15且連接1條以上(在本例2條)選擇閘線(部件選擇線)SSL、GSL。又，連接於胞單元45的選擇閘線存在至少一條即可，並且爲了記憶胞高密度化，最好在和控制閘線WL0、WL1、…WL15延伸的方向(行方向)同一方向延伸。

資料傳輸線BL在與資料選擇線WL0、WL1、…WL15延伸的方向正交的方向(列方向)延伸。而且，記憶胞M0、M1、…M15分別配置於資料傳輸線BL和資料選擇線WL0、WL1、…WL15的交點，可分別獨立寫入及讀出數位位元資料。

此處記憶胞例如具有浮動閘極(電荷儲存層)，根據浮動閘極內的電荷量決定數位位元資料之值。胞單元在行方向及列方向分別配置多數個，藉此構成記憶胞矩陣。又，配置於行方向的多數個胞單元的集合稱爲部件(block)。

在使記憶胞高密度化的大規模記憶體，配線細且長，所以降低其電阻值很重要。特別是控制閘線(資料選擇線)WL0、WL1、…WL15在晶片內是最細的配線，所以正在檢討降低其電阻值的各種技術。

例如以控制閘線WL0、WL1、…WL15爲含有雜質的導電性多晶矽和低電阻材料的層疊構造的技術是眾所周知的。又，就低電阻材料而言，例如使用矽化鎢、矽化鈷、矽化鎳、矽化鈦等金屬矽化物或鈮、鎢等金屬。

且說通常選擇開關元件的選擇閘線SSL、GSL配置於和配置記憶胞的控制閘線WL0、WL1、…WL15的配線層不同的

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 五、發明說明 ( 11 )

配線層。

這種情況，例如藉由以選擇閘線SSL、GSL為含有雜質的導電性多晶矽和低電阻材料的層疊構造，可實現選擇閘線SSL、GSL的低電阻化。然而，由於配置選擇閘線SSL、GSL的配線和配置控制閘線WL0、WL1、…WL15的配線層互相不同，所以在選擇開關元件側和記憶胞側分別各自需要微影及加工(RIE)。

因此，發生選擇閘線SSL、GSL和控制閘線WL0、WL1、…WL15對合偏移的問題，其結果必須確保考慮此對合偏移的餘量，所以只是此餘量部分，晶片面積就變大了。

另一方面，將選擇開關元件的選擇閘線SSL、GSL配置於和配置記憶胞的浮動閘極(電荷儲存層)的配線層相同的配線層，亦可避免起因於上述對合偏移的晶片面積增大問題。

即，若將選擇閘線SSL、GSL和浮動閘極(電荷儲存層)都配層於相同的配線層且都形成含有雜質的導電性多晶矽和低電阻材料(金屬矽化物或金屬等)的層疊構造，則可實現選擇閘線SSL、GSL的低電阻化，同時在選擇開關元件側和記憶胞可使微影及加工(RIE)共同化，所以亦可避免晶片面積增大問題。

然而，這種情況會發生記憶胞的控制閘極和浮動閘極間的絕緣膜耐壓的問題。

即，已知記憶胞的控制閘極和浮動閘極間的絕緣膜耐壓若鎢、鎳、鈦等金屬原子混入浮動閘極內，則會大幅惡

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 12 )

化。因此，若以浮動閘極為含有雜質的導電性多晶矽和低電阻材料(金屬矽化物或金屬等)的層疊構造，則記憶胞的控制閘極和浮動閘極間的絕緣膜耐壓惡化，不能確保記憶體的穩定動作。

結果，將選擇閘線SSL、GSL和浮動閘極(電荷儲存層)配置於相同的配線層時，選擇閘線SSL、GSL及浮動閘極都必需使用摻入磷、砷或硼的導電性多晶矽，比使用金屬或金屬矽化物的配線成爲高電阻。

於是，將選擇閘線SSL、GSL和浮動閘極配置於相同的配線層時，如上述，適用下述技術：在比配置選擇閘線SSL、GSL的配線層上面的配線層配置所謂的背面副線(backside sub wire)，例如每10~1000胞單元使選擇閘線SSL、GSL和背面副線互相接觸(針腳式(stitch)配線技術)。

然而，此技術需要選擇閘線和背面副線的接觸區域(shunt area)，所以只是其接觸區域部分就發生晶片面積增大的問題。

以上如所述，以往在具有由串聯或並聯連接的多數個記憶胞構成的胞單元的半導體記憶體，由於需要在記憶胞側和選擇開關元件側分別進行微影或加工，或者設置選擇閘線和其上面的背面副線的接觸區域，所以有晶片面積變大的問題。

### 發明之概述

(1) 本發明之目的在於提供一種記憶胞細微化、晶片尺寸縮小化、寫入/讀出電壓低電壓化、低消耗電力化、製

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 五、發明說明 ( 13 )

程簡化等佳且可達成高速動作、高可靠性等的半導體記憶裝置(FRAM)。

爲了達成上述目的，本發明之半導體記憶裝置具備胞單元：由串聯連接的多數電晶體構成；資料傳輸線：連接於胞單元一端；及，共用電壓節點：連接於胞單元他端。而且，各電晶體實質上有同一構造，同時有永久記憶資料的功能，多數電晶體中，最接近資料傳輸線的一個電晶體和最接近共用電壓節點的一個電晶體用作選擇開關元件，用作選擇開關元件的電晶體以外的電晶體用作記憶胞。

此外，本發明之半導體記憶裝置具備胞單元：由實質上有同一構造的串聯連接的多數MFSFET構成；資料傳輸線：連接於胞單元一端；及，共用電壓節點：連接於胞單元他端。而且，多數MFSFET之中，最接近資料傳輸線的一個MFSFET和最接近共用電壓節點的一個MFSFET用作選擇開關元件，用作選擇開關元件的MFSFET以外的MFSFET用作記憶胞。

(2) 本發明之目的在於提出一種藉由將選擇閘線和控制閘線配置於同一配線層且都形成導電性多晶矽和低電阻材料的層疊構造，實現高密度胞配置和選擇閘線及控制閘線的低電阻化，並且無需在意胞側和選擇閘電晶體側分別進行微影或加工，亦無需背面副線的裝置構造及記憶胞佈設。

爲了達成上述目的，本發明之半導體記憶裝置具備多數個記憶胞：串聯或並聯連接於第一節點和第二節點之間；

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 五、發明說明 ( 14 )

及，選擇開關元件：連接於第一節點和第二節點之間。而且，多數個記憶胞和選擇開關元件都有電荷儲存層 (charge storing layer)，多數個記憶胞的電荷儲存層材料及厚度和選擇開關元件的電荷儲存層材料及厚度設定成相同。

此外，本發明之半導體記憶裝置具備記憶胞；及，選擇開關元件：連接於前述記憶胞和資料傳輸線或共用電壓節點之間。而且，記憶胞和選擇開關元件都有電荷儲存層，記憶胞的電荷儲存層材料及厚度和選擇開關元件的電荷儲存層材料及厚度設定成相同。

(3) 本發明之另外目的及優點將顯示於以下說明，並且從該說明一部分將很清楚或可能從本發明實施中學習到。本發明之目的及優點藉由特別是在下文指出的手段及組合當可實現及得到。

### 圖式之簡單說明

附圖加入及構成說明書之一部分，說明目前本發明之較佳實施例，並且連同上面所舉的一般說明和下面所舉的較佳實施例之詳細說明用來解釋本發明之原理。

圖1為顯示習知FRAM的裝置構造一例之圖。

圖2為顯示圖1的FRAM的等效電路之圖。

圖3為顯示鐵電膜滯後特性之圖。

圖4為顯示向上極化和在通道所引起的正電荷之圖。

圖5為顯示向下極化和在通道所引起的負電荷之圖。

圖6為顯示程式作業時的電位關係之圖。

圖7為顯示補償脈衝產生時的電位關係之圖。



## 五、發明說明 ( 15 )

圖 8 為關於 "1"-胞和 "0"-胞顯示閘極電位和汲極電流的關係之圖。

圖 9 為顯示習知 FRAM 的平面圖。

圖 10 為沿著圖 9 的 X-X 線的截面圖。

圖 11 為顯示本發明反及型 FRAM 第一例的平面圖。

圖 12 為沿著圖 11 的 XII-XII 線的截面圖。

圖 13 為沿著圖 11 的 XIII-XIII 線的截面圖。

圖 14 為沿著圖 11 的 XIV-XIV 線的截面圖。

圖 15 為顯示圖 11 的半導體裝置的等效電路之圖。

圖 16 為顯示本發明反及型 FRAM 第二例的平面圖。

圖 17 為沿著圖 16 的 XVII-XVII 線的截面圖。

圖 18 為沿著圖 16 的 XVIII-XVIII 線的截面圖。

圖 19 為沿著圖 16 的 XXI-XXI 線的截面圖。

圖 20 為顯示反及型快閃 EEPROM 的平面圖。

圖 21 為比較反及串尺寸和高耐壓電晶體尺寸之圖。

圖 22 為比較本發明的部件和習知技術的部件而顯示之圖。

圖 23 為顯示構成記憶胞陣列部的電路之圖。

圖 24 為詳細顯示圖 23 的頁緩衝器之圖。

圖 25 為顯示給與記憶胞及選擇開關元件的電位之圖。

圖 26 為顯示讀出時的信號波形之圖。

圖 27 為程式時的胞情況之圖。

圖 28 為顯示產生於記憶胞的電容之圖。

圖 29 為顯示反及型 FRAM 製造方法-製程的截面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 五、發明說明 ( 16 )

圖 30 為顯示反及型 FRAM 製造方法 - 製程的截面圖。

圖 31 為顯示反及型 FRAM 製造方法 - 製程的截面圖。

圖 32 為顯示反及型 FRAM 的胞陣列的等效電路之圖。

圖 33 為顯示擦除動作後的被選胞極化狀態之圖。

圖 34 為顯示擦除動作後的未被選胞極化狀態之圖。

圖 35 為顯示 MFSFET 的鐵電膜滯後特性之圖。

圖 36 為顯示擦除動作後的記憶胞閘極電位和汲極電流的關係之圖。

圖 37 為顯示程式作業後的被選胞極化狀態之圖。

圖 38 為顯示程式作業後的未被選胞極化狀態之圖。

圖 39 為顯示程式作業後的記憶胞閘極電位和汲極電流的關係之圖。

圖 40 為關於 "1"-胞和 "0"-胞顯示閘極電位和汲極電流的關係之圖。

圖 41 為顯示反及胞單元的等效電路之圖。

圖 42 為顯示及胞單元的等效電路之圖。

圖 43 為顯示本發明 EEPROM 第一例的平面圖。

圖 44 為沿著圖 43 的 XLIV-XLIV 線的截面圖。

圖 45 為沿著圖 43 的 XLV-XLV 線的截面圖。

圖 46 為沿著圖 43 的 XLVI-XLVI 線的截面圖。

圖 47 為顯示圖 43 至圖 46 的裝置的一胞單元分的等效電路之圖。

圖 48 為顯示記憶胞陣列及驅動器佈設一例的部件圖。

圖 49 為顯示關於本發明的電晶體裝置構造的截面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 五、發明說明 ( 17 )

圖 50 為顯示圖 49 的裝置擦除時的頻帶狀態之圖。

圖 51 為顯示圖 49 的裝置寫入時的頻帶狀態之圖。

圖 52 為顯示本發明裝置擦除 / 寫入後的臨界值分佈之圖。

圖 53 為顯示對於本發明電晶體的臨界值設定方法 (threshold value setting method) 第一例之圖。

圖 54 為顯示對於本發明電晶體的臨界值設定方法第二例之圖。

圖 55 為顯示圖 53 及圖 54 的擦除步驟後的胞單元狀態之圖。

圖 56 為顯示關於本發明的裝置擦除時的頻帶狀態之圖。

圖 57 為顯示關於本發明的裝置寫入時的頻帶狀態之圖。

圖 58 為顯示本發明 EEPROM 第二例的平面圖。

圖 59 為沿著圖 58 的 LIX-LIX 線的截面圖。

圖 60 為沿著圖 58 的 LX-LX 線的截面圖。

圖 61 為沿著圖 58 的 LXI-LXI 線的截面圖。

圖 62 為顯示本發明 EEPROM 第三例的平面圖。

圖 63 為沿著圖 62 的 LXIII-LXIII 線的截面圖。

圖 64 為沿著圖 62 的 LXIV-LXIV 線的截面圖。

圖 65 為沿著圖 62 的 LXV-LXV 線的截面圖。

圖 66 為顯示本發明 EEPROM 第四例的平面圖。

圖 67 為沿著圖 66 的 LXVII-LXVII 線的截面圖。

圖 68 為沿著圖 66 的 LXVIII-LXVIII 線的截面圖。

圖 69 為顯示圖 66 至圖 68 的裝置的一胞單元分的等效電

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 ( 18 )

路之圖。

圖 70 為顯示本發明 EEPROM 第五例的平面圖。

圖 71 為沿著圖 70 的 LXXI-LXXI 線的截面圖。

圖 72 為沿著圖 70 的 LXXII-LXXII 線的截面圖。

### 發明之詳細說明

茲參照附圖詳述本發明之半導體記憶裝置於下。

#### (1) 詳細說明 1

圖 11 顯示本發明鐵電記憶體的胞陣列構造的平面圖。圖 12 為沿著圖 11 的 XII-XII 線的截面圖，圖 13 為沿著圖 11 的 XIII-XIII 線的截面圖，圖 14 為沿著圖 11 的 XIV-XIV 線的截面圖。圖 15 顯示圖 11 至圖 14 所示的裝置的等效電路。

此胞陣列構造之特徵在於以下之點：記憶胞陣列包含由串聯連接的多數記憶胞構成的反及 (NAND) 串 (或胞單元) 集合；及，在資料傳輸線和共用電壓節點之間只串聯連接實質上有相同構造的多數 MFSFET，其兩端的兩個 MFSFET 起作用作為選擇開關元件，剩下的 MFSFET 起作用作為構成反及串的記憶胞。茲將具有這種胞陣列構造的鐵電記憶體稱為反及型 FRAM。

以下，就本發明鐵電記憶體的胞陣列構造加以具體說明。

在 p 型矽基板 21 內形成由 n 型井區域 22 和 p 型井區域 23 構成的所謂的雙井 (twin well)。記憶胞形成於雙井的 p 型井區域 23 內。但是，不在矽基板 21 內設置雙井，而在矽基板 21 內直接形成記憶胞亦可。此外，在形成於 n 型或 p 型矽

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 ( 19 )

基板內的通常p井區域內形成記憶胞亦可。

在矽基板21內形成具有STI(淺溝渠隔離)構造的元件分離層24。元件分離層24例如由氧化矽構成。元件分離層24在列方向線狀延伸，全體有規則的條狀。元件分離層24的寬度及間距(或元件區域的寬度)例如都設定成F(F為形體尺寸，表示設計規則的最小值。以下，在此說明相同。)

在p型井區域(矽基板)23上及元件分離層24上形成緩衝層25。此外，在緩衝層25上形成鐵電膜26。緩衝層25如亦揭示於上述文獻2，係為防止p型井區域(矽基板)23和鐵電膜26間的原子相互擴散而設。

具體而言，將PZT(銻鈦酸鉛， $PbZr_{1-x}Ti_xO_3$ )等含鉛的鐵電材料直接形成於矽上(或氧化矽上)時，已知在形成鐵電材料時(溫度例如 $400^{\circ}C$ 程度)，鐵電材料內的鉛原子和矽內的矽原子會顯著地相互擴散。即，若將鐵電膜26直接形成於p型井區域(矽基板)23上，就有不能得到p型井區域(矽基板)23和鐵電膜26的良好界面的問題。

於是，在p型井區域(矽基板)23和鐵電膜26間配置緩衝層25，以防止p型井區域23和鐵電膜26間的原子相互擴散。

又，關於緩衝層25，需要注意以下之點。

鐵電材料(例如PZT)一般具有高介電常數。因此，由具有比鐵電膜26介電常數極低的介電常數的材料構成緩衝層25，施加於閘極和通道間的電壓中的大部分就施加於緩衝層25，只有少許電壓施加於鐵電膜26。即，要將極化反

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 五、發明說明 ( 20 )

轉所需的電壓施加於鐵電膜26，就必須將極大的電壓施加於閘極和通道間，結果在產生極化反轉之前，在緩衝層25產生絕緣破壞或將電荷注入緩衝層25內。

此外，將電荷注入緩衝層25內，有時會將在使鐵電膜26極化方向(向下或向下)反轉的方向起作用的電場施加於鐵電膜26，這種情況，剩餘極化的保持時間(資料保持時間)變成極短。

若考慮以上之點，則就緩衝層25而言，得知最好由其介電常數和鐵電膜26介電常數相同程度或比其高的材料構成，而就緩衝層25厚度而言，得知最好盡量弄薄。就可使這種條件滿足的材料候選而言，例如有 $\text{SrTiO}_3$ ， $\text{CeO}_2$ ， $\text{ZrO}_2$ 等。

在鐵電膜26上形成閘極27。閘極27在行方向線狀延伸，全體有規則的條狀。閘極27的寬度及間距(但是除了汲極接觸部A及源極接觸部B以外)例如都設定成F。

在閘極27間的空間部分，在p型井區域(矽基板)23表面形成源極、汲極區域28。在汲極接觸部A，在p型井區域23表面形成汲極區域28d。在源極接觸部B，在p型井區域23表面形成源極區域28s。

在本例，在汲極區域28d和源極區域28s之間串聯連接胞單元，即18個MFSFET。這些18個MFSFET全部實質上有相同構造，並且實質上有相同特性。然而，在本例，使這些18個MFSFET中最靠汲極區域28d的一個MFSFET和最靠源極區域28s的一個MFSFET起作用作為選擇開關元件。此

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 21 )

外，使剩下的16個MFSFET起作用作為記憶胞。因此，閘極27 (SSL)、27 (GSL)成爲選擇閘線，閘極27 (WL0)、27 (WL1)、…27 (WL15)成爲資料選擇線。

使同一構造的MFSFET起作用作為選擇開關元件或起用作爲記憶胞的手法將在反及型FRAM的基本動作說明中詳述之。

又，連接於汲極區域28d和源極區域28s間的MFSFET數若是3個以上，則不特別限於特定數。即，至少兩個選擇開關元件和至少一個記憶胞存在於汲極區域28d和源極區域28s間就夠了。

在鐵電膜26上及閘極27上形成完全覆蓋閘極27的層間絕緣膜(例如氧化矽)29。層間絕緣膜29表面平坦。在層間絕緣膜29、鐵電膜26及緩衝層25形成達到汲極區域28d的接觸孔30d和達到源極區域28s的接觸孔30s。在接觸孔30d內形成接觸插塞(plug) 31d，在接觸孔30s內形成接觸插塞31s。接觸插塞31d、31s例如由多晶矽或鎢等構成。

在層間絕緣膜29上形成層間絕緣膜(例如氧化矽)32。在層間絕緣膜32形成配線溝，在此配線溝內形成連接於接觸插塞31d的配線33d和連接於接觸插塞31s的共用電壓節點33 (SL)。配線33d及共用電壓節點33 (SL)例如由鎢或鋁等構成。

在層間絕緣膜32上、配線33d上及共用電壓節點33 (SL)上形成覆蓋配線33d及共用電壓節點33 (SL)的層間絕緣膜(例如氧化矽)34。在層間絕緣膜34形成達到配線33d的通路孔。在層間絕緣膜34上形成層間絕緣膜(例如氧化矽)35。

## 五、發明說明 ( 22 )

✓ 在層間絕緣膜35形成配線溝。資料傳輸線36 (BL)形成於此配線溝內，並且透過通路孔連接於配線33d。資料傳輸線36 (BL)例如由鋁構成。

在資料傳輸線36 (BL)上形成鈍化膜37。

圖16顯示本發明鐵電記憶體的胞陣列構造的平面圖。圖17為沿著圖16的XVII-XVII線的截面圖，圖18為沿著圖16的XVIII-XVIII線的截面圖，圖19為沿著圖16的XIX-XIX線的截面圖。

本例胞陣列構造之特徵和上述胞陣列構造同樣，在於以下之點：記憶胞陣列包含由串聯連接的多數記憶胞構成的反及串(或胞單元)集合；及，在資料傳輸線和共用電壓節點之間只串聯連接實質上有相同構造的多數MFSFET，其兩端的兩個MFSFET起作用作為選擇開關元件，剩下的MFSFET起作用作為構成反及串的記憶胞。

此外，本例胞陣列構造和上述胞陣列構造不同，包含以下特徵。

即，在本例，在記憶胞及選擇開關元件的通道上各記憶胞或選擇開關元件設置鐵電膜26。具體而言，在上述例(圖11至圖14)係將鐵電膜26形成於矽基板21上的全體，根據鐵電膜26一部分(通道上的部分)的極化狀態記憶資料，但在本例係將鐵電膜26分別獨立形成於各電晶體(記憶胞及選擇開關元件)的通道上，根據各電晶體所設的鐵電膜26的極化狀態記憶資料。

又，各鐵電膜26跨在元件分離層24上配置亦可。即，通

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明 ( 23 )

道上的鐵電膜26的邊緣部與元件分離層24重疊亦可。

以下，就本發明鐵電記憶體的胞陣列構造加以具體說明。

在p型矽基板21內形成由n型井區域22和p型井區域23構成的所謂的雙井(twin well)。記憶胞形成於雙井的p型井區域23內。但是，不在矽基板21內設置雙井，而在矽基板21內直接形成記憶胞亦可。此外，在形成於n型或p型矽基板內的通常p井區域內形成記憶胞亦可。

在矽基板21內形成具有STI(淺溝渠隔離)構造的元件分離層24。元件分離層24例如由氧化矽構成。元件分離層24在列方向線狀延伸，全體有規則的條狀。元件分離層24的寬度及間距(或元件區域的寬度)例如都設定成F(F為形體尺寸，表示設計規則的最小值。以下，在此說明相同。)

在p型井區域(矽基板)23上及元件分離層24上形成緩衝層25。此外，在緩衝層25上形成鐵電膜26。緩衝層25係為防止p型井區域(矽基板)23和鐵電膜26間的原子相互擴散而設。鐵電膜26配置於電晶體(記憶胞及選擇開關元件)的通道上，並且各電晶體獨立設有。

在MFSFET方面，由於資料值("0"或"1")係根據通道上的鐵電膜26的極化狀態判斷，所以若鐵電膜26存在於至少通道上，則可使其起作用作為反及型FRAM。因此，在上述兩例(圖11至圖14，圖16至圖19)，雖然裝置構造互相不同，但作為MFSFET的功能則完全相同。

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

## 五、發明說明 ( 24 )

又，關於製程步驟數，第一例(圖11至圖14)的胞陣列構造比第二例(圖16至圖19)的胞陣列構造少。就此在本發明FRAM製造方法說明中加以詳述。

在鐵電膜26上形成閘極27。閘極27在行方向線狀延伸，全體有規則的條狀。閘極27的寬度及間距(但是除了汲極接觸部A及源極接觸部B以外)例如都設定成F。

在閘極27間的空間部分，在p型井區域(矽基板)23表面形成源極、汲極區域28。在汲極接觸部A，在p型井區域23表面形成汲極區域28d。在源極接觸部B，在p型井區域23表面形成源極區域28s。

在本例，在汲極區域28d和源極區域28s之間串聯連接胞單元，即18個MFSFET。這些18個MFSFET全部實質上有相同構造，並且實質上有相同特性。然而，在本例，使這些18個MFSFET中最靠汲極區域28d的一個MFSFET和最靠源極區域28s的一個MFSFET起作用作為選擇開關元件。此外，使剩下的16個MFSFET起作用作為記憶胞。因此，閘極27(SSL)、27(GSL)成為選擇閘線，閘極27(WL0)、27(WL1)、...27(WL15)成為資料選擇線。

使同一構造的MFSFET起作用作為選擇開關元件或起作用作為記憶胞的手法將在反及型FRAM的基本動作說明中詳述之。

又，連接於汲極區域28d和源極區域28s間的MFSFET數若是3個以上，則不特別限於特定數。即，至少兩個選擇開關元件和至少一個記憶胞存在於汲極區域28d和源極區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 25 )

域 28s 間就夠了。

在鐵電膜 26 上及閘極 27 上形成完全覆蓋閘極 27 的層間絕緣膜 (例如氧化矽) 29。層間絕緣膜 29 表面平坦。在層間絕緣膜 29、鐵電膜 26 及緩衝層 25 形成達到汲極區域 28d 的接觸孔 30d 和達到源極區域 28s 的接觸孔 30s。在接觸孔 30d 內形成接觸插塞 (plug) 31d，在接觸孔 30s 內形成接觸插塞 31s。接觸插塞 31d、31s 例如由多晶矽或鎢等構成。

在層間絕緣膜 29 上形成層間絕緣膜 (例如氧化矽) 32。在層間絕緣膜 32 形成配線溝，在此配線溝內形成連接於接觸插塞 31d 的配線 33d 和連接於接觸插塞 31s 的共用電壓節點 33 (SL)。配線 33d 及共用電壓節點 33 (SL) 例如由鎢或鋁等構成。

在層間絕緣膜 32 上、配線 33d 上及共用電壓節點 33 (SL) 上形成覆蓋配線 33d 及共用電壓節點 33 (SL) 的層間絕緣膜 (例如氧化矽) 34。在層間絕緣膜 34 形成達到配線 33d 的通路孔。在層間絕緣膜 34 上形成層間絕緣膜 (例如氧化矽) 35。在層間絕緣膜 35 形成配線溝。資料傳輸線 36 (BL) 形成於此配線溝內，並且透過通路孔連接於配線 33d。資料傳輸線 36 (BL) 例如由鋁構成。

在資料傳輸線 36 (BL) 上形成鈍化膜 37。

根據上述兩例 (圖 11 至圖 14，圖 16 至圖 19) 的胞陣列構造，將實質上有同一構造的多數 (3 個以上) MFSFET 串聯連接於資料傳輸線和共用電壓節點之間。此外，使此多數 MFSFET 中最靠資料傳輸線的 MFSFET 和最靠共用電壓節點的 MFSFET 起作用作為選擇開關元件，使其以外的 MFSFET

## 五、發明說明 ( 26 )

起作用作為記憶胞。

即，本發明半導體記憶裝置的胞陣列構造在反及型快閃EEPROM(包含在兩個選擇開關元件間連接一個記憶胞的情況)方面，可將記憶胞及選擇開關元件都由MFSFET構成(反及型FRAM)。

這種情況，可得到以下效果：

### ①胞尺寸縮小

在具有MFSFET的習知FRAM(圖9)，若以矽條彼此的間隔(元件分離寬度)為F(F為形體尺寸，表示設計規則的最小值。)，則記憶胞X方向的尺寸(或資料傳輸線的間距)成為4F，記憶胞Y方向的尺寸(或資料選擇線的間距)成為2F。因此，一個記憶胞尺寸成為 $8F^2 (=4F \times 2F)$ 。

對此，反及型FRAM的胞尺寸可看作和反及型快閃EEPROM的胞尺寸相同程度。因為本發明FRAM的胞陣列部佈設和反及型快閃EEPROM的胞陣列部佈設實質上相同。圖20顯示反及型快閃EEPROM的胞陣列部佈設，但此佈設和圖11及圖16所示的反及型FRAM的胞陣列佈設實質上相同。

具體而言，記憶胞X方向的尺寸(或資料傳輸線的間距)成為2F，記憶胞Y方向的尺寸(或資料選擇線的間距)也成為2F，所以一個記憶胞尺寸成為 $4F^2 (=2F \times 2F)$ 。此外，在本發明FRAM，在反及串兩端各個設置選擇開關元件及接觸部(汲極接觸部、源極接觸部)。因此，本發明FRAM實際的胞尺寸成為 $4F^2 + \alpha$  ( $\alpha$ 係因選擇開關元件及接觸部而每

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 27 )

一胞面積的增加部分)。

若思考反及串由16個記憶胞構成，記憶胞容量為256百萬位元的情況，則 $\alpha$ 成為約 $0.5F^2$ 。因此，這種情況，本發明FRAM的一個胞尺寸成為 $4.5F^2$ 。此胞尺寸比具有MFSFET的習知FRAM的胞尺寸( $8F^2$ )十分小。

如此，本發明反及型FRAM適於縮小記憶胞尺寸，所以可助於記憶容量增大或晶片尺寸縮小。

### ②重寫電壓的低電壓化

在反及型快閃EEPROM，已知重寫電壓(程式/擦除電壓)的低電壓化困難。若簡單說明其理由，則是因為反及型快閃EEPROM的記憶胞對於橫向尺寸(設計規則)，根據比例縮小法則(scaling law)可縮小，但對於縱向尺寸(閘絕緣膜厚度)，因加工技術問題而根據比例縮小法則不能縮小。

即，隨著記憶胞容量 $16 \rightarrow 32 \rightarrow 64 \rightarrow 256$ 百萬位元增大，雖然記憶胞橫向尺寸被縮小，但其縱向尺寸為一定(例如閘氧化膜厚度經常被設成約10 nm)，結果不能隨著記憶容量增大或記憶胞橫向尺寸縮小而降低為了對於浮動閘極進行電荷存取所需的電壓(寫入/擦除電壓)。

另一方面，在反及型快閃EEPROM，寫入/擦除電壓連控制閘極和浮動閘極間的電容C1與浮動閘極和矽基板間的電容C2之比(耦合比)都受到影響。即，若增大電容C1(設電容C2一定)，則施加於控制閘極和矽基板間的電壓(寫入/擦除電壓)中施加於浮動閘極和矽基板的電壓比例變大，結果也可能降低寫入/擦除電壓。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

後

## 五、發明說明 ( 28 )

然而，爲了增大電容 $C_1$ (設材料不變)，需使控制閘極和浮動閘極間的絕緣膜厚度變薄。即，爲了使寫入/擦除電壓低電壓化，需使浮動閘極和矽基板間的絕緣膜(閘絕緣膜)厚度變薄而容易進行對於浮動閘極的電荷存取或使控制閘極和浮動閘極間的絕緣膜厚度變薄而增大電容 $C_1$ 。

總之，爲了使寫入/擦除電壓低電壓化，需要爲了形成膜質佳的薄絕緣膜(例如5 nm)的加工技術，只要不開發此技術，寫入/擦除電壓的低電壓化就困難(現在的寫入/擦除電壓爲20V程度，非常大)。

對此，在本發明反及型FRAM，使用MFSFET作爲記憶胞。即，MFSFET以鐵電膜的極化狀態形式記憶資料，所以重寫電壓爲使鐵電膜極化反轉所需的電壓(臨界電壓)即可。此臨界電壓比爲了利用隧道效應或熱電子對於浮動閘極進行電荷存取的電壓十分小。具體而言，寫入/擦除電壓爲幾V程度(例如5V程度)就夠了。

因此，根據本發明反及型FRAM，可達成寫入/擦除電壓的低電壓化。

### ③ 晶片尺寸縮小(資料選擇線驅動電路佈設容易化)

在反及型快閃EEPROM方面，如在上述②說明，寫入/擦除電壓的低電壓化困難，結果需要20V程度的高寫入/擦除電壓。因此，在反及型快閃EEPROM必須設置爲了使高寫入/擦除電壓產生的電壓產生電路(升壓器)且由高耐壓電晶體(高擊穿電壓電晶體)構成給與資料選擇線此寫入/擦除電壓的資料選擇線驅動電路。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 29 )

通常，高耐壓電晶體尺寸比一般電晶體(不施加高電壓的電晶體)尺寸大。例如根據 $0.25\ \mu\text{m}$ 規則設計的256百萬位元的反及型快閃EEPROM的情況，高耐壓電晶體尺寸(設計規則)比一般電晶體尺寸(設計規則)大幾倍。如此，藉由增大高耐壓電晶體尺寸，可減弱因高電壓而產生的電場，可防止電晶體的破壞。

然而，增大高耐壓電晶體尺寸，行解碼器或資料選擇線驅動電路面積就會巨大化。此外，行解碼器或資料選擇線驅動電路例如與記憶胞陣列部件對應而設，所以這些巨大化意味著在記憶體晶片上行解碼器或資料選擇線驅動電路占的面積增大，結果晶片尺寸增大。此外，由於晶片尺寸不能無限制地增大，所以行解碼器或資料選擇線驅動電路面積巨大化對於記憶容量增大不利。

茲就具體例如加以思考；例如在根據 $0.25\ \mu\text{m}$ 規則設計的具有256百萬位元記憶容量反及型快閃EEPROM，由16個記憶胞和2個選擇開關元件構成一個反及串時，如圖21所示，反及串的間距成爲約 $8.5\ \mu\text{m}$ 。另一方面，在這種反及型快閃EEPROM，高耐壓電晶體尺寸，例如開寬方向的長度成爲 $8\sim 9\ \mu\text{m}$ 。因此，在反及串的間距內只能配置一個高耐壓電晶體，行解碼器或資料選擇線驅動電路佈設非常困難。

此外，在下一世代的十億位元(gigabit)反及型快閃EEPROM，例如對於記憶胞適用 $0.15\ \mu\text{m}$ 的設計規則。這種情況，若由16個記憶胞和2個選擇開關元件構成一個反及串，則反及串的間距成爲約 $5\ \mu\text{m}$ 。且說關於高耐壓電晶體尺寸，爲

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂

## 五、發明說明 ( 30 )

了確保可靠性，即使縮小記憶胞也不能縮小，例如開寬方向的長度仍然是 $8\sim 9\ \mu\text{m}$ 。因此，在反及串的間距內不能配置高耐壓電晶體，行解碼器或資料選擇線驅動電路佈設成爲不可能。

要使行解碼器或資料選擇線驅動電路佈設成爲可能，增加構成一個反及串的記憶胞數即可。即，若增加反及串內的記憶胞數，則反及串的間距變大，所以可將高耐壓電晶體收進反及串的間距內。例如若將一個反及串內的記憶胞數從16個增加到32個，則反及串的間距變成約2倍。

反及型快閃EEPROM在下述之點有特徵：以擦除部件單位同時擦除多數記憶胞；擦除部件尺寸(進行同時擦除的記憶胞數)與構成反及串的記憶胞數成比例。因此，增加構成反及串的記憶胞數意味著增加擦除部件尺寸。若查看反及型快閃EEPROM開發歷史，則現實每次記憶容量增加，就增加反及串內的記憶胞數，增大擦除部件尺寸。

即，16百萬位元反及型快閃EEPROM的擦除部件尺寸爲4千位元組(kilobyte)，32百萬位元反及型快閃EEPROM的擦除部件尺寸爲8千位元組，256百萬位元反及型快閃EEPROM的擦除部件尺寸爲16千位元組。

然而，近幾年不希望擦除部件尺寸增大的使用者多起來。例如在將反及型快閃EEPROM用於數位攝影機的記憶體的使用者，爲保持舊製品和新製品間的相容性而有希望不進行擦除部件尺寸急劇變更(增大)的要求。

由這種狀況，在下一世代的十億位元反及型快閃

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂



## 五、發明說明 ( 31 )

EEPROM 出現以擦除部件尺寸和 256 百萬位元反及型快閃 EEPROM 同樣，為 16 千位元組的必要性起來。

作為不使擦除部件尺寸增大而使行解碼器及資料選擇線驅動電路佈設成為可能的技術，有將反及串內的記憶胞在動作上分割成兩個而縮小擦除部件尺寸者。若思考十億位元反及型快閃 EEPROM，則例如如圖 22 所示，構成反及串內的記憶胞數成為 32 個。此時，根據習知方式，擦除部件尺寸成為 32 千位元組，但根據本方式，擦除部件尺寸仍然是 16 千位元組(和 256 百萬位元反及型 EEPROM 相同)。

然而，這種情況，例如假設對於一方擦除部件(被選部件)內的記憶胞多次反覆進行資料的重寫(變更胞資料)，則在此重寫動作(程式/擦除作業)中會施加預定電壓應力  $V_{pass}$  給他方擦除部件(未被選部件)內的記憶胞。因此，若重寫(寫入/擦除)次數增大，未被選部件內的記憶胞臨界值就徐徐變化，最壞的情況也可想到未被選部件內的記憶胞資料反轉的情況。

因此，將圖 22 的反及串內的記憶胞在動作上分割成兩個的技術說不上實際的。

如此，關於十億位元反及型快閃 EEPROM，不增加擦除部位尺寸(仍然保持 16 千位元組)而決定行解碼器及資料選擇線驅動電路佈設此一課題仍然未解決，只要不解決此課題，就不會使十億位元反及型快閃 EEPROM 成為實際的。

對此，若根據本發明反及型 FRAM，則如在上述 ② 說明，寫入/擦除電壓的低電壓化(5V 程度)可能。因此，若

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂

## 五、發明說明 ( 32 )

是反及型FRAM，則不要爲了使高寫入/擦除電壓產生的電壓產生電路(升壓電路)且給與資料選擇線寫入/擦除電壓的資料選擇線驅動電路亦可由通常的電晶體構成。

因此，行解碼器或資料選擇線驅動電路也不會巨大化，可助於晶片尺寸縮小。此外，無需高耐壓電晶體，所以例如在十億位元反及型快閃EEPROM，不增加擦除部件尺寸(仍然保持16千位元組)且無對於未被選部件內的記憶胞的應力 $V_{pass}$ ，可容易決定行解碼器及資料選擇線驅動電路佈設。

此外，根據本發明反及型FRAM，由於寫入/擦除電壓的低電壓化可能，所以例如可縮小爲了確保記憶胞彼此電氣分離的元件分離區域寬度。即，不能確保必須互相電氣分離的兩個記憶胞間絕緣的電壓(擊穿電壓)與元件分離區域寬度成比例。此處所謂寫入/擦除電壓低意味著擊穿電壓低亦可，所以結果可縮小元件分離區域寬度。此對縮小晶片尺寸亦有效。

### ④ 胞陣列構造及製程簡化

在反及型快閃EEPROM，需要在串聯連接的多數記憶胞兩端(資料傳輸線側、共用電壓節點側)分別各一個連接選擇開關元件。這些選擇開關元件例如在寫入(程式)動作，爲使包含被選部件內的非寫入胞("1"-程式規劃胞)的反及串內的記憶胞通道上升到程式抑制電位(program inhibit potential)而設。

具體而言，在被選部件內，程式作業時，首先以共用電

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂

## 五、發明說明 ( 33 )

壓節點側的選擇開關元件全部為斷開，施加電源電位 VCC 給資料傳輸線側的選擇開關元件之閘極及全部資料選擇線。然後，供應接地電位 VSS 給包含寫入胞 ("0"-程式規劃胞) 的反及串內的記憶胞通道，對於包含非寫入胞 ("1"-程式規劃胞) 的反及串內的記憶胞通道從資料傳輸線供應起始電位 (例如電源電位 VCC)。

此時，包含非寫入胞 ("1"-程式規劃胞) 的反及串內的記憶胞通道被預先充電到  $VCC - V_{th}$  ( $V_{th}$  為選擇開關元件的臨界值)，並且其反及串內的資料傳輸線側的選擇開關元件成為斷開狀態。

此後，在被選部件內，例如將被選資料選擇線提高到寫入電位  $V_{prog}$ ，將非選擇資料選擇線提高到傳輸電位  $V_{pass}$ ，包含非寫入胞 ("1"-程式規劃胞) 的反及串內的記憶胞通道就因資料選擇線和通道間的電容耦合而上升到程式抑制電位。

如此，反及串內的兩個選擇開關元件在程式作業時，以記憶胞通道為浮動，為了利用電容耦合產生程式抑制電位而起重要的作用。

此處，程式作業時，為供應接地電位 VSS 給包含寫入胞 ("0"-程式規劃胞) 的反及串內的記憶胞通道而施加電源電位 VCC 給選擇開關元件之閘極。因此，關於選擇開關元件，需要以比  $(VCC - VSS)/2$  低的正電壓 (例如 0.7V 程度) 為臨界值。因此，關於選擇開關元件，需要利用和記憶胞另外的製程形成或追加形成閘極之前在通道部進行為了控制臨

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂

## 五、發明說明 ( 34 )

界值的離子注入等製程。

然而，分別各自形成記憶胞和選擇開關元件，就有以下問題：製程長且複雜，同時因熱製程增加而可靠性也降低。

於是，在現在的反及型快閃EEPROM，以記憶胞和選擇開關元件都為堆積兩層多晶矽層的構造，所謂堆疊閘構造，以同一製程形成記憶胞選擇開關元件。

然而，在反及型快閃EEPROM，記憶胞和選擇開關元件互相沒有同一構造，並且功能、性能也互相不同。例如反及型快閃EEPROM的記憶胞如眾所周知，具有浮動閘極和控制閘極(資料選擇線)，對此選擇開關元件沒有浮動閘極。在選擇開關元件，例如使用兩層多晶矽層作為閘極(選擇閘線)，以一定間隔設置連接上下多晶矽層的分流(shunt)區域。

分離區域的意義在於選擇閘線的低電阻化。一般第一層(下層)的多晶矽層電阻率比第二層(上層)的多晶矽層(或多晶矽層和金屬矽化物層的層疊亦可)電阻率大。於是，以一定間隔(例如每32列)設置分流區域而謀求選擇閘線的低電阻化。

然而，在分流區域使上下多晶矽層分別露出且利用鋁等低電阻材料電氣連接上下多晶矽層，而有佈設面積變大的缺點。例如在根據0.25  $\mu\text{m}$ 規則設計的256百萬位元反及型快閃EEPROM，夾入資料傳輸線接觸部的兩條選擇閘線間隔受到分流區域尺寸限制，不能縮小。

對此，在本發明反及型FRAM，記憶胞和選擇開關元件

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 35 )

實質上有同一構造且實質上有同一功能及特性。即，記憶胞和選擇開關元件都由MFSFET構成。但是，在實際動作(後述)，藉由控制鐵電膜的極化狀態，記憶胞使其起作用作為記憶胞，選擇開關元件使其起作用作為選擇開關元件。

因此，在本發明反及型FRAM，記憶胞和選擇開關元件可完全利用同一製程同時形成，使製程簡化。又，在反及型快閃EEPROM，以選擇開關元件為堆疊閘構造，雖然可使記憶胞和選擇開關元件的製程一部分共用化，但例如需要為了形成浮動閘極的狹縫形成製程或為了形成分流區域的製程等，所以不能像反及型FRAM那樣完全共用化。

此外，在本發明反及型FRAM，因由MFSFET構成選擇開關元件(因沒有堆疊閘構造)而無需設置分流區域。因此，夾入資料傳輸線接觸部的兩條選擇閘線間隔根據比例縮小法則(scaling law)，可縮小到資料選擇線彼此的間隔程度。

如此，在本發明反及型FRAM，藉由使胞陣列構造簡化，可助於記憶胞細微化、高積集化或製程簡化等。

### ⑤ 不要程式驗證(program verify)

在本發明反及型FRAM的重要特徵之一有不要程式驗證之點。

在將記憶胞連接成反及型的記憶胞陣列(反及型快閃EEPROM)，寫入(程式)係頁單位(每行)進行。然而，寫入特性因各記憶胞不同而既有一次程式作業，臨界值充分上升，"0"-程式規劃完畢的記憶胞，也有即使進行幾次程式作

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 36 )

業，臨界值也不充分上升，"0"-程式規劃不完畢的記憶胞。

因此，對於全部記憶胞以同一條件進行寫入(程式)動作，在全部記憶胞寫入完畢的時點，關於某記憶胞，有時臨界值會在讀出時超過給與非選擇資料選擇線的路徑電位(過度程式)。如此一來，在讀出時必須是接通狀態的未被選胞成為斷開狀態，不能正確讀出被選胞的資料(如在反或型胞過度擦除成為問題，在反及型胞過度程式成為問題)。

於是，在反及型快閃EEPROM，進行寫入(程式)動作後，驗證寫入("0"-程式規劃)是否完畢的程式驗證動作成為必要不可缺少。此外，只對於因程式驗證而被作為NG(寫入未完畢)之胞進行重寫，防止產生過度程式的記憶胞(所謂每位元驗證)。

以下，為了參考，就反及型快閃EEPROM的基本動作加以說明。

就反及型快閃EEPROM的眾所周知例而言，例如已知文獻4 (K.-D. Suh et al., "A 3.3V 32Mb NAND Flash Memory with Incremental Step Pulse Programming Scheme" IEEE J. Solid-State Circuits, vol. 30, pp. 1149-1156, Nov. 1995)、文獻5 (Y. Iwata et al., "A 35 ns Cycle Time 3.3V Only 32 Mb NAND Flash EEPROM" IEEE J. Solid-State Circuits, vol. 30, pp. 1157-1164, Nov. 1995)等。

此外，文獻4中詳細說明了反及型快閃EEPROM的基本動作，所以以下就揭示於文獻4的基本動作加以簡單說明。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 37 )

又，記憶胞陣列部係由如圖 23、圖 24 及圖 25 所示的電路所構成。這種情況，在擦除(Erase)、讀出(Read)、寫入(program)各動作時對於記憶胞及選擇開關元件的偏壓狀態和表 1 所示。

[表 1]

	擦除	讀出	寫入
Sel. W/L	0	0	15.5~20V
Pass W/L	0	4.5V	10V
SSL	F	4.5V	Vcc
GSL	F	4.5V	0
"0" B/L	F	1.8V	0
"0" B/L	F	0.7V	Vcc
Bluk	21v	0	0

但是，BSEL為部位選擇信號，WL0、…WL15為資料選擇線，BL0、…BL4333為資料傳輸線，SSL為資料傳輸線側的選擇開線，GSL為共用電壓節點的選擇開線，Sel. W/L為被選部內的被選資料選擇線，Pass W/L為選部件內的非選擇資料選擇線，"0" B/L為連接進行"0"-程式規劃的記憶胞的資料傳輸線，"1" B/L為連接進行"1"-程式規劃的記憶胞的資料傳輸線，Bulk為基板(通道)。

### • 擦除動作

在擦除動作時，首先將全部資料選擇線WL0、…WL15設定在接地電位Vss (Sel. W/L、Pass W/L=0V)。此後，被選部件內的部件選擇信號BSEL變成"H (例如電源電位Vcc)"，

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂

## 五、發明說明 ( 38 )

未被選部件內的部件選擇信號 BSEL 維持 "L (接地電位  $V_{SS}$ )"。

因此，被選部件內的資料選擇線  $WL_0$ 、 $\dots$ 、 $WL_{15}$  維持接地電位  $V_{SS}$ ，未被選部件內的資料選擇線  $WL_0$ 、 $\dots$ 、 $WL_{15}$  為接地電位  $V_{SS}$ ，變成浮動狀態。

此後，供應擦除脈動 (例如 21V、3ms) 給主體 (例如胞 p 井) Bulk。其結果，在被選部件，施加擦除電壓 (21V) 給主體 Bulk 和資料選擇線  $WL_0$ 、 $\dots$ 、 $WL_{15}$  之間，浮動閘極內的電荷 (電子) 藉由 F-N (福勒-諾爾德哈姆) 隧道電流移動到主體。

反及型快閃 EEPROM 和反或型快閃 EEPROM 不同，過度擦除不成為問題，所以被選部件內的記憶胞利用一次擦除脈衝，到 -3V 程度被充分擦除。

另一方面，在未被選部件內，和供應擦除脈衝給主體同時，藉由資料選擇線  $WL_0$ 、 $\dots$ 、 $WL_{15}$  和主體間的電容耦合，浮動狀態的資料選擇線  $WL_0$ 、 $\dots$ 、 $WL_{15}$  電位也上升。因此，在資料選擇線  $WL_0$ 、 $\dots$ 、 $WL_{15}$  和主體之間因 FN 隧道現象產生而不施加充分的擦除電壓，未被選部件內的記憶胞資料不被擦除。

此處，就資料選擇線  $WL_0$ 、 $\dots$ 、 $WL_{15}$  和主體間的耦合比加以檢討。

耦合比係由產生於浮動狀態的資料選擇線  $WL_0$ 、 $\dots$ 、 $WL_{15}$  的電容所計算。此處，假設浮動狀態的資料選擇線  $WL_0$ 、 $\dots$ 、 $WL_{15}$  連接於由部件選擇信號 BSEL 所控制的 MOS 電晶體之源極，並且其源極和資料選擇線  $WL_0$ 、 $\dots$ 、 $WL_{15}$  由金

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂



## 五、發明說明 ( 39 )

屬配線所互相連接。

這種情況，耦合比取決於由部件選擇信號BSEL所控制的MOS電晶體之源極的接合電容、其MOS電晶體之源極和閘極的重疊電容、產生於連接其MOS電晶體之源極和資料選擇線WL0、…WL15的金屬配線的電容(特別是場效應區域的電容)、產生於資料選擇線(多晶矽層)WL0、…WL15和主體(胞-p井)間的電容等。

這些電容中特別是產生於資料選擇線WL0、…WL15和主體間的電容給與耦合比大的影響。由實驗結果求出的耦合比為約0.9，因此給與主體擦除脈衝時，資料選擇線WL0、…WL15電位充分上升，所以防止FN隧道電流產生。

在擦除驗證動作，例如驗證被選部件內的全部記憶胞臨界值是否變成-1V以下。而且，反覆執行擦除動作到全部記憶胞臨界值變成-1V以下。即使預定次數反覆擦除動作，被選部件內的全部記憶胞臨界值也不變成-1V以下時，作為擦除NG，擦除動作結束。

反及型快閃EEPROM如上述，過度擦除不成為問題，所以在擦除動作，以記憶胞臨界值為預定值(上限)以下即可，其臨界值下限不存在。因此，無需每位元進行擦除驗證(每位元進行驗證)。

### • 讀出動作

讀出動作係藉由將一頁(一行)分的記憶胞資料同時傳輸到頁緩衝器的鎖定電路後，由頁緩衝器例如每位元連續輸出資料進行。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 40 )

圖 26 顯示讀出動作時的主要信號動作波形。

首先，使頁緩衝器 P/B 起始化成 "0"。即，由於 PGM 及 DIS 為電源電位  $V_{cc}$ ，所以使全部頁緩衝器 P/B 內的鎖定電路 LH 的節點 A 經過 MOS 電晶體 T1、T2 短路到接地點 GND，其結果節點 A 值變成 "0" (Latch "0"="0"，LATCH "1"="0")。此外，全部資料傳輸線 BL0、...BL4243 設定在接地電位  $V_{ss}$ ，全部資料選擇線 WL0、...WL15 設定在接地電位  $V_{ss}$ ，選擇閘線 SSL、GSL 設定在約 4.5V (時刻  $t_1$ )。

此後，被選部件內的非選擇資料選擇線 Pass W/L 設定在約 4.5V，被選部件內的被選資料選擇線 Sel. W/L 維持接地電位  $V_{ss}$  (時刻  $t_2$ )。

給與非選擇資料選擇線 Pass W/L 的約 4.5V 此一電位係以比擦除胞 ("1"-程式規劃胞) 臨界值高且比 "0"-程式規劃胞臨界值高為條件所決定的。即，讀出動作時，連接於非選擇資料選擇線 Pass W/LB 的非選擇記憶胞不管資料值 ("1"或"0") 成為接通狀態，起作用作為所謂的通道電晶體。

另一方面，被選資料選擇線 Sel. W/L 設定在接地電位 (0V)  $V_{ss}$ 。此外，記憶資料 "1" 的記憶胞 (擦除胞) 臨界值設定在負，記憶資料 "0" 的記憶胞 (寫入胞) 臨界值設定在正。因此，關於連接於被選資料選擇線 Sel. W/L 的記憶胞，資料 "1" (擦除胞) 時成為接通狀態，資料 "0" (寫入胞) 時成為斷開狀態。

因此，讀出擦除胞 ("1"-程式規劃胞) 資料的資料傳輸線 BLi 經過反及串電氣連接於共用電壓節點 (接地電位  $V_{ss}$ )，

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 41 )

讀出寫入胞 ("0"-程式規劃胞) 資料的資料傳輸線 BLi 為共用電壓節點所切斷，變成斷開 (open) 狀態 (指一端在電氣上都未連接於哪裡的狀態)。

此後，PGM 及 DIS 從電源電位  $V_{cc}$  變成接地電位  $V_{ss}$ ， $V_{ref}$  從 0V 變成約 1.5V (時刻  $t_3$ )。此時，MOS 電晶體 T1、T2 變成斷開狀態，頁緩衝器 P/B 內的鎖定電路 LH 的節點 A 從接地點 GND 被斷開。此外，藉由  $V_{ref}$  使電流鏡電路活化，約  $2 \mu A$  的負載電流流到 MOS 電晶體 TCL。

另一方面，MOS 電晶體 T3 為空乏 (depletion) 型，PGM 即使 0V 也成為接通狀態。

因此，在連接於讀出擦除胞 ("1"-程式規劃胞) 資料的資料傳輸線 BLi 的頁緩衝器，放出此負載電流到接地點 GND，其資料傳輸線 BLi 電位成為低值 (約 0.4V)。因此，感測用 MOS 電晶體 TS 成為斷開狀態。在連接於讀出寫入胞 ("0"-程式規劃胞) 資料的資料傳輸線 BLi 的頁緩衝器，因其資料傳輸線 BLi 為斷開 (open) 狀態而資料傳輸線 BLi 電位成為高值 (約 2V)。因此，感測用 MOS 電晶體 TS 成為接通狀態。

此後，READ 從 0V 變成電源電位  $V_{cc}$ ，MOS 電晶體 T4 就成為接通狀態，所以按照資料傳輸線 BLi 電位決定鎖定電路 LH 資料 (時刻  $t_4$ )。

即，由於讀出擦除胞 ("1"-程式規劃胞) 資料的資料傳輸線 BLi 為低值 (約 0.4V)，所以在連接其資料傳輸線 BLi 的頁緩衝器，MOS 電晶體 TS 為斷開狀態。因此，READ 變成電源電位  $V_{cc}$ ，即使 MOS 電晶體 T4 變成接通狀態，鎖定電路

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 42 )

LH資料(節點A值)仍然是"0"。

此外，由於讀出寫入胞("0"-程式規劃胞)資料的資料傳輸線BLi電位為高值(約2V)，所以在連接於其資料傳輸線BLi的頁緩衝器，MOS電晶體TS為接通狀態。因此，READ變成電源電位Vcc，MOS電晶體T4變成接通狀態，鎖定電路LH資料(節點A值)就反轉成"1"。

如此一來，一頁(一行)分的記憶胞資料同時被傳輸到頁緩衝器的鎖定電路且被鎖定。此後，各頁緩衝器P/B控制Y1，例如將被選頁緩衝器內的鎖定電路LH資料傳輸到資料線DL。

### • 程式作業

在程式作業，首先進行程式規劃資料的載入。程式規劃資料的載入藉由將程式規劃資料串列且連續輸入到記憶胞晶片內部，將此程式規劃資料鎖定於全部或多數頁緩衝器內的鎖定電路而完畢。

對於被選胞進行"0"-程式規劃時，將資料"0"鎖定於鎖定電路LH(節點A="0")。對於被選胞進行"1"-程式規劃(維持擦除狀態)時，將資料"1"鎖定於鎖定電路LH(節點A="1")。

此後，將一頁分的資料同時寫入到一頁分的被選胞。寫入係對於進行"0"-程式規劃的被選胞反覆進行到"0"-程式規劃完畢。但是，即使寫入達到預定次數。"0"-程式規劃未完畢的被選胞存在時，也作為寫入NG結束程式作業。

一次寫入周期係由寫入(程式)動作和程式驗證動作所構

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 43 )

成。在程式作業給與被選資料選擇線寫入脈衝，在程式驗證動作驗證進行"0"-程式規劃的被選胞臨界值是否收容在預定範圍內。特別在程式驗證動作，為防止過度程式(over program)而每位元執行驗證。

具體而言，程式作業係由如下的步驟所構成。又，一次寫入周期以約40  $\mu$ s結束。

### a. 資料傳輸線建立(set up)(約8 $\mu$ s)

在此步驟，按照頁緩衝器內的鎖定電路資料建立資料傳輸線電位。例如對於被選胞進行"0"-程式規劃時，由於鎖定電路資料變成"0"，所以資料傳輸線BLi電平變成Vss(執行寫入電平)。此外，對於被選胞進行"1"-程式規劃(維持擦除狀態)時，由於鎖定電路資料變成"1"，所以資料傳輸線BLi電平變成Vcc(禁止寫入電平)。

### b. 資料寫入(約20 $\mu$ s)

以GSL為接地電位Vss，以SSL為電源電位Vcc，將資料傳輸線電位傳輸到構成被選部件內的反及串的記憶胞通道。此時，執行"0"-程式規劃的被選胞(程式執行胞)通道成為接地電位(和資料傳輸線相同電位)Vss，執行"1"-程式規劃被選胞(程式抑制胞)通道被充電到Vcc-Vth後，成為浮動。此後，在被選部件內，給與被選一條資料選擇線Sel. W/L脈衝狀寫入電位(15.5~20V)，給與剩下的全部非選擇資料選擇線Pass W/L傳輸電位(約10V)。其結果，在程式執行胞因FN隧道電流而將電荷(電子)注入浮動閘極，執行"0"-程式規劃。另一方面，在程式抑制胞因電容耦合而通

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 44 )

道電位上升，所以禁止"0"-程式規劃(換言之，執行"1"-程式規劃或維持擦除狀態)。

### c. 資料選擇線放電(約4 $\mu$ s)

放出被選部件內的全部資料選擇線電荷(Sel. W/L、Pass W/L= $V_{ss}$ )，進行此後所進行的程式驗證準備。

### d. 程式驗證(約8 $\mu$ s)

在程式驗證方面，驗證連接於被選資料選擇線的被選胞中寫入胞("0"-程式規劃胞)臨界值是否變成目標值(下限)以上。程式驗證係藉由讀出連接於被選資料選擇線的一頁分的被選胞資料所執行(程式驗證讀出)。

又，在通常的讀出動作，如上述，例如給與被選資料選擇線0V，給與非選擇資料選擇線約4.5V，但在程式驗證讀出，例如給與被選資料選擇線約0.7V，給與非選擇資料選擇線約4.5V。即，在程式驗證，記憶胞臨界值超過0.7V時，被判斷"0"-程式規劃完畢。

在程式驗證，"0"-程式規劃完畢的記憶胞(臨界值超過0.7V者)連接的頁緩衝器內的鎖定電路資料從"0"變成"1"。因此，關於"0"-程式規劃完畢的記憶胞，以後不會進行程式作業。藉此防止過度程式。

在程式驗證，頁緩衝器內的鎖定電路資料被控制成從"0"只變成"1"，從"1"不變成"0"。因此，"1"-程式規劃胞(程式抑制胞)連接的頁緩衝器內的鎖定電路資料維持"1(禁止寫入)"，"0"-程式規劃胞(程式執行胞)連接的頁緩衝器內的鎖定電路資料按照其"0"-程式規劃胞界值，從"0

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂

## 五、發明說明 ( 45 )

(執行寫入)"變成"1(禁止寫入)"。

而且，反覆執行程式作業和程式驗證動作到全部頁緩衝器內的鎖定電路資料變成"1"。但是，程式作業(包含程式驗證動作)所需的時間達到最大時間(例如10周期)時，作為寫入NG使程式作業結束。

圖27及圖28顯示程式作業時連接於被選資料選擇線的被選胞(程式執行胞和程式抑制胞)偏壓條件。以GSL為接地電位 $V_{SS}$ ，以SSL為電源電位 $V_{CC}$ ，將資料傳輸線電位傳輸到構成被選部件內的反及串的記憶胞通道。此時，執行"0"-程式規劃的被選胞(程式執行胞)通道成為接地電位(和資料傳輸線相同電位) $V_{SS}$ ，執行"1"-程式規劃的被選胞(程式抑制胞)通道被充電到 $V_c - V_{th}$ 後，成為浮動。

此後，在被選部件內，給與被選一條資料選擇線脈衝狀寫入電位(例如18V) $V_{pgm}$ ，給與剩下的全部非選擇資料選擇線傳輸電位(約10V) $V_{pass}$ 。其結果，在程式執行胞，在浮動閘極和通道間產生大的電位差，藉由FN隧道電流，從通道將電荷(電子)注入浮動閘極，執行"0"-程式規劃。

另一方面，在程式抑制胞，供應寫入電位 $V_{pgm}$ 或傳輸電位 $V_{pass}$ 給資料選擇線，就因資料選擇線(控制閘極)和通道間的電容耦合而通道電位上升。因此，在程式抑制胞，不會在浮動閘極和通道間產生大的電位差，禁止"0"-程式規劃(換言之，執行"1"-程式規劃或維持擦除狀態)。

又，程式作業時若使程式抑制胞的通道電位(程式抑制電位)充分上升，則可防止對於程式抑制胞的程式錯誤

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 46 )

("0"-程式規劃)。此外，程式抑制電位藉由充分進行通道的起始充電及加大資料選擇線和通道間的耦合比，可充分增大。

且說資料選擇線和通道間的耦合比B可用下式表示：

$$B = C_{ox} / (C_{ox} + C_j)$$

但是， $C_{ox}$ 為資料選擇線和通道間的閘電容總和， $C_j$ 為記憶胞源極和汲極的接合電容總和。

此外，反及串的通道電容成為 $C_{ox}$ 和 $C_j$ 的合計。其他雖然選擇閘線和源極(或汲極)間的重疊電容或產生於資料傳輸線或共用電壓節點的電容等也存在，但這些電容比 $C_{ox}$ 或 $C_j$ 非常小，所以無視亦無妨礙。

對此，本發明反及型FRAM的記憶胞係由MFSFET所構成。MFSFET係以鐵電膜的極化狀態形式記憶資料。此外，鐵電膜藉由施加臨界電壓以上的電壓(或電場)而極化反轉，同時電壓(或電場)變成零，就經常具有一定極化量(剩餘極化量)，即臨界值。即，由MFSFET構成記憶胞時，全部記憶胞的寫入特性可假設大致相同，例如對於一次寫入，不會在記憶胞間產生臨界值偏差(由於不會像快閃記憶體的記憶胞那樣，臨界值徐徐變化，所以臨界值分佈的末端不擴大)。

因此，在本發明反及型FRAM，無需像反及型快閃EEPROM那樣，進行考慮胞寫入特性的多數次寫入，只進行使用臨界電壓以上的電壓的一次寫入就夠了。此外，在本發明反及型FRAM，以施加於鐵電膜的電壓為臨界值電壓以上的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂



## 五、發明說明(47)

電壓後歸零，在鐵電膜就經常產生一定極化量(剩餘極化量)。因此，藉由一次程式作業，將記憶胞臨界值設定在一定值，所以不要程式驗證(當然也不產生過度程式)。

如此，根據本發明反及型FRAM，可以一次做完程式作業，同時也不要程式驗證。因此，可簡化程式作業的順序，程式時的控制容易，並且也要驗證電路。此外，可大幅縮短資料的程式時間，所以高速程式規劃可能。

⑥頁單位及位元組(位元)單位的重寫(程式/擦除作業)可能在反及型快閃EEPROM等快閃記憶體，以浮動閘極中的電荷量(電子量)形式記憶資料，並且以部件單位的資料擦除為前提，所以不能進行頁單位的重寫(胞資料變更)。即，頁單位的資料重寫藉由只改變部件內的一部分資料，不使其他部分的資料變化可達成，但在快閃記憶體，不能在記憶胞直接取代資料，而當擦除時，同時擦除部件內的全部資料，所以只改變一部分資料不可能。

對此，在本發明反及型FRAM，以鐵電膜的極化狀態形式記憶資料。此外，鐵電膜的極化狀態(記憶胞資料)藉由對鐵電膜施加臨界電壓以上的電壓或施加臨界電未滿的電壓，可維持或使其變化。

因此，根據本發明反及型FRAM，例如頁單位的重寫藉由進行連接於被選資料選擇線的一頁分的記憶胞資料擦除後，將新的資料寫入到這些一頁分的記憶胞可達成。

### ⑦其他效果

本發明反及型FRAM係由MFSFET構成記憶胞。因此，可

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂

## 五、發明說明 ( 48 )

以MFSFET的特徵照樣作為本發明反及型FRAM的特徵。

第一、本發明反及型FRAM具有下述特徵：非破壞讀出可能，即讀出時不破壞記憶胞資料。在由鐵電膜構成DRAM的胞電容器的FRAM，由於讀出時破壞資料，所以在讀出動作需要重寫資料此一步驟。另一方面，在本發明反及型FRAM，由於記憶胞(MFSFET)臨界值按照鐵電膜的極化狀態變化，所以記憶胞資料可作為給與閘極讀出電位時的汲極電流值檢出。因此，在本發明反及型FRAM，不會在讀出時破壞資料。

第二、本發明反及型FRAM具有下述特徵：高速程式規劃可能，即程式時間短。在反及型快閃EEPROM，藉由將預定量電荷(電子)注入浮動閘極，進行寫入。因此，需要為了驗證浮動電極內的電荷量(臨界值)的驗證，有程式時間比DRAM或SRAM等記憶體長(10  $\mu$ s程度)的缺點。對此，在本發明反及型FRAM，藉由一次寫入可得到預定極化量(臨界值)，所以程式時間成為10 ns程度，和DRAM和SRAM等記憶體成為同程度。

第三、本發明反及型FRAM具有下述特徵：可保證多次重寫(程式/擦除周期)次數。在反及型快閃EEPROM，在浮動閘極和通道間設置隧道氧化膜，藉由使FN隧道電流流到此隧道氧化膜，執行資料的擦除及寫入。因此，反覆進行重寫動作，隧道氧化膜就逐漸惡化，不能進行正確的重寫。因此，從可靠性方面，反及型快閃EEPROM的重寫次數(程式/擦除周期)受到限制，具體而言， $10^6$ 次程度為限

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂

## 五、發明說明 ( 49 )

度。對此，在本發明反及型FRAM，資料的擦除及寫入係藉由使鐵電膜的極化狀態變化而進行。因此，幾乎沒有鐵電膜本身的惡化，反及型FRAM的重寫次數實質上無限制，具體而言，到 $10^6$ 次程度可能。

以上，如說明，根據本發明反及型FRAM，藉由由MFSFET構成記憶胞且在資料傳輸線和共用電壓節點間反及型連接(串聯連接)記憶胞，而藉由由實質上具有和記憶胞相同構造的MFSFET構成選擇開關元件，可得到如上述①~⑦的顯著效果。

其次，就本發明反及型FRAM的胞陣列部製造方法加以詳細說明。

首先，如圖29所示，利用離子注入法將n型雜質注入p型矽基板21內，形成n型井區域22，同時將p型雜質注入n型井區域22內，形成p型井區域23。此外，在矽基板21上例如形成列方向延伸的線狀元件分離層。元件分離層可以利用LOCOS法形成的場氧化膜或者也可以是具有STI(淺溝渠隔離)構造的。

此後，利用磊晶成長法在矽基板21上形成緩衝層25。就構成緩衝層25的材料而言，例如使用 $\text{SrTiO}_3$ 、 $\text{CeO}_2$ 、 $\text{ZrO}_2$ 等。接著，利用磊晶成長法在緩衝層25上例如形成由PZT( $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ )等鐵電材料構成的鐵電膜26。

此外，利用LPCVD法在鐵電膜26上例如形成含有雜的多晶矽膜27。

其次，如圖29及圖30所示，利用PEP(光刻製程)在多晶

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 50 )

矽膜 27 上形成抗蝕圖案。以此抗蝕圖案為罩幕，例如利用 RIE (反應性離子蝕刻) 蝕刻多晶矽膜 27，形成行方向延伸的多數資料傳輸線 (記憶胞之閘極) 27 (WL0)、27 (WL1)、...27 (WL15) 及行方向延伸的多數選擇閘線 (選擇開關元件之閘極) 27 (GSL)、27 (SSL)。

此時，同時也形成構成配置於胞陣列部周邊的周邊電路 (Peripheral Circuit) 的電晶體之閘極。

在本例，電晶體 (記憶胞及選擇開關元件) 之閘極加工時，只蝕刻多晶矽膜 27。因此，在胞陣列部，大致全體配置鐵電膜 26 (當然鐵電膜 26 不存在於形成周邊電路的部分)。

然而，例如也可以蝕刻多晶矽膜 27 後，藉著也蝕刻鐵電膜 26，只在資料選擇線 27 (WL0)、27 (WL1) ... 27 (WL15) 或選擇閘線 27 (GSL)、27 (SSL) 正下面配置鐵電膜 26。

此外，例如也可以只在電晶體之通道上配置鐵電膜 26。這種情況，形成多晶矽膜 27 之前，在元件分離層上的鐵電膜 26 先設置列方向延伸的狹縫。如此一來，電晶體之閘極加工時，鐵電膜 26 只殘留於電晶體之通道上。

此後，利用離子注入法自對準地 (self-align) 將 n 型雜質注入矽基板 21 內 (實際 p 型井區域 23 內)，形成源極、汲極區域 28、28s、28d。在此離子注入，為了將雜質 (離子) 經過鐵電膜 26 及緩衝層 25 注入矽基板 21 內，採用使用高加速能量的離子注入，所謂的高加速注入 (high acceleration ion implantation)。

其次，如圖 31 所示，利用 LPCVD 法在鐵電膜 26 上及閘極

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂

## 五、發明說明 ( 51 )

27上形成完全覆蓋閘極27的層間絕緣膜(例如氧化矽)29。此後，在層間絕緣膜29、鐵電膜26及緩衝層25形成達到汲極區域28d的接觸孔30d和達到源極區域28s的接觸孔30s。此外，在接觸孔30d內形成接觸插塞31d，在接觸孔30s內形成接觸插塞31s。接觸插塞31d、31s例如由多晶矽或鎢等構成。

此外，利用LPCVD法在層間絕緣膜29上形成層間絕緣膜(例如氧化矽)32。在層間絕緣膜32形成配線溝，在此配線溝內形成連接於接觸插塞31d的配線33d和連接於接觸插塞31s的共用電壓節點33 (SL)。配線33d及共用電壓節點33 (SL)例如由鎢或鋁等構成。

此外，在層間絕緣膜32上、配線33d上及共用電壓節點33 (SL)上形成覆蓋配線33d及共用電壓節點33 (SL)的層間絕緣膜(例如氧化矽)34。在此層間絕緣膜34形成達到配線33d的通路孔。此外，利用眾所周知的方法層間絕緣膜34上形成資料傳輸線36 (BL)。資料傳輸線36 (BL)透過通路孔連接於配線33d。資料傳輸線36 (BL)例如由鋁構成。

最後，利用LPCVD法在資料傳輸線36 (BL)上形成鈍化膜37。

以上，就本發明反及型FRAM製造方法-例加以說明，但本發明反及型FRAM也可以照樣利用上述方法以外的方法，例如反及型快閃EEPROM製造方法。

其次，就本發明反及型FRAM的基本動作加以說明。

本發明反及型FRAM的基本動作近似於反及型快閃EEPROM的基本動作。然而，從記憶胞及選擇開關元件都

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 52 )

由MFSFET構成此一理由，也需要在習知FRAM或反及型快閃EEPROM沒有的特有動作。

以下，就擦除(erase)動作、寫入(program)動作、讀出(read)動作依次加以說明。

又，假設胞陣列部由圖32所示的電路構成，記憶胞及選擇開關元件由n通道MFSFET構成。此外，為了方便起見，施加低電位給通道、施加高電位給閘極時，以產生於鐵電膜的電場為向下電場，施加高電位給通道、施加低電位給閘極時，以產生於鐵電膜的電場為向上電場。此外，以通道側正、閘極側負的極化為向下極化，以通道側負、閘極側正的極化為向上極化。而且，以向下極化(剩餘極化點)為"1"狀態("1"-程式規劃狀態)，向上極化(剩餘極化點)為"0"狀態("0"-程式規劃或擦除狀態)。

- 擦除動作(部件擦除)

以執行資料擦除的被選部件為部件0，以不執行資料擦除的未被選部件為部件1。

[表2]

- 部件或晶片擦除(記憶胞、選擇電晶體)

	選擇部件	非選擇部件
WL0, ...WL15 SSL, GSL	Vss	Vss → Vera X $\alpha$ (浮動)
BLO, BL1, ...	Vera-Vf	Vera-Vf
SL	Vera-Vf	Vera-Vf
矽基板(p井)	Vera	Vera

註：晶片擦除時，全部成為選擇部件。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂

## 五、發明說明（53）

首先，如表2與圖33及圖34所示，以全部資料選擇線WL0、WL1、…WL15及全部選擇閘線GSL、SSL為接地電位Vss。而且，關於被選部件0內的資料選擇線WL0、WL1、…WL15及選擇閘線GSL、SSL，繼續給與接地電位Vss，關於未被選部件1內的資料選擇線WL0、WL1、…WL15及選擇閘線GSL、SSL，成為浮動狀態。

此後，供應擦除電位（例如約5V）Vera給矽基板（例如胞p井）。

此時，被選部件0內的共用電壓節點側的選擇開關元件之源極區域（n型）和矽基板（p型）成為正向偏壓狀態，共用電壓節點SL電位上升到Vera-Vf（Vf為pn接合的內建電位，約0.7V）。此外，被選部件0內的資料傳輸線側的選擇開關元件之汲極區域（n型）和矽基板（p型）成為正向偏壓狀態，資料傳輸線BL0、BL1、BL2、…電位也上升到Vera-Vf。即，共用電壓節點SL及資料傳輸線BL0、BL1、BL2、…電位都成為Vera-Vf（=約4.3V）。

其結果，在被選部件0分別施加擦除電壓（Vera-Vss）給矽基板和資料選擇線WL0、WL1、…WL15之間及矽基板和選擇閘線GSL、SSL之間。此擦除電壓設定在比為使MFSFET的鐵電膜極化反轉所需的最低限度電壓（臨界電壓）高之值。然而，此擦除電壓（例如約5V）例如比為對於反及型快閃EEPROM的記憶胞執行利用FN隧道現象的寫入或擦除所需的電壓（約15V~約21V），十分小。

在被選部件0，為了在矽基板和資料選擇線WL0、

## 五、發明說明 ( 54 )

WL1、…WL15之間及矽基板和選擇閘線GSL、SSL之間產生為使鐵電膜極化反轉而足夠的向上電場，在被選部件0內的全部記憶胞及全部選擇開關元件的鐵電膜產生向上極化，其極化值成為飽和極化值 $P_{max}$  (圖35)。

另一方面，在未被選部件1，供應擦除電位(例如約5V)  $V_{era}$ 給矽基板(例如胞p井)，藉由矽基板和資料選擇線WL0、WL1、…WL15間的電容耦合及藉由矽基板和選擇閘線GSL、SSL間的電容耦合，資料選擇線WL0、WL1、…WL15電位及選擇閘線GSL、SSL電位上升到 $\alpha \times V_{era}$ 。

此處， $\alpha$ 為矽基板和資料選擇線WL0、WL1、…WL15間及矽基板和選擇閘線GSL、SSL間的電容耦合的耦合比，相當於約0.9。因此，資料選擇線WL0、WL1、…WL15電位及選擇閘線GSL、SSL電位成為 $\alpha \times V_{era}$  (=約4.5V)。

其結果，在未被選部件1，分別施加比臨界電壓十分小的電壓，即 $V_{era}(1-\alpha)$ 程度的電壓(約0.5V)給矽基板和資料選擇線WL0、WL1、…WL15之間及矽基板和選擇閘線GSL、SSL之間。即，未被選部件1內的全部記憶胞及全部選擇開關元件的鐵電膜的極化狀態不變化。

此後，使給與矽基板的電位從 $V_{era}$ 變成 $V_{ss}$ ，關於全部記憶胞及選擇開關元件，鐵電膜內的電場就變成0。此時，被選部件0內的記憶胞及選擇開關元件的鐵電膜的向上極化的極化量成為剩餘極化值 $P_r$  (圖35)。即，如圖36所示，被選部件0內的全部記憶胞及全部選擇開關元件成為"0"狀態(臨界值高的狀態)，即擦除狀態。



## 五、發明說明 ( 55 )

又，在上述擦除動作雖然以資料擦除對象為被選部件 0 內的記憶胞和選擇開關元件，但也可以以資料擦除對象只為被選部件 0 內的記憶胞或只為選擇開關元件。

例如只擦除被選部件 0 內的記憶胞時，如表 3 所示，給與被選部件 0 內的選擇開線 GSL、SSL 接地電位  $V_{ss}$  後，使被選部件 0 內的選擇開線 GSL、SSL 成為浮動狀態。此後，給與矽基板 (p 井) 擦除電位  $V_{era}$ ，藉由電容耦合，被選部件 0 內的選擇開線 GSL、SSL 電位上升到  $V_{era} \times \alpha$ 。即，在被選部件 0 內的選擇開關元件的鐵電膜不產生極化反轉所需的足夠電場。

[表 3]

• 部件或晶片擦除 (記憶胞)

	選擇部件	非選擇部件
WL0, ... WL15	$V_{ss}$	$V_{ss} \rightarrow V_{era} \times \alpha$ (浮動)
SSL, GSL	$V_{ss} \rightarrow V_{era} \times \alpha$ (浮動)	$V_{ss} \rightarrow V_{era} \times \alpha$ (浮動)
BLO, BL1, ...	$V_{era} - V_f$	$V_{era} - V_f$
SL	$V_{era} - V_f$	$V_{era} - V_f$
矽基板 (p 井)	$V_{era}$	$V_{era}$

註：晶片擦除時，全部成為選擇部件。

此外，只擦除被選部件 0 內的選擇開關元件時，如表 4 所示，給與被選部件 0 內的資料選擇線 WL0、WL1、... WL15 接地電位  $V_{ss}$  後，使被選部件 0 內的資料選擇線 WL0、WL1、... WL15 成為浮動狀態。此後，給與矽基板 (p 井) 擦

## 五、發明說明 ( 56 )

除電位 Vera，藉由電容耦合，被選部件 0 內的資料選擇線 WL0、WL1、…WL15 電位上升到  $V_{erax\alpha}$ 。即，在被選部件 0 內的記憶胞的鐵電膜不產生極化反轉所需的足夠電場。

[表 4]

• 擦除(擇電晶體)

	選擇部件	非選擇部件
WL0, …WL15	$V_{ss} \rightarrow V_{erax\alpha}$ (浮動)	$V_{ss} \rightarrow V_{erax\alpha}$ (浮動)
SSL, GSL	$V_{ss}$	$V_{ss} \rightarrow V_{erax\alpha}$ (浮動)
BLO, BL1, …	Vera-Vf	Vera-Vf
SL	Vera-Vf	Vera-Vf
矽基板(p井)	Vera	Vera

此外，在本發明反及型 FRAM，也可以以資料擦除對象為被選部件 0 內的一頁或多數頁的記憶胞。

例如只擦除被選部件 0 內的一頁分的記憶胞時，如表 5 所示，只給與被選部件 0 內的被選一條資料選擇線接地電位  $V_{ss}$ ，使剩下的非選擇全部資料選擇線及選擇閘線成為接地電位  $V_{ss}$  後，成為浮動狀態。此外，給與矽基板(p井)擦除電位 Vera，藉由電容耦合，被選部件 0 內的非選擇全部資料選擇線及選擇閘線電位上升到  $V_{erax\alpha}$ 。即，在被選部件 0 內的非選擇記憶胞及選擇開關元件的鐵電膜不產生極化反轉所需的足夠電場。

## 五、發明說明 ( 57 )

[表 5]

## • 頁擦除(記憶胞)

		選擇部件	非選擇部件
WL0	選擇	Vss	-
	非選擇	Vss→Vera X $\alpha$	Vss→Vera X $\alpha$
WL15		(浮動)	(浮動)
SSL, GSL		Vss→Vera X $\alpha$	Vss→Vera X $\alpha$
		(浮動)	(浮動)
BLO, BL1, ...		Vera-Vf	Vera-Vf
SL		Vera-Vf	Vera-Vf
矽基板(p井)		Vera	Vera

在本發明反及型FRAM，在擦除動作方面，過度擦除不成為問題。因為在本發明反及型FRAM，記憶胞的擦除特性不受閘極和通道間的耦合比影響，記憶胞的臨界值為施加臨界電壓以上的預定電壓給鐵電膜所同等地決定。

## • 程式作業(對於記憶胞)

以成為資料寫入對象的被選部件為部件0，以不成為資料寫入對象的未被選部件為部件1。此外，在以下說明，設想選擇資料選擇線WL1、未選擇其他資料選擇線WL0、WL1、...WL15的情況。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 58 )

[表 6]

• 寫入(記憶胞)

		選擇部件	非選擇部件
WL0   WL15	選擇	Vprog	-
	非選擇	Vpass	Vss
SSL		Von	Voff
GSL		Voff	Voff
BL0,	寫入"1"	Vss	-
BL1, ⋮	寫入"0" (維持擦除)	Vcc	-
SL		Vcc	Vcc
矽基板(p井)		Vcc	Vss

首先，擦除被選部件 0 內的全部記憶胞資料。藉由上述擦除動作進行資料擦除。關於選擇開關元件，可以是"0"-程式規劃狀態(擦除狀態)或者也可以是"1"-程式規劃狀態。關於對於選擇開關元件的程式作業，後述之。

其次，如表 6 與圖 37 及圖 38 所示，將連接進行"1"-程式規劃的被選胞的資料傳輸線設定在接地電位 Vss，將連接進行"0"-程式規劃(維持擦除狀態)的被選胞的資料傳輸線設定在電源電位(例如約 3V) Vcc。又，注意下述之點：程式規劃資料"1"時，資料傳輸線電位成爲"0" (=Vss)，程式規劃資料"0"時，資料傳輸線電位成爲"1" (=Vcc)。

此外，將共用電壓節點 SL 設定在電源電位 Vcc，將矽基板(p井)設定在接地電位 Vss。

此外，被選部件 0 內的資料傳輸線側的選擇開線 SSL 設定

## 五、發明說明 ( 59 )

在如被選部件 0 內的資料傳輸線側的選擇開關元件變成接通狀態般的接通電位  $V_{on}$ ，被選部件 0 內的共用電壓節點側的選擇開線  $GSL$  設定在如被選部件 0 內的共用電壓節點側的選擇開關元件變成斷開狀態般的斷開電位  $V_{off}$ 。未被選部件 1 內的兩條選擇開線  $GSL$ 、 $SSL$  都設定在如選擇開關元件變成斷開狀態般的斷開電位  $V_{off}$ 。

接通電位  $V_{on}$  及斷開電位  $V_{off}$  根據選擇開關元件 (MFSFET) 的鐵電膜的極化狀態變化。選擇開關元件 "0"-程式規劃狀態 (擦除狀態)，即選擇開關元件的鐵電膜的極化向上時，其臨界值在於高的狀態，所以例如接通電位  $V_{on}$  成爲約 3V，斷開電位  $V_{off}$  成爲 0V。此外，選擇開關元件 "1"-程式規劃狀態，即選擇開關元件的鐵電膜的極化向下時，其臨界值在於低的狀態，所以例如接通電位  $V_{on}$  成爲 0V，斷開電位  $V_{off}$  成爲約 -3V。

在這種電位關係，包含進行 "1"-程式規劃的被選胞的反及串內的記憶胞的通道電位成爲接地電位  $V_{ss}$ 。此外，包含進行 "0"-程式規劃 (維持擦除狀態) 的被選胞的反及串內的記憶胞的通道電位預先充電到  $V_{cc}-V_{th}$  ( $V_{th}$  爲 MFSFET (記憶胞或選擇開關元件) 的臨界值)。此外，包含進行 "0"-程式規劃的被選胞的反及串內的資料傳輸線側的選擇開關元件成爲斷開狀態。

此後，將被選部件 0 內的被選資料選擇線  $WL1$  設定在寫入電位 (例如約 5V)  $V_{prog}$ ，將被選部件 0 內的非選擇資料選擇線  $WL0$ 、 $WL2$ 、 $\dots$   $WL15$  設定在傳輸電位 (例如約 3V)

## 五、發明說明 ( 60 )

V<sub>pass</sub>，將未被選部件1內的全部資料選擇線WL0、WL2、…WL15設定在接地電位V<sub>ss</sub>。

此時，施加臨界電壓以上的電壓V<sub>prog</sub>-V<sub>ss</sub> (=約5V)給連接於被選部件0內的被選資料選擇線WL1的記憶胞中進行"1"-程式規劃的被選胞的鐵電膜。因此，在進行"1"-程式規劃的被選胞的鐵電膜產生足以極化反轉的向下電場，所以產生向下極化，其極化值成爲飽和極化值-P<sub>max</sub> (圖35)。

另一方面，關於連接於被選部件0內的被選資料選擇線WL1的記憶胞中進行"0"-程式規劃(維持擦除)的被選胞，供應寫入電位(例如約5V) V<sub>prog</sub>給資料選擇線WL1且供應傳輸電位(例如約3V) V<sub>pass</sub>給資料選擇線WL0、WL2、…WL15，藉由通道(浮動)和資料選擇線WL0、WL1、…WL15間的電容耦合，其通道電位上升到 $\beta \times (V_{pass} - V_{read}) + (V_{cc} - V_{th})$ 。

此處， $\beta$ 爲通道和資料選擇線WL0、WL1、…WL15間的電容耦合的耦合比，相當於約0.5。

因此，關於連接於被選部件0內的被選資料選擇線WL1的記憶胞中進行"0"-程式規劃(維持擦除)的被選胞，由於不施加臨界電壓以上的電壓給鐵電膜，所以其鐵電膜的極化狀態不變化(禁止"1"-程式規劃)。

此後，使全部資料選擇線WL0、WL1、…WL15電位變成接地電位V<sub>ss</sub>，被選胞("1"-程式規劃胞)的鐵電膜的向下極化的極化量成爲剩餘極化值-Pr，被選胞("0"-程式規劃胞)的鐵電膜的向上極化的極化量成爲剩餘極化值Pr (圖35)。

## 五、發明說明 ( 61 )

即，如圖39所示，連接於被選部件0內的被選資料選擇線WL1的記憶胞中，被選胞("1"-程式規劃胞)的臨界值成爲低值，被選胞("0"-程式規劃胞)的臨界值維持高值。

在本發明反及型FRAM，在程式作業方面，過度程式不成爲問題。因爲在本發明反及型FRAM，記憶胞的寫入特性不受閘極和通道間的耦合比影響，記憶胞的臨界值爲施加臨界值電壓以上的預定電壓給鐵電膜所同等地決定。

### • 程式作業(對於選擇開關元件)

選擇開關元件的鐵電膜的極化可以是向上(臨界值的高的狀態)或向下(臨界值低的狀態)，任何一種都可以。要將選擇開關元件的鐵電膜的極化設定在向上，進行對於上述選擇開關元件的擦除動作即可。

以下，就將選擇開關元件的極化設定在向下的手法加以說明。

[表7]

### • 寫入(選擇電晶體)

		全部件
WL0, …WL15		V <sub>ss</sub>
SSL, GSL		V <sub>prog</sub>
BL0,	寫入"1"	V <sub>ss</sub>
BL1,	寫入"0"	-
⋮		
SL		V <sub>ss</sub>
矽基板(p井)		V <sub>ss</sub>

首先，將全部資料選擇線WL0、WL1、…WL15、全部選

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 62 )

擇閘線 SSL、GSL、全部資料傳輸線 BL0、BL1、…、共用電壓節點 SL 及矽基板 (p 井) 設定在接地電位  $V_{ss}$ 。此後，將進行 "1"-程式規劃的選擇開關元件之閘極 (選擇閘線) 設定在寫入電位 (例如約 5V)。通常使全部部件內的全部選擇開關元件的臨界值相等，所以使全部選擇閘線 SSL、GSL 從接地電位  $V_{ss}$  上升到寫入電位  $V_{prog}$ 。

此時，施加臨界電壓以上的電壓給全部選擇開關元件的鐵電膜，因向下電場而產生極化反轉，產生向下極化 (飽和極化值  $-P_{max}$ )。此後，使全部選擇閘線 SSL、GSL 回到接地電位  $V_{ss}$ ，選擇開關元件的鐵電膜的向下極化就成為飽和極化值  $-P_r$ 。

### • 重寫動作 (頁單位的重寫)

在本發明反及型 FRAM，頁單位的重寫 (胞資料變更) 可能。首先，藉由上述擦除動作擦除成為重寫對象的一頁分的記憶胞資料。此後，藉由上述程式作業，對於成為重寫對象的一頁分的記憶胞執行資料寫入。如此，在本發明反及型 FRAM，可以頁單位進行擦除動作及程式作業，結果頁單位的重寫可能。

### • 讀出動作

"1"-程式規劃狀態的記憶胞 ( $n$  通道 MFSFET)，因鐵電膜 14 的向下剩餘極化而在通道 (矽基板) 表面，即 p 型井區域表面引起負電荷。因此，如圖 40 所示，"1"-程式規劃狀態的記憶胞比 "0"-程式規劃狀態的記憶胞，臨界值低。

在 "0"-程式規劃狀態的記憶胞 ( $n$  通道 MFSFET)，因鐵電



## 五、發明說明 ( 63 )

膜14的向上剩餘極化而在通道(矽基板)表面，即p型井區域表面引起正電荷。因此，如圖40所示，"0"-程式規劃狀態的記憶胞比"1"-程式規劃狀態的記憶胞，臨界值高。

[表8]

## • 讀出(記憶胞)

		選擇部件	非選擇部件
WL0   WL15	選擇	Vread	Vss
	非選擇	Vpass (read)	Vss
SSL, GSL		Von Vpass (read)	Voff
BL0,	讀出"1"	VBL→Vss	-
BL1, ⋮	讀出"0"	VBL→VBL	-
SL		Vss	Vss
矽基板(p井)		Vss	Vss

於是，如表8所示，首先將全部資料傳輸線BL0、BL1、…預先充電到起始電位(例如約1.5V) VBL後，成為浮動狀態。此後，給與被選部件內的被選資料選擇線讀出電位Vread，給與被選部件內的非選擇資料資料選擇線傳輸電位Vpass (read)。

讀出電位Vread設定在關於"1"-程式規劃狀態的記憶胞，汲極電流Id流動，關於"0"-程式規劃狀態的記憶胞，汲極電流Id不流動類的值，例如約1V。此外，傳輸電位Vpass (read)設定在對於"1"-程式規劃狀態的記憶胞和"0"-程式規劃狀態的記憶胞雙方，汲極電流Id流動之類的

## 五、發明說明（64）

值，例如約3V。

又，給與未被選部件內的資料選擇線接地電位 $V_{ss}$ 。

此外，給與被選部件內的選擇閘線SSL、GSL  $V_{on}$ 。 $V_{on}$ 和程式作業時使用的 $V_{on}$ 相同。例如選擇開關元件在於"0"-程式規劃狀態(擦除狀態)時， $V_{on}$ 設定在 $V_{pass}$ (read)，選擇開關元件在於"1"-程式規劃狀態時， $V_{on}$ 設定在接地電位 $V_{ss}$ 。但是，若先將 $V_{on}$ 設定在 $V_{pass}$ (read)，則選擇開關元件不取決於其狀態而經常成為接通狀態。

給與未被選部件內的選擇閘線SSL、GSL  $V_{off}$ 。 $V_{off}$ 和程式作業時使用的 $V_{off}$ 相同。例如選擇開關元件在於"0"-程式規劃狀態(擦除狀態)時， $V_{off}$ 設定在接地電位 $V_{ss}$ ，選擇開關元件在於"1"-程式規劃狀態時， $V_{off}$ 設定在負電位，例如約-3V。

此外，共用電壓節點SL及矽基板(p井)設定在接地電位 $V_{ss}$ 。

此時，連接於被選部件內的非選擇資料選擇線的全部記憶胞成為接通狀態。此外，連接於被選部件內的被選資料選擇線的記憶胞中，"1"-程式規劃狀態的記憶胞成為接通狀態，"0"-程式規劃狀態的記憶胞成為斷開狀態。

因此，讀出"1"-程式規劃狀態的記憶胞資料的資料傳輸線電位從VBL變成 $V_{ss}$ ，讀出"0"-程式規劃狀態的記憶胞資料的資料傳輸線電位維持VBL。

而且，按照記憶胞資料產生的資料傳輸線電位差( $V_{ss}$ 、VBS)為具有感測放大功能的鎖定電路所放大且保持。例如

## 五、發明說明 ( 65 )

與資料 "1" 對應的  $V_{ss}$  還是  $V_{ss}$ ，與資料 "0" 對應的  $V_{BL}$  放大到  $V_{cc}$  (例如約 3V)。

具有感測放大功能的鎖定電路的資料經過輸出緩衝器輸出到記憶體晶片外部。

又，注意下述之點：讀出資料 "1" 時，資料傳輸線電位成爲 "0" ( $=V_{ss}$ )，讀出資料 "0" 時，資料傳輸線電位成爲 "1" ( $=V_{BL}$ )。

在上述擦除、寫入及讀出各動作，例如選擇開關元件的狀態最好經常固定。例如預先使全部選擇開關元件成爲 "0"-程式規劃狀態或 "1"-程式規劃狀態，此後對於記憶胞進行擦除動作、程式作業或讀出動作。這種情況，因  $V_{on}$  及  $V_{off}$  被固定而各動作的控制容易。

以上，如說明，根據本發明之半導體記憶裝置，即使用 MFSFET 的反及型 FRAM，可得到由習知 FRAM 或習知反及型快閃 EEPROM 所得到的效果以上的許多效果，例如 1) 記憶胞細微化、晶片尺寸縮小化、重寫電壓底電壓化、低消耗電力化、製程簡化佳，2) 可達成高速動作 (重寫時間縮短)、高可靠性 (重寫次數增多)，3) 可非破壞讀出或頁重寫，不要驗證等效果。

### (2) 詳細說明 2

#### [第一例]

圖 43 顯示本發明反及型 EEPROM 的胞陣列構造的平面圖。圖 44 爲沿著圖 43 的 XLIV-XLIV 線的截面圖，圖 45 爲沿著圖 43 的 XLV-XLV 線的截面圖，圖 46 爲沿著圖 43 的

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 66 )

XLVI-XLVI線的截面圖。圖47顯示圖43至圖46所示的裝置的一胞單元分的等效電路。

又，在圖43至圖47，在和圖41同一部分附上同一符號而詳細說明省略。此外，圖的記號下標係爲了表示其記號表示的元件或單元位置不同，主記號相同的元件或單元由互相相同的製程所形成。

此胞陣列構造的特徵在於以下之點：第一、選擇開關元件S1、S2有電荷儲存層(例如氮化矽)26SSL、26GSL，第二、選擇開關元件S1、S2構造和記憶胞M0、M1、...M15構造實質上相同，第三、選擇閘線SSL、GSL和控制閘線WL0、WL1、...WL15都配置於相同配線層內。

一反及胞單元包含反及串：由串聯連接的多數個(在本例16個)記憶胞M0、M1、...M15構成；及，兩個選擇開關元件S1、S2：各一個連接於此反及串兩端。

記憶胞M0、M1、...M15係由有電荷儲存層26的MOS電晶體所構成。汲極側選擇開關元件S1連接於資料傳輸線BL，源極側選擇開關元件S2連接於公用共用電壓節點SL。

記憶胞M0、M1、...M15及選擇開關元件S1、S2都形成於p型井區域23內。此外，記憶胞M0、M1、...M15之控制閘極分別在行方向一直線延伸，構成控制閘線(資料選擇線)CG1、CG2、...CG15。

選擇開關元件S1、S2具有選擇配置於列方向的多數胞單元中一個的功能。此外，選擇開關元件S1、S2的選擇閘線(部件選擇線)SSL、GSL共同連接於配置於行方向的多數

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 67 )

胞單元(一部件)，結果可選擇一部件內的胞單元。

此處，在本例和以往不同，選擇開關元件S1、S2構造和記憶胞M0、M1、...M15構造實質上相同。即，選擇開關元件S1、S2在其選擇閘線SSL、GSL正下面有電荷儲存層(例如氮化矽)26SSL、26GSL。此外，選擇閘線SSL、GSL和控制閘線WL0、WL1、...WL15都有相同構造且都配置於相同配線層內。

製成這種構造，可高密度配置記憶胞且可實現選擇閘線SSL、GSL及控制閘線WL0、WL1、...WL15的低電阻化。此外，從製程方面，無需在記憶胞側和選擇開關元件側分別進行微影或加工，所謂的背面副線(backside sub wire)也不要，所以可實現晶片面積縮小或製造成本減低。

又，在本例係兩個選擇閘線SSL、GSL連接於一胞單元45(或一部件)，但至少一條選擇閘線連接於一胞單元45就夠了。此外，選擇閘線SSL、GSL爲了記憶胞高密度化，如本例，在和控制閘線(資料選擇線)WL0、WL1、...WL15延伸的方向(即行方向)相同方向一直線配置。

此外，在本例胞單元45係由16( $=2^4$ )的記憶胞所構成，但胞單元45由至少一個記憶胞構成即可。即，胞單元45內的記憶胞數多數個時，成爲通常的反及型EEPROM，胞單元45內的記憶胞數一個時，成爲所謂的3-Tr NAND。

此外，在反及型EEPROM，最好胞單元45內的記憶胞數爲 $2^n$ ( $n$ 爲正整數)個。因爲 $2^n$ 個記憶胞藉由解譯 $n$ 位元數位位址信號可選擇。

## 五、發明說明 ( 68 )

其次，就圖43至圖46所示的半導體記憶裝置的裝置構造加以具體說明。

在p型矽基板21內形成n型井區域(n型矽區域)22，在n型井區域22內形成p型井區域(p型矽區域)23。這種井構造稱為二井構造或雙井構造。

p型井區域23含有p型雜質(例如硼)，其雜質濃度設定在 $1 \times 10^{14} \sim 1 \times 10^{19}$  atoms/cm<sup>3</sup>範圍內的預定值。在p型井區域23上例如形成有0.5~10 nm厚度的閘絕緣膜25、25SSL、25GSL。閘絕緣膜25、25SSL、25GSL係由氧化矽膜或氮氧化物膜所構成。

在閘絕緣膜25、25SSL、25GSL上例如形成有4 nm~50 nm厚度的電荷儲存層26、26SSL、26GSL。在本例，電荷儲存層26、26SSL、26GSL係由氮化膜所構成。

在電荷儲存層26、26SSL、26GSL上例如形成有2 nm~30 nm厚度的電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL。電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL係由氧化矽膜或氮氧化物膜所構成。

在電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL上形成多晶矽層41、41SSL、41GSL：含有n型雜質(例如磷、砷)或p型雜質(例如硼)，其雜質濃度設定在 $1 \times 10^{17} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>範圍內的預定值。多晶矽層41、41SSL、41GSL例如以10 nm~500 nm厚度形成。

閘絕緣膜25、25SSL、25GSL、電荷儲存層26、26SSL、26GSL、電荷儲存層和控制閘極間的絕緣膜40、40SSL、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 69 )

40GSL及多晶矽層41、41SSL、41GSL對於元件區域(或元件分離絕緣膜24)自行對準地形成於被由氧化矽膜構成的元件分離絕緣膜24包圍的元件區域(p型矽區域)上。

即，在本例，形成閘絕緣膜25、25SSL、25GSL、電荷儲存層26、26SSL、26GSL、電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL及多晶矽層41、41SSL、41GSL後，加工(蝕刻)這些，形成這些行方向的邊緣部(在此時點未進行為了形成列方向的邊緣部的加工)。

在此蝕刻(RIE)，例如p型井區域23也蝕刻，在p型井區域23內從其表面例如形成有0.05~0.5  $\mu\text{m}$ 深度的溝渠。然後，在此溝渠內嵌入元件分離絕緣膜24，對於此元件分離絕緣膜24執行CMP或回蝕(etch back)，區劃元件區域及元件分離區域。

如此，閘絕緣膜25、25SSL、25GSL、電荷儲存層26、26SSL、26GSL、電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL及多晶矽層41、41SSL、41GSL對於元件區域或元件分離區域自行對準地形成於被由氧化矽膜構成的元件分離絕緣膜24包圍的元件區域上。此外，閘絕緣膜25、25SSL、25GSL、電荷儲存層26、26SSL、26GSL、電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL及多晶矽層41、41SSL、41GSL形成於表面平坦的p型井區域23上，所以記憶胞構造的均勻性提高，可使記憶胞的特性一致。

再在多晶矽層41上形成行方向延伸、互相電氣連接配置於行方向的記憶胞M0、M1、...M15的多晶矽層41的控制閘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明（70）

極 27 (WL0)、27 (WL15)。控制閘線 27 (WL0)、27 (WL15)係由低電阻材料，例如矽化鎢(Tungsten Silicide)、矽化鎳、矽化鉬、矽化鈦、矽化鈷等金屬矽化物所構成。

同樣地，在多晶矽層 41SSL、41GSL上形成行方向延伸、互相電氣連接配置於行方向的選擇開關元件 S1、S2的多晶矽層 41SSL、41GSL的選擇閘線 27 (SSL)、27 (GSL)。選擇閘線 27 (SSL)、27 (GSL)係由低電阻材料，例如矽化鎢(Tungsten Silicide)、矽化鎳、矽化鉬、矽化鈦、矽化鈷等金屬矽化物所構成。

即，在本例，記憶胞的控制閘極及選擇開關元件的控制電極都成為雜質濃度  $1 \times 10^{17} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>的多晶矽層 41 和矽化鎢(Tungsten Silicide)、矽化鎳、矽化鉬、矽化鈦、矽化鈷等金屬矽化物的層疊(stack)構造。

又，控制閘線 27 (WL0)、…27 (WL15)及選擇閘線 27 (SSL)、27 (GSL)厚度例如設定在 10 nm~500 nm。此外，控制閘線 27 (WL0)、…27 (WL15)及選擇閘線 27 (SSL)、27 (GSL)從由配置於行方向的多數胞單元構成的一部件行方向的端部延伸到端部。

控制閘線 27 (WL0)、…27 (WL15)及選擇閘線 27 (SSL)、27 (GSL)上形成閘加工時成為罩幕的罩(cap)絕緣膜 48。

以此罩絕緣膜 28 為罩幕，蝕刻閘絕緣膜 25、25SSL、25GSL、電荷儲存層 26、26SSL、26GSL、電荷儲存層和控制閘極間的絕緣膜 40、40SSL、40GSL、多晶矽層 41、41SSL、41GSL及控制線(控制閘線及選擇閘線)27 (WL0)、…27



## 五、發明說明 ( 71 )

(WL15)、27 (SSL)、27 (GSL)，就形成這些列方向的邊緣部。

在閘絕緣膜25、25SSL、25GSL、電荷儲存層26、26SSL、26GSL、電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL、多晶矽層41、41SSL、41GSL及控制線27 (WL0)、…27 (WL15)、27 (SSL)、27 (GSL)列方向的邊緣部(側壁)形成側壁絕緣膜43。

側壁絕緣膜43例如由氮化矽膜、氧化矽膜等構成，其厚度例如設定在5 nm~200 nm範圍內的預定值。此外，在p型井區域23內形成n型擴散層(源極/汲極區域)28、28<sub>s</sub>、28<sub>d</sub>。

而且，MONOS型EEPROM胞(記憶胞)由n型擴散層28、電荷儲存層26、多晶矽層41及控制閘線27 (WL0)、…27 (WL15)構成。此外，選擇開關元件也由n型擴散層28、28<sub>s</sub>、28<sub>d</sub>、電荷儲存層26SSL、26GSL、多晶矽層41SSL、41GSL及選擇閘線27 (SSL)、27 (GSL)構成。

MONOS型EEPROM胞的閘長設定在0.01 μm~0.5 μm範圍內的預定值。n型擴散層28、28<sub>s</sub>、28<sub>d</sub>含有n型雜質(例如磷、砷、銻等)，其表面濃度設定在 $1 \times 10^{17} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>範圍內的預定值。此外，n型擴散層28、28<sub>s</sub>、28<sub>d</sub>深度例如設定在10 nm~500 nm範圍內的預定值。

一個n型擴散層28為互相鄰接的兩個記憶胞所共有，其結果可實現由多數串聯連接的記憶胞構成的反及串。此外，一個n型擴散層28<sub>s</sub>、28<sub>d</sub>為在列方向互相鄰接的兩個胞

## 五、發明說明 ( 72 )

單元所共有。

選擇開關元件的閘長設定成比MONOS型EEPROM胞(記憶胞)的閘長長。例如選擇開關元件的閘長設定在 $0.02\ \mu\text{m}$ ~ $1\ \mu\text{m}$ 範圍內的預定值。如此藉由比記憶胞的閘長加長選擇開關元件的閘長，因可充分增大部件選擇/非選擇時的接通/斷開比而可防止錯誤寫入或錯誤讀出。

關於本例的裝置構造的特徵在於下述之點：選擇開關元件和記憶胞都由MONOS型MOSFET構成。此外，關於本例的裝置構造的特徵在於下述之點：選擇開關元件的選擇閘線27 (SSL)、27 (GSL)形成於和MONOS型EEPROM胞(記憶胞)的控制閘線27 (WL0)、...27 (WL15)相同之層。

在本例，記憶胞的絕緣膜25及電荷儲存層26的厚度分別和選擇開關元件的絕緣膜25SSL、25GSL及電荷儲存層26SSL、26GSL的厚度實質上相同。即，在記憶胞和選擇開關元件，由於可同時形成絕緣膜25、25SSL、25GSL及電荷儲存層26、26SSL、26GSL，所以製程短，可降低製程成本。

而且，在列方向互相鄰接的兩個MOSFET(包含記憶胞及選擇開關元件)的側壁絕緣膜43間未形成電荷儲存層26、26SSL、26GSL。因此，也不會在列方向互相鄰接的兩個MOSFET間的絕緣膜儲存電子，可防止源極/汲極區域的電阻上升。

胞單元內最資料傳輸線側的n型擴散層(汲極)28<sub>d</sub>例如經過由含有雜質的導電性多晶矽構成的接觸插塞31<sub>d</sub>連接於中間層33<sub>d</sub>。中間層33<sub>d</sub>係例如為擴大資料傳輸線接觸部行

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

## 五、發明說明 ( 73 )

方向的間距而設。

中間層33<sub>d</sub>例如經過由含有雜質的導電性多晶矽構成的接觸插塞32<sub>d</sub>連接於資料傳輸線BL。資料傳輸線36 (BL)由鎢、矽化鎢、鈦、氮化鈦、鋁等低電阻材料構成。

胞單元內最共用電壓節點側的n型擴散層(源極)28<sub>s</sub>例如經過由含有雜質的導電性多晶矽構成的接觸插塞31<sub>s</sub>連接於共用電壓節點33 (SL)。共用電壓節點33 (SL)在行方向一直線延伸，為行方向的胞單元所共有。

又，接觸插塞31<sub>d</sub>、31<sub>s</sub>、32<sub>d</sub>取代導電性多晶矽，由鎢、矽化鎢、鋁、氮化鈦、鈦等低電阻材料構成亦可。

記憶胞及選擇開關元件為層間絕緣膜28所覆蓋。資料傳輸線36 (BL)例如藉由金屬鑲嵌(damascene)製程，形成於設於層間絕緣膜28配線構內。同樣地，共用電壓節點33 (SL)及中間層33<sub>d</sub>也例如為金屬鑲嵌製程所形成。層間絕緣膜28例如二氧化矽或氮化矽等構成。

資料傳輸線36 (BL)上例如形成由鎢、鋁、銅等金屬構成的上部配線。而且，資料傳輸線36 (BL)及上部配線分別被例如由二氧化矽、氮化矽、聚醯亞胺(polyimide)等絕緣膜構成的保護膜(鈍化膜)37覆蓋。

又，在這種裝置構造，在p型井區域23和p型半導體基板21間配置n型井區域22。因此，p型井區域23電位可和p型半導體基板21電位獨立設定。其結果，例如擦除時可減少升壓電路(booster)的消耗電力。

在本例，形成多晶矽層41、41SSL、41GSL行方向的邊緣

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 74 )

部且在p型井區域23內形成溝渠，將元件分離絕緣膜24嵌入此溝渠內後，形成行方向延伸的控制閘線27 (WL0)…27 (WL15)及選擇閘線27 (SSL)、27 (GSL)。

因此，如圖3及圖4所示，控制閘線27 (WL0)…27 (WL15)及選擇閘線27 (SSL)、27 (GSL)經常形成於p型井區域23上部，不會形成於p型井區域23附近或下部。

即，在關於本例的裝置構造，在p型井區域23和元件分離絕緣膜24邊界難以產生電場集中，並且也難以產生臨界值低的寄生電晶體。此外，由於難以產生起因於電場集中而寫入臨界值降低的現象。所謂的側道(sidewalk)現象，所以可形成高可靠性的電晶體(記憶胞及選擇開關元件)。

圖48顯示記憶胞陣列及資料選擇線驅動器的部件佈設一例。

45為胞單元，胞單元45例如由反及胞單元及胞單元構成。多數條(在本例16條)資料選擇線WLO<sub>x</sub>~WL15<sub>x</sub> (x為表示a、b這種部件符號的下標)連接於一部件內的各胞單元45。

此外，多數條(在本例2條)選擇閘線(部件選擇線)SSL<sub>x</sub>、GSL<sub>x</sub>連接於一部件內的各胞單元45。選擇閘線SSL<sub>x</sub>、GSL<sub>x</sub>具有下述功能：從多部件選擇一個部件，將被選一個部件內的胞單元45連接於資料傳輸線BL1、BL2。

資料選擇線WLO<sub>x</sub>~WL15<sub>x</sub>在行方向延伸，資料傳輸線BL1、BL2在列方向延伸，兩者互相正交。胞單元45內的記憶胞配置於資料選擇線WLO<sub>x</sub>~WL15<sub>x</sub>和資料傳輸線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

檢

## 五、發明說明（75）

BL1、BL2的交點，可分別獨立寫入及讀出數位位元資料。

胞單元45分別多數個配置於行方向及列方向，構成記憶胞矩陣。在圖6雖然顯示在行方向2個、在列方向2個，合計由4個胞單元構成的記憶胞矩陣，當然也可以在行方向配置3個以上的胞單元45且列方向配置3個以上的胞單元45。

但是，若考慮藉由解釋 $i$ 位元位址信號選擇配置於行方向或列方向的胞單元45之點，則配置於行方向或列方向的胞單元45數最好是 $2^i$ 個（ $i$ 為正整數）。

資料選擇線WLO $x$ ~WL15 $x$ 及選擇閘線SSL $x$ 、GSL $x$ 一端連接於資料選擇線驅動器46。資料選擇線驅動器46接到行解碼器47（RDCa、RDCb）的解碼結果，驅動資料選擇線WLO $x$ ~WL15 $x$ 及選擇閘線SSL $x$ 、GSL $x$ 。

此處，在本例，資料選擇線驅動器46分別配置於記憶胞陣列行方向的兩個端部。即，記憶胞陣列（部件）為資料選擇線驅動器46所夾入。形成這種佈設的理由在於第一、容易配置資料選擇線驅動器46，第二、消除一個胞單元內的多數條資料選擇線WLO $x$ ~WL15 $x$ 驅動定時的偏差，即時滯（skew）。

在本例，與一個部件的對應設置一個資料選擇線驅動器46。即，部件a內的資料選擇線WLOa、…WL15a和部件b內的資料選擇線WLOB、…WL15b被分別獨立控制。資料選擇線驅動器46係由為根據行解碼器47的解碼結果（輸出）而給與預定部內的預定資料選擇線寫入電位Vprog或擦除

## 五、發明說明 ( 76 )

電位 Vera 的開關電路(例如 MOS 電晶體)所構成。

其次，就選擇開電晶體的臨界值設定方向加以說明。

在此就連接於資料傳輸線 BL 的選擇開關元件 S1 加以說明。選擇開關元件和記憶胞同樣，係由 MONOS 型電晶體所構成。

圖 49 顯示關於本發明的 MONOS 型電晶體的裝置構造。圖 50 顯示沿著圖 49 的 D-D' 線的截面的擦除時的能帶圖。圖 51 顯示沿著圖 49 的 D-D' 線的截面的寫入時的能帶圖。

MONOS 型電晶體的電荷儲存層 26 內的負電荷如圖 50 所示，擦除時，藉由隧道效應，隨著從 p 型井區域 23 移動到電荷儲存層 26 的電洞或從電荷儲存層 26 移動到 p 型井區域 23 的電子增減。

因此，在電荷儲存層 26 內儲存一定量以上的正電荷，產生於電荷儲存層和控制閘極間的絕緣膜 40 內的電場就會增大，其結果將電子從控制閘極 27 注入電荷儲存層 26。即，擦除時，將電荷儲存層 26 內的電子抽出到通道，使 MONOS 型電晶體的臨界值降低，從某時點起就會從控制閘極 27 將電子注入電荷儲存層 26，所以 MONOS 型電晶體的臨界值逐漸集中於預定值。

因此，MONOS 型電晶體的臨界值即使使擦除時間增大也不會變成比預定值低的值，而經常成為比預定值高的值，所以不產生所謂的過度的擦除現象。

另一方面，如圖 51 所示，寫入時，電荷儲存層 26 內的負電荷藉由隧道效應，隨著從形成於 p 型井區域 23 的反轉層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 77 )

移動到電荷儲存層26的電子增減。

然而，在電荷儲存層26內儲存一定量以上的負電荷，電荷儲存層和控制閘極間的絕緣膜40的能帶傾斜就會增大，其結果將電洞從控制閘極27注入電荷儲存層26。即，寫入時，將電子注入電荷儲存層26內，使MONOS型電晶體的臨界值繼續上升，從某時點起就會從控制閘極27將電洞注入電荷儲存層26，所以MONOS型電晶體的臨界值逐漸集中於預定值。

因此，MONOS型電晶體的臨界值即使使寫入時間增大也不會變成比預定值高的值，而經常成為比預定值低的值，所以不產生所謂的過度寫入現象。

如此，在關於本例的裝置，由MONOS型電晶體構成選擇開關元件及記憶胞，並且在電荷儲存層26和控制閘極(包含選擇閘線及控制閘線)27間的電荷儲存層和控制閘極的絕緣膜40也在一定條件下使隧道電流流動。

這種特徵是在沒有使電流流到電荷儲存層和控制閘極間的絕緣膜的習知非揮發性半導體記憶體沒有的。

又，使記憶胞的臨界值的絕對值飽和，防止記憶胞的臨界值在廣大範圍變動的技術，例如記載於T. Bohm, A. Nakamura, H. Aozawa, M. Yamagishi and Y. Komatsu, Extended Abstract of the 1995 International Conference on Solid State Devices and Materials, pp. 890-892 (特別參照圖4的寫入/擦除特性)。

圖52為關於寫入/擦除後的臨界值分佈，比較本發明和以往而顯示之圖。

## 五、發明說明 ( 78 )

習知記憶胞以通常的浮動閘型記憶胞為對象。對此，本發明的記憶胞或選擇開關元件如上述，係在電荷儲存層和控制閘極間的電荷儲存層和控制閘極間的絕緣膜也隧道電流流動的MONOS型電晶體。

在以往如點線所示，特別是因在隧道絕緣膜捕獲正電荷而在從電荷儲存層將電子抽出到p型井區域的擦除動作時，產生所謂的過度擦除現象。其結果，擦除後的記憶胞的臨界值分佈幅度 $\Delta V_{th1}$ 成為非常寬的範圍(2V~3V)。

另一方面，在本發明如實線所示，即使從電荷儲存層26抽出到p型井區域25的電子量增加，為了補償此，也從控制閘極27將電子注入電荷儲存層26，所以不產生過度擦除現象。

其結果，根據本發明，比以往可縮小擦除後的記憶胞或選擇開關元件的臨界值分佈幅度 $\Delta V_{th2}$ 。具體而言，在本發明，擦除後的記憶胞或選擇開關元件的臨界值分佈幅度 $\Delta V_{th2}$ 可在1V以下。此外，在本發明，因可縮小記憶胞或選擇開關元件的臨界值變動而可縮短擦除時間，可實現高速的擦除動作。

同樣地，關於寫入動作，根據本發明的胞構造，也不產生過度寫入現象，所以即使不進行寫入驗證而進行寫入動作，也可以將寫入後的臨界值分佈幅度收在非常狹窄的範圍(例如1V以下)。此外，若進行寫入驗證，則可將寫入後的臨界值分佈幅度設定在更加狹窄的範圍。

因此，在本發明，例如可將選擇開關元件的臨界值上限

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂



## 五、發明說明 ( 79 )

設定在低值。此外，讀出時或驗證讀出時，即使使給與選擇開關元件的選擇開關元件的控制閘極的電位降低，也可以得到十分大的讀出電流。因此，可縮小產生於選擇開關元件的閘絕緣膜(隧道絕緣膜)的電壓應力，可達成提高閘絕緣膜耐壓(擊穿電壓)或防止閘絕緣膜疲勞(惡化)等。

其次，就將關於本發明的MONOS電晶體用於選擇開關元件S1時設定選擇開關元件S1的臨界值的動作流程加以說明。

又，在以下就設定選擇開關元件S1的臨界值的動作加以說明。在本發明，通常在設定選擇開關元件S1的臨界值後，進行選擇開關元件S2的臨界值設定，此後對於記憶胞執行資料的寫入/擦除。

關於選擇開關元件S2或記憶胞，藉由和以下所示的手法同樣的手法可設定臨界值。

且說寫入、擦除、驗證各動作，例如如揭示於特開平08-315590、特願平11-198978等文獻，係眾所周知技術，所以關於其詳細說明省略。

圖53顯示一部件內的選擇開關元件S1的臨界值設定程序。

臨界值的設定程序包括從SE1到SE5的程序。

SE1為部件擦除步驟。

部件擦除步驟係以使連接於一部件內的選擇閘線SSL的多數選擇開關元件S1狀態成為擦除狀態為目的。對於選擇開關元件S1的擦除，例如藉由將0V給與p型井區域23、

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 80 )

將正電位  $V_{ppe}$  給與選擇閘線 SSL 進行。

在此部件擦除步驗無需進行擦除驗證。即，在部件擦除不要測量負臨界值、判定選擇開關元件 S1 是否確實變成擦除狀態的電路，所以僅該部分就可縮小電路面積。

此處，在本例，因只思考選擇開關元件 S1 的臨界值設定方法而以只使選擇開關元件 S1 成爲擦除狀態爲前提，但例如使一部件內的全部選擇開關元件 S1、S2 及記憶胞 M0、M1、...M15 同時成爲擦除狀態亦可。即，這種情況，使一部件內的全部選擇開關元件 S1、S2 及記憶胞 M0、M1、...M15 成爲擦除狀態後，按選擇開關元件 S1、選擇開關元件 S2、記憶胞 M0、M1、...M15 順序分別進行寫入動作，進行其臨界值設定。

SE1 例如按 1 ns 到 1  $\mu$ s 範圍內的時間進行。

具體而言，首先使選擇部件內的選擇閘線 SSL 成爲浮動狀態後，將 p 型井區域 23 設定在擦除電位  $V_{ppe}$ 。接著，使選擇部件內的選擇閘線 SSL 電位降低 0V。而且，爲了防止擦除錯誤 (erase error)，使非選擇部件內的資料選擇線 WL0、WL1、...WL15 及選擇閘線 SSL、SGL 成爲浮動狀態。

此處，爲了以 100 ms 以下的實用速度使擦除動作結束，擦除電位  $V_{ppe}$  設定在爲在隧道絕緣膜使  $1 \times 10^{-4}$  A/cm<sup>2</sup> 以上的隧道電流流動而足夠的值。例如將膜厚 t [nm] 的氧化矽膜用於隧道絕緣膜 25 時，若以擦除  $V_{ppe}$  爲 t [V] 到 6t [V] 範圍內的值，則可得到實用的擦除速度。

此時，擦除電位 (擦除脈衝)  $V_{ppe}$  的脈衝寬度設定在 1  $\mu$ s

## 五、發明說明 ( 81 )

到100 ms範圍內的值。此擦除電位  $V_{ppe}$  若同時給與選擇閘線 SSL、選擇閘線 GSL 及資料選擇線 WL0、WL1、...WL15，則對擦除順序的高速化非常有效。

又，擦除後，擦除部件(選擇部件)內的全部選擇開關元件及全部記憶胞的臨界值成爲負，並因給與擦除部件內的選擇閘線 27SSL、27GSL 及控制閘線 27 (WL0)、27 (WL1)、...27 (WL3) 接地電位而共用電壓節點 SL 和資料傳輸線 BL 互相成爲導通狀態。

此結果，例如可得到如圖 52 的實線所示的擦除臨界值分佈，即臨界值不降到預定值以下的臨界值分佈。此外，將一個擦除脈衝給與選擇閘線 SSL 後的臨界值分佈幅度  $\Delta V_{the2}$  也如圖 52 所示，可非常縮小。

就擦除時間而言，如在圖 50 說明，設定在隧道電流在控制閘極 27 和電荷儲存層 26 間流動，此隧道電流等於在電荷儲存層 26 和 p 型井區域 23 間流動的隧道電流或到其以上的時間。

其次，執行 SE2 的步驟。

在此步驟，對於選擇部件內的選擇閘線 SSL 施加寫入脈衝。

寫入脈衝在比 p 型井區域 23 電位大的電位，例如 p 型井區域 23 爲 0V 時，設定在正電位。具體而言，例如以 p 型井區域 23 電位爲 0V，使資料傳輸線 BL 電位等於共用電壓節點 SL 電位，將選擇部位件內的選擇閘線 SSL 電位設定在程式電位  $V_{pgm}$ 。

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂

## 五、發明說明（82）

此時，非選擇部件內的選擇閘線SSL設定在比程式電位V<sub>p<sub>gm</sub></sub>十分低的電位（例如0V）或浮動。此處，為了以100 ms以下的實用速度使寫入動作結束，寫入電位V<sub>p<sub>gm</sub></sub>設定在為在電荷儲存層和半導體元件區域間的絕緣膜使 $1 \times 10^{-4}$  A/cm<sup>2</sup>以上的隧道電流流動而足夠的值。

例如將膜厚t [nm]的氧化矽膜用於電荷儲存層和半導體元件區域間的絕緣膜時，寫入電位V<sub>p<sub>gm</sub></sub>設定在t [V]到6t [V]範圍內的預定值。此外，寫入電位V<sub>p<sub>gm</sub></sub>的脈衝寬度設定在1 μs到100 ms範圍內的預定值。

又，在選擇部件內執行對於選擇開關元件的寫入之間，為了防止錯誤寫入，選擇部件內的資料選擇線WL0、WL1、…WL15設定在0V或浮動狀態。

在SE2的步驟，將汲極側（資料傳輸線側）選擇開關元件S1的臨界值分佈下限設定在比0V高的值。

其結果，從那以後將0V給與選擇閘線SSL時，可使選擇開關元件S1成為斷開狀態。即，例如在寫入驗證的驗證讀出時，可讀出選擇部件內的選擇開關元件S1、選擇開關元件S2或記憶胞M0、M1、…WL15的資料。

又，選擇開關元件S1的臨界值分佈下限為0V以下時，因產生共用電壓節點SL和資料傳輸線BL短路的部件而例如不能實施寫入驗證(SE3)。

具體而言，利用最初第一次的寫入脈衝（最初的SE2步驟）使選擇開關元件S1的臨界值分佈下限變成0V以上。藉由此寫入脈衝，選擇開關元件S1的臨界值分佈進入設定臨界

## 五、發明說明 ( 83 )

值上限和設定臨界值下限的範圍 $\Delta V_{th}$ 時，立刻結束對於選擇開關元件S1的臨界值設定動作即可。

此外，例如即使加長寫入時間，選擇開關元件S1的臨界值分佈上限也不會超過設定臨界值上限，同時可縮小臨界值分佈幅度。這種情況，寫入時間如在圖51說明，係在控制閘極27和電荷儲存層26間隧道電流流動且該隧道電流與在電荷儲存層26和p型井區域23間流動的隧道電流相等或到其以上的時間。

此處，在以往為了使選擇開關元件S1的臨界值分佈下限成為0V以上，例如需要比 $\Delta V_{th1}$  (例如2V以上的值)大地設定圖52的設定臨界值上限和0V之差。因為基本上擦除狀態的臨界值分佈照樣移動，成為寫入狀態的臨界值分佈。因此，設定臨界值上限變成非常高，有資料讀出時 (包含驗證讀出時) 的所謂通道電位 (選擇部件內的非選擇資料選擇線電位) 變高的問題。

根據本發明，由於可非常縮小選擇開關元件及記憶胞的擦除狀態的臨界值分佈幅度 $\Delta V_{th2}$ ，所以同樣地也可以縮小藉由使此擦除狀態的臨界值分佈在正方向移動所得到的寫入狀態的臨界值分佈幅度 $V_{thp}$ 。因此，設定臨界值上限和0V之差也可以縮小，例如可設定在1V以下。

如此，由於可降低設定臨界值上限值，所以可降低資料讀出時 (包含驗證讀出時) 的所謂通路電位，並可消除產生於選擇開關元件S1的閘絕緣膜的應力或膜疲勞問題。

又，在本發明，即使更加長寫入時間 (即使增加寫入脈

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 84 )

衝次數)，選擇開關元件S1的臨界值上限(設於設定臨界值上限和設定臨界值下限之間)也不會變動，所以下限逐漸上升，可得到非常狹窄的臨界值分佈(以圖52的斜線所示的範圍)。

即，在 $\Delta V_{th2} > \Delta V_{th}$ 且(設定臨界值上限)- $0V > \Delta V_{th2}$ 的情況，藉由進行寫入驗證動作，可更縮小選擇開關元件S1的臨界值分佈。這種情況，使施加最初第一次寫入脈衝(SE2步驟)後的臨界值分佈如圖52所示，其臨界值分佈下限比0V高即可。

其次，就SE3步驟加以說明。

在SE3步驟，進行對於選擇部件內的選擇開關元件S1的驗證讀出。即，比較選擇部件內的選擇開關元件S1的臨界值和設定臨界值下限，選擇開關元件S1的臨界值比設定臨界值下限低時，在SE4步驟被判斷成寫入不充分。另一方面，選擇開關元件S1的臨界值比設定臨界值下限高時，在SE4步驟被判斷成寫入充分。

對於選擇部件內的全部選擇開關元件S1被判斷成寫入充分時，使臨界值設定動作結束。

SE3步驟，即驗證讀出，具體而言，係如下進行。

首先，將資料傳輸線BL充電到Vread後，使資料傳輸線BL成為浮動狀態。共用電壓節點SL設定在0V。Vread成為電源電位Vcc和0V間的電位，若考慮nMOS感測放大器靈敏度提高，則最好設定在Vcc/2以上的值。

Vread為給與選擇部件內的非選擇資料選擇線的通路電

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂

## 五、發明說明 ( 85 )

位，需要比設定臨界值上限高。

接著，給與選擇部件內的選擇閘線SSL驗證電位Vref。Vref例如設定在 $0V+(設定臨界值下限)+(餘量)$ 。餘量成爲取決於感測放大器靈敏度的值。取決於感測放大器靈敏度的值(餘量)若考慮陣列雜訊或感測放大器的輸入電晶體的臨界值偏差等，則通常成爲 $0\sim 0.2V$ 程度。

而且，選擇開關元件S1的臨界值比Vref低時，選擇開關元件S1成爲接通狀態，將資料傳輸線BL的電荷經過選擇開關元件S1放出到共用電壓節點SL，資料傳輸線BL的電位降低。另一方面，選擇開關元件S1的臨界值Vref高時，選擇開關元件S1爲斷開狀態，電流不流到選擇開關元件S1，資料傳輸線BL的電位保持在Vread。

如此，根據選擇部件內的選擇開關元件S1的臨界值狀態，資料傳輸線BL的電位變化。

於是，將資料傳輸線BL電氣連接於感測放大器，利用感測放大器檢出此資料傳輸線BL的電位變化，則可判斷選擇開關元件S1的寫入充分或不充分(SE4步驟)。

又，選擇部件內的至少一個選擇開關元件S1的臨界值比Vref低時，進行寫入脈衝的脈衝電壓及脈衝寬度再設定後，再給與選擇部件內的選擇閘線SSL寫入脈衝，執行對於選擇開關元件S1的再寫入(SE5步驟)。

用於再寫入的寫入的寫入脈衝例如如臨界值的移動量收在 $\Delta V_{th1}$ 以下般地設定其脈衝電壓及脈衝寬度。即，用於再寫入的寫入脈衝的脈衝電壓及脈衝寬度比之前不久進行

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 86 )

的寫入時的寫入脈衝的脈衝電壓小且比之前不久進行的寫入時的寫入脈衝的脈衝寬度窄地設定。

改變這種寫入時的寫入脈衝的脈衝電壓及脈衝寬度的順序，例如揭示於特開平08-315590。

而且，僅m次反覆從SE2步驟到SE5步驟的驗證動作後，如圖52的斜線部所示，選擇部件內的選擇開關元件S1的臨界值分佈幅度可縮小到 $\Delta V_{the}/m$ 程度。例如選擇開關元件S1的臨界值分佈幅度可設定在0.5V以下。

以上，就設定一個部件內的選擇開關元件S1的臨界值時的電路動作加以說明。

又，設定選擇開關元件S1的臨界值後，利用同樣手法進行一個部件內的選擇開關元件S2的臨界值設定。此後，對於記憶胞M0、M1、...M15執行資料寫入/擦除。

其次，就一併設定多數部件內的選擇開關元件S1的臨界值時的電路動作加以說明。

圖54顯示一併設定多數部件內的選擇開關元件S1的臨界值時的電路動作。

首先，在SE1'步驟，對於多數部件內的選擇開關元件S1、S2及記憶胞M0、M1、...M15的擦除動作。給與多數部件(選擇部件)內的選擇閘線SSL比p型井區域23低的電位。例如將0V給與選擇閘線SSL，將正電位給與p型井區域23。同樣地，將0V也給與選擇閘線GSL及控制閘線WL0、WL1、...WL15。

結束SE1'步驟，即對於多數部件內的選擇開關元件S1、

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂



## 五、發明說明 ( 87 )

S2及記憶胞M0、M1、...M15的擦除動作，這些選擇開關元件S1、S2及記憶胞M0、M1、...M15的臨界值就全部成爲負，所以資料傳輸線BL和共用電壓節點SL經常是導通狀態(短路狀態)。

在圖54的流程圖，在多數個(n個)部件分別附上從1到n的號碼。

在SE2'步驟，進行對於第一部件內的選擇閘線SSL的寫入脈衝施加。同樣地，從第二部件內的選擇閘線SSL到第n部件內的選擇閘線SSL依次執行寫入脈衝施加(SE2"步驟)。

其結果，將多數部件內，即第一部件的第n部件的全部部件內的選擇開關元件S1的臨界值設定在0V以上的值。此處，在本例雖然各部件依次進行對於選擇開關元件S1的最初寫入，但取代此，也可以同時給與全部部件(第一~第n部件)內的選擇閘線SSL寫入脈衝，對於全部部件內的選擇開關元件S1一次進行最初寫入。這種情況，可助於寫入時間縮短。

在SE3'步驟，進行對於多數部件(第一~第n部件)內的選擇開關元件S1的驗證讀出。

此驗證讀出可對於多數部件內的全部選擇開關元件S1一併同時進行。即，將全部資料傳輸線BL設定在預先充電電位後，成爲浮動狀態。此外，同時將Vref1給與多數部件內的全部選擇閘線SSL，將0V給與選擇閘線SSL及控制閘線WL0、WL1、...WL15。

這種情況，多數部件內的選擇開關元件S1中至少一個臨

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂

## 五、發明說明 ( 88 )

界值不滿  $V_{ref1}$  時，由於將資料傳輸線 BL 的電荷經過其選擇開關元件 S1 放電到共用電壓節點 S1，所以資料傳輸線 BL 的電位降低。此外，多數部件內的全部選擇開關元件 S1 的臨界值超過  $V_{ref1}$  時，資料傳輸部 BL 維持預先充電電位。

即，例如驗證讀出時，若對於全部資料傳輸線 BL 電位進行及 (AND) 處理，則對於多數部內的全部選擇開關元件 S1 可一併進行驗證判定 (SE4' 步驟)。

又，SE2'~SE5' 步驟係以使多數部件內的全部選擇開關元件 S1 的臨界值成為超過 0V 的值以上為目的。因此，在此步驟的  $V_{ref1}$  若超過 0V，則比設定臨界值下限低亦可。

而且，驗證讀出的結果，多數部件內的選擇開關元件 S1 中至少一個臨界值比  $V_{ref1}$  低時，再設定寫入脈衝的脈衝電壓和脈衝寬度後，執行再寫入 (SE4'~SE5')。

此處將就選擇開關元件 S1 的臨界值為負時的胞單元狀態加以說明。

圖 55 顯示對於多數部件的電晶體進行整批擦除後的胞單元的等效電路。

Ma1、Ma2、Mb1、Mb2 表示胞單元內的汲極側 (資料傳輸線側) 選擇開關元件 S1。此外，選擇開關元件 S2 及記憶胞 M0、M1、...M15 的臨界值全部設定在負。因此，胞單元內的選擇開關元件 S2 及記憶胞 M0、M1、...M15 可表示為電阻元件。

而且，選擇開關元件 Ma1、Ma2、Mb1、Mb2 的至少一個

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 89 )

臨界值為負時，若將選擇閘線 SSLa、SSLb 設定在 0V，就使資料傳輸線 BL1、BL2 中至少一個經過胞單元短路共用電壓節點 SL。

此外，全部選擇開關元件 Ma1、Ma2、Mb1、Mb2 的臨界值為正時，即使將選擇閘線 SSLa、SSLb 設定在 0V，也不會使資料傳輸線 BL1、BL2 短路到共用電壓節點 SL。這種情況，可正確進行圖 54 的 SE6 步驟後所進行的臨界值設定程序。

如此，在 SE1' 步驟到 SE5' 步驟，以多數部件內的全部選擇開關元件 S1 的臨界值為正的理由，係為了正確進行此後所進行的臨界值設定步驟 (SE6~SE10)。

又，也考慮藉由 SE1' 步驟到 SE5' 步驟，將多數部件內的全部選擇開關元件 S1 的臨界值分佈收在設定臨界值下限和設定臨界值上限的範圍  $\Delta V_{th}$  的情況。這種情況，SE6 步驟以後的步驟因執行的意義薄弱而在結束 SE4' 步驟的時點，使對於選擇開關元件 S1 的臨界值設定動作結束亦可。

但是，若增加寫入時間 (寫入次數)，則選擇開關元件 S1 的臨界值分佈上限不變，但因其下降逐漸上升起來而若考慮縮小選擇開關元件 S1 的臨界值分佈幅度這一點，則有執行 SE6 步驟以後的步驟的意義。

這種情況的寫入時間如以圖 51 說明，係在控制閘極 27 和電荷儲存層 26 之間隧道電流流動，此隧道電流和在電荷儲存層 26 和 p 型井區域 23 之間流動的隧道電流相等或到其以上的時間。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 90 )

此處，在以往爲了使非選擇部件內的選擇開關元件S1斷開，例如需要比有2V以上的 $\Delta V_{th1}$  (圖52)加大設定臨界值上限和0V的差。此外，進行驗證動作，即使使選擇開關元件S1的臨界值成爲比設定臨界值下限高的值，設定臨界值上限也不能降低。

特別是若根據統計理論，則多數部件內的選擇開關元件S1的臨界值分佈幅度的擴展比單一部件內的選擇開關元件S1的臨界值分佈幅度的擴展只大 $n^{(1/2)}$ 倍，所以設定臨界值上限更高。

而且，設定臨界值上限變高，例如必須使讀出時的Vread成爲超過設定臨界值上限的值，所以Vread的值變大，產生閘絕緣膜的膜疲勞或應力的問題。

對此，根據本發明，因擦除後的電晶體的臨界值分佈幅度 $\Delta V_{th2}$  (參照圖52)變成非常小而可使設定臨界值上限和0V之差成爲非常小的值(例如1V以下)，結果可降低設定臨界值上限。因此，可緩和產生於閘絕緣膜的膜疲勞或應力的問題。

且說在圖52， $\Delta V_{th2} > \Delta V_{th}$ 且(設定臨界值上限)-0V $> \Delta V_{th2}$ 時，藉由對於各部件內的選擇開關元件S1進行寫入驗證動作，可縮小選擇開關元件S1的臨界值分佈幅度。

從SE6步驟到SE9步驟的動作和在圖53說明的從SE2步驟到SE5步驟的動作同樣地進行即可。因此，關於從SE6步驟到SE9步驟的動作省略。

又，從SE6步驟到SE9步驟的動作是對於第一部件的順

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 91 )

序。即，有  $n$  個選擇部件時，從第一部件到第  $n$  部件反覆進行和從 SE6 步驟到 SE9 步驟的動作相同的動作 (SE10 步驟)。

此外，對於一部件反覆  $m$  次從 SE6 步驟到 SE9 步驟的動作，就如以圖 52 的斜線部所示，可將選擇開關元件 S1 的臨界值分佈幅度縮小到  $\Delta V_{th1}/m$  程度。具體而言，選擇開關元件 S1 的臨界值分佈幅度可設定在 0.3V 以下。

如圖 54 所示的動作比各部件進行擦除及選擇開關元件的臨界值設定及驗證的手法 (一部件內的選擇開關元件的臨界值設定完畢後，進行下一部件內的選擇開關元件的臨界值設定的手法) 可高速進行選擇開關元件 S1 的臨界值設定，並且寫入/擦除時間亦可縮短，所以對削減消耗電力等有效果。

又，關於為了進行對於選擇開關元件 S1、S2 的寫入/擦除的電路具體例，例如揭示於特開 2000-76880。

此外，給與選擇閘線 SSL 的電位根據在圖 53 的流程圖說明的電位關係決定即可。此外，也可以使用揭示於特開 2000-76880 的對於記憶胞的寫入/擦除動作時的電位關係作為關於本發明的對於選擇開關元件的寫入/擦除動作時的電位關係。

且說成爲本例前提的裝置具有由氮化矽構成電荷儲存層 26 的 MONOS 構造，但本發明的臨界值設定手法亦可適用於由氮化矽以外的絕緣膜構成電荷儲存層 26 的裝置。即，本發明的臨界值設定手法具有如下的構造即可：因流經控制閘極和電荷儲存層間的載子 (carrier) 而電荷儲存層內的

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 92 )

電荷量飽和，寫入臨界值或擦除臨界值飽和。

例如電荷儲存層26可由導電性矽(Si)構成。圖56顯示擦除時的能帶圖，圖57顯示寫入時的能帶圖。這種情況，電荷儲存層和控制閘極間的絕緣膜40厚度例如設定在1 nm以上20 nm以下。

在圖56的擦除時的能帶圖，因藉由隧道效應從電荷儲存層26移動到p型井區域23的電子而電荷儲存層26內的負電荷量減少(或正電荷量增加)。而且，電荷儲存層26內的負電荷減少到一定量以上，產生於電荷儲存層和控制閘極間的絕緣膜40內的電場就增加，將電子從控制閘極27注入電荷儲存層26。因此，電晶體的臨界值即使增加擦除時間，也不會比一定值降低，不會產生所謂的過度的擦除現象。

在圖57的寫入時的能帶圖，因藉由隧道效應從p型井區域23移動到電荷儲存層26的電子而電荷儲存層26內的負電荷量增加(或正電荷量減少)。而且，電荷儲存層26內的負電荷增加到一定量以上，電荷儲存層和控制閘極間的絕緣膜40的能帶傾斜增大，將電子從電荷儲存層26抽出到控制閘極27。因此，電晶體的臨界值即使增加寫入時間，也不會比一定值上升，不會產生所謂的過度寫入現象。

如此，電荷儲存層26由導電性矽構成亦可。一般而言，電荷儲存層26可以是導電體，例如，含有雜質(例如磷、砷、硼等)的矽、鍺化矽、鍺，或者也可以是絕緣體，例如氮化矽、氧化鈦、氧化鈹、氧化鋁等。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 93 )

[第二例]

圖 58 顯示本發明反及型 EEPROM 的胞陣列構造的平面圖。圖 59 為沿著圖 58 的 LIX-LIX 線的截面圖，圖 60 為沿著圖 58 的 LX-LX 線的截面圖，圖 61 為沿著圖 58 的 LXI-LXI 線的截面圖。

又，在圖 58 至圖 61 所示的裝置，在和圖 43 至圖 46 所示的裝置相同的部分附上相同的符號，關於其詳細說明省略。

本例的裝置特徵與關於上述第一例的裝置相比，在於下述之點：電荷儲存層 26 在列方向延伸，使一胞單元內的選擇開關元件 S1、S2 及記憶胞 M0、M1、...M15 的電荷儲存層 26 一體化。

但是，實際上儲存電荷的區域為電荷儲存層 26 中控制閘極 27 (WL0)、27 (WL15) 正下面部分及選擇閘極 27 (SSL)、27 (GSL) 正下面部分，所以使一胞單元內的電晶體電荷儲存層 26 一體化(不是共有)之點在 EEPROM 的動作上完全不成為問題。

選擇開關元件 S1、S2 及記憶胞 M0、M1、...M15 都由具有電荷儲存層 26 的 MONOS 型資料傳輸線構成。在本例，一胞單元 45 包含反及串：由串聯連接的 16 ( $=2^4$ ) 個記憶胞構成：及，兩個選擇開關元件 S1、S2：各一個連接於此反及串兩端。

配置於一胞單元 45 內的記憶胞數若是 1 個以上即可。一胞單元 45 內的記憶胞數 1 個時，特別成為稱為 3Tr-NAND 的

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明 ( 94 )

特殊EEPROM。一胞單元內的記憶胞數通常為多數個，但若考慮利用n位元位址信號的解碼進行一胞單元45內的記憶胞選擇之點，則一胞單元45內的記憶胞數最好是 $2^n$ 個(n為正整數)。

p型井區域23有p型雜質(例如硼)，其雜質濃度例如設定在 $1 \times 10^{14} \sim 1 \times 10^{19}$  atoms/cm<sup>3</sup>範圍內的預定值。在p型井區域23上形成閘絕緣膜25、25SSL、25GSL。記憶胞的閘絕緣膜25厚度例如設定在0.5~10 nm範圍內的預定值。閘絕緣膜25、25SSL、25GSL例如由氧化矽膜、氮氧化合物膜等絕緣膜構成。

在閘絕緣膜25、25SSL、25GSL上形成電荷儲存層26、26SSL、26GSL。電荷儲存層26、26SSL、26GSL例如由氮化矽膜構成，其厚度設定在4 nm~50 nm範圍內的預定值。

此處，在本例，選擇開關元件S1、S2正下面的閘絕緣膜25、25SSL、25GSL厚度如比記憶胞M0、M1、...M15正下面的閘絕緣膜25厚度例如厚2 nm以上般地形成。

其理由是為了比流到記憶胞M0、M1、...M15的電荷儲存層和半導體元件區域間的絕緣膜25的電流縮小流到選擇開關元件S1、S2的電荷儲存層和半導體元件區域間的絕緣膜25、25SSL、25GSL的成為錯誤讀出或錯誤擦除原因的隧道電流、實現EEPROM的穩定動作。

要實現這種構造，例如先形成成為閘絕緣膜的2 nm~20 nm厚度的氧化矽膜或氮氧化合物膜，此後以抗蝕劑覆蓋形成選擇開關元件S1、S2的區域上，除去形成記憶胞M0、

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂



## 五、發明說明 ( 95 )

M1、...M15的區域的閘絕緣膜。此後，再形成成爲閘絕緣膜的0.5~10 nm厚度的氧化矽膜或氮氧化合物膜。

根據這種閘絕緣膜25、25SSL、25GSL的形成方法，記憶胞M0、M1、...M15的閘絕緣膜25厚度成爲0.5~10 nm，選擇開關元件S1、S2的閘絕緣膜25、25SSL、25GSL厚度成爲2.5~30 nm。

在電荷儲存層26、26SSL、26GSL上形成電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL。電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL厚度例如設定在2 nm~30 nm。電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL例如由氧化矽膜、氮氧化合物膜等絕緣膜構成。

在電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL上形成導電性多晶矽層41、41SSL、41GSL。導電性多晶矽層41、41SSL、41GSL含有雜質(例如磷、砷、硼等)，其雜質濃度設定在 $1 \times 10^{17} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>。導電性多晶矽層41、41SSL、41GSL厚度設定在10 nm~500 nm範圍的預定值。

閘絕緣膜25、25SSL、25GSL、電荷儲存層26、26SSL、26GSL、電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL及導電性多晶矽層41、41SSL、41GSL分別例如自行對準地形成於被由氧化矽膜構成的元件分離絕緣膜25包圍的元件區域(p型井區域23)上。即，閘絕緣膜25、25SSL、25GSL、電荷儲存層26、26SSL、26GSL、電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL及導電性多晶矽層

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 五、發明說明（96）

41、41SSL、41GSL行方向的邊緣與元件分離絕緣膜24行方向的邊緣一致。

這種構造係例如形成閘絕緣膜25、25SSL、25GSL、電荷儲存層26、26SSL、26GSL、電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL及導電性多晶矽層41、41SSL、41GSL後，進行確定這些方向邊緣的蝕刻(RIE)，接著p型井區域23也蝕刻，在p型井區域23內例如形成有0.05~0.5  $\mu\text{m}$ 深度的溝渠。然後，若在此溝渠內嵌入絕緣膜，則形成元件分離絕緣膜24，同時對於此元件分離絕緣膜24（或元件區域）自行對準地形成閘絕緣膜25、25SSL、25GSL、電荷儲存層26、26SSL、26GSL、電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL及導電性多晶矽層41、41SSL、41GSL。

在導電性多晶矽層41、41SSL、41GSL上形成為控制閘線27(WL0)、...27(WL15)及選擇閘線27(SSL)、27(GSL)的低電阻材料。此低電阻材料由矽化鎢(Tungsten Silicide)、矽化鈷等構成。即，記憶胞的控制閘極及選擇開關元件的選擇閘極都具有導電性多晶矽層和低電阻材料的層疊構造。

控制閘線27(WL0)、...27(WL15)及選擇閘線27(SSL)、27(GSL)厚度設定在10 nm~500 nm。

導電性多晶矽層41、41SSL、41GSL、控制閘極27(WL0)、...27(WL15)及選擇閘線27(SSL)、27(GSL)列方向的邊緣由以單絕緣膜48為單幕的蝕刻(RIE)所形成。

此蝕刻的結果，控制閘線27(WL0)、...27(WL15)及選擇

## 五、發明說明 ( 97 )

閘線 27 (SSL)、27 (GSL)就在行方向一直線地延伸。此外，導電性多晶矽層 41、41SSL、41GSL就只配置於被元件分離絕緣膜 24 包圍的元件區域內。

在 p 型井區域 23 和 p 型半導體基板 21 間配置 n 型井區域 22。藉此，p 型井區域 23 電位可和 p 型半導體基板 21 獨立設定。這種構造稱為二井構造(或雙井構造)，擦除時因無需大驅動力的升壓電路而可得到抑制消耗電力等效果。

此外，在本例的裝置構造，對於元件分離絕緣膜 24(或元件區域)自行對準地形成閘絕緣膜 25、25SSL、25GSL、電荷儲存層 26、26SSL、26GSL、電荷儲存層和控制閘極間的絕緣膜 40、40SSL、40GSL 及導電性多晶矽層 41、41SSL、41GSL，並且將元件分離絕緣膜 24 上面比 p 型井區域 23 表面完全形成於上部。

因此，不會將控制閘極線 27 (WL0)、…27 (WL15)及選擇閘線 27 (SSL)、27 (GSL)配置於 p 型井區域 23 表面附近或比其下部。即，可防止在 p 型井區域 23 和元件分離絕緣膜 24 邊界的電場集中或臨界值低的寄生電晶體產生。

而且，根據在本例的裝置，因難以產生起因於電場集中的寫入臨界值降低現象，所謂的側道(side walk)現象，而可形成高性能及高可靠性的電晶體。

在控制閘線 27 (WL0)、…27 (WL15)及選擇閘線 27 (SSL)、27 (GSL)列方向的側壁形成側壁絕緣膜 43。側絕緣膜 43 厚度例如設定在 5 nm~200 nm。側壁絕緣膜 43 例如由氮化矽膜、氧化矽膜等構成。

## 五、發明說明 ( 98 )

在 p 型井區域 23 內形成成爲源極或汲極的 n 型擴散層 28、28s、28d。

利用 n 型擴散層 28、電荷儲存層 26、導電性多晶矽層 41 及控制閘線 27 (WL0)、…27 (WL15) 構成 MONOS 型記憶胞 MO、M1、…M15。同樣地，利用 n 型擴散層 28、28s、28d、電荷儲存層 26、26SSL、26GSL、導電性多晶矽層 41、41SSL、41GSL 及選擇閘線 27 (SSL)、27 (GSL) 構成 MONOS 型選擇開關元件 S1、S2。

MONOS 型記憶胞 MO、M1、…M15 的閘長設定在  $0.01 \mu\text{m} \sim 0.5 \mu\text{m}$  範圍內的預定值。此外，MONOS 型選擇開關元件 S1、S2 的閘長設定在比記憶胞 MO、M1、…M15 的閘長長的值，例如  $0.02 \mu\text{m} \sim 1 \mu\text{m}$  範圍內的預定值。如此，藉由加長通道長，可增大部件選擇/非選擇時的接通/斷開比，可防止錯誤寫入或錯誤讀出。

n 型擴散層 28 例如含有磷、砷、銻等雜質，其表面濃度設定在  $1 \times 10^{17} \sim 1 \times 10^{21} \text{ atoms/cm}^3$  範圍內的預定值。n 型擴散層 28 深度例如設定在  $10 \text{ nm} \sim 500 \text{ nm}$  範圍內的預定值。

在形成 n 型擴散層 28 時的離子注入方面，n 型雜質透過閘絕緣膜 25、25SSL、25GSL、電荷儲存層 26、26SSL、26GSL 及電荷儲存層和控制閘極間的絕緣膜 40、40SSL、40GSL 注入 p 型井區域 23 內的。n 型擴散層 28 爲互相鄰接的兩個記憶胞所共有，n 型擴散層 28s、28d 爲互相鄰接的兩個胞單元所共有。

根據關於本例的裝置構造，選擇開關元件 S1、S2 有電荷

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 99 )

儲存層 26，並且和記憶胞 MO、M1、…M15 同樣，係由 MONOS 型電晶體所構成。此外，配置選擇開關元件 S1、S2 的選擇閘線 SSL、GSL 的配線層和配置記憶胞 MO、M1、…M15 的控制閘線 WL0、WL1、…WL15 的配線層相同。

此外，在本例的裝置構造，和上述第一例的裝置構造不同，係在元件區域上電荷儲存層 26 在列方向延伸，一胞單元內的電晶體的電荷儲存層 26 被互相一體化。因此，在本例，電荷儲存層 26 限於絕緣體，例如氮化矽、氧化鈦、氧化鉬、氧化鋁等。

此外，和習知有浮動閘極的 EEPROM 不同，由於由絕緣體構成電荷儲存層 26，所以爲了防止互相鄰接的兩個電晶體(記憶胞及選擇開關元件)間的漏電流的側壁絕緣膜 43 無需十分厚地形成。

即，根據本例的裝置構造，由於可使側壁絕緣膜 43 厚度變薄，所以可縮小胞單元內的兩電晶體距離，可助於元件高密度化及晶片寸縮小。

此外，形成選擇開關元件 S1、S2 的選擇閘線 27 (SSL)、27 (GSL) 及記憶胞 MO、M1、…M15 的控制閘線 27 (WL0)、…27 (WL15) 之際，電荷儲存層 26、26SSL、26GSL 的側壁不會露出，所以可防止電荷儲存層 26、26SSL、26GSL 的污染或漏電流，並可使因源極邊緣或汲極邊緣的電場集中而異常寫入或異常擦除減少。

此外，關於閘絕緣膜 25、25SSL、25GSL、電荷儲存層 26、26SSL、26GSL 及電荷儲存層和控制閘極間的絕緣膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 100)

40、40SSL、40GSL，只進行行方向的邊緣加工，不進行列方向的邊緣加工。

即，關於列方向，只加工多晶矽層41、41SSL、41GSL、控制閘線27 (WL0)、…27 (WL15)及選擇閘極27 (SSL)、27 (GSL)即可，關於閘絕緣膜25、25SSL、25GSL、電荷儲存層26、26SSL、26GSL及電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL，無需加工。

因此，閘加工後所形成的電晶體間高低平面差變小，其結果，可縮小互相鄰接的兩個閘極間隔，可助於元件高密度化。此外，雖然必須以層間絕緣膜28嵌入兩個閘極間的溝，但根據本例，因可縮小此溝的高寬比 (aspect ratio) 而可在兩個閘極間的溝完全嵌入層間絕緣膜28。

胞單元內最汲極側 (資料傳輸線側) 的n型擴散層 (汲極) 28<sub>d</sub>經過接觸插塞31<sub>d</sub>連接於中間層33<sub>d</sub>。中間層33<sub>d</sub>經過接觸插塞32<sub>d</sub>連於資料傳輸線36 (BL)。胞單元內最源極側 (共用電壓節點側) 的n型擴散層 (源極) 28<sub>s</sub>經過接觸插塞31<sub>s</sub>連接於共用電壓節點33 (SL)。

資料傳輸線BL例如由鎢、矽化鎢、鈦、氮化鈦、鋁等構成。共用電壓節點33 (SL)在行方向一直線地延伸。又，在行方向一直線地延長n型擴散層28<sub>s</sub>，使此n型擴散層28<sub>s</sub>與行方向的胞單元共有亦可。

接觸插塞31<sub>s</sub>、31<sub>d</sub>、32<sub>d</sub>例如由摻入n型雜質或p型雜質的導電性多晶矽、鎢、矽化鎢、鋁、氮化鈦、鈦等構成。層間絕緣膜28例如由二氧化矽或氮化等絕緣膜構成。保護膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 101)

(鈍化膜)37 例如由二氧化矽、氮化矽、聚醯亞胺 (polyimide) 等構成。

又，在資料傳輸線 36 (BL) 上例如配置由鎢、鋁、銅等構成的上部配線。

在關於本例的裝置構造，對於選擇開關元件 S1、S2 的臨界值設定亦可利用在上述第一例說明的方法實現。

此外，被存在於 n 型擴散層 28 上的電荷儲存層 26 捕獲的電子可利用圖 53 及圖 54 所示的流程圖的擦除步驟 (SE1、SE1') 抽出到 p 型井區域 23，所以不會在 n 型擴散層 28 上的電荷儲存層 26 儲存電子，可防止胞單元內的電流路徑的電阻增大。

### [第三例]

圖 62 顯示本發明反及型 EEPROM 的胞陣列構造的平面圖。圖 63 為沿著圖 62 的 LXIII-LXIII 線的截面圖，圖 64 為沿著圖 62 的 LXIV-LXIV 線的截面圖，圖 65 為沿著圖 62 的 LXV-LXV 線的斷面圖。

又，在圖 62 至圖 65 所示的裝置，在和圖 43 至圖 46 所示的裝置相同的部分附上相同的符號，關於其詳細說明省略。

本例的裝置特徵與關於上述第二例的裝置相比，在於下述之點：電荷儲存層 26 形成於元件分離絕緣膜 24 上及被元件分離絕緣膜 24 包圍的元件區域上的全體。

但是，實際上儲存電荷的區域為電荷儲存層 26 中控制閘極 27 (WL0)、27 (WL15) 正下面部分及選擇閘極 27 (SSL)、

## 五、發明說明 ( 102)

27 (GSL)正下面部分，所以電荷儲存層26形成於p型井區域(記憶胞陣列區域)23上的全體之點在EEPROM的動作上完全不成為問題。

選擇開關元件S1、S2及記憶胞M0、M1、…M15都由具有電荷儲存層26的MONOS型電晶體構成。在本例，一胞單元45包含反及串：由串聯連接 $16 (=2^4)$ 個記憶胞構成：及，兩個選擇開關元件S1、S2：各一個連接於此反及串兩端。

配置於一胞單元45內的記憶胞數若是1個以上即可。一胞單元45內的記憶胞數1個時，特別成為稱為3Tr-NAND的特殊EEPROM。一胞單元內的記憶胞數通常為多數個，但若考慮利用n位元位址信號的解碼進行一胞單元45內的記憶胞選擇之點，則一胞單元45內的記憶胞數最好是 $2^n$ 個(n為正整數)。

p型井區域23含有p型雜質(例如硼)，其雜質濃度例如設定在 $1 \times 10^{14} \sim 1 \times 10^{19}$  atoms/cm<sup>3</sup>範圍內的預定值。在p型井區域23上形成閘絕緣膜25、25SSL、25GSL。閘絕緣膜25、25SSL、25GSL厚度例如設定在0.5~10 nm範圍內的預定值。閘電壓25、25SSL、25GSL例如由氧化矽膜、氮氧化合物膜等絕緣膜構成。

在閘絕緣膜25、25SSL、25GSL上及元件分離絕緣膜24上形成電荷儲存層26、26SSL、26GSL。電荷儲存層26、26SSL、26GSL例如由氮化矽膜構成，其厚度設定在4 nm~50 nm範圍內的預定值。



## 五、發明說明 ( 103 )

此處，在本例，雖然電荷儲存層 26、26SSL、26GSL 形成 p 型井區域 ( 記憶胞陣列區域 ) 23 上的全體，但因電荷儲存層 26、26SSL、26GSL 由絕緣體構成而在 EEPROM 的動作上完全沒有問題。

在電荷儲存層 26、26SSL、26GSL 上形成電荷儲存層和控制閘極間的絕緣膜 40、40SSL、40GSL。電荷儲存層和控制閘極間的絕緣膜 40、40SSL、40GSL 厚度例如設定在 2 nm~30 nm。電荷儲存層和控制閘極間的絕緣膜 40、40SSL、40GSL 例如由氧化矽膜、氮氧化合物膜等絕緣膜構成。

這些閘絕緣膜 25、25SSL、25GSL、電荷儲存層 26、26SSL、26GSL 及電荷儲存層和控制閘極間的絕緣膜 40、40SSL、40GSL 如下形成。

首先，在 p 型井區域 23 形成有 0.05~0.5  $\mu$ m 深度的溝渠後，在此溝渠內嵌入元件分離絕緣膜 24。此後，進行元件分離絕緣膜 24 的平坦化處理 ( 回蝕、CMP 等 ) 到元件分離絕緣膜 24 表面和 p 型井區域 23 表面大致相等。然後，在被元件分離絕緣膜 24 包圍的元件區域上形成閘絕緣膜 25、25SSL、25GSL。

此後，在閘絕緣膜 25、25SSL、25GSL 上及元件分離絕緣膜 24 上形成成爲電荷儲存層 26 的氮化矽膜，再繼續在電荷儲存層 26 上形成電荷儲存層和控制閘極間的絕緣膜 40。

根據這種方法，和上述第一及第二例不同，首先形成 STI 構造元件分離絕緣膜 24 後，形成閘極閘絕緣膜 25、

( 請先閱讀背面之注意事項再填寫本頁 )

裝

訂

## 五、發明說明 ( 104 )

25SSL、25GSL、電荷儲存層26、26SSL、26GSL及電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL。因此，可縮小為了形成元件分離絕緣膜24的溝渠的高寬比(aspect ratio)，因在溝渠內完全嵌入元件分離絕緣膜24而可謀求元件分離耐壓的提高。

在電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL上形成由導電性多晶矽層構成的控制閘線27(WL0)、…27(WL15)及選擇閘線27(SSL)、27(GSL)。導電性多晶矽層含有雜質(例如磷、砷、硼等)，其雜質濃度設定在 $1 \times 10^{17} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>。導電性多晶矽層厚度設定在10 nm~500 nm範圍內的預定值。

又，在本例如，雖然控制閘線27(WL0)、…27(WL15)及選擇閘線27(SSL)、27(GSL)由導電性多晶矽層構成，但取代此，例如具有導電性多晶矽層和金屬矽化物層(例如矽化鎢、矽化鈷等)的層疊構造亦可。

控制閘線27(WL0)、…27(WL15)及選擇閘線27(SSL)、27(GSL)列方向的邊緣由以罩絕緣膜48為罩幕的蝕(RIE)所形成。此蝕刻的結果，控制閘線27(WL0)、…27(WL15)及選擇閘線27(SSL)、27(GSL)就在行行方向一直線地延伸。

在p型井區域23和p型半導體基板21間配置n型井區域22。藉此，p型井區域23電位可和p型半導體基板21獨立設定。這種構造稱為二井構造(或雙井構造)，擦除時因無需大驅動力的升壓電路而可得到抑制消耗電子等效果。

在控制閘線27(WL0)、…27(WL15)及選擇閘線27(SSL)、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

## 五、發明說明 ( 105)

27 (GSL)列方向的側壁形成側壁絕緣膜43。側壁絕緣膜厚度例如設定在5 nm~200 nm。側壁絕緣膜43例如由氮化矽膜、氧化矽膜等構成。

在p型井區域23內形成成為源極或汲極的n型擴散層28、28s、28d。

利用n型擴散層28、電荷儲存層26及控制閘線27 (WL0)、…27 (WL15)構成MONOS型記憶胞MO、M1、…M15。同樣地，利用n型擴散層28、28s、28d、電荷儲存層26、26SSL、26GSL及選擇閘線27 (SSL)、27 (GSL)構成MONOS型選擇開關元件S1、S2。

MONOS型記憶胞MO、M1、…M15的閘長設定在0.01  $\mu\text{m}$ ~0.5  $\mu\text{m}$ 範圍內的預定值。此外，MONOS型選擇開關元件S1、S2的閘長設定在比記憶胞MO、M1、…M15的閘長長的值，例如0.02  $\mu\text{m}$ ~1  $\mu\text{m}$ 範圍內的預定值。如此，藉由加長通道長，可增大部件選擇/非選擇時的接通/斷開比，可防止錯誤寫入或錯誤讀出。

n型擴散層28例如含有磷、砷、銻等雜質，其表面濃度設定在 $1 \times 10^{17}$ ~ $1 \times 10^{21}$  atoms/cm<sup>3</sup>範圍內的預定值。n型擴散層28深度例如設定在10 nm~500 nm範圍內的預定值。

在形成n型擴散層28時的離子注入方面，n型雜質透過閘絕緣膜25、25SSL、25GSL、電荷儲存層26、26SSL、26GSL及電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL注入p型井區域23內的。n型擴散層28為互相鄰接的兩個記憶胞所共有，n型擴散層28s、28d為互相鄰接的兩個胞單元

## 五、發明說明 ( 106 )

所共有。

根據關於本例的裝置構造，選擇開關元件S1、S2有電荷儲存層26，並且和記憶胞MO、M1、…M15同樣，係由MONOS型電晶體所構成。此外，配置選擇開關元件S1、S2的選擇閘線SSL、GSL的配線層和配置記憶胞MO、M1、…M15的控制閘線WL0、WL1、…WL15的配線層相同。

此外，在本例的裝置構造，和上述第一例的裝置構造不同，係電荷儲存層26配置於元件分離絕緣膜24上及被元件分離絕緣膜24包圍的元件區域上，使全部胞單元內的電晶體的電荷儲存層26互相一體化。因此，在本例，電荷儲存層26也限於絕緣體，例如氮化矽、氧化鈦、氧化鈮、氧化鋁等。

此外，和習知有浮動閘極的EEPROM不同，由於由絕緣體構成電荷儲存層26，所以爲了防止互相鄰接的兩個電晶體(記憶胞及選擇開關元件)間的漏電流的側壁絕緣膜43無需十分厚地形成。

即，根據本例的裝置構造，由於可使側壁絕緣膜43厚度變薄，所以可縮小胞單元內的兩電晶體距離，可助於元件高密度化及晶片寸縮小。

此外，形成選擇開關元件S1、S2的選擇閘線27 (SSL)、27 (GSL)及記憶胞MO、M1、…M15的控制閘線27 (WL0)、…27 (WL15)之際，電荷儲存層26、26SSL、26GSL的側壁不會露出，所以可防止電荷儲存層26、26SSL、26GSL的污染或漏電流，並可使因源極邊緣或汲極邊緣的電場集中而異常寫

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( 107 )

入或異常擦除減少。

此外，在本例，形成STI構造的元件分離絕緣膜24後，形成閘絕緣膜25、25SSL、25GSL、電荷儲存層(絕緣膜)26、26SSL、26GSL及電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL，所以這些絕緣膜不會暴露於形成元件分離絕緣膜24時的熱製程中。

因此，無製程損傷可形成良好膜質的閘絕緣膜25、25SSL、25GSL、電荷儲存層26、26SSL、26GSL及電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL。

此外，在本例，電荷儲存層26、26SSL、26GSL成於p型井區域(記憶胞陣列區域)23上的全體，加工電荷儲存層26、26SSL、26GSL的製程不存在，所以沒有電荷儲存層26、26SSL、26GSL損傷的產生，可助於提高電荷保持特性。

而且，只對於選擇開關元件S1、S2的選擇的閘線27(SSL)、27(GSL)及記憶胞MO、M1、...M15的控制閘線27(WL0)、...27(WL15)加工即，對於閘絕緣膜25、25SSL、25GSL、電荷儲存層26、26SSL、26GSL及電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL無需加工。

因此，閘加工後所形成的電晶體間高低平面差變小，其結果，可縮小互相鄰接的兩個閘極間隔，可助於元件高密度化。此外，雖然必須以層間絕緣膜28嵌入兩個閘極間的溝，但根據本例，因可縮小此溝的高寬比(aspect ratio)而可在兩個閘極間的溝完全嵌入層間絕緣膜28。

## 五、發明說明 ( 108 )

胞單元內最汲極側(資料傳輸線側)的n型擴散層(汲極)28<sub>d</sub>經過接觸插塞31<sub>d</sub>連接於中間層33<sub>d</sub>。中間層33<sub>d</sub>經過接觸插塞32<sub>d</sub>連於資料傳輸線36(BL)。胞單元內最源極側(共用電壓節點側)的n型擴散層(源極)28<sub>s</sub>經過接觸插塞31<sub>s</sub>連接於共用電壓節點33(SL)。

資料傳輸線BL例如由鎢、矽化鎢、鈦、氮化鈦、鋁等構成。共用電壓節點33(SL)在行方向一直線地延伸。又，在行方向一直線地延長n型擴散層28<sub>s</sub>，使此n型擴散層28<sub>s</sub>與行方向的胞單元共有亦可。

接觸插塞31<sub>s</sub>、31<sub>d</sub>、32<sub>d</sub>例如由摻入n型雜質或p型雜質的導電性多晶矽、鎢、矽化鎢、鋁、氮化鈦、鈦等構成。層間絕緣膜28例如由二氧化矽或氮化等絕緣膜構成。保護膜(鈍化膜)37例如由二氧化矽、氮化矽、聚醯亞胺(polyimide)等構成。

又，在資料傳輸線36(BL)上例如配置由鎢、鋁、銅等構成的上部配線。

在關於本例的裝置構造，對於選擇開關元件S1、S2的臨界值設定亦可利用在上述第一例說明的方法實現。

上，被存在於n型擴散層28上的電荷儲存層26捕獲的電子可利用圖53及圖54所示的流程圖的擦除步驟(SE1、SE1')抽出到p型井區域23，所以不會在n型擴散層28上的電荷儲存層26儲存電子，可防止胞單元內的電流路徑的電阻增大。

[第四例]

(請先閱讀背面之注意事項再填寫本頁)

· 裝 ·  
· 訂 ·

## 五、發明說明 ( 109)

圖 66 顯示本發明反及型 EEPROM 的胞陣列構造的平面圖。圖 67 為沿著圖 66 的 LXVII-LXVII 線的截面圖，圖 68 為沿著圖 66 的 LXVIII-LXVIII 線的截面圖。此外，圖 69 顯示圖 66 至圖 68 所示的裝的一胞單元分的等效電路。

本例的裝置構造可看作將關於上述第一例的反及胞構造的記憶胞陣列變更成及胞構造者。

多數個(在本例為 16 個)記憶胞 MO、M1、...M15 並聯連接於節點 A 和節點 B 之間。節點 A 經過選擇開關元件 S1 連接於資料傳輸線 BL。此外，節點 B 經過選擇開關元件 S2 連接於共用電壓節點 SL。記憶胞 MO、M1、...M15 及選擇開關元件 S1、S2 都形成於 p 型井區域 23 上。

記憶胞 MO、M1、...M15 的控制閘極連接於控制閘線(資料選擇線) WL0、WL1、...WL15。控制閘線 WL0、WL1、...WL15 在行方向延伸，連接於一部件內的多數胞單元 45。

選擇開關元件 S1、S2 的選擇開關元件的控制閘極連接於選擇閘線 SSL、GSL。選擇閘線 SSL、GSL 在行方向延伸，連接於一部件內的多數胞單元 45。選擇閘線 SSL、GSL 具有下述功能：進行部件選擇，將被選部件內的胞單元 45 電氣連接於資料傳輸線 BL。

在本例，選擇開關元件 S1、S2 有電荷儲存層 26 SSL、26 GSL，選擇開關元件 S1、S2 的裝置構造和記憶胞 MO、M1、...M15 的裝置構造實質上相同。此外，配置選擇開關元件 S1、S2 的選擇閘線 SSL、GSL 的配線層和配置記憶胞 MO、M1、...M15 的控制閘線 WL0、WL1、...WL15 的配線層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 110)

相同。

又，在本例，雖然連接於一部件內的胞單元45的選擇閘線數為兩條，但存在至少一條就夠了。此外，若考慮元件高密度化，則選擇閘線SSL、GSL最好與控制閘線(資料選擇線)WL0、WL1、…WL15平行配置。

在本例，雖然在一胞單元45內配置並聯連接的16(=2<sup>4</sup>)的記憶胞，但配置於一胞單元45內的記憶胞數1個以上即可。但是，若考慮利用n位元位址信號選擇一胞單元45內的記憶胞MO、M1、…M15，則最好在一胞單元45內配置2<sup>n</sup>個(n個正整數)記憶胞。

其次，就圖66至圖68所示的半導體記憶裝置的裝置構造加以具體說明。

在p型矽基板21內形成n型井區域(n型矽區域)22，在n型井區域22內形成p型井區域(p型矽區域)23。這種井構造稱為二井構造或雙井構造。

p型井區域23含有p型雜質(例如硼)，其雜質濃度設定在 $1 \times 10^{14} \sim 1 \times 10^{19}$  atoms/cm<sup>3</sup>範圍內的預定值。在p型井區域23上例如形成有0.5~10 nm厚度的閘絕緣膜25、25SSL、25GSL。閘絕緣膜25、25SSL、25GSL係由氧化矽膜或氮氧化合物膜所構成。

在閘絕緣膜25、25SSL、25GSL上例如形成有4 nm~50 nm厚度的電荷儲存層26、26SSL、26GSL。在本例，電荷儲存層26、26SSL、26GSL係由氮化膜所構成。

在電荷儲存層26、26SSL、26GSL上例如形成有2 nm~30 nm



## 五、發明說明 ( 111)

厚度的電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL。電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL係由氧化矽膜或氮氧化物膜所構成。

在電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL上形成多晶矽層41、41SSL、41GSL：含有n型雜質(例如磷、砷)或p型雜質(例如硼)，其雜質濃度設定在 $1 \times 10^{17} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>範圍內的預定值。多晶矽層41、41SSL、41GSL例如以10 nm~500 nm厚度形成。

閘絕緣膜25、25SSL、25GSL、電荷儲存層26、26SSL、26GSL、電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL及多晶矽層41、41SSL、41GSL對於元件區域(或元件分離絕緣膜24)自行對準地形成於被由氧化矽膜構成的元件分離絕緣膜24包圍的元件區域(p型井區域)上。

即，在本例，形成閘絕緣膜25、25SSL、25GSL、電荷儲存層26、26SSL、26GSL、電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL及多晶矽層41、41SSL、41GSL後，加工(蝕刻)這些，形成這些行方向的邊緣部(在此時點未進行為了形成列方向的邊緣部的加工)。

在此蝕刻(RIE)，例如p型井區域23也蝕刻，在p型井區域23內從其表面例如形成有0.05~0.5 μm深度的溝渠。然後，在此溝渠內嵌入元件分離絕緣膜24，並對於此元件分離絕緣膜24執行CMP或回蝕(etch back)，區劃元件區域及元件分離區域。

如，此閘絕緣膜25、25SSL、25GSL、電荷儲存層26、

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 五、發明說明 ( 112)

26SSL、26GSL、電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL及多晶矽層41、41SSL、41GSL對於元件區域或元件分離區域自行對準地形成於被由氧化矽膜構成的元件分離絕緣膜24包圍的元件區域上。此外，閘絕緣膜25、25SSL、25GSL、電荷儲存層26、26SSL、26GSL、電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL及多晶矽層41、41SSL、41GSL形成於表面平坦的p型井區域23上，所以記憶胞構造的均勻性提高，可使記憶胞的特性一致。

再在多晶矽層41上形成行方向延伸、互相電氣連接配置於行方向的記憶胞M0、M1、…M15的多晶矽層41的控制閘極27(WL0)、27(WL15)。控制閘線27(WL0)、27(WL15)係由低電阻材料，例如矽化鎢(Tungsten Silicide)、矽化鎳、矽化鉬、矽化鈦、矽化鈷等金屬矽化物所構成。

同樣地，在多晶矽層41SSL、41GSL上形成行方向延伸、互相電氣連接配置於行方向的選擇開關元件S1、S2的多晶矽層41SSL、41GSL的選擇閘線27(SSL)、27(GSL)。選擇閘線27(SSL)、27(GSL)係由低電阻材料，例如矽化鎢(Tungsten Silicide)、矽化鎳、矽化鉬、矽化鈦、矽化鈷等金屬矽化物所構成。

即，在本例，記憶胞的控制閘極及選擇開關元件的控制電極都成為雜質濃度 $1 \times 10^{17} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>的多晶矽層41和矽化鎢(Tungsten Silicide)、矽化鎳、矽化鉬、矽化鈦、矽化鈷等金屬矽化物的層疊(stack)構造。

又，控制閘線27(WL0)、…27(WL15)及選擇閘線27

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 113)

(SSL)、27 (GSL)厚度例如設定在10 nm~500 nm。此外，控制閘線27 (WL0)、…27 (WL15)及選擇閘線27 (SSL)、27 (GSL)從由配置於行方向的多數胞單元構成的一部件行方向的端部延伸到端部。

控制閘線27 (WL0)、…27 (WL15)及選擇閘線27 (SSL)、27 (GSL)上形成閘加工時成為罩幕的罩(cap)絕緣膜48。

以此罩絕緣膜28為罩幕，蝕刻閘絕緣膜25、25SSL、25GSL、電荷儲存層26、26SSL、26GSL、電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL、多晶矽層41、41SSL、41GSL及控制線(控制閘線及選擇閘線)27 (WL0)、…27 (WL15)、27 (SSL)、27 (GSL)，就形成這些列方向的邊緣部。

而且，MONOS型EEPROM胞(記憶胞)由n型擴散層28、電荷儲存層26、多晶矽層41及控制閘線27 (WL0)、…27 (WL15)構成。此外，選擇開關元件也由n型擴散層28、28<sub>s</sub>、28<sub>d</sub>、電荷儲存層26SSL、26GSL、多晶矽層41SSL、41GSL及擇閘線27 (SSL)、27 (GSL)構成。

MONOS型EEPROM胞的閘長設定在0.01 μm~0.5 μm範圍內的預定值。n型擴散層28、28<sub>s</sub>、28<sub>d</sub>含有n型雜質(例如磷、砷、銻等)，其表面濃度設定在 $1 \times 10^{17} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>範圍內的預定值。此外，n型擴散層28、28<sub>s</sub>、28<sub>d</sub>深度例如設定在10 nm~500 nm範圍內的預定值。

n型擴散層(源極/汲極)28為並聯連接的多數個(在本例為16個)記憶胞所共有，其結果可實現由多數並聯連接的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 114 )

記憶胞構成的及(AND)胞構造。此外，n型擴散層 $28_s$ 、 $28_d$ 為在列方向互相鄰接的兩個胞單元所共有。

選擇開關元件的閘長設定成比MONOS型EEPROM胞(記憶胞)的閘長長。例如選擇開關元件的閘長設定在 $0.02\ \mu\text{m}$ ~ $1\ \mu\text{m}$ 範圍內的預定值。如此藉由比記憶胞的閘長加長選擇選擇開關元件的閘長，因可充分增大部件選擇/非選擇時的接通/斷開比而可防止錯誤寫入或錯誤讀出。

關於本例的裝置構造的特徵在於下述之點：選擇開關元件和記憶胞都由MONOS型MOSFET構成。此外，關於本例的裝置構造的特徵在於下述之點：選擇開關元件的選擇閘線27(SSL)、27(GSL)形成於和MONOS型MOSFET胞(記憶胞)的控制閘線27(WL0)、...27(WL15)相同之層。

在本例，記憶胞的絕緣膜25及電荷儲存層26的厚度分別和選擇開關元件的絕緣膜25SSL、25GSL及電荷儲存層26SSL、26GSL的厚度實質上相同。即，在記憶胞和選擇開關元件，由於可同時形成絕緣膜25、25SSL、25GSL及電荷儲存層26、26SSL、26GSL，所以製程短，可降低製程成本。

而且，在列方向互相鄰接的兩個MOSFET(包含記憶胞及選擇開關元件)間未形成電荷儲存層26、26SSL、26GSL。因此，也不會在列方向互相鄰接的兩個MOSFET間的絕緣膜儲存電子。

胞單元內最資料傳輸線側的n型擴散層(汲極) $28_d$ 連接於資料傳輸線BL。資料傳輸線BL例如由含有雜質的導電性多晶矽、鎢、矽化鎢、鈦、氮化鈦、鋁等構成。胞單元內

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 115 )

最共用電壓節點側的n型擴散層(源極) 28<sub>s</sub>連接於共用電壓節點。

記憶胞及選擇開關元件為層間絕緣膜28所覆蓋。資料傳輸線36 (BL)例如藉由金屬鑲嵌(damascene)製程形成於設於層間絕緣膜28的配線溝內。層間絕緣膜28例如由二氧化矽或氮化矽等構成。

在資料傳輸線36 (BL)上例如形成由鎢、鋁、銅等金屬構成上部配線。而且，資料傳輸線36 (BL)及上部配線分別例如被由二氧化矽、氮化矽、聚醯亞胺(polyimide)等絕緣膜構成的保護膜(鈍化膜)37覆蓋。

又，在這種裝置構造，n型井區域22配置於p型井區域23和p型半導體基板21之間。因此，p型井區域23電位可和p型半導體基板21電位獨立設定。其結果，例如擦除時可減少升壓電路(boosters)的消耗電力。

在本例，形成晶矽層41、41SSL、41GSL行方向的邊緣部，並在p型井區域23內形成溝渠，在此溝渠內嵌入元件分離絕緣膜24後，形成行方向延伸的控制閘線27 (WL0)、...27 (WL15)及選擇閘線27 (SSL)、27 (GSL)。

因此，如圖67及圖68所示，控制閘線27 (WL0)、...27 (WL15)及選擇閘線27 (SSL)、27 (GSL)經常形成於p型井區域23上部，不會形成於p型井區域23附近或下部。

即，在關於本例的裝置構造，在p型井區域23和元件分離絕緣膜24的邊界難以產生電場集中，並且也難以產生臨界值低的寄生電晶體。

## 五、發明說明 ( 116)

在本例，因採用及(AND)胞構造而可使記憶胞M0、M1、…M15的串聯電阻為小且一定，例如使記憶於記憶胞的資料多電平化(multi-level)時，為了使記憶胞的臨界值穩定，很合適。

在關於本例的裝置構造方面，也和上述第一例同樣，可進行選擇開關元件S1、S2的臨界值設定。在設定臨界值時，採用及(AND)胞構造的情況的動作特徵在於下述之點：讀出動作時，使選擇部件的非選擇記憶胞成為斷開狀態。

即，在反及胞構造，讀出動作時，選擇部件內的非選擇記憶胞成為接通狀態。此點以外的動作在採用及胞構造的情況和採用反及胞構造的情況相同。因此，在採用及胞構造的情況，例如根據圖53及圖54所示的流程圖，亦可設定選擇開關元件S1、S2的臨界值。

又，在本例，在記憶胞M0、M1、…M15間未配置電荷儲存層26。因此，電荷儲存層26可以是導電體，例如摻入磷、砷或硼的矽、鍍化矽、鍍，也可以是氮化矽以外的絕緣膜，例如氧化鈦、氧化鉭、氧化鋁等。

### [第五例]

圖70顯示本發明反及型EEPROM的胞陣列構造的平面圖。圖71為沿著圖70的LXXI-LXXI線的截面圖，圖72為沿著圖70的LXXII-LXXII線的截面圖。圖70顯示圖72的裝置的等效電路如圖69所示。

又，在圖70至圖72所示的裝置，在和圖66至圖68所示

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 117)

的裝置相同的部分附上相同的符號。

本例的裝置特徵和關於上述第四例的裝置相比，在於下述之點：電荷儲存層26、26SSL、26GSL形成於元件分離絕緣膜24上被元件分離絕緣膜24包圍的元件區域上的全體。

多數個(在本例為16個)記憶胞MO、M1、…M15並聯連接於節點A和節點B之間。節點A經過選擇開關元件S1連接於資料傳輸線BL。此外，節點B經過選擇開關元件S2連接於共用電壓節點SL。記憶胞MO、M1、…M15及選擇開關元件S1、S2都形成於p型井區域23上。

記憶胞MO、M1、…M15的控制閘極連接於控制閘線(資料選擇線)WL0、WL1、…W15。控制閘線WL0、WL1、…W15在行方向延伸，連接於一部件內的多數胞單元。

選擇開關元件S1、S2的選擇開關元件的控制閘極連接於選擇閘線SSL、GSL。選擇閘線SSL、GSL在行方向延伸，連接於一部件內的多數胞單元。選擇閘線SSL、GSL具有下述功能：進行部件選擇，將被選部件內的胞單元電氣連接於資料傳輸線BL。

在本例，選擇開關元件S1、S2有電荷儲存層26SSL、26GSL，選擇開關元件S1、S2的裝置構造和記憶胞MO、M1、…M15的裝置構造實質上相同。此外，配置選擇開關元件S1、S2的選擇閘線SSL、GSL的配線層和配置記憶胞MO、M1、…M15的控制閘線WL0、WL1、…W15的配線層相同。

## 五、發明說明 ( 118)

又，在本例，雖然連接於一部件內的胞單元45的選擇閘線數為兩條，但存在至少一條就夠了。此外，若考慮元件高密度化，則選擇閘線SSL、GSL最好與控制閘線(資料選擇線)WL0、WL1、…WL15平行配置。

在本例，雖然在一胞單元45內配置並聯連接的 $16 (=2^4)$ 的記憶胞，但配置於一胞單元45內的記憶胞數1個以上即可。但是，若考慮利用n位元位址信號選擇一胞單元45內的記憶胞MO、M1、…M15，則最好在一胞單元45內配置 $2^n$ 個(n個正整數)記憶胞。

其次，就圖70至圖72所示的半導體記憶裝置的裝置構造加以具體說明。

在p型矽基板21內形成n型井區域(n型矽區域)22，在n型井區域22內形成p型井區域(p型矽區域)23。這種井構造稱為二井構造或雙井構造。

p型井區域23含有p型雜質(例如硼)，其雜質濃度設定在 $1 \times 10^{14} \sim 1 \times 10^{19}$  atoms/cm<sup>3</sup>範圍內的預定值。在p型井區域23上例如形成有0.5~10 nm厚度的閘絕緣膜25、25SSL、25GSL。閘絕緣膜25、25SSL、25GSL係由氧化矽膜或氮氧化化合物膜所構成。

在閘絕緣膜25、25SSL、25GSL上例如形成有4 nm~50 nm厚度的電荷儲存層26、26SSL、26GSL。在本例，電荷儲存層26、26SSL、26GSL係由氮化膜所構成。

在電荷儲存層26、26SSL、26GSL上例如形成有2 nm~30 nm厚度的電荷儲存層和控制閘極間的絕緣膜40、40SSL、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明 ( 119 )

40GSL。電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL係由氧化矽膜或氮氧化物膜所構成。

在本發，電荷儲存層26、26SSL、26GSL及電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL形成於p型井區域(記憶胞陣列區域)23上的全體。

此處，電荷儲存層26、26SSL、26GSL由絕緣體構成，所以即使電荷儲存層26、26SSL、26GSL形成於p型井區域(記憶胞陣列區域)23上的全體，在EEPROM的動作上也完全沒有問題。

這些閘絕緣膜25、25SSL、25GSL、電荷儲存層26、26SSL、26GSL及電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL如下形成。

首先，在p型井區域23形成有0.05~0.5  $\mu\text{m}$ 深度的溝渠後，在此溝渠內嵌入元件分離絕緣膜24。此後，進行元件分離絕緣膜24的平坦化處理(回蝕、CMP等)到元件分離絕緣膜24表面和p型井區域23表面大致相等。然後，形成層間絕緣膜46後，在被元件分離絕緣膜24包圍的元件區域上形成閘絕緣膜25、25SSL、25GSL。

此後，在閘絕緣膜25、25SSL、25GSL上及層間絕緣膜46上形成成爲電荷儲存層26的氮化矽膜，再繼續在電荷儲存層26上形成電荷儲存層和控制閘極間的絕緣膜40。

根據這種方法，首先形成STI構造元件分離絕緣膜24後，形成閘極閘絕緣膜25、25SSL、25GSL、電荷儲存層26、26SSL、26GSL及電荷儲存層和控制閘極間的絕緣膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 120)

40、40SSL、40GSL。因此，可縮小爲了形成元件分離絕緣膜24的溝渠的高寬比(aspect ratio)，因在溝渠內完全嵌入元件分離絕緣膜24而可謀求元件分離耐壓的提高。

在電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL上例如形成由多晶矽層構成的控制閘線27(WL0)、…27(WL15)及選擇閘線27(SSL)、27(GSL)。

這種情況，性多晶矽層含n型雜質(例如磷、砷)或p型雜質(例如硼)，其雜質濃度設定在 $1 \times 10^{17} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>範圍內的預定值。控制閘線27(WL0)、…27(WL15)及選擇閘線27(SSL)、27(GSL)例如以10 nm~500 nm厚度形成。

控制閘線27(WL0)、…27(WL15)及選擇閘線27(SSL)、27(GSL)也可以不是多晶矽層，而是例如由矽化鎢(Tungsten Silicide)、矽化鎳、矽化鈷、矽化鈦、矽化鈷等金屬矽化物構成。此外，控制閘線27(WL0)、…27(WL15)及選擇閘線27(SSL)、27(GSL)也可以由多晶矽和金屬矽化物的層疊構造構成。

控制閘線27(WL0)、…27(WL15)及選擇閘線27(SSL)、27(GSL)上形成閘加工時成爲罩幕的罩(cap)絕緣膜48。

以此罩絕緣膜48爲罩，蝕刻控制閘線27(WL0)、…27(WL15)及選擇閘線27(SSL)、27(GSL)，就形成這些閘線列方向的邊緣部。

而且，MONOS型EEPROM胞(記憶胞)由n型擴散層28、電荷儲存層26及控制閘線27(WL0)、…27(WL15)構成。此外，選擇開關元件也由n型擴散層28、28<sub>s</sub>、28<sub>d</sub>、電荷儲存

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 五、發明說明 ( 121 )

層 26SSL、26GSL 及選擇閘線 27 (SSL)、27 (GSL) 構成。

MONOS 型 EEPROM 胞的閘長設定在  $0.01 \mu\text{m}$ ~ $0.5 \mu\text{m}$  範圍內的預定值。n 型擴散層 28、28<sub>s</sub>、28<sub>d</sub> 含有 n 型雜質 (例如磷、砷、銻等)，其表面濃度設定在  $1 \times 10^{17}$ ~ $1 \times 10^{21}$  atoms/cm<sup>3</sup> 範圍內的預定值。此外，n 型擴散層 28、28<sub>s</sub>、28<sub>d</sub> 深度例如設定在 10 nm~500 nm 範圍內的預定值。

n 型擴散層 (源極/汲極) 28 為並聯連接的多數個 (在本例為 16 個) 記憶胞所共有，其結果可實現由多數並聯連接的記憶胞構成的及 (AND) 胞構造。此外，n 型擴散層 28<sub>s</sub>、28<sub>d</sub> 為在列方向互相鄰接的兩個胞單元所共有。

選擇開關元件的閘長設定成比 MONOS 型 EEPROM 胞 (記憶胞) 的閘長長。例如選擇開關元件的閘長設定在  $0.02 \mu\text{m}$ ~ $1 \mu\text{m}$  範圍內的預定值。如此藉由比記憶胞的閘長加長選擇選擇開關元件的閘長，因可充分增大部件選擇/非選擇時的接通/斷開比而可防止錯誤寫入或錯誤讀出。

關於本例的裝置構造的特徵在於下述之點：選擇開關元件和記憶胞都由 MONOS 型 MOSFET 構成。此外，關於本例的裝置構造的特徵在於下述之點：選擇開關元件的選擇閘線 27 (SSL)、27 (GSL) 形成於和 MONOS 型 MOSFET 胞 (記憶胞) 的控制閘線 27 (WL0)、...27 (WL15) 相同之層。

在本例，記憶胞的閘絕緣膜 25 及電荷儲存層 26 的厚度分別和選擇開關元件的閘絕緣膜 25SSL、25GSL 及電荷儲存層 26SSL、26GSL 的厚度實質上相同。即，在記憶胞和選擇開關元件，由於可同時形成閘絕緣膜 25、25SSL、25GSL 及電荷

## 五、發明說明(122)

儲存層26、26SSL、26GSL，所以製程短，可降低製程成本。

再在n型擴散層28上形成十分厚的層間絕緣膜46。胞單元內最資料傳輸線側的n型擴散層(汲極)28<sub>d</sub>連接於資料傳輸線BL。資料傳輸線BL例如由含有雜質的導電性多晶矽、鎢、矽化鎢、鈦、氮化鈦、鋁等構成。胞單元內最共用電壓節點側的n型擴散層(源極)28<sub>s</sub>連接於共用電壓節點。

記憶胞及選擇開關元件為層間絕緣膜28所覆蓋。資料傳輸線36(BL)例如藉由金屬鑲嵌(damascene)製程形成於設於層間絕緣膜28配線構內。層間絕緣膜28例如二氧化矽或氮化矽等構成。

在資料傳輸線36(BL)上例如形成由鎢、鋁、銅等金屬構成的上部配線。而且，資料傳輸線36(BL)及上部配線分別被例由二氧化矽、氮化矽、聚醯亞胺(polyimide)等絕緣膜構成的保護膜(鈍化膜)37覆蓋。

又，在這種裝置構造，n型井區域22和p型井區域23和p型半導體基板21之間。因此，p型井區域23電位可和p型半導體基板21電位獨立設定。其結果，例如擦除時可減少升壓電路(booster)的消耗電力。

在本例的裝置構造，電荷儲存層26配置於元件分離絕緣膜24上及被元件分離絕緣膜24包圍的元件區域上，使全部胞單元內的電晶體的電荷儲存層26互相一體化。因此，在本例，電荷儲存層26限於絕緣體，例如氮化矽、氧化鈦、氧化鉭、氧化鋁等。

## 五、發明說明 ( 123 )

此外，和習知有浮動閘極的EEPROM不同，由於由絕緣體構成電荷儲存層26，所以爲了防止互相鄰接的兩個電晶體(記憶胞及選擇開關元件)間的漏電流的側壁絕緣膜43無需十分厚地形成。

即，根據本例的裝置構造，由於可使側壁絕緣膜43厚度變薄，所以可縮小胞單元內的兩電晶體距離，可助於元件高密度化及晶片寸縮小。

此外，形成選擇開關元件S1、S2的選擇閘線27(SSL)、27(GSL)及記憶胞MO、M1、…M15的控制閘線27(WL0)、…27(WL15)之際，電荷儲存層26、26SSL、26GSL的側壁不會露出，所以可防止電荷儲存層26、26SSL、26GSL的污染或漏電流，並可使因源極邊緣或汲極邊緣的電場集中而異常寫入或異常擦除減少。

此外，在本例，形成STI構造的元件分離絕緣膜24後，形成閘絕緣膜25、25SSL、25GSL、電荷儲存層(絕緣膜)26、26SSL、26GSL及電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL，所以這些絕緣膜不會暴露於形成元件分離絕緣膜24時的熱製程中。

因此，無製程損傷可形成良好膜質的閘絕緣膜25、25SSL、25GSL、電荷儲存層26、26SSL、26GSL及電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL。

此外，在本例，電荷儲存層26、26SSL、26GSL形成於p型井區域(記憶胞陣列區域)23上的全體，加工電荷儲存層26、26SSL、26GSL的製程不存在，所以沒有電荷儲存層

## 五、發明說明 (124)

26、26SSL、26GSL損傷的產生，可助於提高電荷保持特性。

而且，只對於選擇開關元件S1、S2的選擇的閘線27(SSL)、27(GSL)及記憶胞MO、M1、…M15的控制閘線27(WL0)、…27(WL15)加工即，對於閘絕緣膜25、25SSL、25GSL、電荷儲存層26、26SSL、26GSL及電荷儲存層和控制閘極間的絕緣膜40、40SSL、40GSL無需加工。

因此，閘加工後所形成的電晶體間高低平面差變小，其結果，可縮小互相鄰接的兩個閘極間隔，可助於元件高密度化。此外，雖然必須以層間絕緣膜28嵌入兩個閘極間的溝，但根據本例，因可縮小此溝的高寬比(aspect ratio)而可在兩個閘極間的溝完全嵌入層間絕緣膜28。

此外，在本例，因採用及(AND)胞構造而可使記憶胞MO、M1、…M15的串聯電阻為小且一定，例如使記憶於記憶胞的資料多電平化(multi-level)時，為了使記憶胞的臨界值穩定，很合適。

在關於本例的裝置構造方面，也和上述第一例同樣，可進行選擇開關元件S1、S2的臨界值設定。在設定臨界值時，採用及(AND)胞構造的情況的動作特徵在於下述之點：讀出動作時，使選擇部件的非選擇記憶胞成為斷開狀態。

即，在反及胞構造，讀出動作時，選擇部件內的非選擇記憶胞成為接通狀態。此點以外的動作在採用及胞構造的情況和採用反及胞構造的情況相同。因此，在採用及胞構造的情況，例如根據圖53及圖54所示的流程圖，亦可設

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 125 )

定選擇開關元件 S1、S2 的臨界值。

[其他]

關於以上全部例，由於選擇開關元件 S1、S2 的選擇閘線 SSL、GSL 和記憶胞 MO、M1、…M15 的控制閘線 WL0、WL1、…WL15 形成於相同配線層內，所以可都低設選擇閘線 SSL、GSL 及控制閘線 WL0、WL1、…WL15 的配線電阻。

即，由於對於選擇閘線 SSL、GSL 及控制閘線 WL0、WL1、…WL15 可採用降低多晶矽化金屬製程或自行對準矽化物製程等閘配線電阻值的製程，並可同時形成選擇閘線 SSL、GSL 及控制閘線 WL0、WL1、…WL15，所以藉由削減製造步驟數，可謀求成本減低。

此外，選擇閘線 SSL、GSL 及控制閘線 WL0、WL1、…WL15 藉由一次 PEP (光刻製程) 及 RIE 可形成圖案，所以也不產生微影時的選擇閘線 SSL、GSL 和控制閘線 WL0、WL1、…WL15 的對合偏差問題。

此外，為了選擇閘線 SSL、GSL 的低電阻化，在選擇閘線 SSL、GSL 上不需要所謂的低電阻的背面副線 (backside sub wire)，所以可減少配線層。此外，也不要選擇閘線 SSL、GSL 和背面副線的接觸部 (shunt area)，所以可消滅晶片面積，並且也可消除接觸不良或斷線不良的問題。

再者，不是浮動閘極，而是例如使用由絕緣體構成的電荷儲存層 26，所以不要所謂的狹縫製作製程等，可實現製程簡化。此外，可使選擇開關元件的製程和記憶胞的製程完全共用化。

## 五、發明說明 ( 126 )

此外，由於不要選擇閘線SSL、GSL和背面副線的接觸部(shunt area)，所以例如夾入資料傳輸線/共用電壓節點接觸剖的兩條選擇閘線SSL、GSL間隔可與記憶胞的控制閘線WL0、WL1、...WL15間隔相等。

又，本發明不限於上述五個例子。

例如關於包含元件分離絕緣膜25的絕緣膜形成方法，除了將矽(Si)變換成氧化矽膜或氮化矽膜的方法外，也可以使用將氧離子注入矽內的方法或使被沈積的矽氧化的方法等。

此外，電荷儲存層26也可以使用二氧化鈦、三氧化二鋁、氧化鉬膜、鈦酸鋁、鈦酸鋇、鈦酸鉛或這些的層疊膜。

此外，在上述各例雖然採用p型半導體基板(矽基板)21，但取代此，例如也可以採用n型矽基板、SOI(絕緣層上有矽)基板、含矽的單晶半導體基板(鍺化矽混晶基板、碳化矽鍺混晶基板等)。

再者，記憶胞MO、M1、...M15及選擇開關元件S1、S2雖然由形成於p型井區域23內的n通道電晶體構成，但取代此，也可以由形成於n型井區域(n型半導體基板亦可)內p通道電晶體構成。這種情況，在上述各例將n型換成p型，將p型換成n型即可。

記憶胞的控制閘極及選擇開關元件的選擇開關元件的控制閘極由矽半導體、鍺化矽混晶或碳化矽鍺混晶構成亦可，或者由矽化鈦、矽化鎳、矽化鈷、矽化鉬、矽化鎢、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明 ( 127 )

矽化鉬等金屬矽化物(或多晶矽化金屬)構成亦可，或者由鈦、鋁、銅、氮化鈦、鎢等金屬構成亦可，或者由多晶材料構成亦可，甚至由這些層疊構造成亦可。

此外，記憶胞的控制閘極及選擇開關元件的選擇開關元件的控制閘極也可以由非晶矽、非晶系鍺化矽混晶或非晶系碳化矽鍺混晶或由這些的層疊構造構成。記憶胞MO、M1、…M15及選擇開關元件S1、S2的電荷儲存層26、26SSL、26GSL也可由以多數點狀構件的集合構成。

其他，本發明在不脫離其要旨的範圍可各種變形實施。

以上，如說明，根據本發明之半導體記憶裝置，選擇開關元件S1、S2的選擇閘線SSL、GSL和記憶胞MO、M1、…M15的控制閘線WL0、WL1、…WL15可形成於相同配線層內，可同時降低選擇閘線SSL、GSL及控制閘線WL0、WL1、…WL15的配線電阻。

即，對於選擇閘線SSL、GSL及控制閘線WL0、WL1、…WL15可共用使用多晶矽化金屬製程或自行對準矽化物製程等閘配線低電阻製程，和降低配線電阻共用可實現製造步驟數的削減。

此外，選擇閘線SSL、GSL和控制閘線WL0、WL1、…WL15使用由一次微影所形成的罩幕可同時加工，所以沒有選擇閘線SSL、GSL和控制閘線WL0、WL1、…WL15的對合偏差問題，晶片面積也不會增大。

此外，為了選擇閘線SSL、GSL的低電阻化，在選擇閘線SSL、GSL上不需要所謂的低電阻的背面副線(backside sub

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 128 )

wire)，所以可減少配線層。此外，也不要選擇閘線 SSL、GSL 和背面副線的接觸部 (shunt area)，所以可消滅晶片面積，並且也可消除接觸不良或斷線不良的問題。

再者，不是浮動閘極，而是例如使用由絕緣體構成的電荷儲存層 26，所以不要所謂的狹縫製作製程等，可實現製程簡化。此外，可使選擇開關元件的製程和記憶胞的製程完全共用化。

此外，由於不要選擇閘線 SSL、GSL 和背面副線的接觸部 (shunt area)，所以例如夾入資料傳輸線/共用電壓節點接觸剖的兩條選擇閘線 SSL、GSL 間隔可與記憶胞的控制閘線 WL0、WL1、...WL15 間隔相等。

(3) 精通技藝的人士將容易想到另外的優點及變更形態。因此，本發明在其較寬廣的方面不限於此處所顯示及所敘述的特定說明與代表具體實例。所以，在不脫離發明的精神或附加申請專利範圍及其同義辭限定的全體發明概念的範圍可作各種變更形態的實施。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱： 半導體記憶裝置 )

記憶胞陣列係由多數胞單元所構成。胞單元連接於資料傳輸線和共用電壓節點之間。胞單元係由實質上有同一構造之串聯連接的多數MFSFET (金屬鐵電半導體場效應電晶體) 所構成。多數MFSFET中最接近資料傳輸線的一個MFSFET和最接近共用電壓節點的一個MFSFET係用作為選擇開關元件。用作選擇開關元件的MFSFET以外的MFSFET係用作為記憶胞。資料係以MFSFET的鐵電膜極化狀態的形式記憶於記憶胞。

英文發明摘要 (發明之名稱： "SEMICONDUCTOR MEMORY" )

メモリセルアレイは、複数のセルユニットから構成される。セルユニットは、データ転送線と共通電圧ノードの間に接続される。セルユニットは、実質的に同一構造を有する直列接続された複数のMFSFETから構成される。複数のMFSFETのうち、データ転送線に最も近い1つのMFSFETと共通電圧ノードに最も近い1つのMFSFETは、選択スイッチング素子として用いられる。選択スイッチング素子として用いられるMFSFET以外のMFSFETは、メモリセルとして用いられる。データは、MFSFETの強誘電体膜の分極状態として、メモリセルに記憶される。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

### 六、申請專利範圍

1. 一種半導體記憶裝置，其特徵在於：包含  
 胞單元：且有第一端及第二端，由串聯連接於前述第一及第二端間的多數電晶體構成；  
 資料傳輸線：連接於前述胞單元之第一端；及  
 共用電壓節點：連接於前述胞單元之第二端，  
 各電晶體實質上有同一構造，同時有永久記憶資料的功能，前述多數電晶體中最接近前述資料傳輸線的一個電晶體和最接近前述共用電壓節點的一個電晶體係用作為選擇開關元件，用作前述選擇開關元件的電晶體以外的電晶體係作為記憶胞使用者。
2. 如申請專利範圍第1項之半導體記憶裝置，其中用作前述選擇開關元件的電晶體係經常設定在擦除狀態或寫入狀態。
3. 如申請專利範圍第1項之半導體記憶裝置，其中使前述多數電晶體全部成為擦除狀態後，使用作前述選擇開關元件的電晶體成為寫入狀態。
4. 如申請專利範圍第3項之半導體記憶裝置，其中使用作前述選擇開關元件的電晶體成為寫入狀態後，對於用作前述記憶胞的電晶體執行資料程式規劃。
5. 如申請專利範圍第1項之半導體記憶裝置，其中使前述多數電晶體全部成為擦除狀態後，對於用作前述記憶胞的電晶體執行資料程式規劃。
6. 一種半導體記憶裝置，其特徵在於：包含  
 胞單元：且有第一端及第二端，由串聯連接於前述第

裝  
訂  
線

### 六、申請專利範圍

一及第二端間的實質上有同一構造的多數MFSFET構成；

資料傳輸線：連接於前述胞單元之第一端；及

共用電壓節點：連接於前述胞單元之第二端，

多數MFSFET中最接近前述資料傳輸線的一個MFSFET和最接近前述共用電壓節點的一個MFSFET係用作為選擇開關元件，用作前述選擇開關元件的MFSFET以外的MFSFET係作為記憶胞使用者。

- 7. 如申請專利範圍第6項之半導體記憶裝置，其中用作前述選擇開關元件的MFSFET經常設定在擦除狀態或寫入狀態。
- 8. 如申請專利範圍第6項之半導體記憶裝置，其中使前述多數MFSFET全部成為擦除狀態後，使用作前述選擇開關元件的MFSFET成為寫入狀態。
- 9. 如申請專利範圍第8項之半導體記憶裝置，其中使用作前述選擇開關元件的MFSFET成為寫入狀態後，對於用作前述記憶胞的MFSFET執行資料程式規劃。
- 10. 如申請專利範圍第6項之半導體記憶裝置，其中使前述多數MFSFET全部成為擦除狀態後，對於用作前述記憶胞的MFSFET執行資料程式規劃。
- 11. 如申請專利範圍第6項之半導體記憶裝置，其中給與用作前述記憶胞的MFSFET之閘極低電位，用作前述記憶胞的MFSFET中使非選擇MFSFET之閘極成為浮動狀態後，給與形成前述多數MFSFET的半導體基板高電位，

裝  
訂  
線

## 六、申請專利範圍

用作前述記憶胞的MFSFET中對於被選擇MFSFET執行資料擦除動作。

12. 如申請專利範圍第6項之半導體記憶裝置，其中給與前述資料傳輸線預定電位，將用作前述記憶胞的MFSFET之通道充電到起始電位後，使用作前述記憶胞的MFSFET之通道成為浮動狀態，此後給與用作前述記憶胞的MFSFET之閘極程式電位或傳輸電位，用作前述記憶胞的MFSFET中對於被選擇MFSFET執行資料程式規劃。
13. 如申請專利範圍第6項之半導體記憶裝置，其中給與前述資料傳輸線接地電位，將用作前述記憶胞的MFSFET之通道設定在接地電位，此後給與用作前述記憶胞的MFSFET之閘極程式電位或傳輸電位，用作前述記憶胞的MFSFET中對於被選擇MFSFET執行資料程式規劃。
14. 一種半導體記憶裝置，其特徵在於：包含  
多數個記憶胞：形成於半導體區域上，串聯或並聯連接於第一節點及第二節點之間；及，  
選擇開關元件：連接於前述第一節點及第三節點之間，  
前述多數個記憶胞和前述選擇開關元件都有電荷儲存層，前述多數個記憶胞的電荷儲存層材料及厚度和前述選擇開關元件的電荷儲存層材料及厚度實質上相同者。
15. 如申請專利範圍第14項之半導體記憶裝置，其中前述多

## 六、申請專利範圍

數個記憶胞各個具有控制閘極，前述選擇開關元件具有選擇開關元件的控制閘極，該選擇開關元件的控制閘極具有和前述控制閘極相同的構造，配置前述控制閘極的配線層和配置前述選擇開關元件的控制閘極的配線層相同。

16. 如申請專利範圍第14項之半導體記憶裝置，其中前述多數個記憶胞的電荷儲存層及前述選擇開關元件的電荷儲存層互相分離。
17. 如申請專利範圍第16項之半導體記憶裝置，其中前述電荷儲存層包括由含有雜質的矽、鍺化矽及含有鍺的導體和氮化矽、氧化鈦、氧化鈮或含有氧化鋁的絕緣體中所選擇的一個。
18. 如申請專利範圍第14項之半導體記憶裝置，其中前述多數個記憶胞的電荷儲存層及前述選擇開關元件電荷儲存層互相一體化。
19. 如申請專利範圍第18項之半導體記憶裝置，其中前述電荷儲存層包括由氮化矽、氧化鈦、氧化鈮或含有氧化鋁的絕緣體中所選擇的一個。
20. 如申請專利範圍第16項之半導體記憶裝置，其中更包含元件分離絕緣膜：包圍配置前述多數個記憶胞和前述選擇開關元件的元件區域，  
前述多數個記憶胞的電荷儲存層及前述選擇開關元件的電荷儲存層只配置於前述元件區域上。
21. 如申請專利範圍第20項之半導體記憶裝置，其中前述多數個記憶胞的電荷儲存層側面及前述選擇開關元件的電

## 六、申請專利範圍

荷儲存層側面被前述元件分離絕緣膜覆蓋。

22. 如申請專利範圍第18項之半導體記憶裝置，其中更包含元件分離絕緣膜：包圍配置前述多數個記憶胞和前述選擇開關元件的元件區域，

前述多數個記憶胞的電荷儲存層及前述選擇開關元件的電荷儲存層只配置於前述元件區域上。

23. 如申請專利範圍第22項之半導體記憶裝置，其中前述多數個記憶胞的電荷儲存層側面及前述選擇開關元件的電荷儲存層側面被前述元件分離絕緣膜覆蓋。

24. 如申請專利範圍第18項之半導體記憶裝置，其中更包含元件分離絕緣膜：包圍配置前述多數個記憶胞和前述選擇開關元件的元件區域，

前述多數個記憶胞的電荷儲存層及前述選擇開關元件的電荷儲存層分別配置於前述元件區域上及前述元件分離絕緣膜上。

25. 如申請專利範圍第16項之半導體記憶裝置，其中前述多數個記憶胞及前述選擇開關元件都在前述半導體區域和電荷儲存層間有絕緣膜，前述選擇開關元件的絕緣膜厚度比前述多數個記憶胞的絕緣膜厚度厚。

26. 如申請專利範圍第18項之半導體記憶裝置，其中前述多數個記憶胞及前述選擇開關元件都有絕緣膜，前述選擇開關元件的絕緣膜厚度比前述多數個記憶胞的絕緣膜厚度厚。

27. 如申請專利範圍第14項之半導體記憶裝置，其中前述選



## 六、申請專利範圍

- 擇開關元件具有選擇開關元件的控制閘極及配置於前述控制閘極和前述電荷儲存層間的絕緣膜，對於前述選擇開關元件的寫入或擦除時，流到前述絕緣膜的電流成為流到前述電荷儲存層和半導體區域間的電流以上。
28. 如申請專利範圍第14項之半導體記憶裝置，其中前述選擇開關元件的臨界值在擦除動作，向收斂於第一值的方向變化。
29. 如申請專利範圍第14項之半導體記憶裝置，其中前述選擇開關元件的臨界值在寫入動作時，向收斂於第二值的方向變化。
30. 如申請專利範圍第28及29項之半導體記憶裝置，其中前述第一值為負，前述第二值為正。
31. 如申請專利範圍第14項之半導體記憶裝置，其中前述多數個記憶胞及前述選擇開關元件都由配置於第一導電型井區域內的第二導電型場效電晶體所構成。
32. 如申請專利範圍第14項之半導體記憶裝置，其中前述第三節點係連接於資料傳輸線或共用電壓節點線。
33. 如申請專利範圍第14項之半導體記憶裝置，其中對於前述選擇開關元件的前述閘極，施加於前述半導體區域的電壓是正。
34. 如申請專利範圍第14項之半導體記憶裝置，其中前述多數個記憶胞和選擇開關元件在和與第三節點連接的資料傳輸線正交的方向多數並排形成，前述資料傳輸線和資料選擇線正交形成，形成記憶胞矩陣，對於前述選擇開

## 六、申請專利範圍

關元件的控制輸入係並排連接於和資料選擇線平行形成的控制線。

35. 一種包含具有電荷儲存層之選擇開電晶體及具有電荷儲存層之記憶胞的半導體記憶裝置之臨界值設定方法，其特徵在於：包括以下步驟：

藉由擦除動作將前述選擇開關元件的臨界值及前述記憶胞的臨界值都設定在負，

藉由寫入動作將前述選擇開關元件的臨界值設定在正，

驗證前述選擇開關元件的臨界值是否已變成正，

前述選擇開關元件的臨界值未變成正時，進行再寫入動作，

使前述選擇開關元件的臨界值成為正後，進行為了將前述選擇開關元件的臨界值收在設定範圍內的寫入動作，

驗證前述選擇開關元件的臨界值是否收在前述設定範圍內，

前述選擇開關元件的臨界值未收在前述設定範圍內時，進行前述再寫入者。

36. 如申請專利範圍第35項之包含具有電荷儲存層之選擇開電晶體及具有電荷儲存層之記憶胞的半導體記憶裝置之臨界值設定方法，其中前述選擇開關元件的臨界值在前述擦除動作不會比第一值小，並且在前述寫入動作不會比第二值大。

37. 如申請專利範圍第36項之包含具有電荷儲存層之選擇開

## 六、申請專利範圍

電晶體及具有電荷儲存層之記憶胞的半導體記憶裝置之臨界值設定方法，其中藉由前述再寫入，前述選擇開關元件的臨界值集中於前述第二值。

裝

訂

線

90年10月4日 修正  
補充

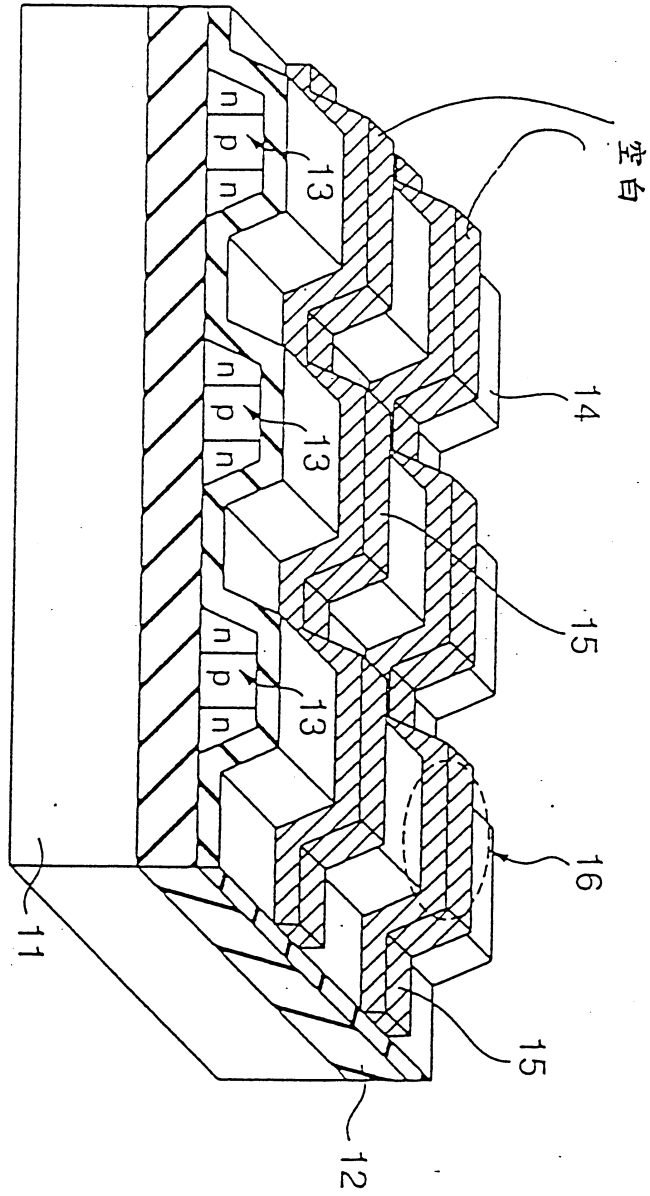


圖 1  
(先前技藝)

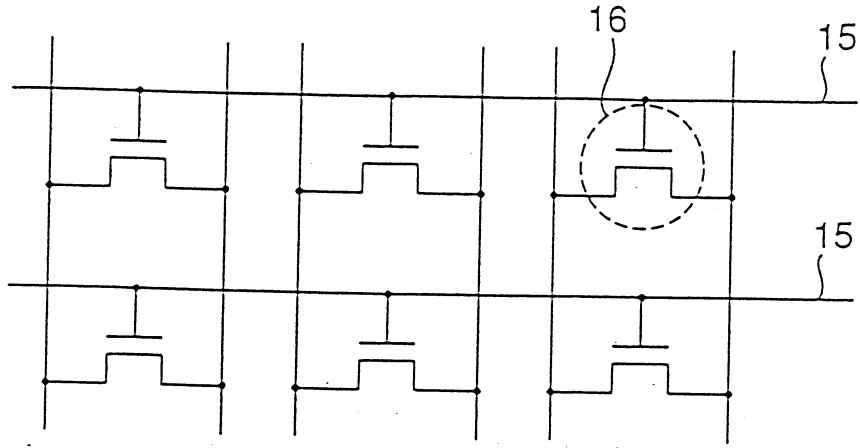


圖 2 (先前技藝)

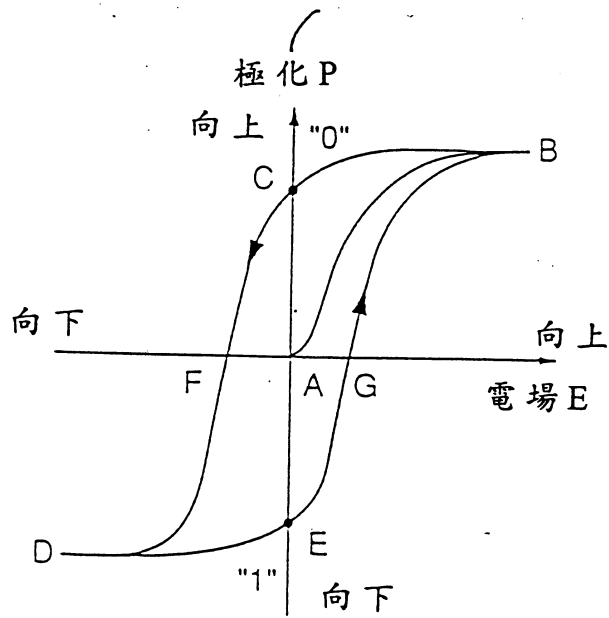


圖 3 (先前技藝)

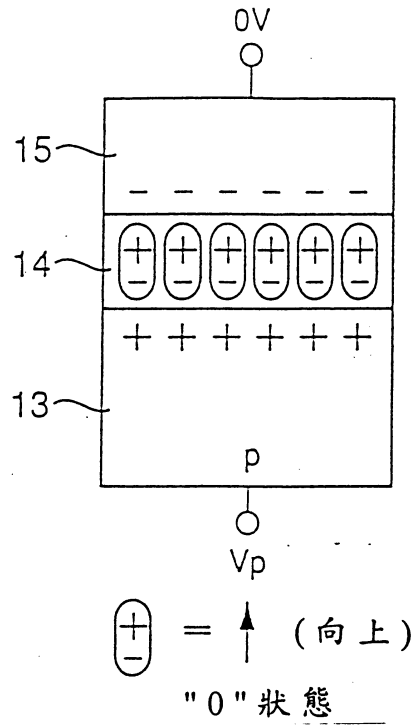


圖 4  
(先前技藝)

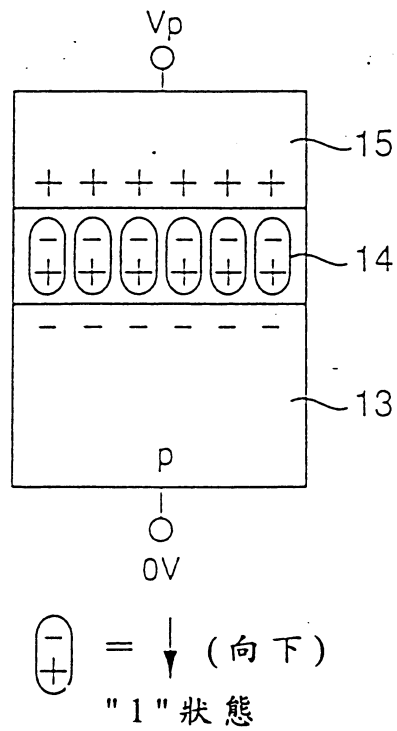


圖 5  
(先前技藝)

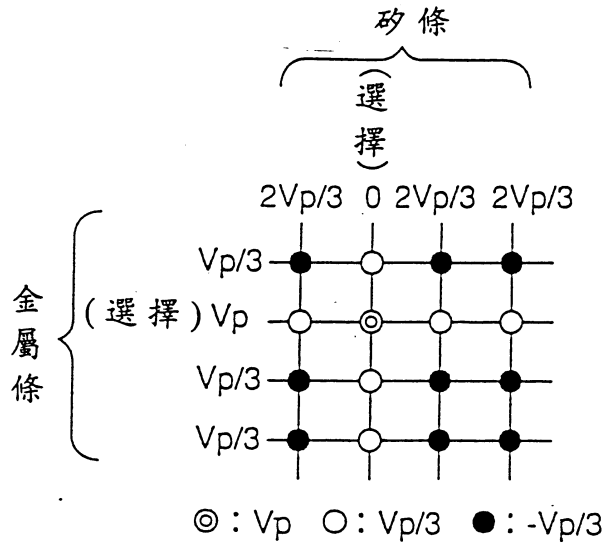


圖 6  
(先前技藝)

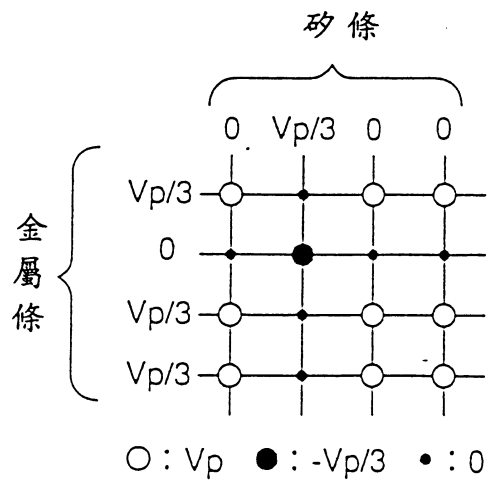


圖 7  
(先前技藝)

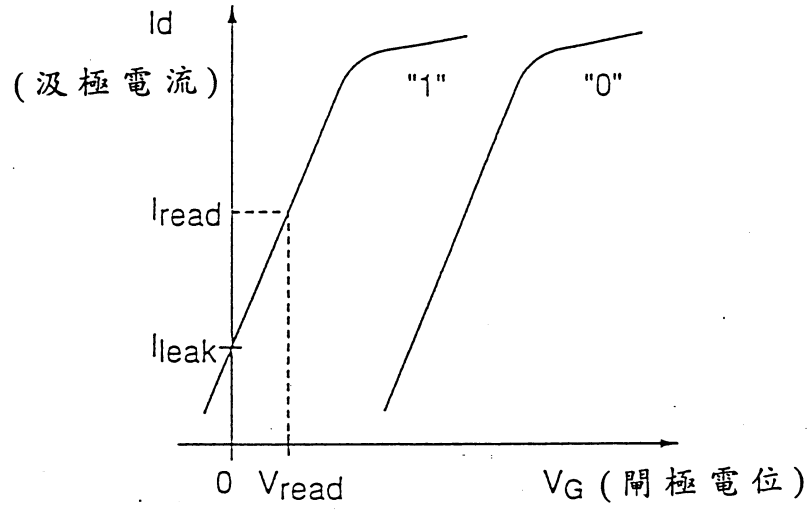


圖 8  
(先前技藝)

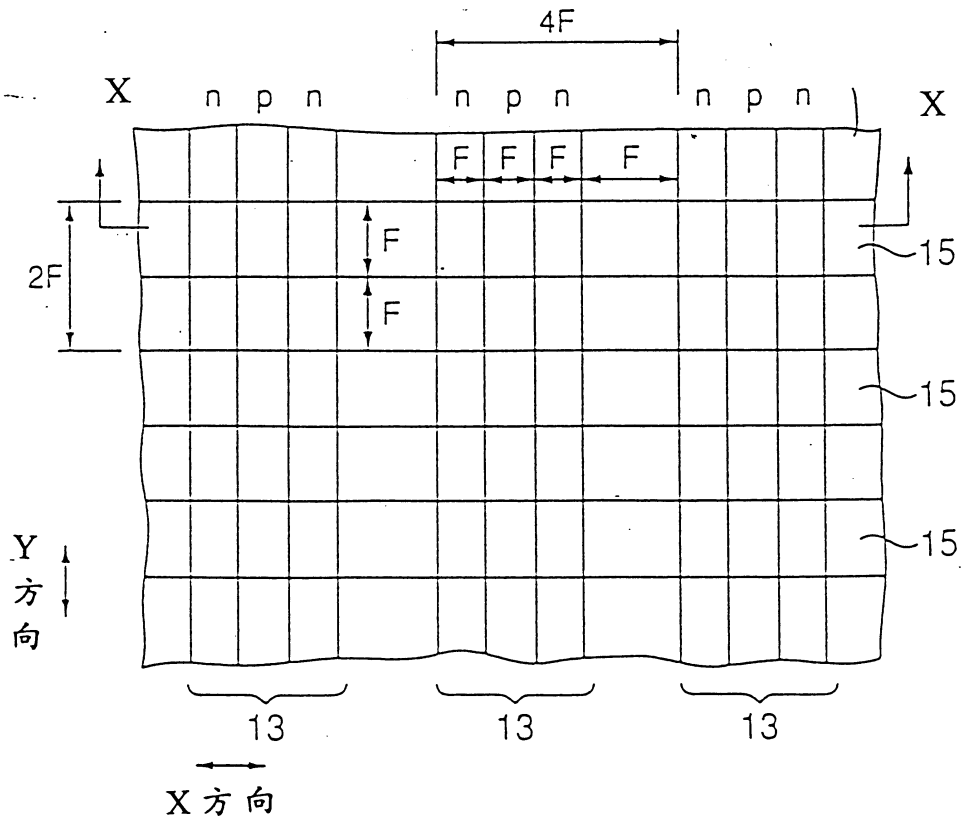


圖 9  
(先前技藝)



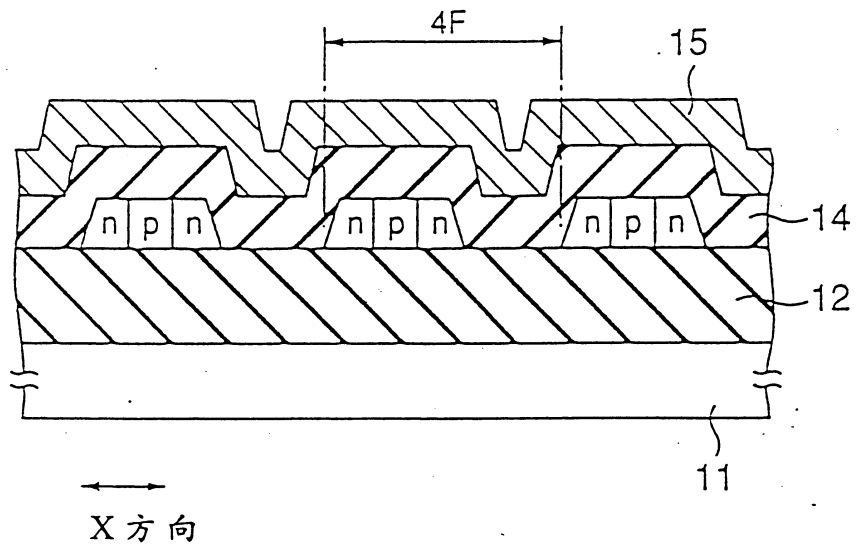


圖 10  
(先前技藝)

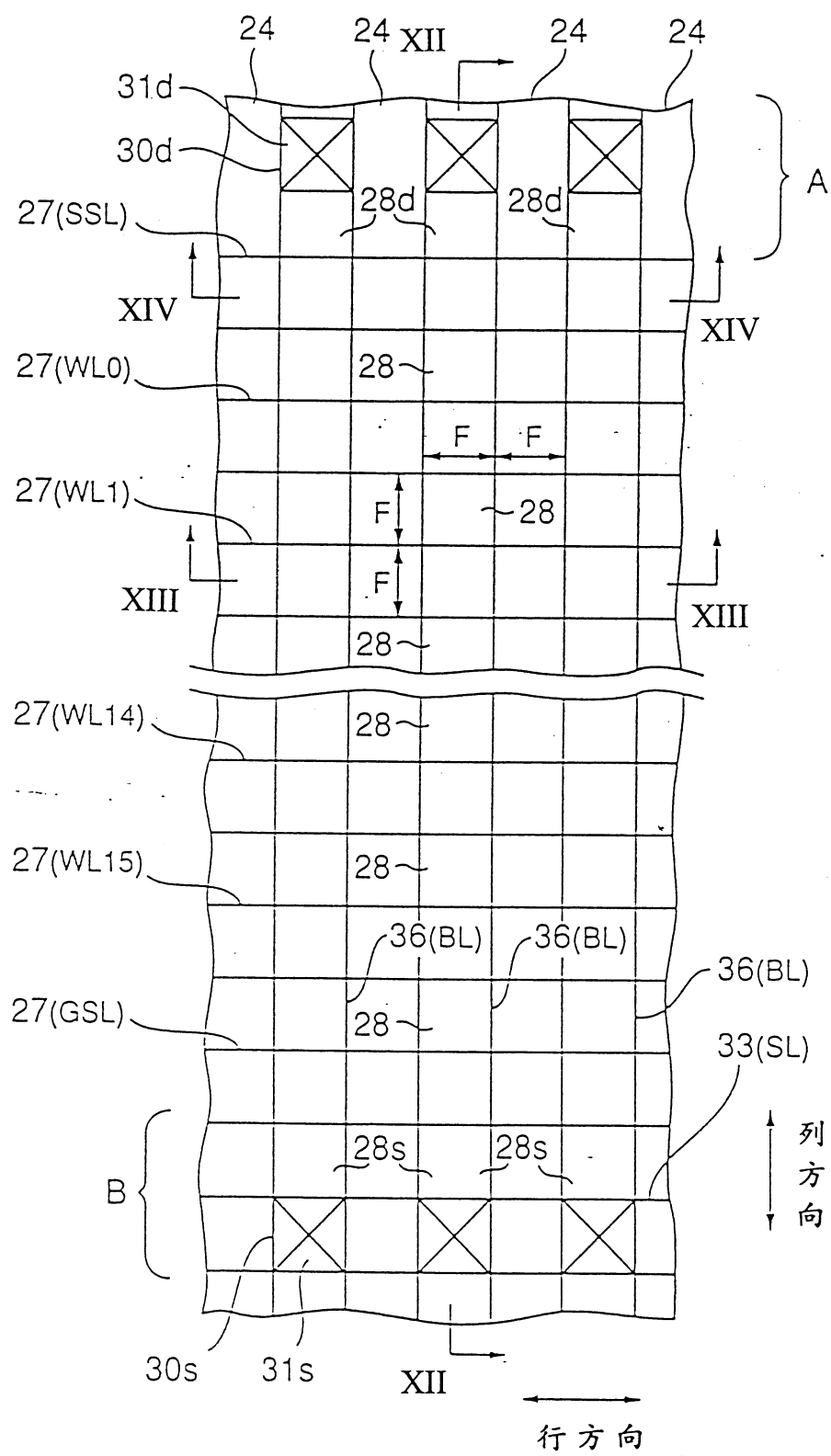


圖 11

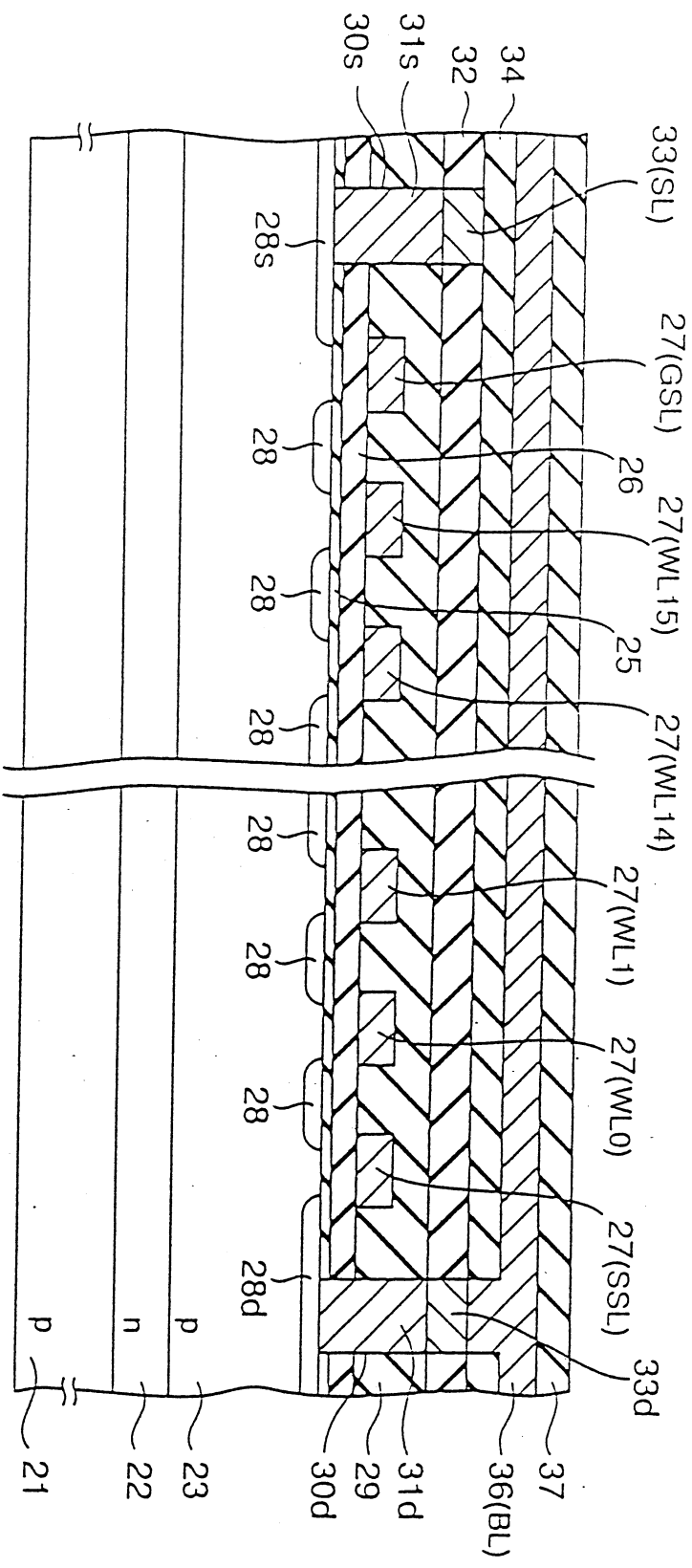


圖 12

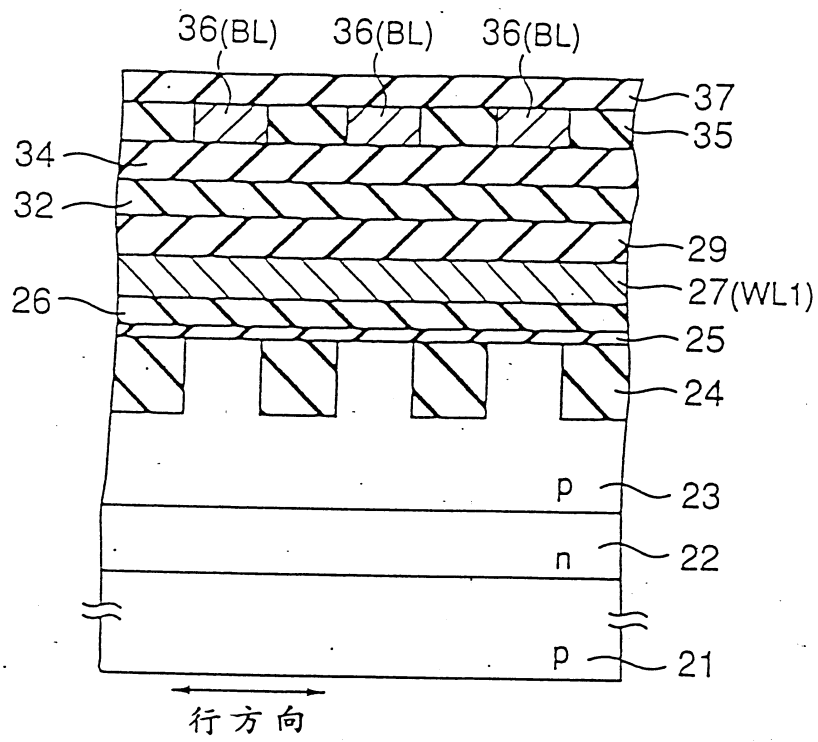


圖 13

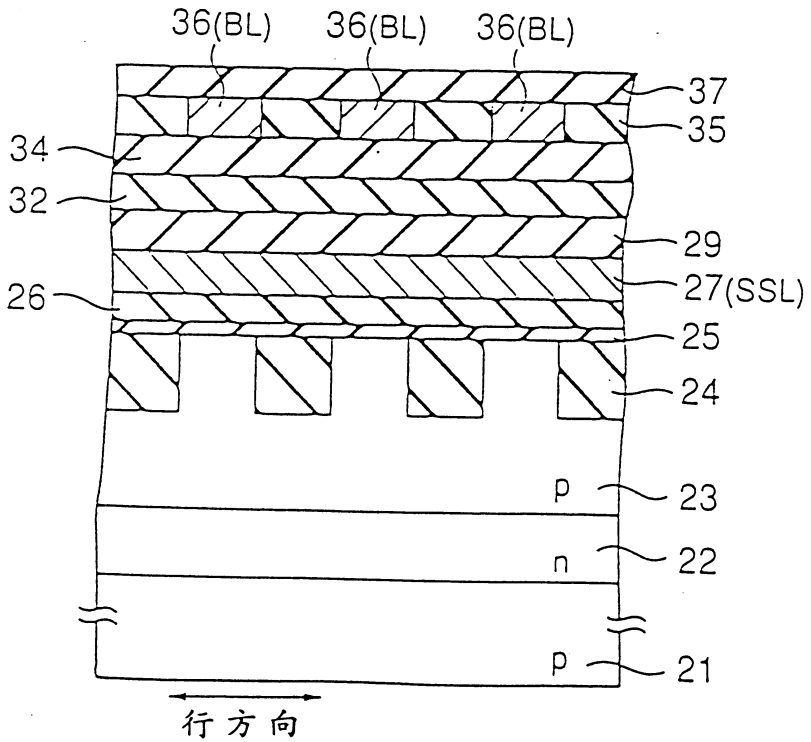


圖 14

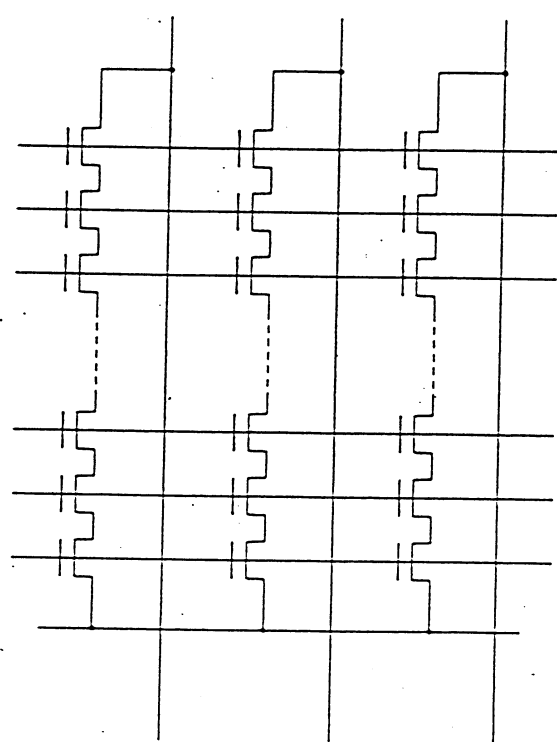


圖 15

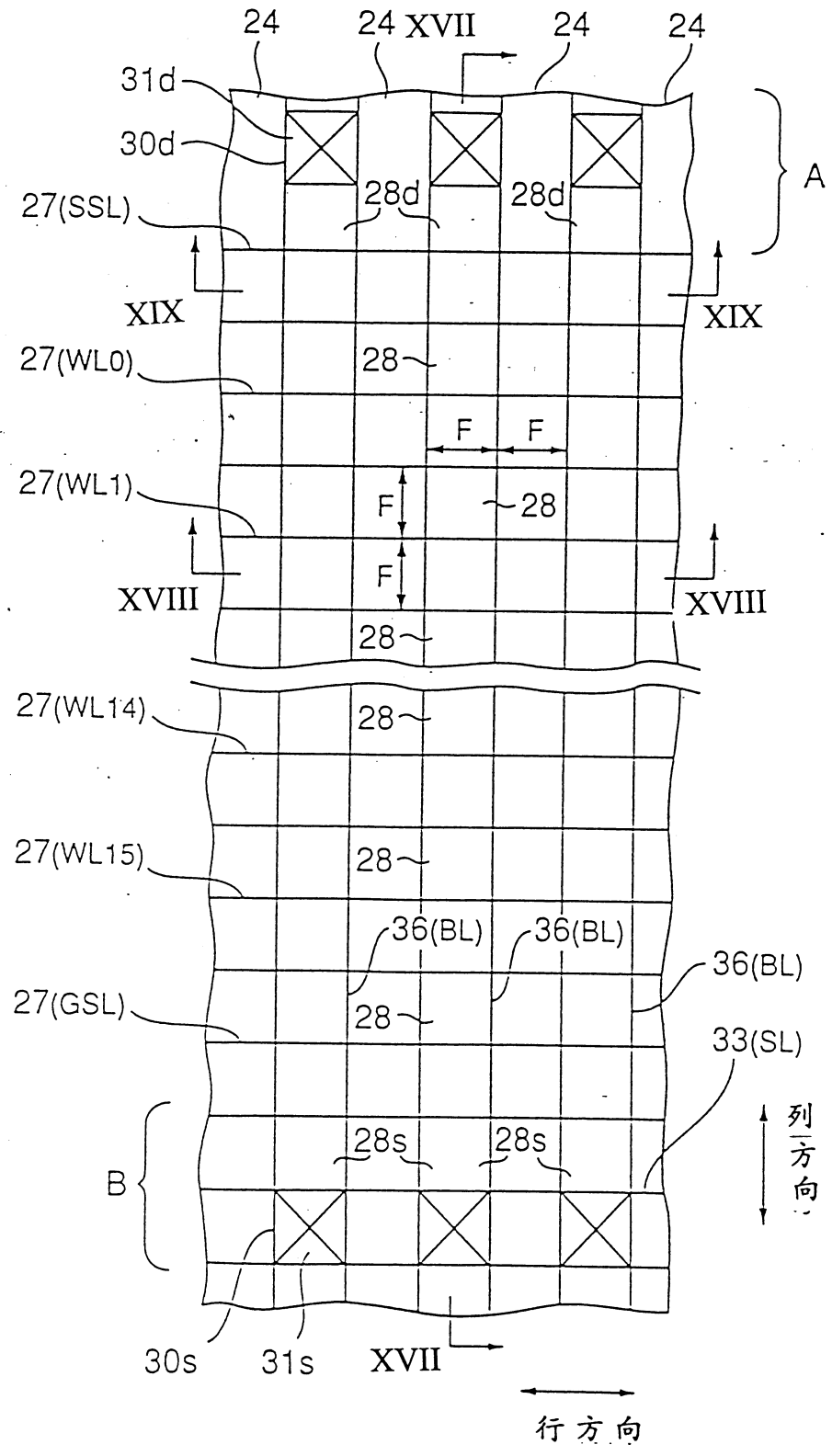


圖 16



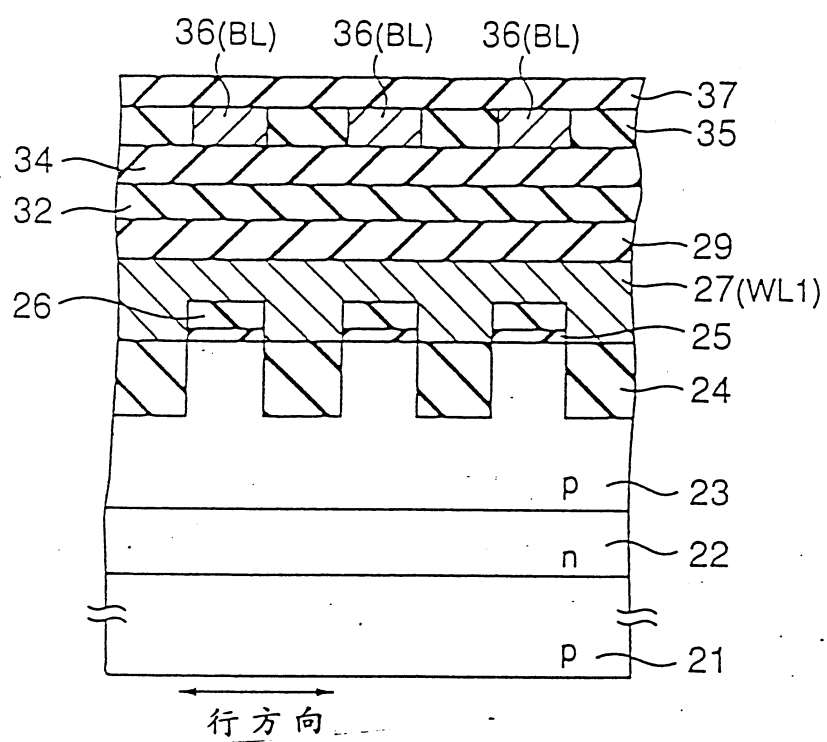


圖 18

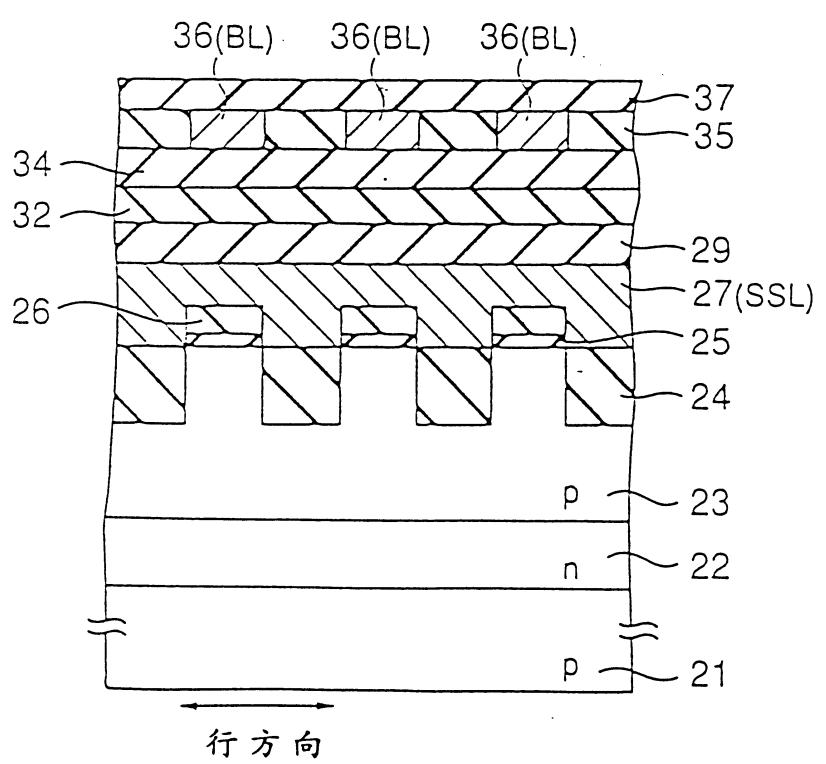
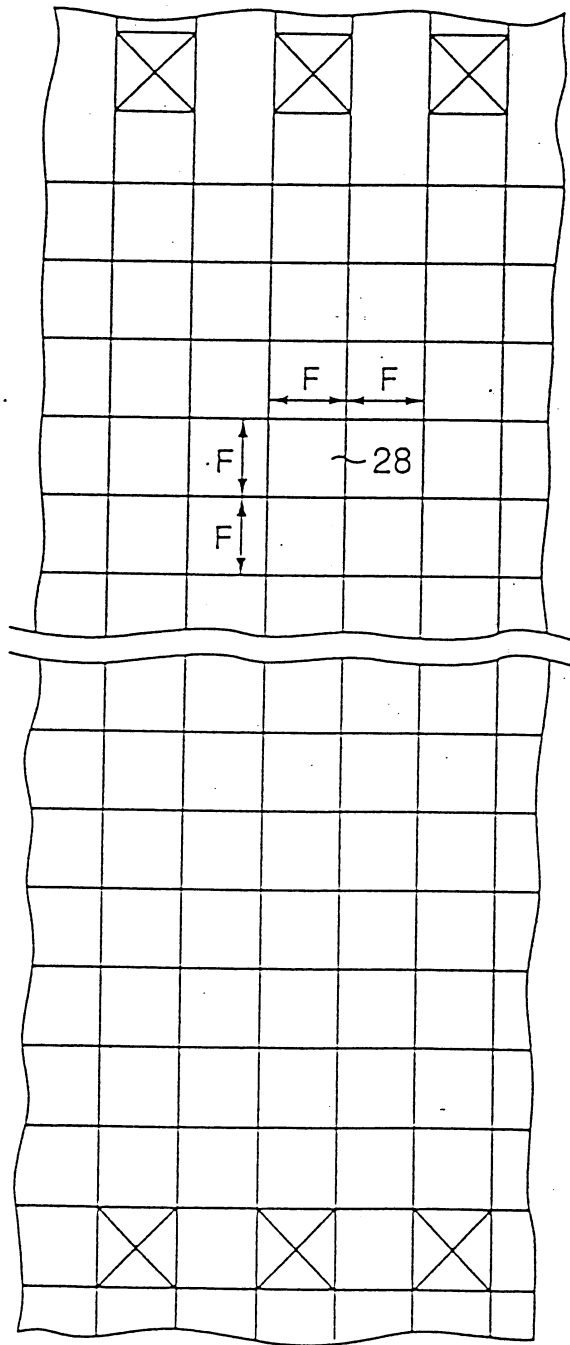


圖 19

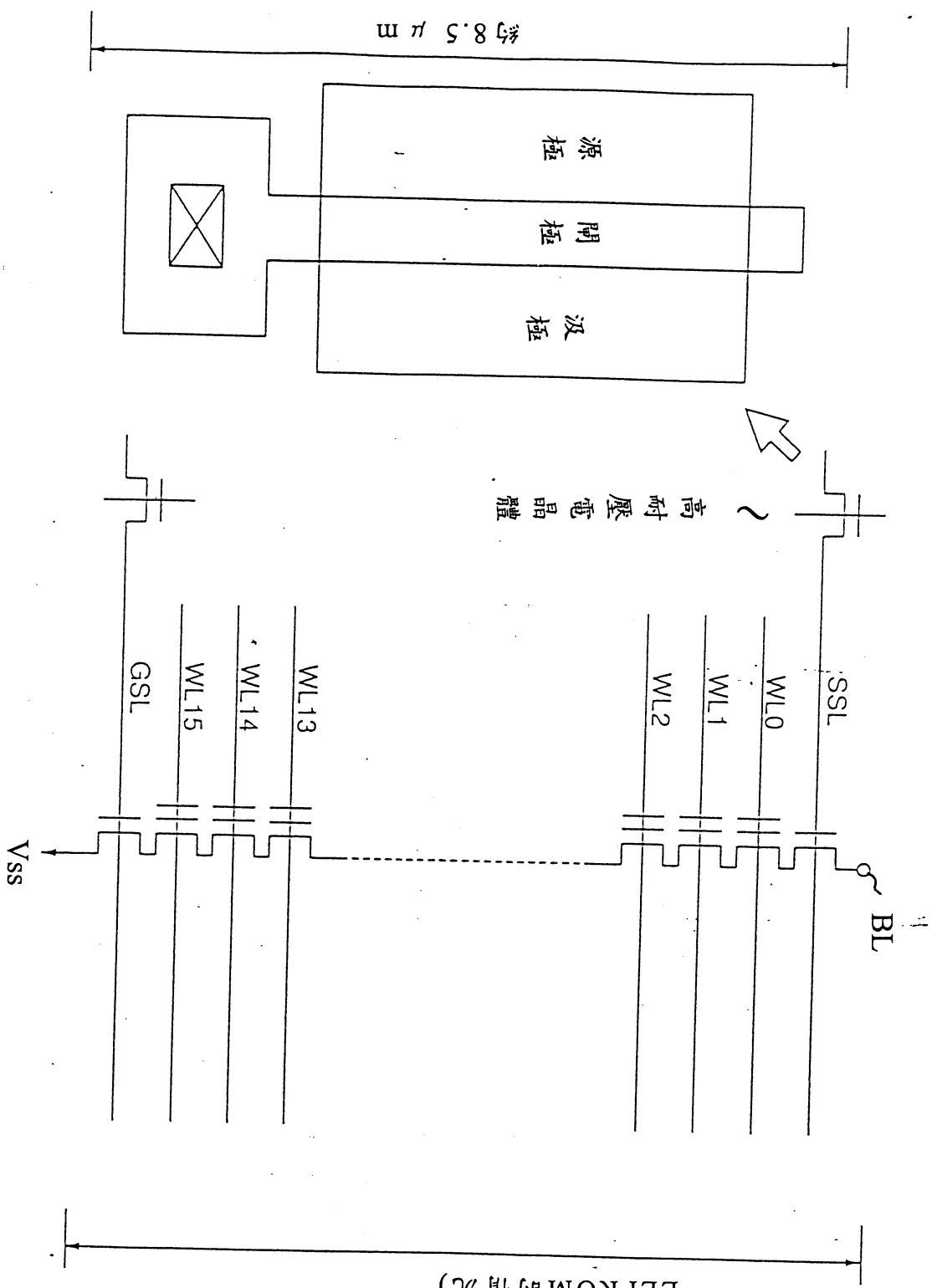




列方向

行方向

圖 20



反及串尺寸=8.5 μm(根據0.25 μm  
規則設計的256百萬位元反及型快閃  
EEPROM的情況)

圖 21

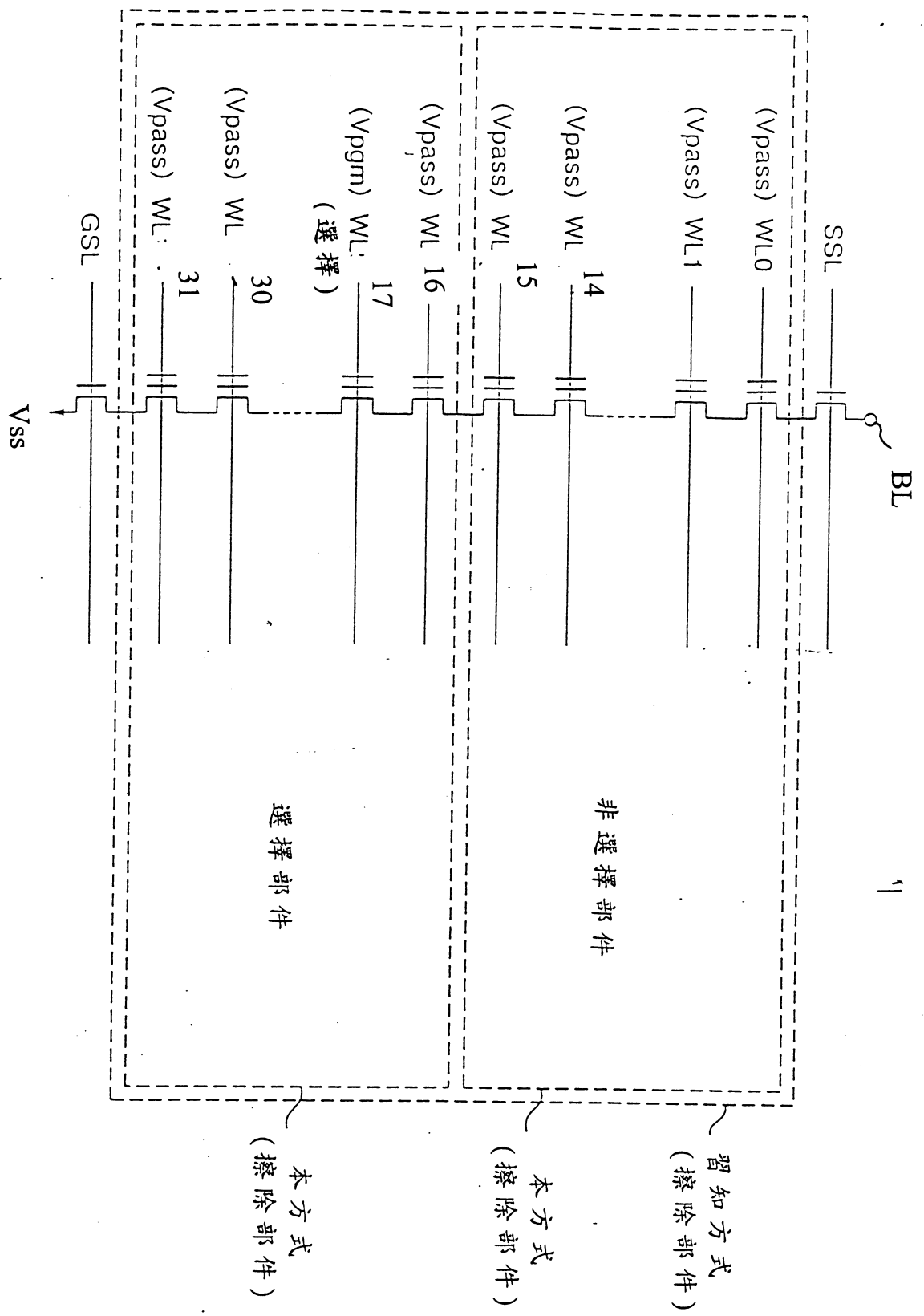


圖 22

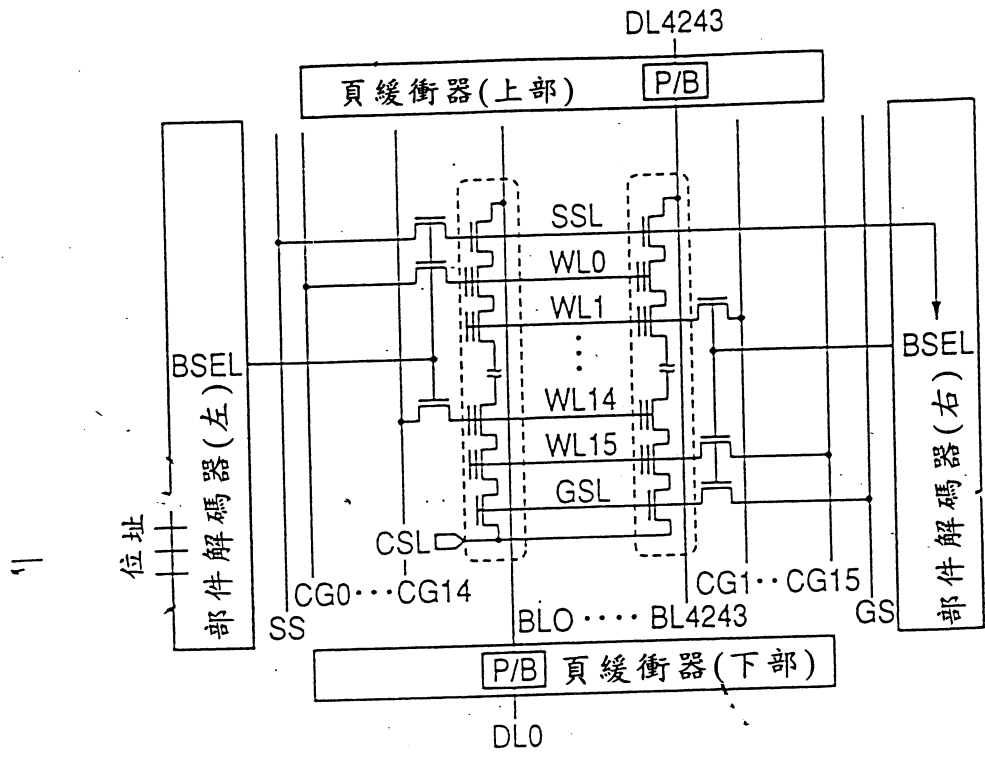


圖 23

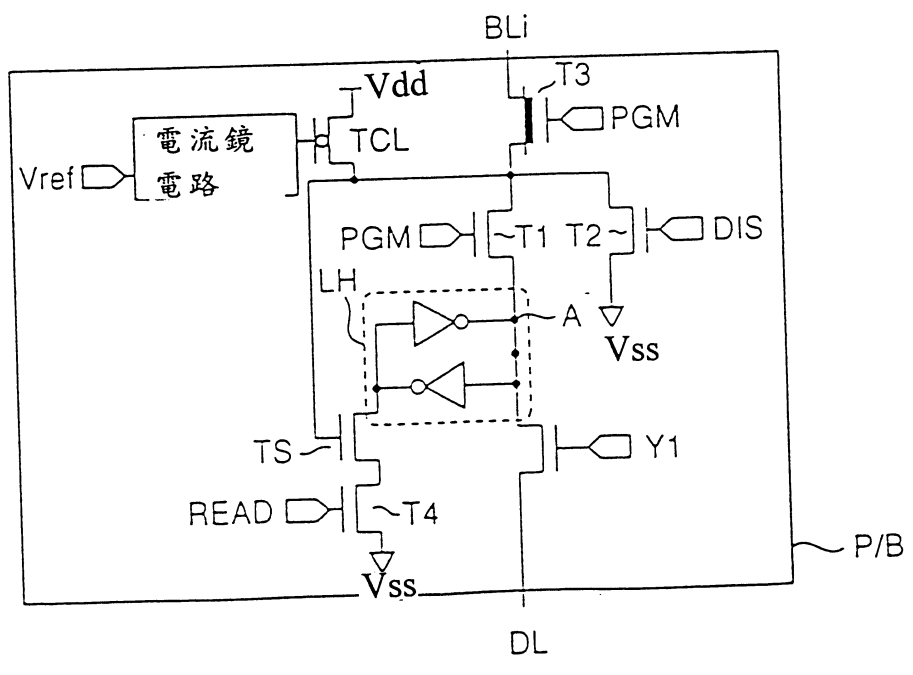


圖 24

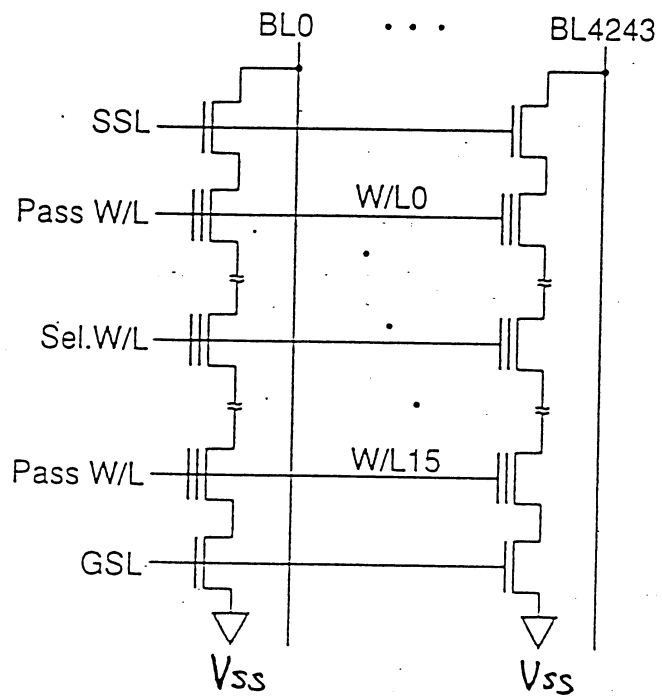


圖 25

此縱線刪除

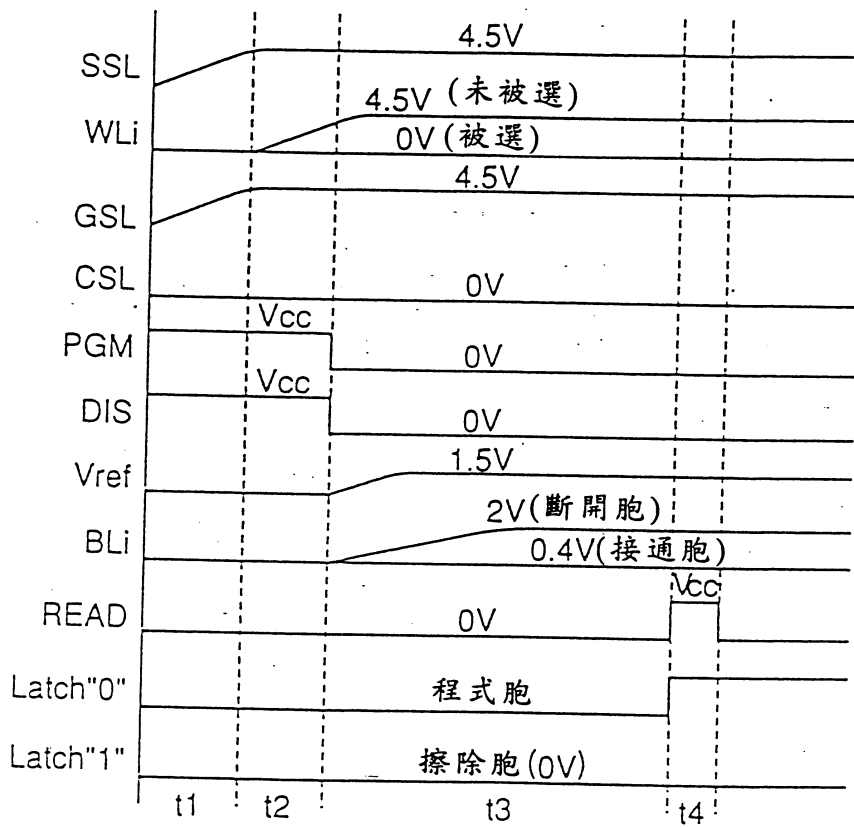


圖 26

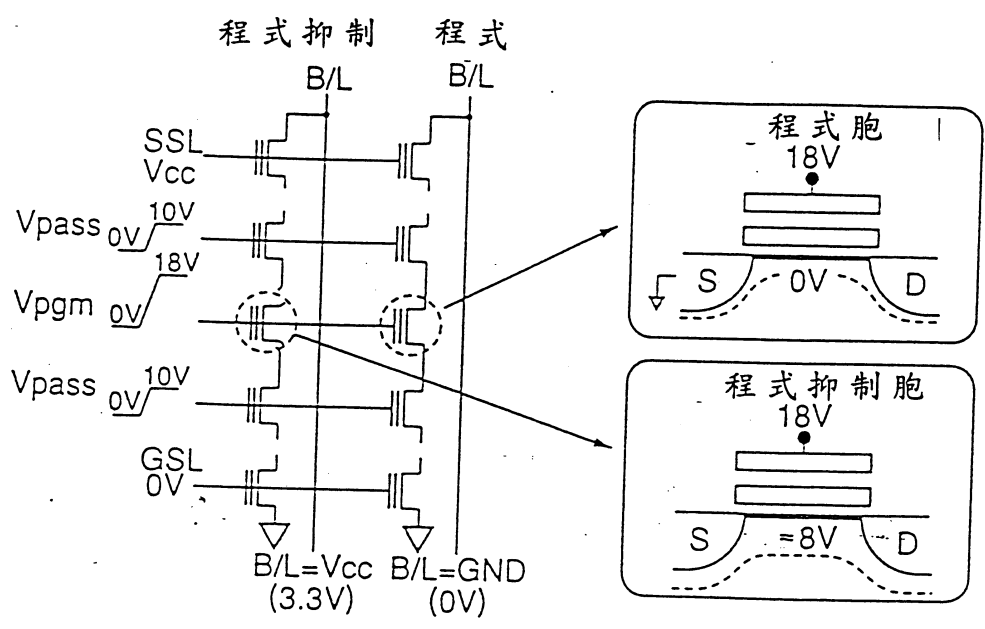
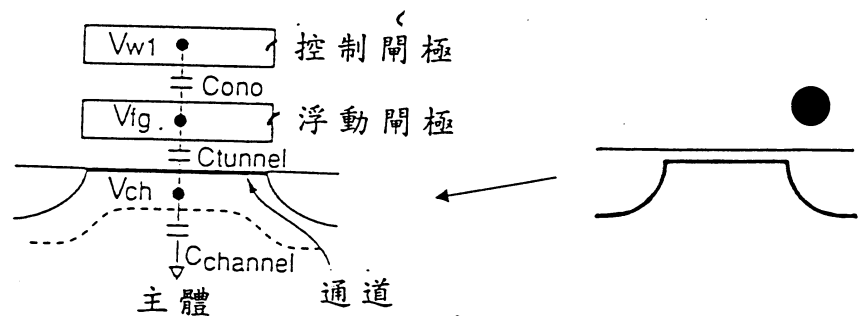


圖 27



Cono : 控制閘極和浮動閘極間的電容  
 Ctunnel : 浮動閘極和通道間的電容  
 Cchannel : 通道和主體間的總電容

圖 28

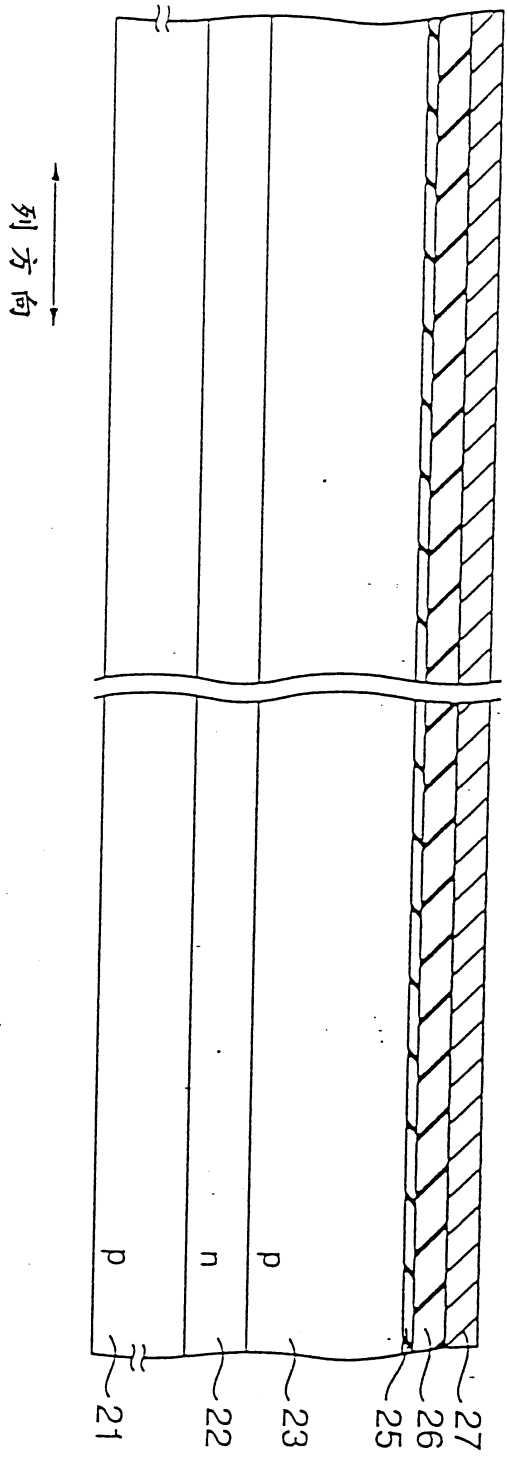


圖 29



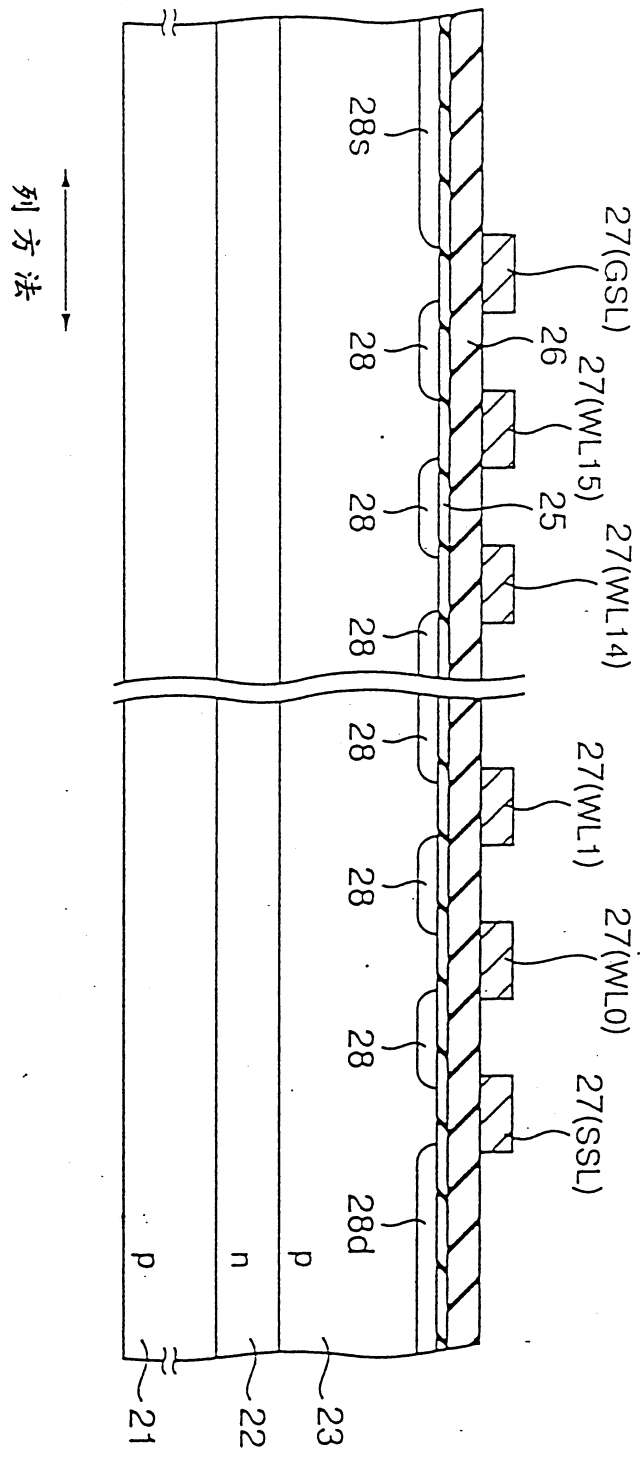
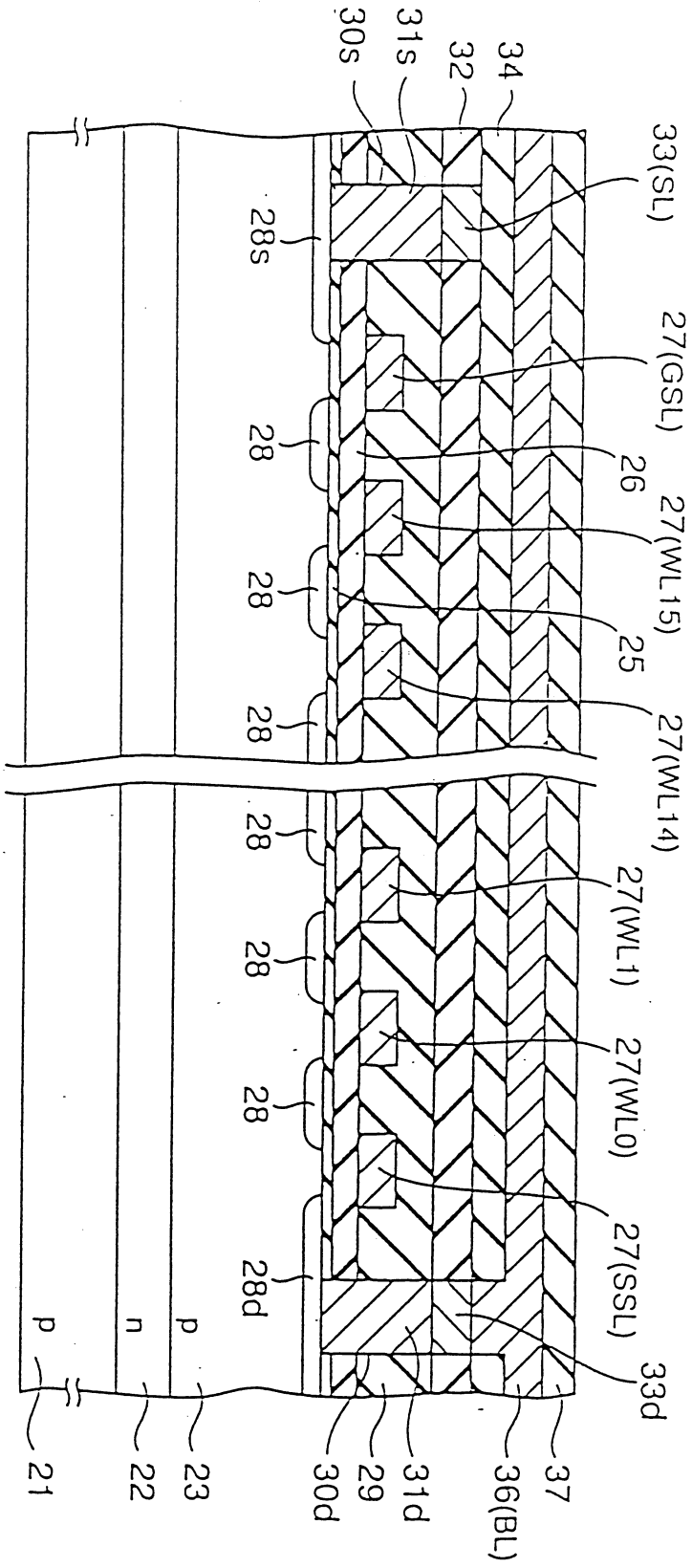


圖 30



列方法

圖 31

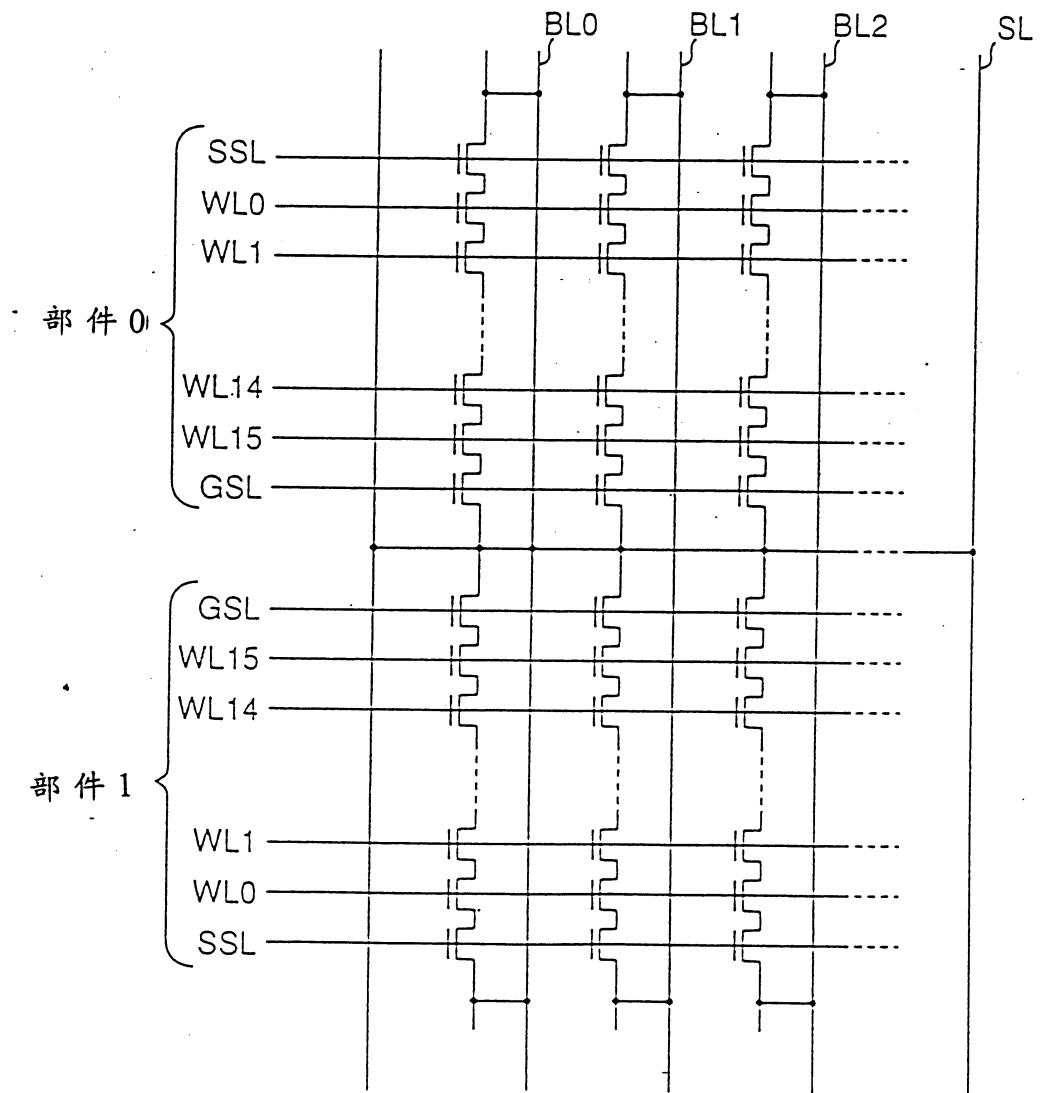


圖 32

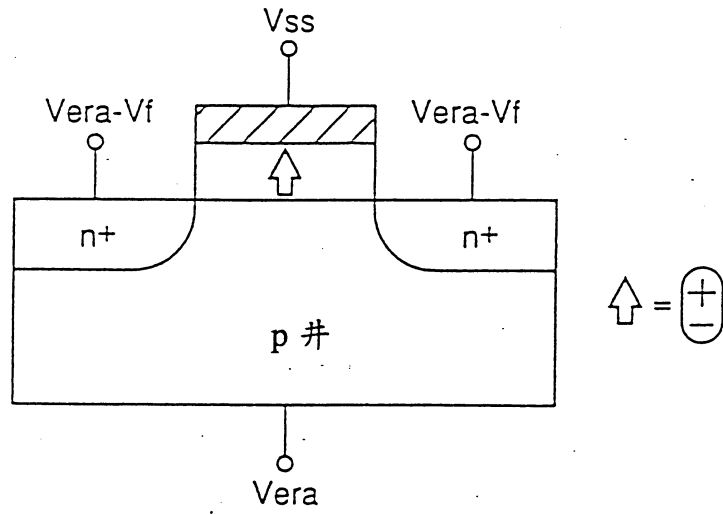


圖 33

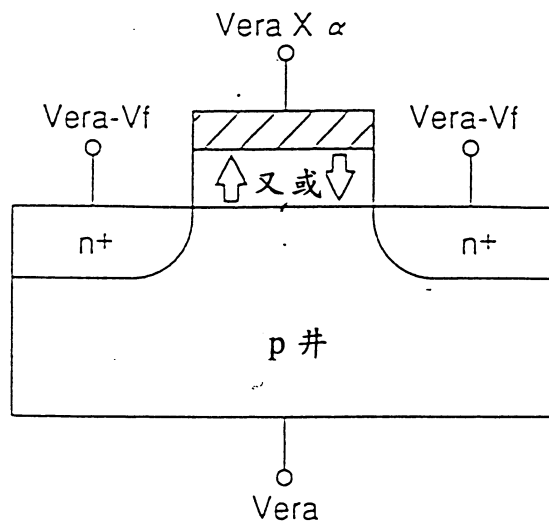


圖 34

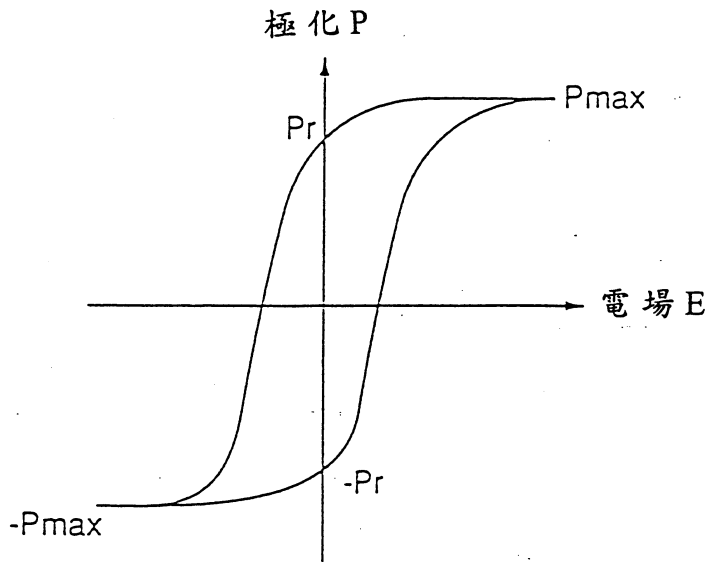


圖 35

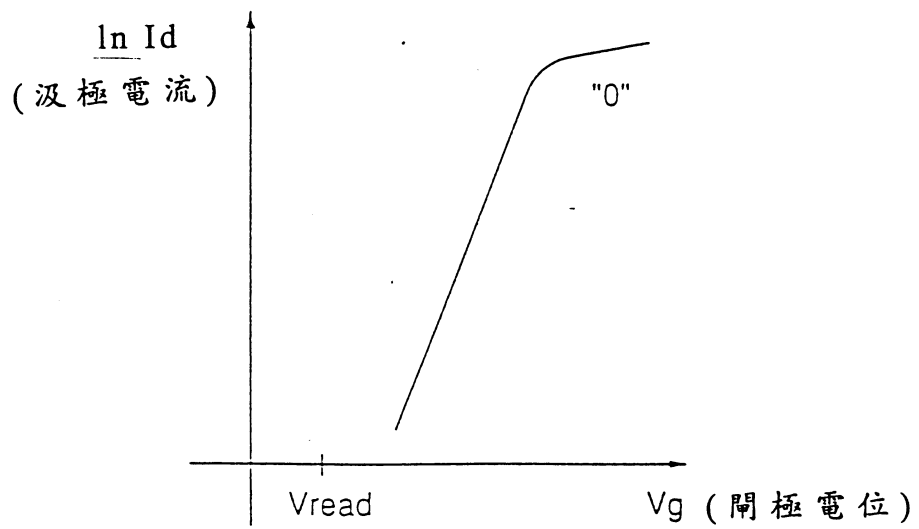


圖 36

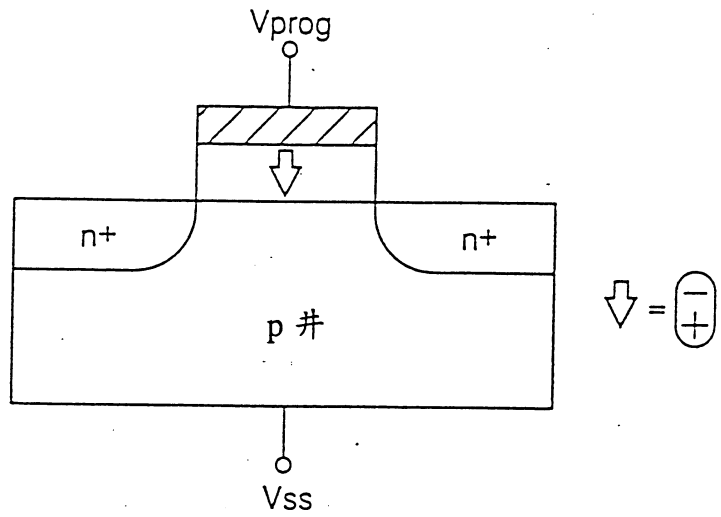


圖 37

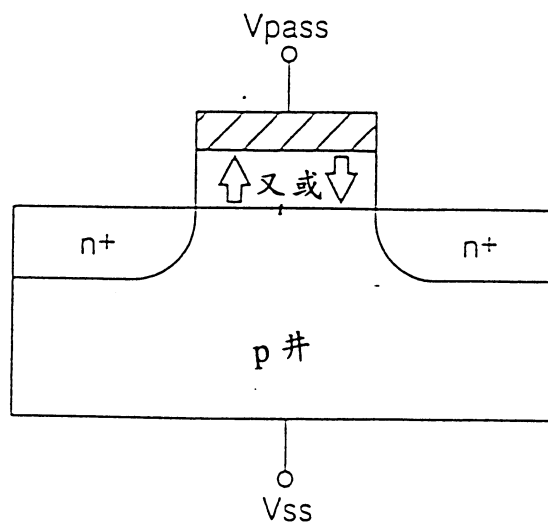


圖 38

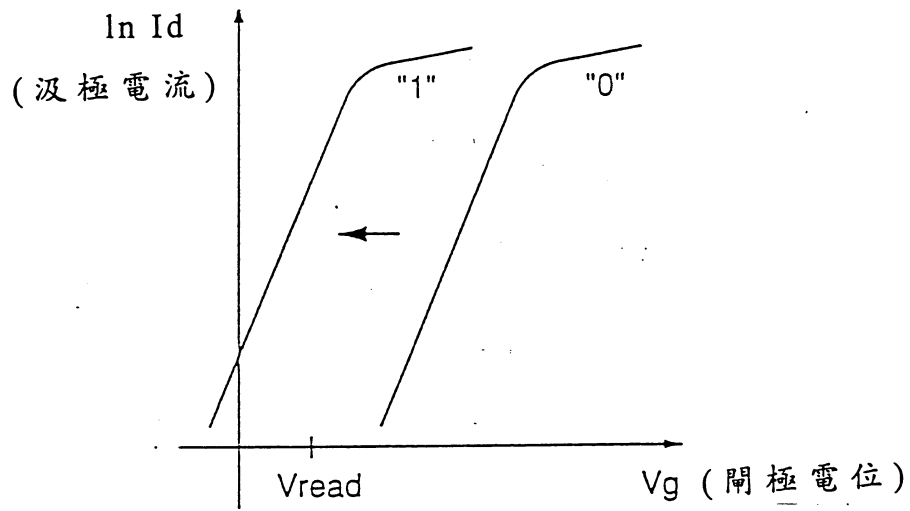


圖 39

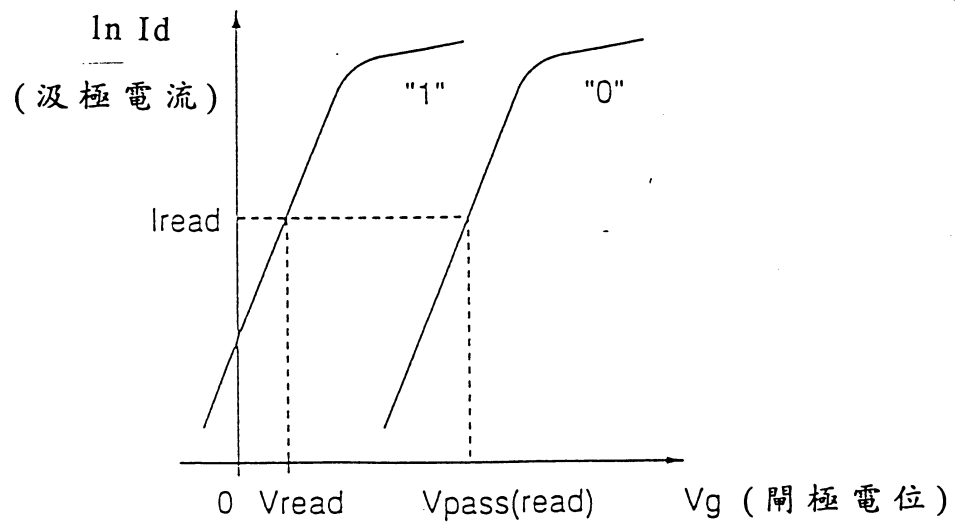


圖 40

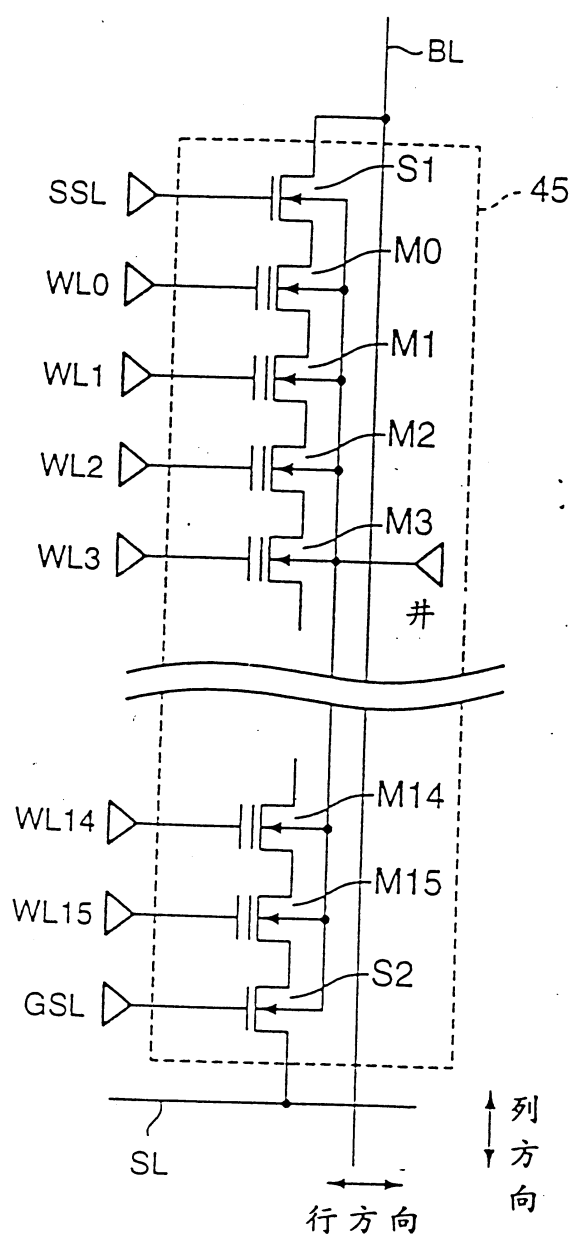


圖 41  
(先前技藝)



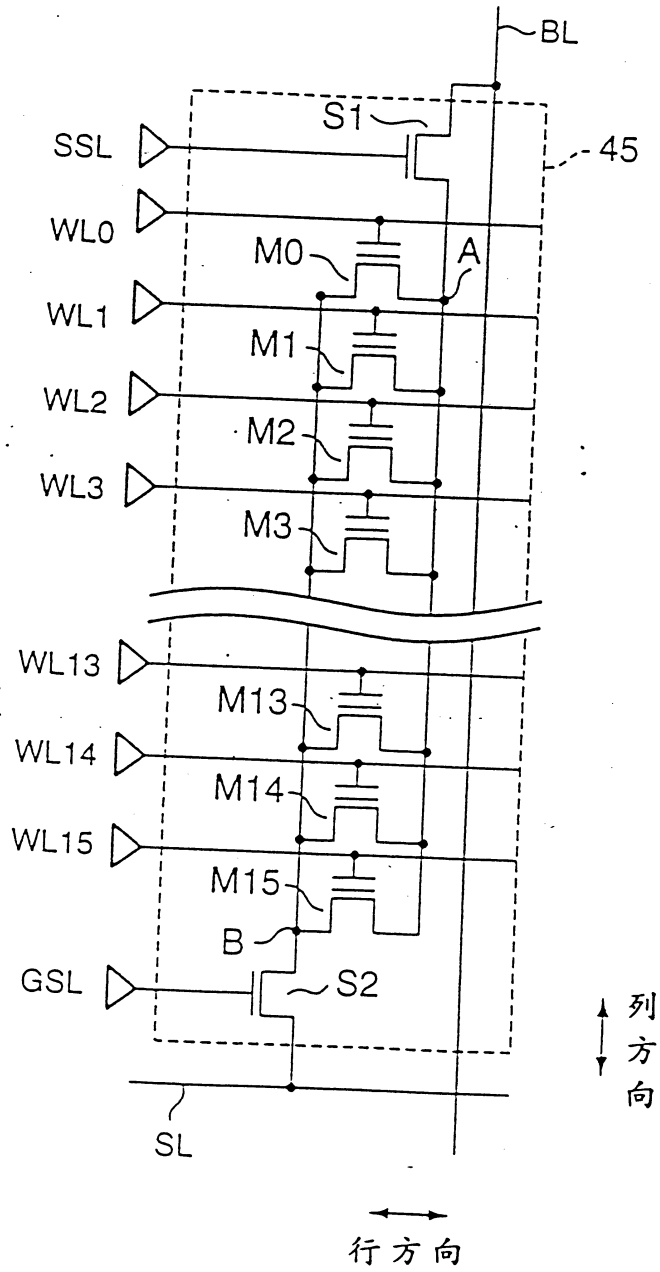


圖 42  
(先前技藝)

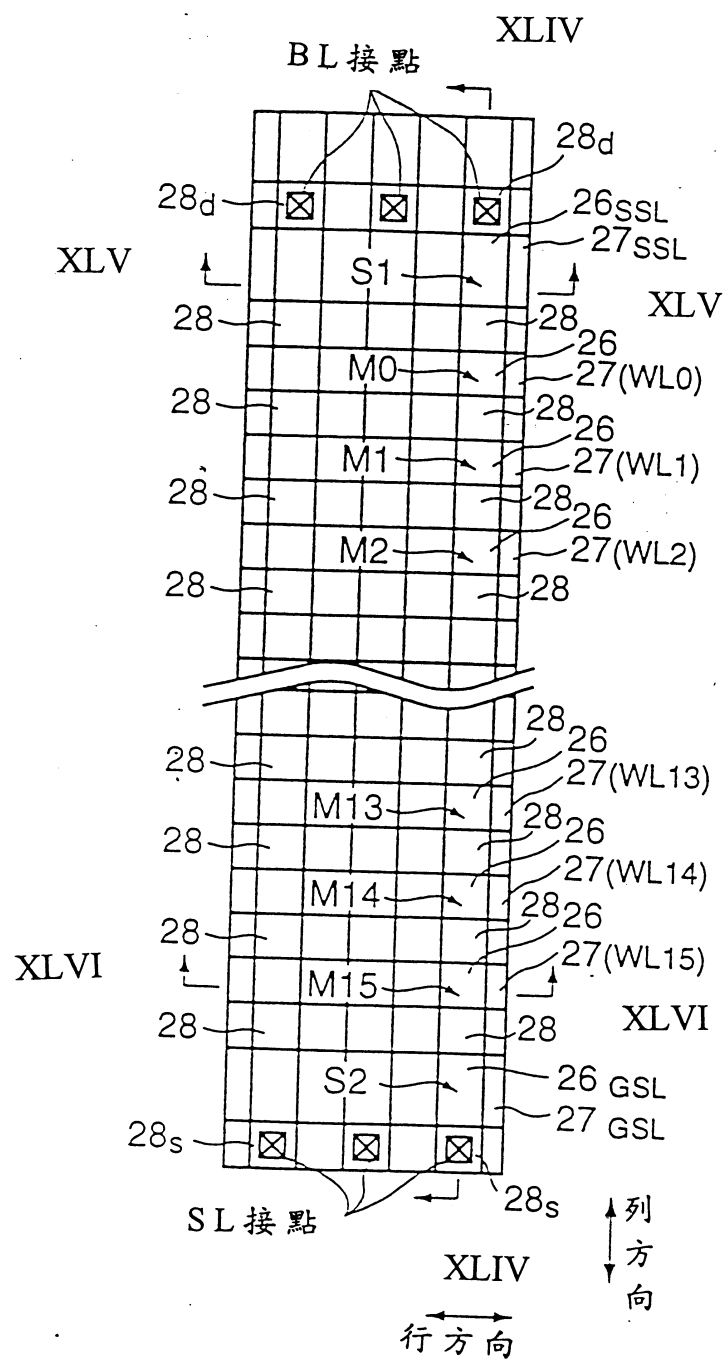
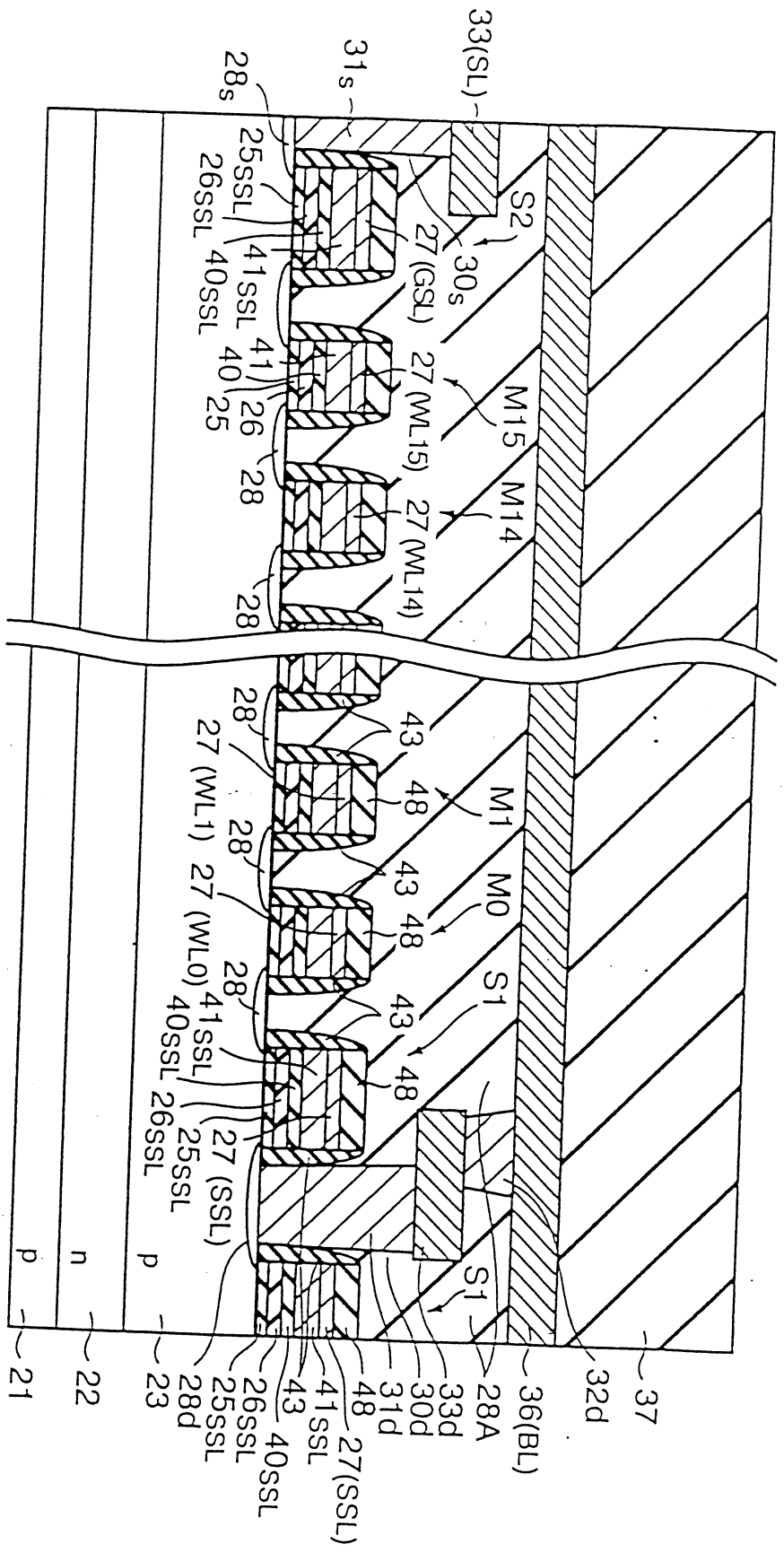


圖 43



列方向

圖 44

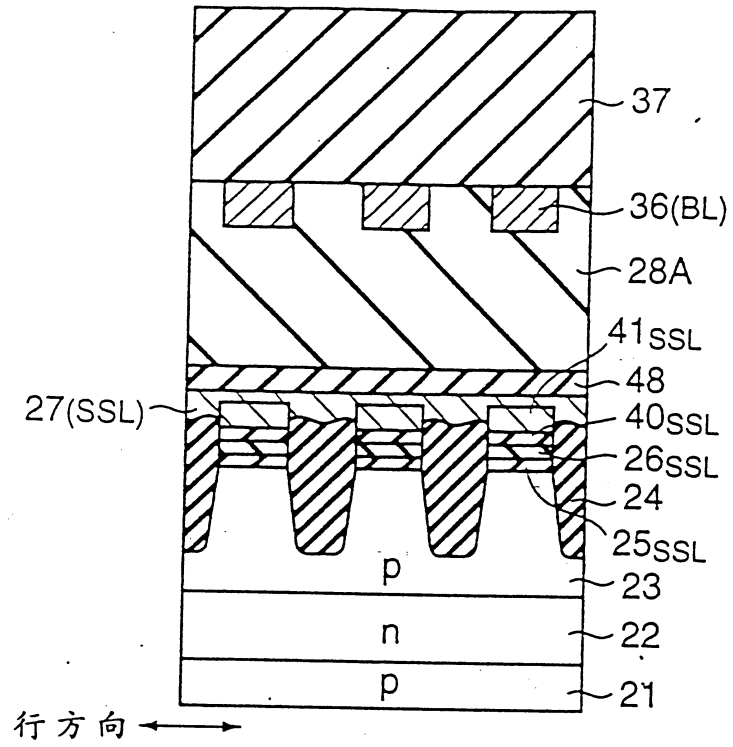


圖 45

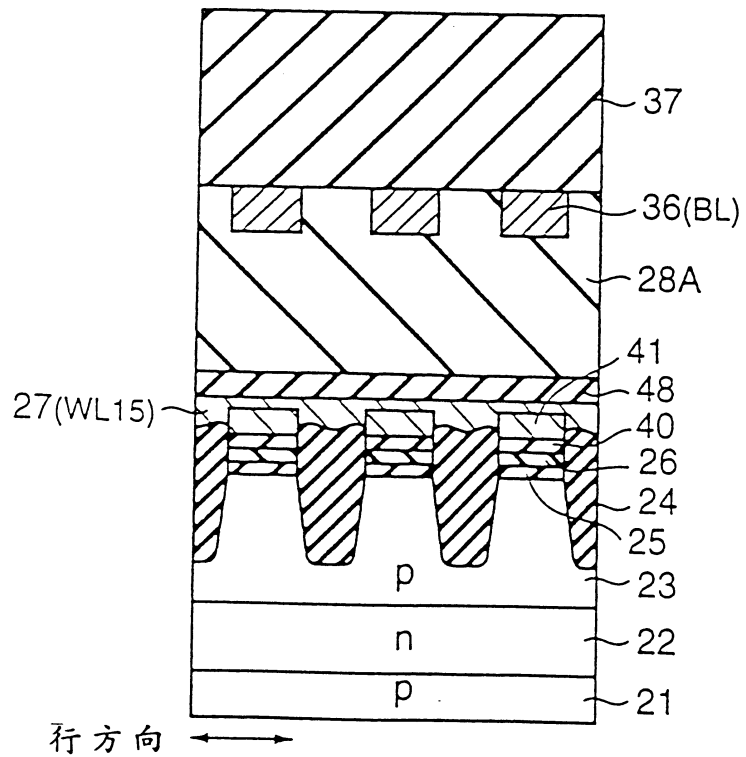


圖 46

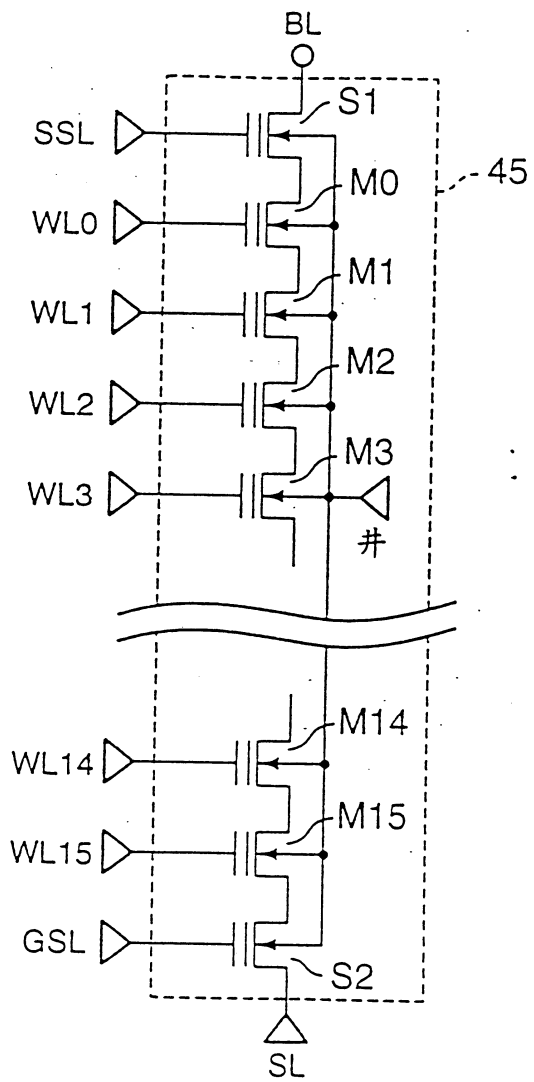


圖 47

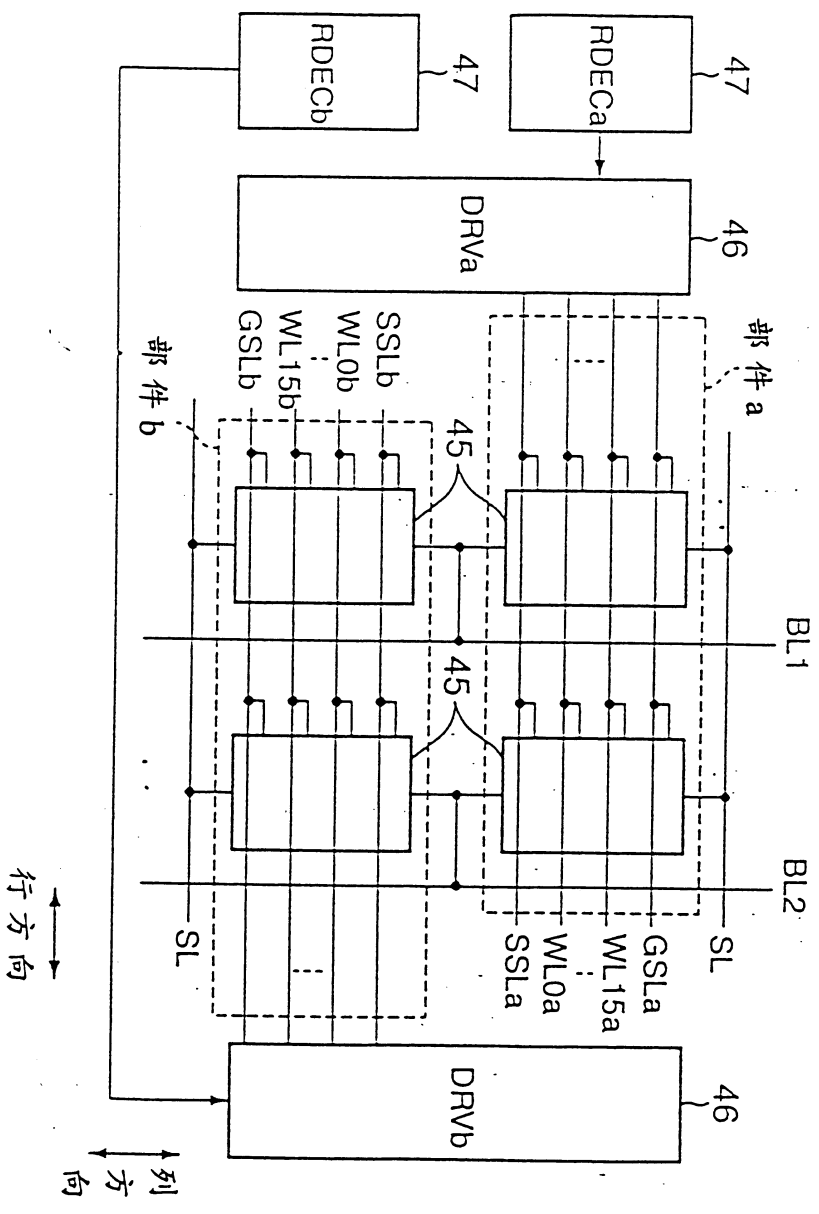


圖 48



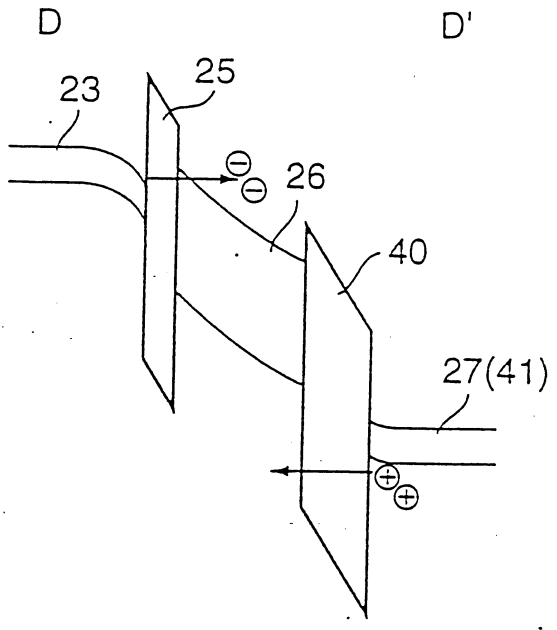


圖 51

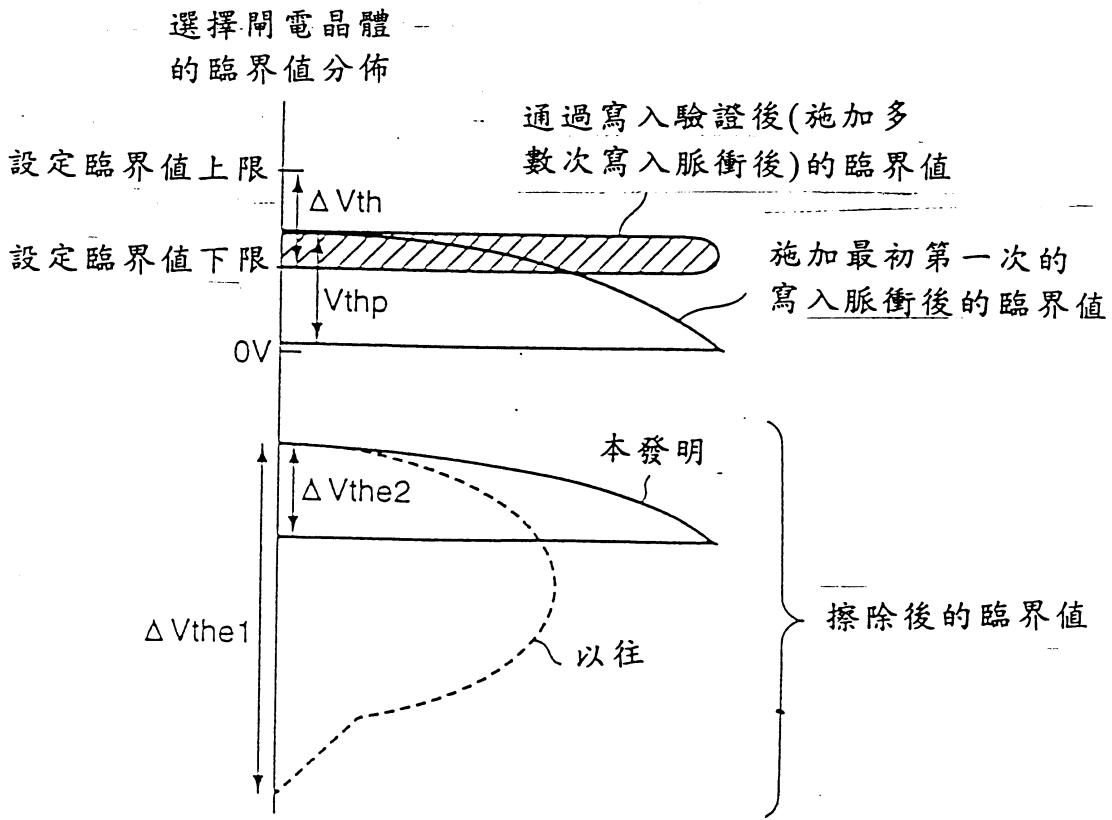


圖 52



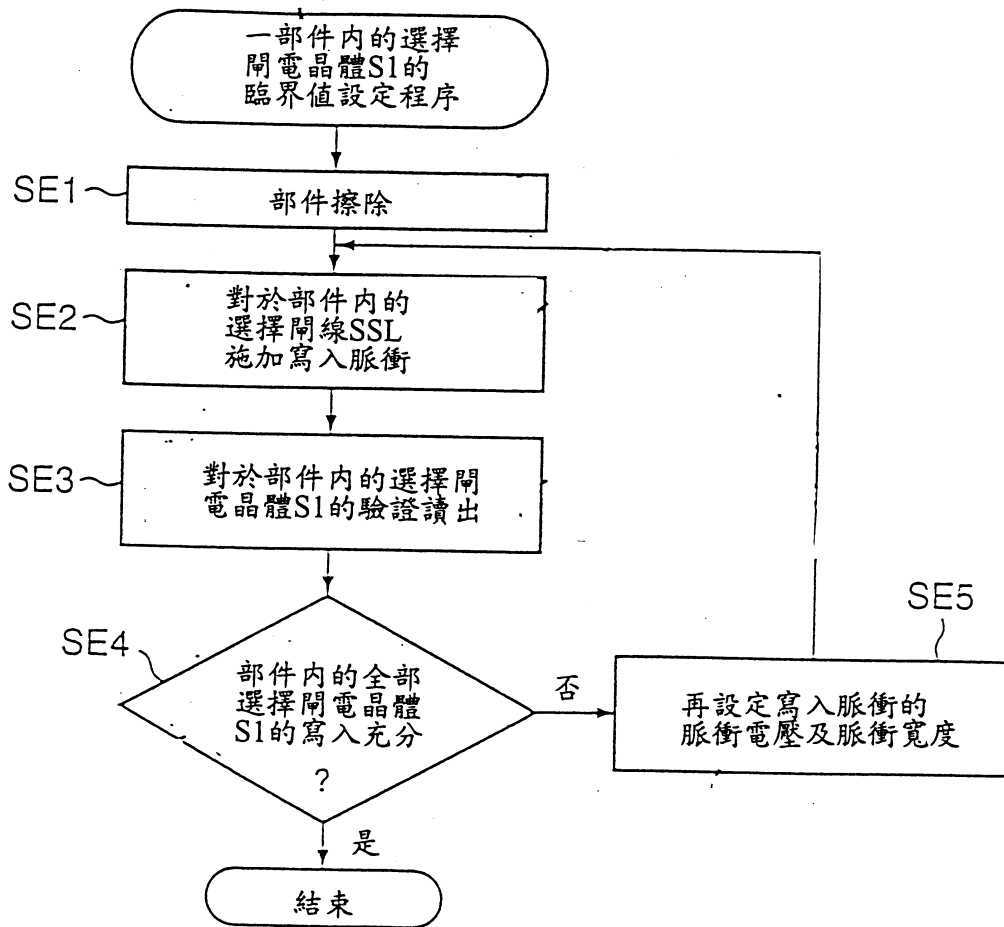


圖 53

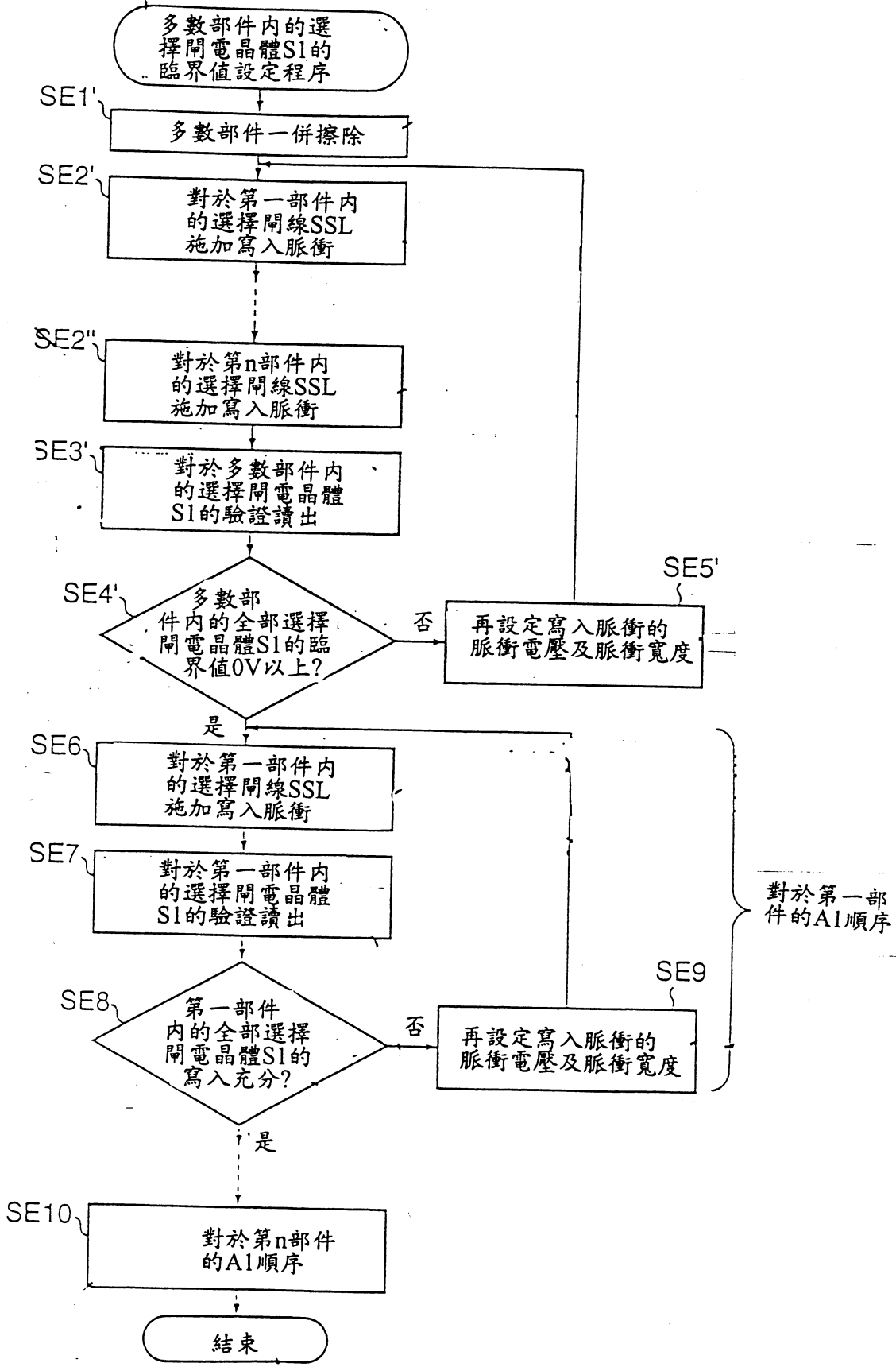


圖 54

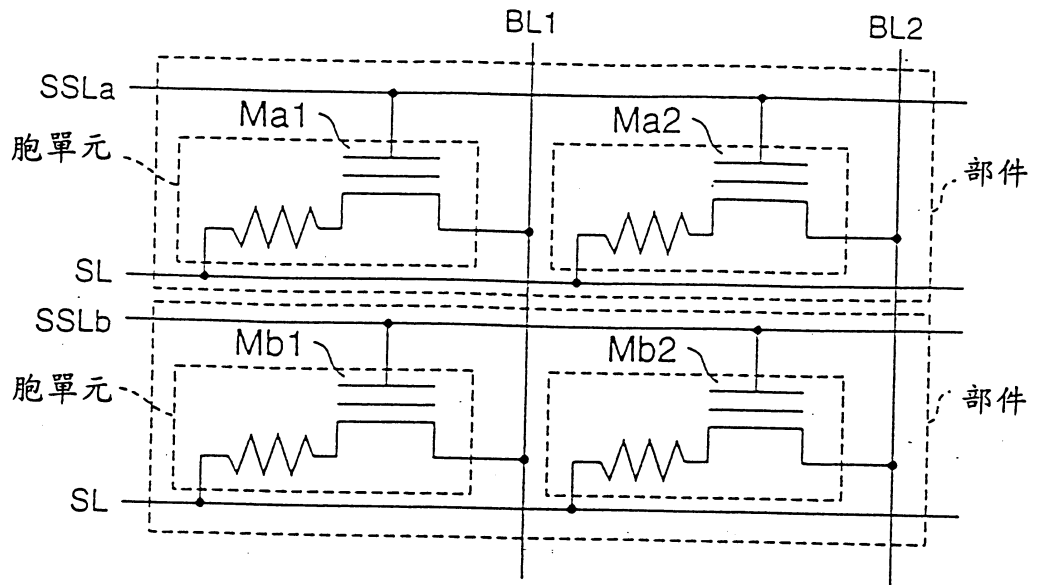


圖 55

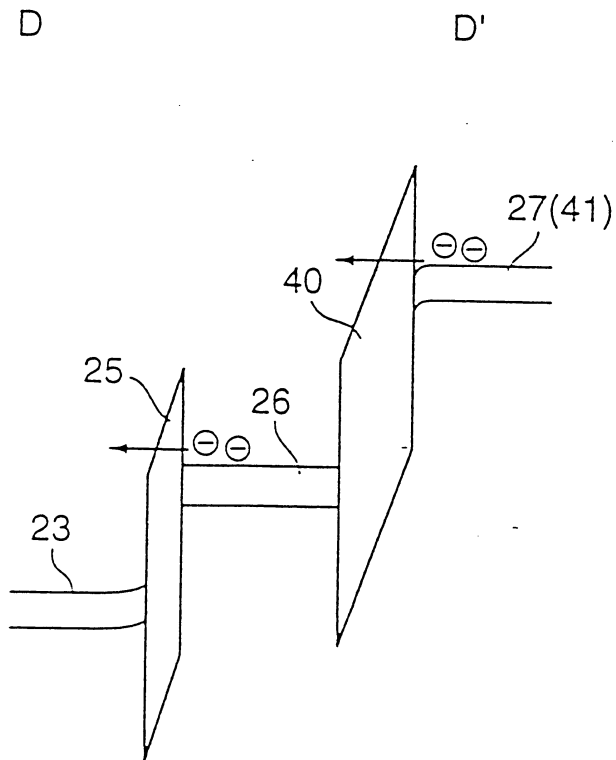


圖 56

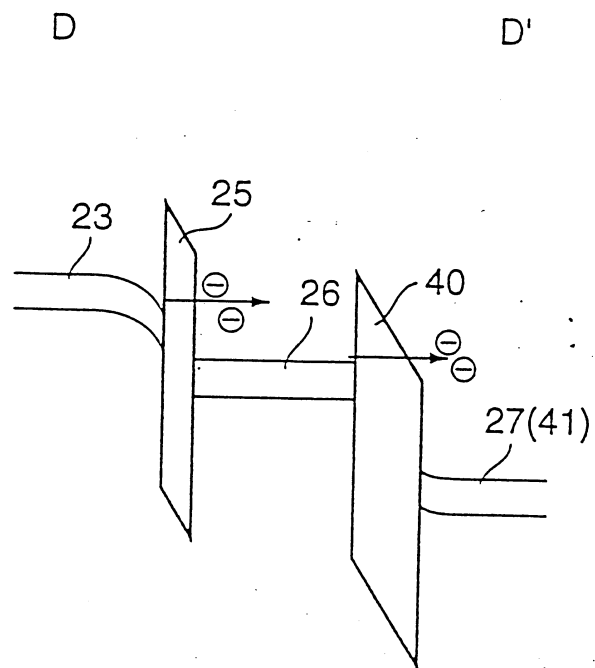


圖 57

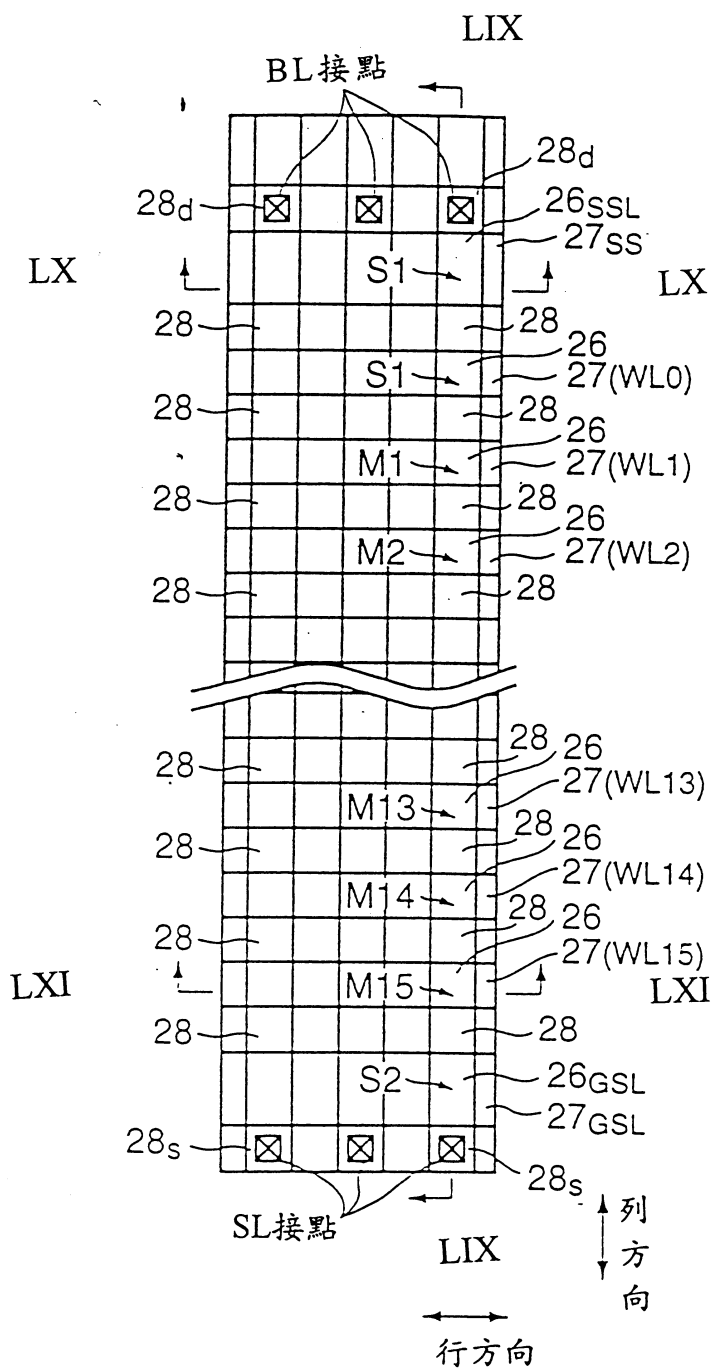


圖 58



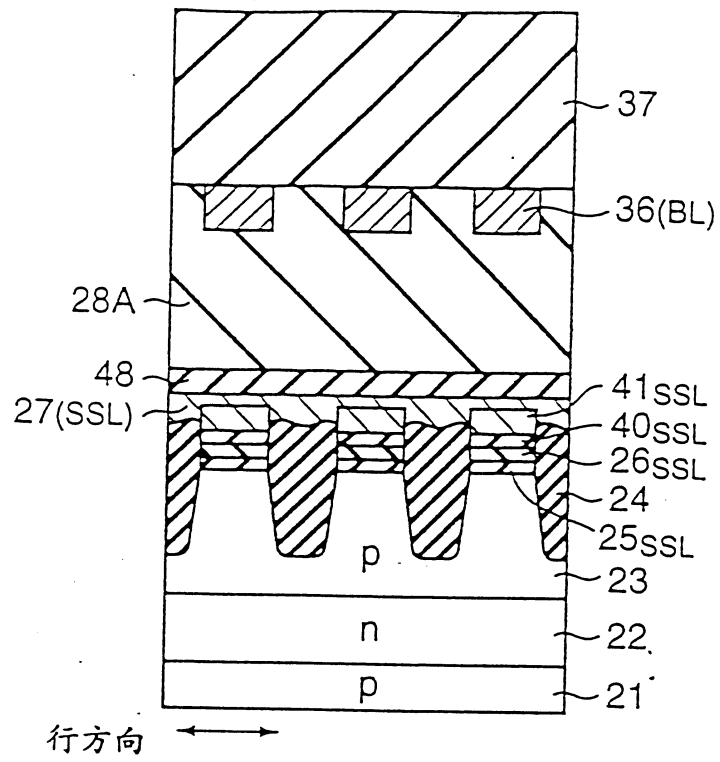


圖 60

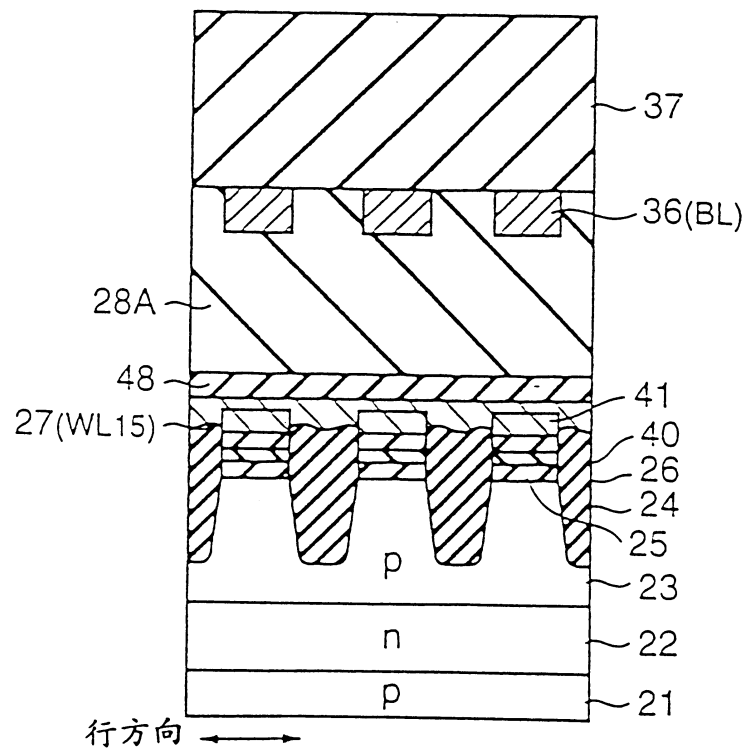


圖 61

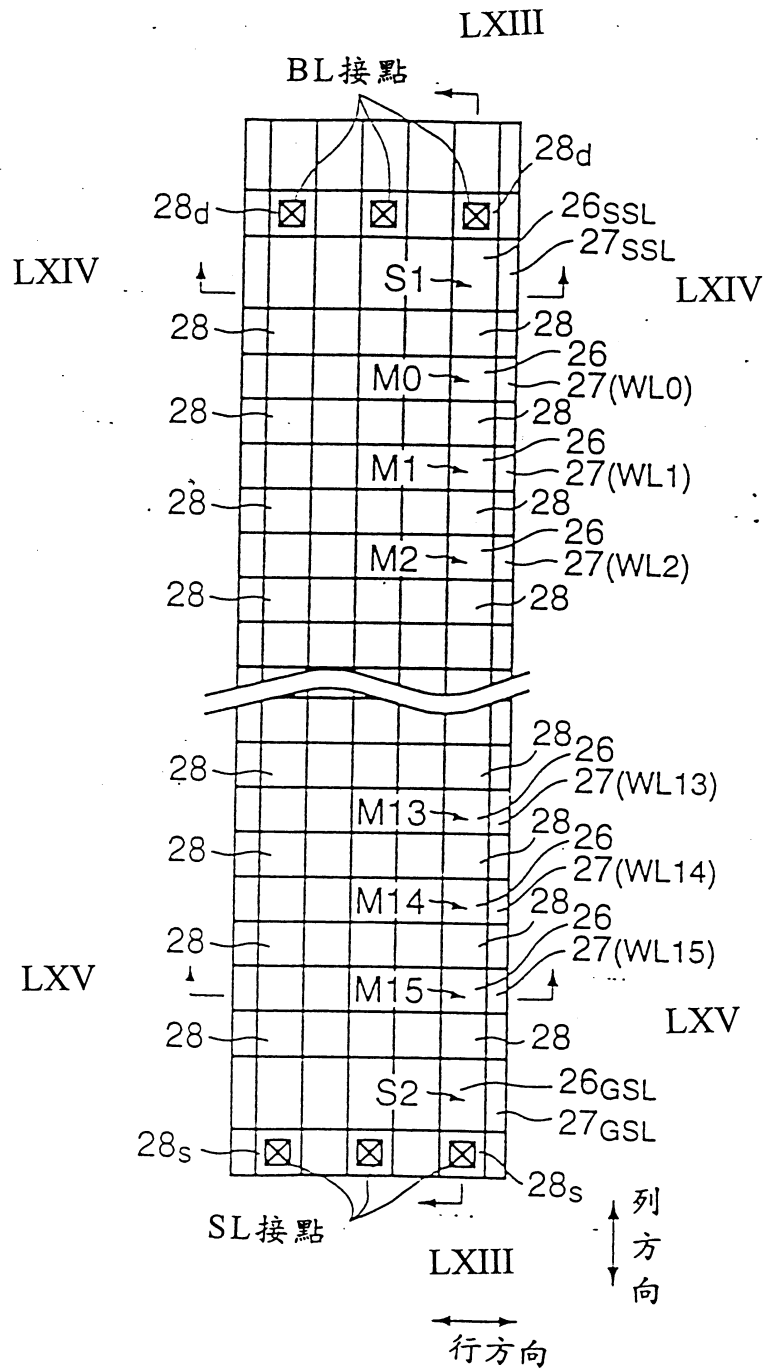


圖 62



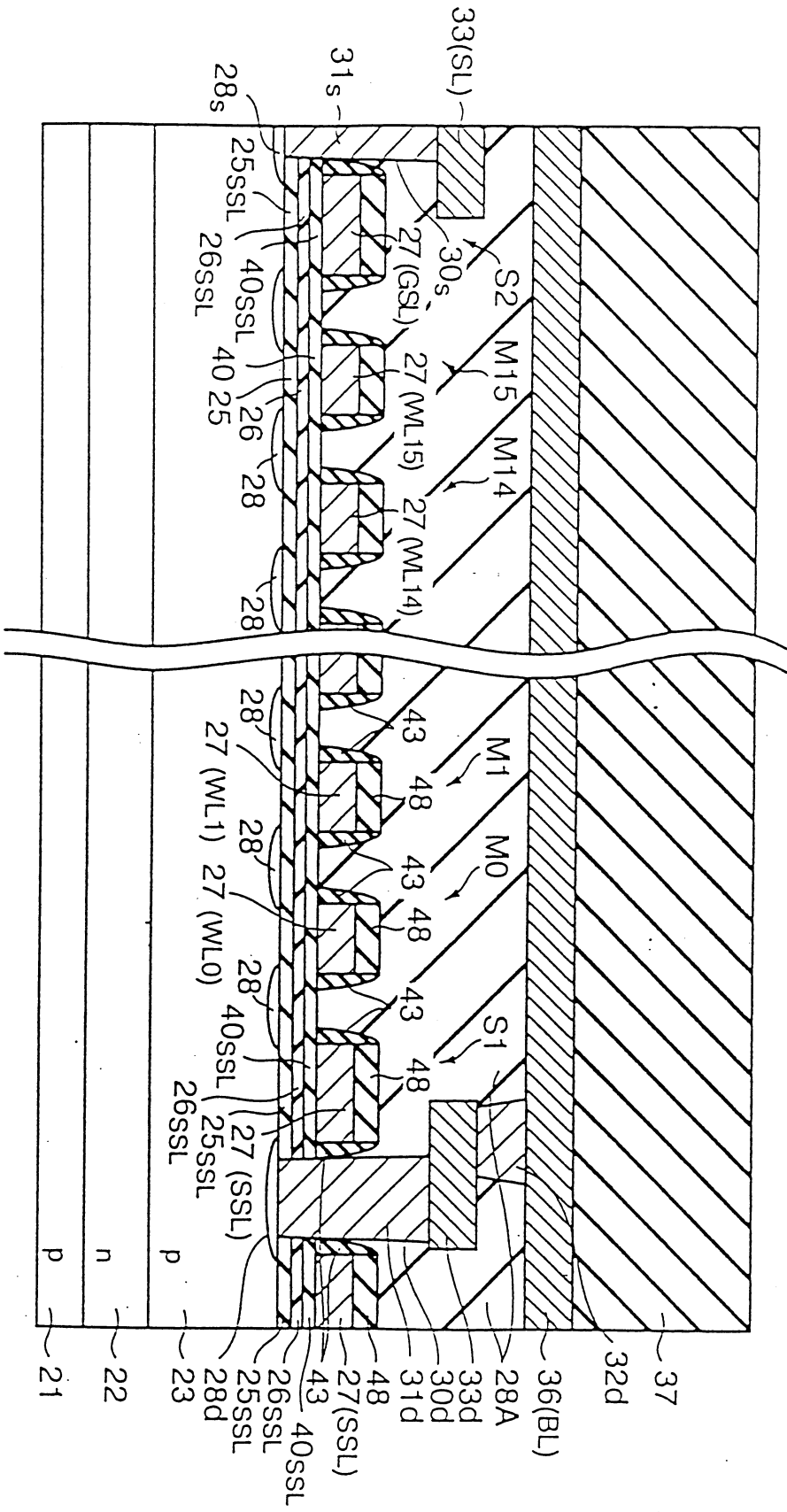


圖 63

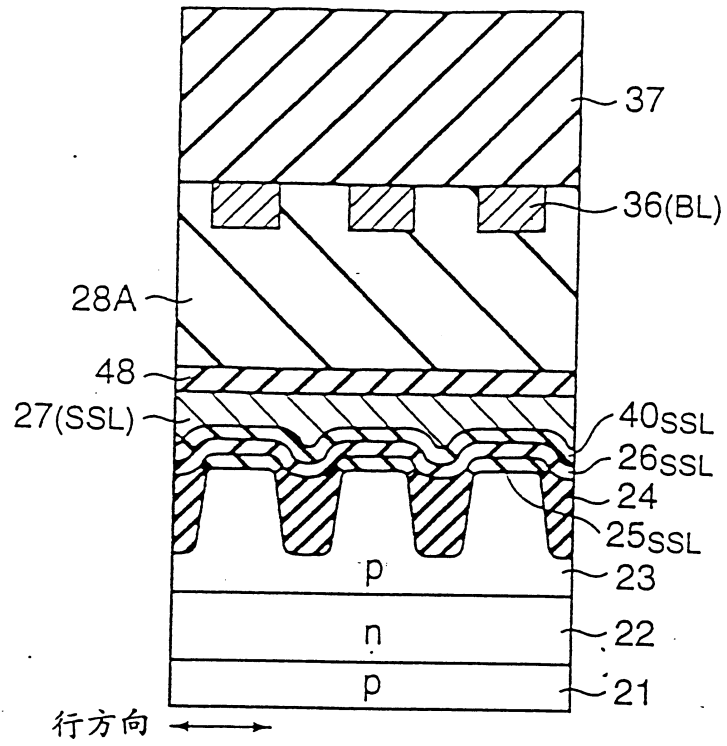


圖 64

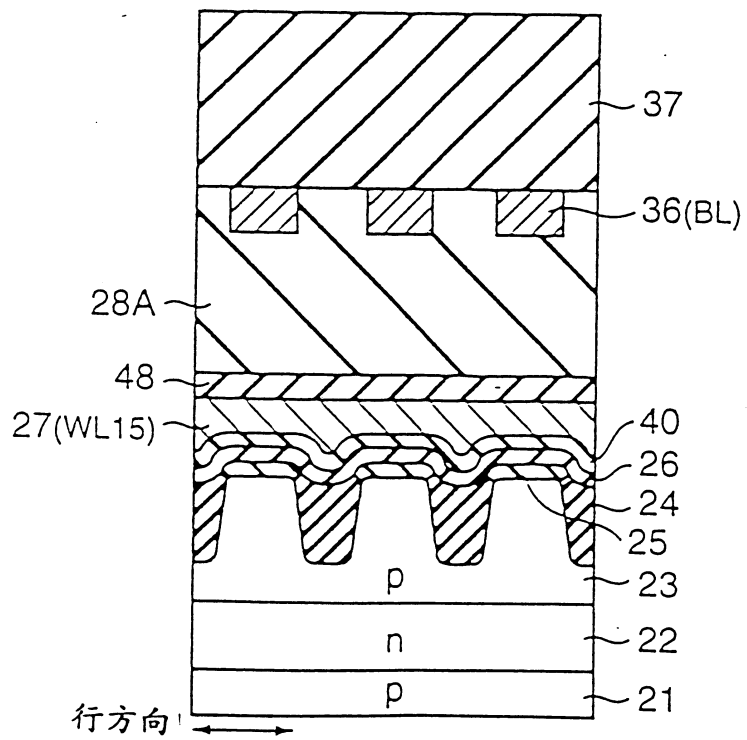


圖 65

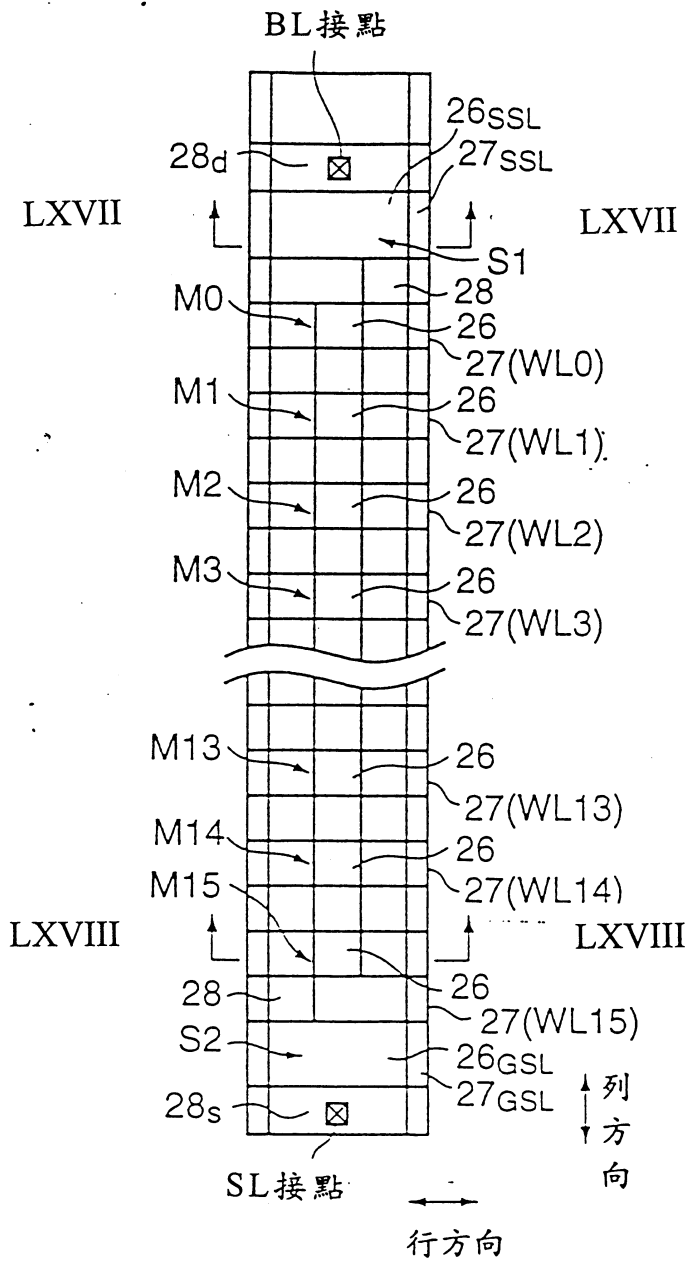


圖 66

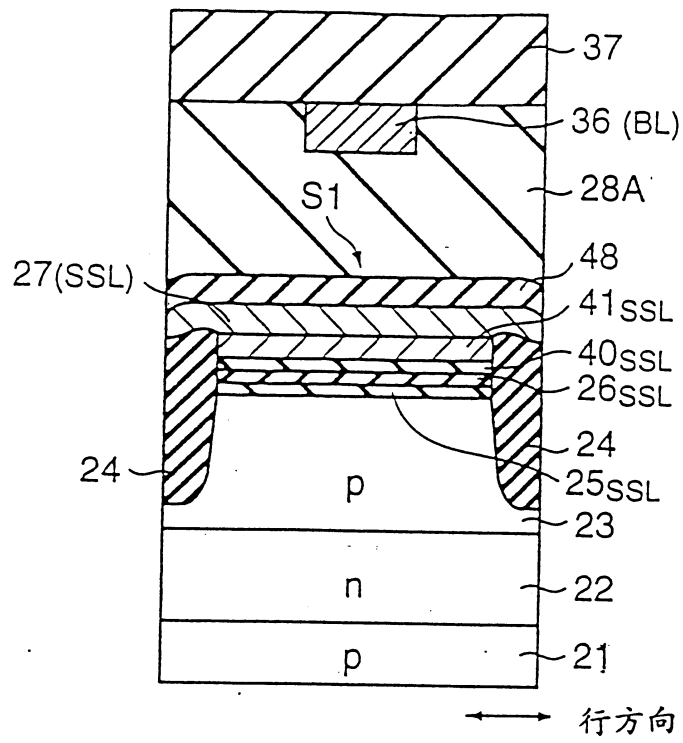


圖 67

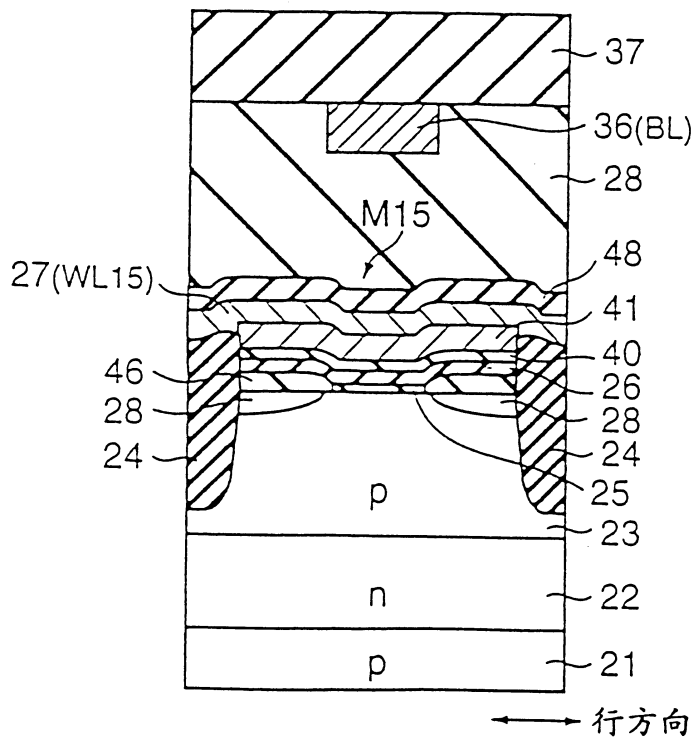


圖 68



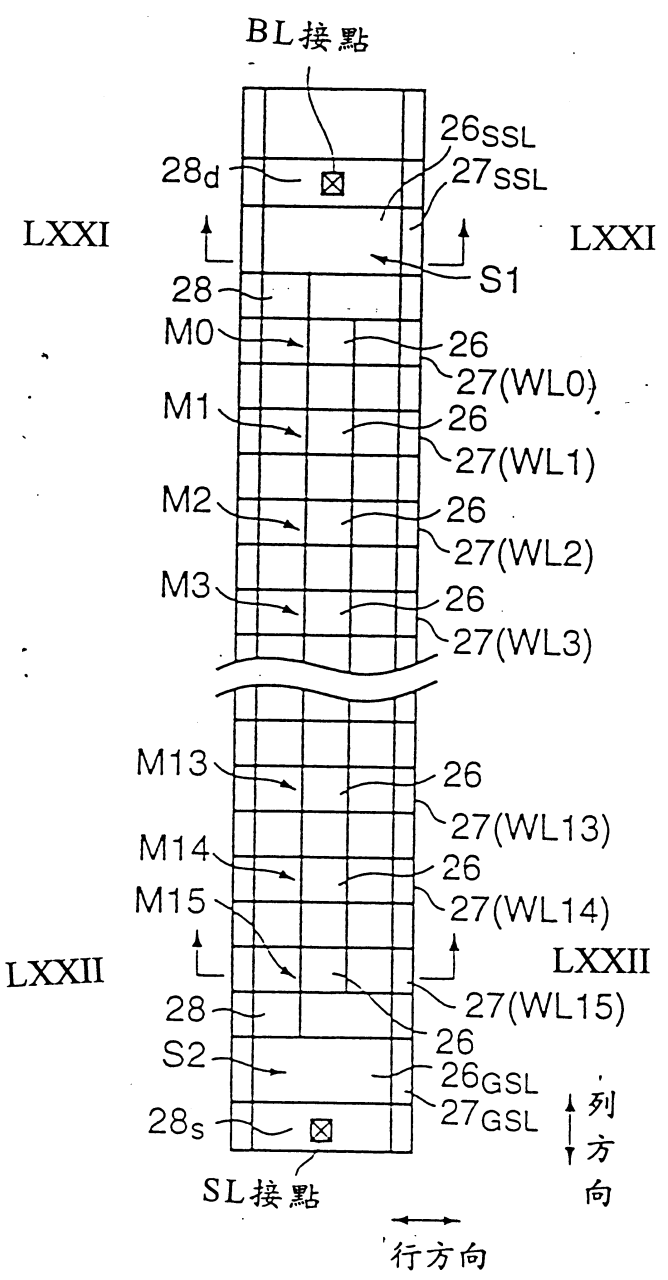


圖 70

