

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5053252号
(P5053252)

(45) 発行日 平成24年10月17日(2012.10.17)

(24) 登録日 平成24年8月3日(2012.8.3)

(51) Int.Cl.	F I
HO 1 L 21/02 (2006.01)	HO 1 L 21/02 B
HO 1 L 27/12 (2006.01)	HO 1 L 27/12 B

請求項の数 12 (全 9 頁)

(21) 出願番号	特願2008-500217 (P2008-500217)	(73) 特許権者	507088071
(86) (22) 出願日	平成18年3月23日 (2006.3.23)		ソイテック
(65) 公表番号	特表2008-532328 (P2008-532328A)		フランス 38190 ベルナン パルク
(43) 公表日	平成20年8月14日 (2008.8.14)		テクノロジー デ フォンティエヌ
(86) 国際出願番号	PCT/EP2006/061012		シュマン デ フランク (番地なし)
(87) 国際公開番号	W02006/100301	(74) 代理人	110001243
(87) 国際公開日	平成18年9月28日 (2006.9.28)		特許業務法人 谷・阿部特許事務所
審査請求日	平成19年9月6日 (2007.9.6)	(74) 復代理人	100133721
(31) 優先権主張番号	0502923		弁理士 主代 静義
(32) 優先日	平成17年3月24日 (2005.3.24)	(74) 代理人	100161344
(33) 優先権主張国	フランス (FR)		弁理士 深町 美音子
前置審査		(72) 発明者	ファブリース レテルトレ
			フランス エフ-38000 グレノーブル
			クアイ ジョンキング 33

最終頁に続く

(54) 【発明の名称】 半導体材料の少なくとも1つの厚い層を含むヘテロ構造の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の材料で作製された支持体(10)上への、前記第1の材料とは異なる第2の材料で作製された単結晶薄膜(22)の転写と、前記単結晶薄膜(22)および前記支持体の間の結合界面(12)を少なくとも強化するための所定の熱処理とを含む、マイクロエレクトロニクス、オプトエレクトロニクス、オブティクスなどに利用される少なくとも1種の半導体材料を含む構造の製作方法であって、

前記単結晶薄膜(22)の厚さ(e1)は、150から200の間であり、前記支持体(10)および転写された単結晶薄膜(22)を含むアSEMBリに対して前記熱処理により加えられた応力が前記アSEMBリを無傷のまま残すように、前記第1および第2の材料の熱膨張係数の差に応じてかつ前記所定の熱処理のパラメータに応じて選択されること、および

前記単結晶薄膜(22)上に、単結晶状態にある前記第2の材料の追加の厚さの膜(22')を堆積する追加のステップを含み、
第1の材料が石英またはシリコンから選択され、第2の材料がシリコンまたはゲルマニウムから選択され、

前記所定の熱処理は2時間1050の熱処理を含むことを特徴とする方法。

【請求項2】

前記転写された単結晶薄膜(22)上に堆積された、膜(22')の厚さ(e2)は、1000から5000の間であることを特徴とする請求項1に記載の方法。

【請求項 3】

前記第 2 の材料の単結晶薄膜 (2 2) を転写するステップは、化学種の注入によってドナーウェハー (2 0) に、転写されることになる単結晶薄膜 (2 2) の境界を有する脆弱ゾーン (2 1) を生成すること、前記ドナーウェハーを前記支持体 (1 0) に接触させること、および前記接触操作後に、前記ドナーウェハーの残りの部分から単結晶薄膜 (2 2) を剥離することが可能な応力を加えることにあるサブステップを含むことを特徴とする請求項 1 または 2 に記載の方法。

【請求項 4】

前記膜 (2 2 ') を堆積するために、剥離後に、前記単結晶薄膜 (2 2) の自由表面を調製する追加のステップを含むことを特徴とする請求項 3 に記載の方法。

10

【請求項 5】

前記堆積ステップは、エピタキシーによって実施されることを特徴とする請求項 1 から 4 の一項に記載の方法。

【請求項 6】

前記第 1 の材料は、絶縁体であることを特徴とする請求項 1 から 5 の一項に記載の方法。

【請求項 7】

前記第 1 の材料は、石英であることを特徴とする請求項 6 に記載の方法。

【請求項 8】

前記第 2 の材料は、シリコンであることを特徴とする請求項 7 に記載の方法。

20

【請求項 9】

前記第 1 の材料は、半導体であることを特徴とする請求項 1 から 5 の一項に記載の方法。

【請求項 10】

前記第 1 の材料は、シリコンであることを特徴とする請求項 9 に記載の方法。

【請求項 11】

前記第 2 の材料は、ゲルマニウムであることを特徴とする請求項 10 に記載の方法。

【請求項 12】

前記熱処理は、前記第 1 および第 2 の材料の熱膨張係数の差に起因して、前記転写された単結晶薄膜 (2 2) に許容可能なレベルの欠陥を発生させる可能性があることを特徴とする請求項 1 から 11 の一項に記載の方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、マイクロエレクトロニクス、オプトエレクトロニクス、オプティクス、またはフォトンクスで使用される材料の製作、より詳細には、ヘテロ基板の製作に関する。

【0002】

より正確には、本発明は、少なくとも 1 つの支持体および 1 つまたは複数の薄膜からなるヘテロ基板であって、使用される材料およびその熱的性質が異なってもよいヘテロ基板の、新規な製造方法に関する。

40

【背景技術】

【0003】

このタイプの方法は、既に知られている。

【0004】

したがって、結合技法、特に分子接着 (以下、「直接結合」と呼ぶ) 技法を用いて、ヘテロ基板を製造することが知られている。

【0005】

結合ステップを使用する既知の方法の非限定的な例には、Besoi (登録商標)、E l t r a n (登録商標)、または S m a r t C u t (登録商標) が含まれる。

50

【0006】

一般に、ヘテロ基板を製作する意味で、前記方法は、少なくとも下記のステップ、すなわち

a) 一般に異なる材料で構成された2枚の略バルク基板と、支持基板上に位置する有効膜とを接触させることによって結合するステップであって、そのアセンブリ全体がヘテロ構造を形成するステップと、

b) 高温熱処理にかけることによって、これら2枚の基板の結合界面を強化し、それによって前記界面の脆弱性を低下させ、したがって前記有効膜の層間剥離と機械的および/または電氣的品質の欠陥の問題が回避され、あるいは最低限でも制限されるステップと、

c) 薄膜が構成されるように、支持基板上に位置する有効膜の厚さを減じるステップとを含む。

10

【0007】

そのようなステップは、例えばステップc)における犠牲酸化などの様々な選択肢と共に、あるいは異なる順序で、特にステップb)およびc)を逆に用いてもよい。

【0008】

さらに、これらのステップのいくつかを、この方法の全体を最適化する目的で組み合わせてもよい(処理の累積所要時間、取扱いに関連した累積所要時間など)。

【0009】

例えば、結合した膜を安定化させるための熱処理(ステップb)は、前記熱処理を薄膜化ステップ(ステップc)と組み合わせるように利用してもよい(例えば、特許文献1参照)。

20

【0010】

【特許文献1】米国特許第6403450号明細書

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかし、異なる性質、例えば異なる熱膨張係数を有する材料でヘテロ基板を製造する状況では、製作中に複合体基板が受ける熱処理(界面の強化のため、例えば薄膜化など)によって、高い機械的応力が生じる。

【0012】

そのような応力は、脆化をもたらすことがあり、したがってある場合には、処理された基板の一方または両方に亀裂が入り、または破損することさえある。

30

【0013】

このような応力は、処理された基板に、回復できない塑性変形をもたらすこともある。

【0014】

特に、転位および/または滑り面および/またはその他の結晶欠陥が現れることもある。

【0015】

また、問題が生ずる温度は、典型的には

- ・用いられる熱処理中に、複合体構造によって保存される機械的エネルギー；
- ・複合体構造を構成する材料間の熱膨張係数の差；および
- ・使用される基板の厚さに依存することも知られている。

40

【0016】

したがって、Smart Cut(登録商標)タイプの方法によってヘテロ基板を製作する状況では、そのような問題が、現実的な制約を構成する可能性がある。

【0017】

より詳細には、温度に関して可能な最大レベルが低下し、そのため効果が不足して熱処理を適用することが難しくなる。

【0018】

50

例えば、これが全てではないが、1050～1000 程度で界面を強化するための熱処理は、厚さ500 の有効膜を有するヘテロ構造の場合に適用することが難しくなり、このタイプの処理に一般に用いられる温度レベルは、上述の問題に関して高すぎるものになる。

【0019】

さらに、余分な熱供給なしで、ヘテロ基板の結合界面の強化を向上させるための解決策が、知られている。

【0020】

「プラズマ結合」として知られる最初の提案は、所与の強化熱処理に関する結合エネルギーを高めるために、結合されることになる表面に、ある処理を適用することにある。

10

【0021】

この方法によって、基板が受ける熱応力が緩和され、それと同時に、複合体構造の界面の適切な強化および結合が維持される。

【0022】

しかしこの提案は、特定の装置を必要とし、したがって経済的な観点から、その魅力に限りがある。

【0023】

第2の知られている解決策は、共晶結合を実施することにより、金属(Au₂Si₃)膜を、結合されることになる2枚の基板の間に介在させて、これらの熱処理による結合がより容易になるようにし、したがって温度レベルを比較的低温に維持することができる。

20

【0024】

したがってこの解決策は、処理における熱応力を緩和させると共に、ヘテロ基板の界面を強化することができるという利点をもたらす。

【0025】

しかし、界面に前記金属膜が存在することにより、製作プロセスの後続のステップで許容される最高温度が制限され、過度に高い温度レベルであると、膜の融解が生じることがある。さらに、この解決策は、この金属膜を介在させる追加のステップが必要である。

【課題を解決するための手段】

【0026】

本発明の1つの目的は、上述の問題を克服することである。

30

【0027】

この目的のため、本発明は、第1の材料で作製された支持体上への、この第1の材料とは異なる第2の材料で作製された単結晶薄膜の転写と、この薄膜および支持体の間の結合界面を少なくとも強化するための所定の熱処理とを含む、マイクロエレクトロニクス、オプトエレクトロニクス、オプティクスなどに利用される少なくとも1種の半導体材料を含む構造の製作方法であって、この薄膜の厚さは、前記支持体および転写された薄膜を含むアセンブリに対して前記熱処理により加えられた応力が、前記アセンブリを無傷のまま残すように、第1および第2の材料の熱膨張係数の差に応じてかつ前記所定の熱処理のパラメータに応じて選択されること、およびこの薄膜上に、単結晶状態にある第2の材料の追加の厚さの膜を堆積する追加のステップを含むことを特徴とする方法を提供する。

40

【0028】

その他の好ましい、しかし非限定的な、本発明による方法の態様は、下記の通りである。

* 転写された薄膜の厚さは、約100から300オングストロームの間であり、好ましくは150から250 の間である。

* 転写された薄膜上に堆積された膜の厚さは、1000から5000 の間である。

* 第2の材料の薄膜を転写するステップは、化学種の注入によって、ドナーウェハーに、転写されることになる薄膜の境界を有する脆弱ゾーンを生成すること、このドナーウェハーを支持体に接触させること、およびこの接触操作後に、ドナーウェハーの残りの部分から薄膜を剥離することが可能な応力を加えることにある、サブステップを含む。

50

*この方法は、膜を堆積するために、剥離後に薄膜の自由表面を調製する追加のステップを含む。

*堆積ステップは、エピタキシーによって実施される。

*第1の材料は、絶縁体である。

*第1の材料は石英であり、一方、第2の材料はシリコンである。

*第1の材料は半導体である。

*第1の材料はシリコンであり、一方、第2の材料はゲルマニウムである。

*前記熱処理は、第1および第2の材料の熱膨張係数の差に起因して、転写された薄膜に許容可能なレベルの欠陥を発生させる可能性がある。

【0029】

10

本発明のその他の態様、目的、および利点は、非限定的な例として与えられたその好ましい実施形態の下記の詳細な説明を読むことによって、かつ図1Aから1Dが本発明の好ましい方法の主なステップを概略的に示している添付図面を参照することによって、より明らかにされよう。

【0030】

本明細書では、図に示される寸法、特にその相対的な厚さは、理解し易いように選択されており、物質の実態を示そうとするものではないことに留意されたい。

【発明を実施するための最良の形態】

【0031】

まず最初に図1Aを参照すると、この図は、支持体10と、ドナーウェハ-20、例えばこのウェハ-の面20aを通したイオン注入によって脆弱ゾーン21が生成されているドナーウェハ-20を示し、前記ゾーンは、支持体10上に転写されることになるウェハ-20のゾーン22の境界をマークしている。

20

【0032】

図1Bでは、支持体10とウェハ-20とが一体化され、直接結合によって1つに結合されており、酸化物または窒化物膜などの結合界面の膜(図示せず)は、任意選択で支持体および/またはウェハ-上に形成されている。結合界面を、符号12で示す。

【0033】

次いでこのアセンブリを、上述のように、一方では脆弱ゾーンに沿ってウェハ-20の残りの部分からゾーン22が剥離するように、他方では、支持体10と、ここでは剥離されたゾーン22によって形成された薄膜との間の結合界面が強化するように、1つまたは複数のステップで熱処理にかける。このように形成された構造を、図1Cに示す。

30

【0034】

上述のステップは、本出願人によって開発されたSmart Cut(登録商標)に、全体的に対応する。

【0035】

本発明は、支持体10の材料および薄膜22の材料が互いに十分異なる熱膨張係数を有し、それにより、支持体10および薄膜22から任意選択の結合界面膜を有する構造に、若干の劣化を引き起こすことなく前述の熱処理を実施することができない状態を対象とする。

40

【0036】

本発明によれば、前述の熱処理によって実質的に影響を受けない構造が残るように、転写された膜22の厚さe1には低い値が選択され、言い換えれば、膜22の厚さは、例えば膜22における転位、原子面の滑り、亀裂などに起因したあらゆる破裂または望ましくない塑性変形を引き起こさないように、十分小さくなるよう選択される。

【0037】

次いで膜22の自由表面を、その上に堆積されることになる同じ材料の膜に関して調製する。この調製は、化学的機械研磨、犠牲酸化、RTA(急速熱アニール)、さらに炉アニールなどを含んでもよく、この目的は、粗さが十分に低い表面にすることである。

【0038】

50

図1Dに示されるこの方法の次のステップは、このように調製された膜22を、エピタキシーによって、厚さが e_2 である同じ材料の膜22'を堆積するためのシード膜として使用すること、および膜22および22'を構成する材料の膜220の全体(有効膜)の厚さを、所望の値まで増加させることにある。エピタキシーによって、良好な結晶品質を得ることが可能になる。

【0039】

ここでは、転写されたフィルム22の厚さ e_1 の選択が、ある密度の転位または滑り面が図1Cに示される中間体ヘテロ構造に存在するように、特に転写された膜22に存在するように選択されることを指摘すべきである。確かに、膜22'のエピタキシャル成長後のそのような欠陥は、有効膜220内に深さ方向に埋もれており、貫通欠陥ではない。

10

【0040】

また、膜22'のエピタキシャル堆積によって厚くする段階は、可能な注入深さによって本質的に制限されるSmart Cut(登録商標)タイプの技法を使用したときに可能であると考えられる場合よりも、最終的には、多量の厚さを転写することが可能になることが観察されよう。

【実施例1】

【0041】

この第1の実施例の目的は、マイクロエレクトロニクスで利用される500から2000、またはCCD(電荷結合素子)の適用例などその他の適用例で使用される、それ以上の厚さに達してもよい厚さの単結晶シリコン膜で被覆された、例えば厚さ1.2mmの石英支持体からなる構造を製造することである。

20

【0042】

実験により、臨界温度、すなわちこれよりも高いとSmart Cut法を使用して石英支持体上に転写された薄いSi膜からなる構造で(転位、滑り面などにより)過剰な塑性変形が生ずる臨界温度は、下記の転写された膜の厚さに依存することが実証された。

膜22の厚さ	臨界温度
2000	750
500	950
200	1100

【0043】

本実施例では、厚さ200の単結晶シリコン膜22を、石英支持体10上に転写し、この転写では、約2時間にわたる1050での熱処理によって、結合界面を強化する。膜22の厚さが制限されるおかげで、この構造は、この熱処理に起因する不利益な劣化(亀裂または破砕)を被ることがない。次いで所望の厚さの単結晶有効膜を生成するために、薄膜の自由表面22を、シリコン補完物質のエピタキシャル堆積に合わせて調製する。このエピタキシーは、やはり単結晶シリコンで作製された、適用例に応じて広く変化させることができる厚さを有する膜22'を形成するように実施される。

30

【0044】

したがって、マイクロエレクトロニクスの適用例では、有効膜の厚さが1000から2000オングストロームになるように、膜22'の厚さは例えば約800から1800

40

【0045】

CCDの適用例では、所望の全厚が、典型的には5から10 μm である。

【実施例2】

【0046】

この実施例の目的は、例えば光起電力部品で利用される、シリコン(単結晶または多結晶シリコン)で作製された支持体と単結晶ゲルマニウムで作製された厚い有効膜とを含むセミコンダクタ-オン-インシュレータ構造を製造することである。

【0047】

薄いゲルマニウム膜22の、そのドナーウェハーからの剥離、およびシリコン支持体1

50

0との結合界面の強化に必要とされる熱処理を、決定する。

【0048】

典型的な場合、これらの処理は、約300から400の温度での約2分から2時間にわたる剥離段階、次いで約500から800の温度での約1時間にわたる結合界面強化段階を含む。

【0049】

次に、約200を超えない薄膜22の厚さのとき、この構造に、前記薄膜を劣化させることなくこれらの熱処理を施すことが可能か否か、実験的に決定する。

【0050】

次に、化学的機械研磨ステップなど、エピタキシーの準備としての処理を薄膜22に実施した後、単結晶ゲルマニウム膜22'を結晶構造として薄膜22に続けて堆積し、したがって薄膜22が厚くなる。本実施例では、全体で5000以上(3 μ mまで)の厚さの単結晶有効ゲルマニウム膜を形成するために、この膜22'を、約700の温度でかつ4800の厚さに堆積する。

10

【0051】

当然ながら本発明は、記述される実施形態に決して限定されるものではなく、当業者なら、これらの実施形態に、どのように多くの変更を加えるか分かるであろう。本発明は、少なくとも1種の半導体材料を含むヘテロ構造であって、付加された膜が、必要不可欠な開始データ、すなわち実施される熱処理および2種の材料間の熱膨張係数の差によって許容されるよりも大きい厚さでなければならぬヘテロ構造の製造が望まれるときに、いつでも適用可能である。InPオンSiおよびGaAsオンSi構造を、特に挙げる事ができる。

20

【0052】

転写された薄膜を、張力または圧縮によって歪ませ、この歪みを維持しながら、堆積によって、材料の追加の厚さが得られると指摘することもできる。これにより、厚い歪み膜が生成され、この歪みは、維持することが望まれる歪みレベルに応じて、数十ナノメートルまたは最大で数百ナノメートルもの厚さ全体にわたって与えられる。

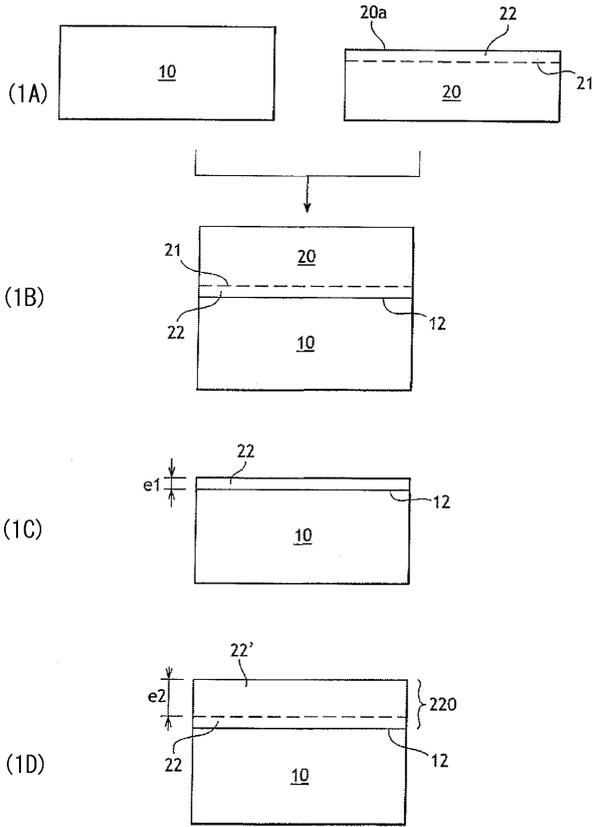
【図面の簡単な説明】

【0053】

【図1】本発明の好ましい方法の主なステップを概略的に示す図である。

30

【 図 1 】



フロントページの続き

- (72)発明者 ブルーノ ギセレン
フランス エフ - 3 8 1 7 0 セシネット - パリセット リュ ジョルガス マエデル 5 8
- (72)発明者 イアン カイレフォルコ
フランス エフ - 3 8 3 3 0 セイント ナザイル レ エイメス チェミン ドゥ テイス 7
4

審査官 大嶋 洋一

- (56)参考文献 特表2003 - 524876 (JP, A)
特開2000 - 030995 (JP, A)
特開平04 - 286310 (JP, A)
仏国特許出願公開第02835096 (FR, A1)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/02
H01L 27/12