

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3929116号

(P3929116)

(45) 発行日 平成19年6月13日(2007.6.13)

(24) 登録日 平成19年3月16日(2007.3.16)

(51) Int. Cl.

F I

G O 6 F 13/16 (2006.01)

G O 6 F 13/16 5 1 0 A

G O 6 F 12/00 (2006.01)

G O 6 F 12/00 5 6 4 D

請求項の数 16 (全 20 頁)

(21) 出願番号	特願平9-179969	(73) 特許権者	000005223
(22) 出願日	平成9年7月4日(1997.7.4)		富士通株式会社
(65) 公開番号	特開平11-25029		神奈川県川崎市中原区上小田中4丁目1番
(43) 公開日	平成11年1月29日(1999.1.29)		1号
審査請求日	平成15年12月18日(2003.12.18)	(74) 代理人	100077517
			弁理士 石田 敬
		(74) 代理人	100100871
			弁理士 土屋 繁
		(74) 代理人	100088269
			弁理士 戸田 利雄
		(74) 代理人	100082898
			弁理士 西山 雅也
		(72) 発明者	中野 正夫
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内
			最終頁に続く

(54) 【発明の名称】 メモリサブシステム

(57) 【特許請求の範囲】

【請求項1】

読出コマンドを出力する出力回路と、読出データを取り込む読出データ入力回路とを有するコントローラと、

それぞれが前記読出コマンドを取り込むコマンド入力回路と、前記読出コマンドに応じて前記読出データを出力する読出データ出力回路とを有する複数のメモリと、

前記コントローラと前記複数のメモリの間に接続されたクロック信号線又はデータストロープ信号線と、

前記読出データを送るために前記コントローラと前記複数のメモリの間に接続されたデータ信号線とを備え、

前記コントローラは、初期化動作時に、前記クロックのサイクル数を計数して、前記コントローラが前記読出コマンドを出力する時点から前記コントローラが前記メモリから前記読出データを取り込む時点までのアクセス時間として記憶し、前記コントローラが前記読出データを正規のタイミングで取り込むことを可能にし、

前記コントローラと前記複数のメモリのうちの1つとの間又は前記メモリ間の、前記クロック信号線又は前記データストロープ信号線に配置された少なくとも1つの遅延回路をさらに備え、前記少なくとも1つの遅延回路は、前記アクセス時間が前記クロックの前記サイクルの整数倍にほぼ等しい値から偏移するような遅延時間を有するメモリサブシステム。

【請求項2】

10

20

請求項 1 に記載のメモリサブシステムであって、
前記コントローラは、クロックの変化エッジで変化させるように書込データを入力する書込データ入力回路を有し、

各メモリは、調整されたクロックに応じて前記書込データを取り込む書込データ入力回路を有し、

前記読出データ出力回路は、データストロブ信号の変化エッジで変化するように前記読出データを入力し、

前記読出データ入力回路は、調整されたデータストロブ信号に応じて前記読出データを取り込み、

当該メモリサブシステムは、

前記コントローラ及び前記複数のメモリに内蔵されておらず、各メモリの前記書込データ入力回路が前記調整されたクロックの変化エッジで前記書込データを取り込むように、前記クロックを受けて前記調整されたクロックを出力するクロック遅延回路と、

前記コントローラ及び前記複数のメモリに内蔵されておらず、前記コントローラの前記読出データ入力回路が前記調整されたデータストロブ信号の変化エッジで前記読出データを取り込むように、前記データストロブ信号を受けて調整された前記調整されたデータストロブ信号を出力するデータストロブ遅延回路とをさらに備えるメモリサブシステム。

【請求項 3】

請求項 2 に記載のメモリサブシステムであって、

前記クロック遅延回路の遅延量及び前記データストロブ遅延回路の遅延量は、前記書込データ及び前記読出データの最小変化周期の $1/2$ の時間であるメモリサブシステム。

【請求項 4】

請求項 2 又は 3 に記載のメモリサブシステムであって、

前記クロック遅延回路と前記データストロブ遅延回路は、前記クロック信号線と前記データストロブ信号線の信号伝搬時間を長くするように配線を長くした回路であるメモリサブシステム。

【請求項 5】

請求項 2 又は 3 に記載のメモリサブシステムであって、

前記クロック遅延回路と前記データストロブ遅延回路は、ディレイ素子を使用したディレイラインであるメモリサブシステム。

【請求項 6】

請求項 2 から 5 のいずれか 1 項に記載のメモリサブシステムであって、

前記クロック信号線と前記データストロブ信号線は、インピーダンスが整合しているメモリサブシステム。

【請求項 7】

請求項 2 から 6 のいずれか 1 項に記載のメモリサブシステムであって、

前記クロック遅延回路と前記データストロブ遅延回路は、前記クロック信号線と前記データストロブ信号線の前記コントローラと前記メモリとの間に設けられているメモリサブシステム。

【請求項 8】

請求項 2 から 6 のいずれか 1 項に記載のメモリサブシステムであって、

前記クロック遅延回路と前記データストロブ遅延回路は、前記コントローラと前記メモリとの間の部分でない外側に設けられているメモリサブシステム。

【請求項 9】

請求項 2 から 8 のいずれか 1 項に記載のメモリサブシステムであって、

前記クロック信号線は前記コントローラから前記メモリに延び、

前記コントローラは、クロック源から供給された前記クロックを、前記クロック信号線に出力するメモリサブシステム。

【請求項 10】

請求項 2 から 8 のいずれか 1 項に記載のメモリサブシステムであって、
クロック源から前記コントローラに前記クロックを供給する信号線は、分岐されて前記クロック信号線に接続されているメモリサブシステム。

【請求項 1 1】

請求項 2 から 8 のいずれか 1 項に記載のメモリサブシステムであって、
クロック源から前記クロック信号線に前記クロックを供給する信号線を、前記クロック源から前記コントローラに前記クロックを供給する信号線に並行に設けたメモリサブシステム。

【請求項 1 2】

請求項 2 から 1 1 のいずれか 1 項に記載のメモリサブシステムであって、
前記データストローブ信号は、前記メモリが受信した前記クロックであり、
前記メモリは、前記コントローラへ読出データを伝送する時には、受信した前記クロックの変化エッジで前記読出データを変化させ、
前記データストローブ信号線は、前記メモリの付近で、前記クロック信号線に接続されているメモリサブシステム。

10

【請求項 1 3】

請求項 2 に記載のメモリサブシステムであって、
前記クロックを供給するクロック源と、
前記コントローラと前記複数のメモリの間で前記書き込み及び読出データ信号を伝送するデータ信号線と、
前記データ信号線に並行に設けられ、前記複数のメモリへ前記調整されたクロックを伝送するクロック信号線と、
前記データ信号線に並行に設けられ、前記コントローラへ前記調整されたデータストローブ信号を伝送するデータストローブ信号線とを備え、
前記クロック信号線は前記クロック遅延回路を有し、前記データストローブ信号線は前記データストローブ遅延回路を有し、前記クロックは前記クロック信号線を介して前記クロック遅延回路に供給され、前記データストローブ信号は前記データストローブ信号線を介して前記データストローブ遅延回路に供給されるメモリサブシステム。

20

【請求項 1 4】

請求項 1 に記載のメモリサブシステムであって、
前記コントローラの前記読出データ入力回路は、調整されたデータストローブ信号に応じて前記読出データを取り込み、
各メモリは、前記データストローブ信号の変化エッジで変化させるように前記読出データを出力し、
当該サブシステムは、
前記コントローラ及び前記複数のメモリに内蔵されておらず、前記コントローラの前記読出データ入力回路が前記調整されたデータストローブ信号の変化エッジで前記読出データを取り込むように、前記データストローブ信号を受けて調整された前記調整されたデータストローブ信号を出力するデータストローブ遅延回路をさらに備えるメモリサブシステム。

30

40

【請求項 1 5】

読出データを取り込むように読出コマンドを出力するコントローラと、
それぞれが前記読出コマンドを取り込み、前記読出コマンドに応じて前記読出データを出力する複数のメモリデバイスと、
前記コントローラと前記複数のメモリデバイス間に接続されたクロック信号線又はデータストローブ信号線と、
前記読出データを送るために前記コントローラと前記複数のメモリデバイス間に接続されたデータ信号線とを備え、
前記コントローラは、初期化動作時に、クロックのサイクル数を計数して、前記コントローラが前記読出コマンドを出力する時点から前記コントローラが各メモリデバイスから

50

前記読出データを取り込む時点までのアクセス時間として記憶し、前記コントローラが前記読出データを正規のタイミングで取り込むことを可能にし、

前記コントローラと前記複数のメモリデバイスのうちの選択された1つとの間の、前記クロック信号線又は前記データストロブ信号線に配置された遅延回路をさらに備え、前記遅延回路の遅延量は、前記アクセス時間が前記クロックの前記サイクルの整数倍にほぼ等しい値から偏移するような遅延時間を有するメモリサブシステム。

【請求項16】

請求項15に記載のメモリサブシステムであって、

前記コントローラは、クロックの変化エッジで変化させるように書き込みデータを入力する書き込みデータ出力回路を有し、

当該メモリサブシステムは、

調整されたクロックに応じて前記書き込みデータを取り込む書き込みデータ入力回路を有するメモリデバイスと、

前記コントローラ及び前記複数のメモリデバイスに内蔵されておらず、各メモリデバイスの前記書き込みデータ入力回路が前記調整されたクロックの変化エッジで前記書き込みデータを取り込むように、前記クロックを受けて前記調整されたクロックを出力するクロック遅延回路とをさらに備えるメモリサブシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クロックに同期して動作するメモリ又はそのようなメモリを複数個搭載して大容量のメモリとして機能するメモリモジュールを使用して構成するメモリサブシステムに関し、特に簡単な機構で高速のデータ転送が可能なメモリサブシステムに関する。

【0002】

【従来の技術】

半導体装置を使用したコンピュータ等の大規模な半導体装置システムでは、システムの各部分がクロックに同期して動作するように構成されており、データ信号やアドレス信号等の信号の入出力はクロック信号に同期して行われる。図1は、SDRAMなどのクロックに同期して動作するメモリを使用して構成したメモリサブシステムの従来の構成例を示す図である。図示のように、コントローラ12からは、コマンド信号が印加される制御信号バス14、アドレス信号が印加されるアドレス信号バス15、及びデータ信号が印加されるデータ信号バス16が伸びており、これらの配線に沿ってメモリ13-1、13-2、...、13-mが配置され、各メモリはこれらの配線に接続される。クロック発生回路10はシステムを構成する各要素に供給するクロックを発生させる回路で、クロック発生回路10で発生されたクロックはクロック分配回路11を介して、コントローラ12、及びメモリ13-1、13-2、...、13-mに供給される。近年、複数のメモリ素子を搭載し、大容量で高速のアクセスが可能なメモリとして機能するDIMM (Dual Inline Memory Module)が使用されているが、これをメモリ13-1、13-2、...、13-mの代わりに使用することも可能である。

【0003】

図1のクロック分配システム11は、分配されたクロックがすべて同一の位相になるように、クロック発生回路10からコントローラ12、及びメモリ13-1、13-2、...、13-mに至る配線長及び負荷が等しい等長配線回路である。

図2は、説明を容易にするため、図1のシステムにおいてメモリが1個とした場合の構成、及びコントローラ12とメモリ13の内部の構成を示す図であり、ここでは2つの構成例が示されている。なお、以下の説明では、データ信号の最小変化周期はクロックの半周期であり、クロックの立ち上がりエッジと立ち下がりエッジの両方のエッジに同期してデータが変化するダブルデータレート (DDR) 方式のSDRAMを使用する場合の例を説明することとする。従って、データ信号の入力回路は、データ信号の変化から最小変化周期の1/2、すなわちクロックの1/4周期 (90°) ずれたタイミングでデータ信号を

10

20

30

40

50

取り込むのが最適なタイミングであるとする。また、データ信号以外のコマンド信号やアドレス信号の最小変化周期はデータ信号の最小変化周期より長いので、これらの信号の取込みのタイミングはあまり問題にならない。そこで、これらの信号の伝送については従来と同じ構成が使用されるので、ここでは説明を省略するものとする。更に、説明を容易にするため、データ信号バスを、コントローラ 12 からメモリ 13 に書き込む書込データを伝送する書込データバス 16 a と、メモリ 13 からコントローラ 12 に送る読出データを伝送する読出データバス 16 b とに分けて示すが、書込データと読出データを同一のデータバスで伝送することも可能である。

【0004】

図 2 の (1) の構成例では、メモリ 13 にデータを書き込む場合には、コントローラ 12 は、シフトクロック発生回路 21 でクロック発生回路 10 の供給するクロック CLK から 1 / 4 周期ずれたシフトクロックを発生させ、メモリ 13 に書き込む書込データ Din をデータ出力回路 22 からシフトクロックに同期して書込データバス 16 a に出力する。メモリ 13 は、データ入力回路 32 でこの書込データ Din をクロック CLK に同期して取り込む。メモリ 13 からデータを読み出す場合には、メモリ 13 は、シフトクロック発生回路 31 でクロック発生回路 10 の供給するクロック CLK から 1 / 4 周期ずれたシフトクロックを発生させ、内部回路 34 で発生された読出データ Dout を、データ出力回路 33 からシフトクロックに同期して読出データバス 16 b に出力する。コントローラ 12 は、データ入力回路 23 でこの読出データ Dout をクロックに同期して取り込む。

【0005】

図 3 は、図 2 の (1) に示した構成例におけるデータの入出力動作を示すタイムチャートである。(a) を付した Din と Dout はコントローラ 12 側のデータであることを、(b) を付した Din と Dout はメモリ 13 側のデータであることを示す。これは以下の図でも同じである。図示のように、コントローラ 12 から出力された書込データ Din (a) は、クロック CLK の変化エッジから 1 / 4 周期ずれた時点で変化している。すなわち、クロック CLK の変化エッジが、書込データ Din (a) の最適な取込みタイミングに位置している。書込データ Din (a) は、メモリ 13 までの距離に対応する伝搬時間を経過してメモリ 13 に到達し、書込データ Din (b) となる。メモリ 13 に供給されるクロック CLK は、コントローラ 12 に供給されるクロック CLK と同一位相であるから、データ入力回路 32 は最適なタイミングから上記の伝搬時間分ずれたタイミングで書込データ Din を取り込むことになる。

【0006】

逆に、メモリ 13 からデータを読み出す時には、コントローラ 12 からメモリ 13 にクロック CLK の立ち上がりエッジに同期してアドレス信号などの信号が伝送され、それに依ってメモリ 13 で必要な処理を行って、アクセス時間 t AC 後から読出データ Dout (b) がデータ出力回路 33 から読出データバス 16 b に出力される。読出データ Dout (b) は上記の伝搬時間分遅れてコントローラ 12 に到達し、Dout (a) になる。コントローラ 12 は、クロック CLK の次の立ち上がりエッジに同期してデータ入力回路 23 で読出データ Dout を取り込む。

【0007】

図 2 の (1) に示した構成では、メモリ 13 側はクロック CLK を使用して書込データを取込み、コントローラ 12 側は次のクロックの立ち上がりエッジを使用して読出データを取り込めばよく、構成が非常に簡単であるが、クロック周波数が十分に小さい場合には、伝搬時間は無視でき、十分な余裕をもって伝送されたデータを取り込むことができ、何ら問題は生じなかった。

【0008】

図 2 の (1) のシステムでは、データ信号を出力する送信側がデータ信号の出力タイミングをずらすことにより、受信側ではクロックのエッジに同期してデータ信号を取り込めるようにしたが、各種の変形が可能である。例えば、図 2 の (2) は、送信はクロックのエッジに同期して行い、受信はクロックのエッジからずれたタイミングで行うようにした構

10

20

30

40

50

成例である。図2の(2)の構成においてデータを書き込む時には、コントローラ12はクロックCLKに同期してデータ出力回路22から書込データを出し、メモリはこの書込データをデータ入力回路32で、シフトクロック発生回路31で発生されたずれたクロックに同期して取込む。データを読み出す時には、メモリ13はクロックCLKに同期してデータ出力回路33から読出データを出し、コントローラ12は、シフトクロック発生回路31で発生されたずれたクロックに同期して、この読出データをデータ入力回路23で取り込む。更に、コントローラ12が書込データの出力と読出データの取込みをずれたシフトクロックに同期して行うようにすれば、メモリ13は書込データの取込みと読出データの出力を共にクロックCLKに同期して行うことができ、シフトクロック発生回路はコントローラ12にのみ設ければよい。いずれにしろ、コントローラ12とメモリ13の一方又は両方にそれぞれシフトクロック発生回路が必要である。

10

【0009】

上記のように、クロック周波数が小さい場合には、信号のばらつきによるシフトクロック発生回路21の精度の低下もほとんど問題にならず、単純な回路構成でも問題は生じなかった。しかし、クロック周波数が大きくなると、伝搬時間のクロック周期に対する割合が大きくなり、信号の伝搬時間による取込みタイミングのずれが問題になってくる。また、シフトクロック発生回路におけるプロセスばらつきや温度の変動によるシフトクロックのずれが問題になってくる。

【0010】

このような問題を解決する高速動作のためのシステム構成がいくつか提案されており、図4はそのようなシステムの構成例を示す図である。図4のシステムは、基本クロックCLKとは別にデータストロブ信号DQSを用いて、データの送信を行う方式を使用しており、書込データDinと読出データDoutの送信の両方でデータストロブ信号DQSを使用する双方向方式(バイディレクショナル方式)と呼ばれる方式を使用する。コントローラ12は、クロックCLKから1/4周期ずれた2つのシフトクロックを発生するシフトクロック発生回路21と、書込データDinを一方のシフトクロックCLKに同期して出力するデータ出力回路22と、他方のシフトクロックを出力するストロブ信号出力回路24と、メモリ13から送信されたストロブ信号を受信するストロブ信号入力回路25と、ストロブ信号入力回路25の受信したストロブ信号に同期してメモリ13から送信された読出データDoutを取り込むデータ入力回路23とを有する。また、メモリ13は、コントローラ12から送信されたストロブ信号を受信するストロブ信号入力回路35と、書込データDinをストロブ信号に同期して取り込むデータ入力回路32と、クロックCLK及び内部回路34で発生する読出データDoutが出力できる状態になったことを示す信号から、1/4周期ずれた2つのシフトクロックを発生するシフトクロック発生回路31と、読出データDoutを一方のシフトクロックCLKに同期して出力するデータ出力回路33と、他方のシフトクロックを出力するストロブ信号出力回路36とを有する。書込データを伝送する書込データバス16aと、読出データを伝送する読出データバス16bと、ストロブ信号を伝送するストロブ信号線17は、同じ伝搬時間になるように並行に等長配線されている。

20

30

【0011】

図5は図4のシステムにおける書込データの伝送動作を示すタイムチャートである。書込データの伝送する時、コントローラ12はデータ出力回路22から書込データDin(a)を、ストロブ信号出力回路24からデータストロブ信号DQS(a)を出力する。図5に示すように、書込データDin(a)とデータストロブ信号DQS(a)は、1/4周期ずれている。従って、データストロブ信号DQSの変化エッジは、書込データDinを取り込むのに最適なタイミングである。なお、データストロブ信号DQSとクロックCLKとの間には一定の位相関係はない。書込データDin(a)とデータストロブ信号DQS(a)がメモリ13に伝送されても、書込データバス16aとデータストロブ信号線17は並行に設けられているため、ほとんどスキューは生ぜず、そのままの位相関係を維持される。従って、メモリ13における書込データDin(b)とデータスト

40

50

ローブ信号DQS(b)は、書込データDin(a)とデータストローブ信号DQS(a)を伝送時間分送らせた信号である。そのため、メモリ13のデータ入力回路32でストローブ信号入力回路35で受信したストローブ信号に同期して書込データを取り込めば最適なタイミングで取り込むことができる。メモリ13に取り込まれた書込データの内部回路34への書込は、取り込んだ後のクロックCLKの立ち上がりエッジから開始される。

【0012】

図6は図4のシステムにおける読出データの伝送動作を示すタイムチャートである。読出データの伝送する時、メモリ13はデータ出力回路33から読出データDout(b)を、ストローブ信号出力回路36からデータストローブ信号DQS(b)を出力する。図6に示すように、読出データDout(b)とデータストローブ信号DQS(b)は、1/4周期ずれている。従って、データストローブ信号DQSの変化エッジは、読出データDoutを取り込むのに最適なタイミングである。なお、データストローブ信号DQSとクロックCLKとの間には一定の位相関係はない。読出データDout(b)とデータストローブ信号DQS(b)がコントローラ12に伝送されても、読出データ信号線16bとデータストローブ信号線17は並行に設けられているため、ほとんどスキューは生ぜず、そのままの位相関係を維持される。従って、コントローラ12における読出データDout(a)とデータストローブ信号DQS(a)は、読出データDout(b)とデータストローブ信号DQS(b)を伝送時間分送らせた信号である。そのため、コントローラ12のデータ入力回路23でストローブ信号入力回路25で受信したストローブ信号に同期して読出データを取り込めば最適なタイミングで取り込むことができる。コントローラ12に取り込まれた読出データのCPUでの処理は、取り込んだ後のクロックCLKの立ち上がりエッジから開始される。

【0013】

以上のように、図4の双方向ストローブ方式であれば、いずれの方向にデータを伝送する場合も、データと同じ方向に取込みに適したストローブ信号が出力されるので、常に最適なタイミングで送信データを取り込むことができる。但し、図2の回路と同様に、図4の回路は、コントローラ12とメモリ13にそれぞれ1/4位相ずれた2つのシフトクロックを発生させるためのシフトクロック発生回路を設ける必要がある。更に、ストローブ信号を伝送するためのストローブ信号線及びその入力回路と出力回路が必要である。

【0014】

図7は、高速動作のためのシステムの別の構成例を示す図である。このシステムは、メモリ13へはコントローラ12からクロックCLKを供給し、クロックCLKを供給するためのクロック信号線18を書込データバス16aに並行に設ける。そして、コントローラ12からメモリ13への書込データの伝送は、クロックCLKを1/4周期ずらした信号に同期して行う。メモリ13からコントローラ12への読出データの伝送は、図4のシステムと同様に、データストローブ信号DQSに同期して行い、一緒にメモリ13からコントローラ12へデータストローブ信号を伝送する。この方式は、一方のデータ信号(ここでは読出データ)の伝送にのみデータストローブ信号DQSを使用するため、片方向方式(ユニディレクショナル方式)と呼ばれる。コントローラ12は、受信したクロックCLKをクロック信号線18をに印加するクロック出力回路27と、クロックCLKから1/4周期ずれたシフトクロックを発生するシフトクロック発生回路21と、書込データDinをシフトクロックCLKに同期して出力するデータ出力回路22と、メモリ13から送信されたストローブ信号を受信するストローブ信号入力回路25と、ストローブ信号入力回路25の受信したストローブ信号から1/4周期ずれたシフトクロックを発生するシフトクロック発生回路26と、シフトクロック発生回路26の出力するシフトクロックに同期して、メモリ13から送信された読出データDoutを取り込むデータ入力回路23とを有する。また、メモリ13は、コントローラ12から送信されたクロック信号CLKを受信するクロック入力回路37と、書込データDinをクロック信号CLKに同期して取り込むデータ入力回路32と、読出データDoutをクロック入力回路37の出力するクロックCLKに同期して出力するデータ出力回路33と、クロック入力回路37の出力す

10

20

30

40

50

るクロックCLKをストロブ信号として出力するストロブ信号出力回路36とを有する。クロックCLKを伝送するクロック信号線18と、書込データを伝送する書込データバス16aと、読出データを伝送する読出データバス16bと、ストロブ信号を伝送するストロブ信号線17bは、同じ伝搬時間になるように並行に等長配線されている。

【0015】

図8は図7のシステムにおける書込データの伝送動作を示すタイムチャートである。コントローラ12はクロック出力回路27からクロックCLKを常時出力し、出力書込データの伝送する時には、データ出力回路22から書込データDin(a)を出力する。図8に示すように、書込データDin(a)とクロックCLKは、1/4周期ずれている。従って、クロックCLKの変化エッジは、書込データDinを取り込むのに最適なタイミングである。書込データDin(a)とクロックCLKがメモリ13に伝送されても、書込データ信号線16aとクロック信号線18は並行に設けられているため、ほとんどスキューは生ぜず、そのままの位相関係を維持される。従って、メモリ13における書込データDin(b)とクロックCLK(b)は、書込データDin(a)とクロックCLK(a)を伝送時間分送らせた信号である。そのため、メモリ13のデータ入力回路32でクロック入力回路37で受信したクロック信号CLKに同期して書込データを取り込めば最適なタイミングで取り込むことができる。

10

【0016】

図9は図7のシステムにおける読出データの伝送動作を示すタイムチャートである。読出データの伝送する時、メモリ13はデータ出力回路33から読出データDout(b)を、ストロブ信号出力回路36からデータストロブ信号DQS(b)を出力する。図9に示すように、書込データDout(b)とデータストロブ信号DQS(b)は、1/4周期ずれている。従って、データストロブ信号DQSの変化エッジは、書込データDoutを取り込むのに最適なタイミングである。書込データDout(b)とデータストロブ信号DQS(b)がコントローラ12に伝送されても、読出データ信号線16bとデータストロブ信号17は並行に設けられているため、ほとんどスキューは生ぜず、そのままの位相関係を維持される。従って、コントローラ12における読出データDout(a)とデータストロブ信号DQS(a)は、書込データDout(b)とデータストロブ信号DQS(b)を伝送時間分送らせた信号である。そのため、コントローラ12のデータ入力回路23でストロブ信号入力回路25で受信したストロブ信号に同期して書込データを取り込めば最適なタイミングで取り込むことができる。

20

30

【0017】

以上のように、図7の片方向ストロブ方式では、いずれの方向にデータを伝送する場合も、常に最適なタイミングで送信データを取り込むことができる。

以上、3つの従来例を説明したが、いずれの従来例においても、位相がデータ信号の最小変化周期の1/2ずれたシフトクロックを発生させることが必要である。具体的には、データ信号の最小変化周期がクロックの周期と同じであれば、クロックと正確に位相が一致した信号と1/2周期(180°)ずれた信号が必要である。データ信号の最小変化周期がクロックの1/2周期で、クロックの立ち上がりエッジと立ち下がりエッジの両方でデータ信号が変化するDDR-SDRAMの場合には、具体的には位相が0又は1周期(360°)、1/4周期(90°)、1/2周期(180°)、3/4周期(270°)のシフトクロックを発生させることが必要である。正確にこのような位相ずれた信号を発生させるためには、DLL(Delay Locked Loop)回路が使用される。

40

【0018】

図10は、クロックCLKから等位相(0°)のシフトクロックと、1/4周期(90°)ずつずれたシフトクロックを発生させるDLL回路の基本構成を示す図である。図10において、参照番号41は0°位相のシフトクロックを発生させるDLL回路であり、51は90°ずつずれた4つのシフトクロックを発生させるDLL回路である。

【0019】

0°DLL回路41は、クロックCLKを遅延させ、遅延量が調整できるディレイ回路4

50

2と、ディレイ回路42の出力する遅延クロックとクロックCLKの位相を比較する位相比較回路43と、位相比較回路43の比較結果に基づいて2つのクロックの位相が一致するようにディレイ回路42での遅延量を段階的に変化させるディレイ制御回路44とを有する。ディレイ回路42の出力する遅延クロックとクロックCLKの位相が一致した時には、ディレイ回路42の出力する遅延クロックは、クロックCLKに対して1周期遅れた信号である。ディレイ回路42は微少な遅延量を有する遅延素子を多数直列に接続し、各段から出力が取り出せるようにスイッチを設けた回路で、どのスイッチを動作させてどの段から出力を得るかにより、遅延量が変化させられる。

【0020】

90°DLL回路51は、0°位相のシフトクロックを得るための0°DLL回路と同じ構成であるが、ディレイ回路を4分割して4個の1/4ディレイ回路52、53、54、55とし、前段の出力が後段の入力になるように直列に接続してある。ディレイ制御回路57は、4分割された各1/4ディレイ回路の遅延量が同一になるように同時に制御している。位相比較回路56は、最初の1/4ディレイ回路52に入力されるクロック信号と最終の1/4ディレイ回路55から出力される信号の位相を比較する。ディレイ制御回路57は比較結果に基づいて2つの信号の位相が一致するように4つの1/4ディレイ回路の遅延量を制御する。2つの信号の位相が一致した時には、各1/4ディレイ回路の出力は1/4周期ずつずれている。このようにして、1/4周期ずつずれたシフトクロックが得られる。

10

【0021】

このように、DLL回路を使用することにより、正確に所定位相ずれた信号を得ることができるが、DLL回路は、かなり複雑で回路規模の大きな回路で、チップ面積も大きく、消費電力も大きい。

20

【0022】

【発明が解決しようとする課題】

以上説明した従来例では、いずれもコントローラ内部又はメモリ、又は両方に、例えば1/4周期位相のずれた信号を発生させるシフトクロック発生回路を設けて、適当なタイミングで送信データを取り込めるようにしており、正確に所定位相ずれた信号を発生させるためには、DLL回路を使用する必要がある。DDR-SDRAMの場合、立ち上がりエッジと立ち下がりエッジの両方を基準にしてデータを送信し、取り込む必要がある。

30

【0023】

供給されるクロックのデューティ比が正確に50%の場合は、そのままクロックの立ち上がりエッジと立ち下がりエッジを使用でき、クロックの立ち上がりエッジと立ち下がりエッジから1/4周期位相のずれた信号を発生させる。そこで図10に示した90°DLL回路51を使用することになる。

また、クロックのデューティ比が50%からずれている時には、まず1/2周期(180°)位相の異なる信号を発生させ、その後その信号から1/4周期位相のずれた信号を発生させることが考えられるが、この場合には2個のDLL回路が必要になる。このようなDLL回路を2回使用すると、ディレイ回路の最小変化量で決定されるDLLのジッタが2倍になり、シフトクロックの精度が悪化するという問題がある。

40

【0024】

そこで、やはり図10に示した90°DLL回路51を使用して、1/4周期(90°)ずれた信号と1/2周期(180°)ずれた信号を発生させる。しかし、図10に示した90°DLL回路51は、DLL回路が4段に接続されており、各DLL回路の最小変化量の4倍のジッタが発生するため、シフトクロックの精度が低くなるという問題がある。

【0025】

更に、DLL回路は、上記のように、複雑な回路であり、このような回路をコントローラ及びメモリに設けると、チップ面積が増大してコストアップになると共に、消費電力も増大するという問題を生じる。

本発明は、このような問題を解決するためのもので、高速のデータ送信が可能なメモリシ

50

システムを簡単な構成で実現することを目的とする。

【0026】

【課題を解決するための手段】

本発明のメモリサブシステムは、上記目的を実現するため、コントローラ又はメモリからデータを出力する場合には、クロック又はデータストロープ信号に同期してデータを出力し、データ信号線と並行に設けられたクロック信号線又はデータストロープ信号線でクロック又はデータストロープ信号を伝送するようにしたシステムにおいて、クロック信号線又はデータストロープ信号線に所定の遅延を生じる遅延回路を設けて、伝送先ではクロック又はデータストロープ信号はデータ信号に対して取り込みに適した位相になり、受信したクロック又はデータストロープ信号でそのままデータ信号を取り込めるようにする。このような構成であれば、DLL回路を使用しないで、上記の問題は生じない。また、DDR-SDRAMのように、クロックの立ち上がりエッジと立ち下がりエッジの両方を基準にしてデータを送信し、取り込む必要がある場合でも、180°位相の異なる信号を発生させる180°DLL回路のみを設ければよいので、ジッタの発生が低減される。

10

【0027】

すなわち、本発明のメモリサブシステムは、読出コマンドを出力する出力回路と、読出データを取り込む読出データ入力回路とを有するコントローラと、それぞれが前記読出コマンドを取り込むコマンド入力回路と、前記読出コマンドに応じて前記読出データを出力する読出データ出力回路とを有する複数のメモリと、前記コントローラと前記複数のメモリの間に接続されたクロック信号線又はデータストロープ信号線と、前記読出データを送るために前記コントローラと前記複数のメモリの間に接続されたデータ信号線とを備え、前記コントローラは、初期化動作時に、前記クロックのサイクル数を計数して、前記コントローラが前記読出コマンドを出力する時点から前記コントローラが前記メモリから前記読出データを取り込む時点までのアクセス時間として記憶し、前記コントローラが前記読出データを正規のタイミングで取り込むことを可能にし、前記メモリサブシステムは、前記コントローラと前記複数のメモリのうちの1つとの間又は前記メモリ間の、前記クロック信号線又は前記データストロープ信号線に配置された少なくとも1つの遅延回路をさらに備え、前記少なくとも1つの遅延回路の遅延量は、前記アクセス時間が前記クロックの前記サイクルの整数倍にほぼ等しい値から偏移するように決定されることを特徴とする。

20

【0028】

上記の所定の遅延は、クロック又はデータストロープ信号がデータ信号の取り込みに適した位相になる遅延であり、書込データ及び読出データの最小変化周期の1/2の時間であり、DDR-SDRAMの場合であれば、クロック周期の1/4の遅延である。遅延回路は、信号線の信号伝搬時間を長くするように配線を長くした回路又はディレイ素子を使用したディレイラインで実現できる。

30

【0029】

クロック信号線とデータストロープ信号線は、インピーダンスが整合していることが望ましい。

遅延回路は、コントローラとメモリの間の部分に設けることが望ましいが、スペースの関係でコントローラとメモリの間に設けることができない場合には、コントローラとメモリの外側に設けることも可能である。

40

【0030】

クロック信号線へのクロックの印加は、コントローラ又はクロック源から行う。クロック源から行う時には、コントローラに供給するクロックを分岐するか、並行に行う。データストロープ信号として、メモリが受信したクロックを使用してもよい。その場合、メモリは読出データを伝送する時には、受信したクロックの変化エッジで読出データを変化させ、データストロープ信号線はメモリの付近でクロック信号線に接続される。

【0031】

従来は、クロック又はデータストロープ信号が送信データに対して取り込みに適した位相になるようにするためのシフトクロック発生回路を、コントローラ及びメモリに設けてい

50

た。そのため、信号線を長くして位相を調整することができず、DLL回路を使用する必要があった。これに対して、本発明では、チップ外で位相調整するため、信号線を長くするなどの簡単な構成で位相調整が行える。

【0032】

【発明の実施の形態】

図11の(1)は、本発明の実施例のメモリサブシステムの全体構成を示す図である。図11の(1)に示すように、本実施例のメモリサブシステムは、クロック発生回路10からコントローラ12にクロックが供給され、コントローラ12からは、クロック信号線18、書込データバス16a、読出データバス16b、及びデータストロブ信号線17bが並行に延びている。クロック信号線18とデータストロブ信号線17bには、伝送する信号を所定時間遅延させるために信号線を延長した延長部71と72が設けられている。他にも、コマンド信号を伝送する制御信号バスやアドレス信号を伝送するアドレス信号バスが設けられているが、ここでは省略してある。上記の信号線にはソケット61が設けられており、このソケット61を介してDIMM-SDRAMと呼ばれるメモリモジュール60aから60cが接続されている。DIMM-SDRAMは、図11の(2)に示すように、複数のメモリ素子(ここではSDRAM)を有し、これらを合わせた大容量のメモリとして動作するように、デコーダ64やマルチプレクサ65aと65bなどを有し、外部との接続のための接続ピンが設けられている。この接続ピンがモジュールの両面で独立しているためDual Inline型と呼ばれる。なお、このようなDIMM-SDRAMでなく、単に接続ピンに直接接続された複数のSDRAMを有するだけで、デコーダ64やマルチプレクサ65aと65bなどがないメモリモジュールでもよく、SDRAM単体でもよい。以下、説明を簡単にするために、単にメモリとして説明を行う。

1つのソケット61には、複数のメモリ(DIMM)が接続されて群を成している。各群内では信号の伝搬時間は無視できる程度の差であるとする。しかし、多数の群が接続されると信号線が長くなり、その伝搬時間の差が問題になる。後述するように、本実施例では、メモリの位置にかかわらず良好なタイミングで伝送データを取り込めるようにしているが、メモリの位置により、データの読み出し時にコントローラ12から各メモリにアクセス信号を出力してからメモリが読み出しデータを出力し、それがコントローラ12に到達するまでの時間に差が生じる。この差が1クロックサイクル以内であれば問題はないが、1クロックサイクル以上の場合には誤動作する可能性がある。そこで、本実施例では、メモリサブシステムの初期化時に、メモリ群毎に、アクセスを開始してから読出データがコントローラ12に到着するまでのクロックサイクルの個数を測定し、それを記憶してコントローラ12が正しいタイミングで読出データを取り込めるようにしている。この場合、アクセスを開始してから読出データが到着するまでの時間がクロックサイクルの整数倍の付近である場合、動作環境の変動によりこの時間が変化すると、隣接する異なるクロックサイクルで取り込む可能性がある。そこで、アクセスに要する時間がクロックサイクルの整数倍付近の場合には、遅延回路62を設けて、アクセスに要する時間をクロックサイクルの整数倍付近からずらしている。

【0033】

また、クロック発生回路10はデューティ比が正確に50%のクロックを発生し、コントローラ12やメモリに供給されたクロックのデューティ比も50%であり、クロックの立ち上がりエッジと立ち下がりエッジで、DDR方式のデータを出力及び取り込めるものとする。

図12は、図11のシステムにおいて、メモリを1個取り出し、それとコントローラ12及びクロック発生回路10の関係を示すようにした図であり、コントローラ12とメモリ13の内部の構成が示されている。図示のように、第1実施例のシステムは、コントローラ12は、クロック発生回路の出力するクロックを受信するクロック入力回路28と、受信したクロックCLKをクロック信号線18に印加するクロック出力回路27と、書込データDinをクロックCLKに同期して出力するデータ出力回路22と、メモリ13から送信されたストロブ信号を受信するストロブ信号入力回路25と、ストロブ信号入

10

20

30

40

50

力回路25の受信したストロープ信号に同期してメモリ13から送信された読出データDoutを取り込むデータ入力回路23とを有する。また、メモリ13は、コントローラ12から送信されたクロック信号CLKを受信するクロック入力回路37と、書込データDinをクロック信号CLKに同期して取り込むデータ入力回路32と、読出データDoutをクロック入力回路37の出力するクロックCLKに同期して出力するデータ出力回路33と、クロック入力回路37の出力するクロックCLKをストロープ信号として出力するストロープ信号出力回路36とを有する。クロックCLKを伝送するクロック信号線18と、書込データを伝送する書込データバス16aと、読出データを伝送する読出データバス16bと、ストロープ信号を伝送するストロープ信号線17bは、同じ伝搬時間になるように並行に等長配線されている。クロック信号線18とストロープ信号線17bには、伝送するクロック信号とデータストロープ信号をクロックの1/4周期分遅延させるために延長部71と72が設けられている。この延長部71と72は、単にクロック信号線18とストロープ信号線17を長くし、そこを信号が伝搬する時間を長くするものである。このような遅延回路は、DLL回路などの比べて温度などの影響による変動が小さく、遅延量の誤差は小さい。更に、クロック信号線18とストロープ信号線17はインピーダンスが整合されている。

10

【0034】

図13は図12の第1実施例のシステムにおける書込データの伝送動作を示すタイムチャートである。コントローラ12はクロック出力回路27からクロックCLKを常時出力し、出力書込データの伝送する時には、データ出力回路22からクロックCLKに同期して書込データDin(a)を出力する。ここではDDR方式を使用するから、クロックCLKの立ち上がりエッジと立ち下がりエッジの両方に同期して書込データDin(a)を変化させる。従って、図13に示すように、コントローラ12から出力されたクロックCLK(a)と書込データDin(a)は同じ位相である。

20

【0035】

コントローラ12から出力されたクロックCLK(a)と書込データDin(a)は、クロック信号線18と書込データバス16aを通してメモリ13に伝送される。クロック信号線18には延長部71が設けられているため、ここを通過するとクロックCLK(a)はクロックの1/4周期分遅延され、図示のCLK(a')になる。従って、クロックCLK(a')は書込データDin(a)に対してクロックの1/4周期分遅延された信号になり、これらがメモリ13まで伝送される。前述のように、クロック信号線18と書込データバス16aは並行に設けられており、負荷も等しくなるように設定されているので、それらの伝搬時間の差(スキュー)はほとんど無視できる程度である。従って、メモリ13に到着したクロックCLK(b)と書込データDin(b)は、図示のように1/4周期ずれた信号であり、クロックCLK(b)の変化エッジは、書込データDin(b)を取り込むのに最適なタイミングである。従って、データ入力回路32で、クロック入力回路37で取り込んだクロックCLK(b)に同期して書込データDin(b)を取り込めばよい。

30

【0036】

図14は図12の第1実施例のシステムにおける読出データの伝送動作を示すタイムチャートである。読出データを伝送する時、メモリ13はコントローラ12からコマンドやアドレス信号などのアクセスに必要な信号を受け、内部回路34からデータDoutを読み出す。SDRAMではこのようなアクセス信号に応じて、連続してデータが読み出される。メモリ13は、読出データDoutが読み出された後のクロックCLKの最初の立ち上がりエッジから順次クロックCLKに同期してデータ出力回路33から読出データDoutを出力する。それと同時に、ストロープ信号出力回路36からクロックCLKを出力する。従って、図14に示すように、読出データDout(b)とデータストロープ信号DQS(b)は同じ位相の信号である。

40

【0037】

メモリ13から出力されたデータストロープ信号DQS(b)と読出データDout(b)

50

) は、データストロブ信号線 17b と読出データバス 16b を通ってコントローラ 12 に伝送される。前述のように、データストロブ信号線 17b と読出データバス 16b は並行に設けられており、負荷も等しくなるように設定されているので、それらの伝搬時間の差 (スキュー) はほとんど無視できる程度である。しかし、データストロブ信号線 17b には延長部 72 が設けられているため、ここを通過するとデータストロブ信号 DQS (b) はクロックの 1/4 周期分遅延され、図示の DQS (b') になる。従って、データストロブ信号 DQS (b') は読出データ Dout (b) に対してクロックの 1/4 周期分遅延された信号になり、これらがコントローラ 12 まで伝送される。従って、コントローラ 12 に到着したデータストロブ信号 DQS (a) と読出データ Dout (a) は、図示のように 1/4 周期ずれた信号であり、データストロブ信号 DQS (a) の変化エッジは、読出データ Dout (a) を取り込むのに最適なタイミングである。従って、データ入力回路 23 で、ストロブ信号入力回路 25 で取り込んだデータストロブ信号 DQS (a) に同期して読出データ Dout (a) を取り込めばよい。

10

【0038】

以上説明したように、第 1 実施例では、データを送信する場合に、一緒に送信されるクロック又はデータストロブ信号に同期して送信データが変化され、クロック又はデータストロブ信号と一緒に送信されたデータを取り込むのに適するように途中で位相がずらされる。従って、コントローラ又はメモリでクロック又はデータストロブ信号の位相をずらす必要はなく、DLL 回路が必要ない。なお、チップ内部の配線や負荷のために、受信したクロック又はデータストロブ信号をデータ入力回路に供給した場合の遅れが無視できない場合には、受信したクロック又はデータストロブ信号とデータ入力回路に供給する信号の位相を完全に一致させるために 0° DLL 回路を使用してもよい。その場合でも、0° DLL 回路は 90° DLL 回路に比べてジッタは少なく、精度低下などの問題は生じない。

20

【0039】

第 1 実施例では、コントローラ 12 とメモリ群の間に、クロック信号及びデータストロブ信号を遅延させるための延長部を設けた。信号は 1ns で約 30cm 進むので、例えばクロック周波数が 250MHz であれば 1/4 周期は 1ns であり、延長部は 15cm を往復する経路が必要である。コントローラとメモリ群は密に配置されているため、コントローラとメモリ群の間にこのようなスペースを取るのが難しい場合がある。第 2 実施例はそのような条件に対処した実施例である。

30

【0040】

図 15 は、第 2 実施例のメモリサブシステムの構成を示す図であり、(1) が全体構成を、(2) が基本構成を示す。第 1 実施例と比べて明らかなように、第 2 実施例のシステムは第 1 実施例と類似の構成であり、異なるのは、クロック信号線 18 の延長部 71 がコントローラ 12 の外側に、データストロブ信号線 17b の延長部 72 がメモリ群の外側に設けられている点である。クロック発生回路 10 からコントローラ 12 にクロックを供給する信号線が設けられているが、この信号線を途中で分岐し、コントローラ 12 の外側に設けた延長部 71 の一方に接続する。そして延長部 71 の他方をクロック信号線 18 に接続する。各メモリからのデータストロブ信号線は一旦群毎にまとめた上で、コントローラ 12 に接続されるデータストロブ信号線 17b に接続する。例えば、図 11 の (1) に示した複数のメモリ群が設けられている場合には、各メモリ群毎に延長部 72 を設け、各群毎にデータストロブ線をまとめた上で対応する延長部 72 を介してコントローラ 12 に接続されるデータストロブ線 17b に接続する。

40

【0041】

第 1 及び第 2 実施例では、メモリ 13 は受信したクロック CLK をデータストロブ信号として出力していた。従って、メモリ 13 に到達したクロック CLK をそのままデータストロブ信号として戻すことも可能である。第 3 実施例は、データストロブ信号としてクロック CLK を戻すようにした実施例である。

図 16 は、第 3 実施例のメモリサブシステムの構成を示す図である。図示のように、第 2

50

実施例のシステムと類似の構成を有し、異なるのは、クロック信号線 18 がメモリ 13 の部分でストロープ信号線 17b に接続され、接続部分にコイルで構成される遅延回路 73 が設けられている点と、メモリ 13 にはストロープ信号出力回路が設けられていない点である。遅延回路 73 は、広く使用されているディレイラインであり、コイルとその前後に設けられた 2 個のインバータを有する。コイルのインダクタンスを適当に設定することにより、通過する信号を所定量遅延させる。

【0042】

図 17 と図 18 は、第 3 実施例のシステムにおける書込データと読出データの伝送動作を示すタイムチャートである。動作内容は、第 1 実施例のものと同様であり、詳しい説明は省略する。

以上、クロックのデューティ比が 50% で、クロックの立ち上がりエッジと立ち下がりエッジでデータを出力及び取り込めるとして説明したが、クロックのデューティ比が 50% からずれている場合には、コントローラ及びメモリにそれぞれ 180°DLL 回路を設ける必要がある。しかし、この場合でも 1/4 周期位相がずれた信号を発生させる必要はない。180°DLL 回路は、図 10 の 90°DLL 回路 51 においてディレイ回路を 2 段とすれば実現でき、90°DLL 回路に比べてジッタは半分になる。

【0043】

以上、本発明を、図 7 に示した片方向ストロープ方式に適用した実施例について説明したが、本発明は同期信号が 1 方向に送信される信号線を使用する構成であればどのような場合にも適用可能である。

【0044】

【発明の効果】

以上説明したように、本発明によれば、クロック信号線及びデータストロープ信号線に、延長部又はディレイラインなどの遅延回路を設けることにより、コントローラやメモリに DLL 回路を搭載せずに、また搭載する場合でも最小限の個数や段数で、データの取込みを良好なタイミングで行うことができる。そのため、ジッタが生じなくなり、ジッタが生じる場合でも小さくできる。

【図面の簡単な説明】

【図 1】メモリサブシステムの従来例を示す図である。

【図 2】メモリサブシステムの同期方式に関する従来例を示す図である。

【図 3】図 2 のシステムにおけるデータの入出力動作を示すタイムチャートである。

【図 4】双方向ストロープ方式のシステムの構成を示す図である。

【図 5】双方向ストロープ方式のシステムにおける書込データの伝送動作を示すタイムチャートである。

【図 6】双方向ストロープ方式のシステムにおける読出データの伝送動作を示すタイムチャートである。

【図 7】従来の片方向ストロープ方式のシステムの構成を示す図である。

【図 8】従来の片方向ストロープ方式のシステムにおける書込データの伝送動作を示すタイムチャートである。

【図 9】従来の片方向ストロープ方式のシステムにおける読出データの伝送動作を示すタイムチャートである。

【図 10】DLL 回路を使用したシフトクロック生成回路の構成を示す図である。

【図 11】本発明の第 1 実施例のメモリサブシステムの構成を示す図である。

【図 12】第 1 実施例の基本構成を示す図である。

【図 13】第 1 実施例における書込データの伝送動作を示すタイムチャートである。

【図 14】第 1 実施例における読出データの伝送動作を示すタイムチャートである。

【図 15】本発明の第 2 実施例のメモリサブシステムの構成を示す図である。

【図 16】本発明の第 3 実施例のメモリサブシステムの構成を示す図である。

【図 17】第 3 実施例における書込データの伝送動作を示すタイムチャートである。

【図 18】第 3 実施例における読出データの伝送動作を示すタイムチャートである。

10

20

30

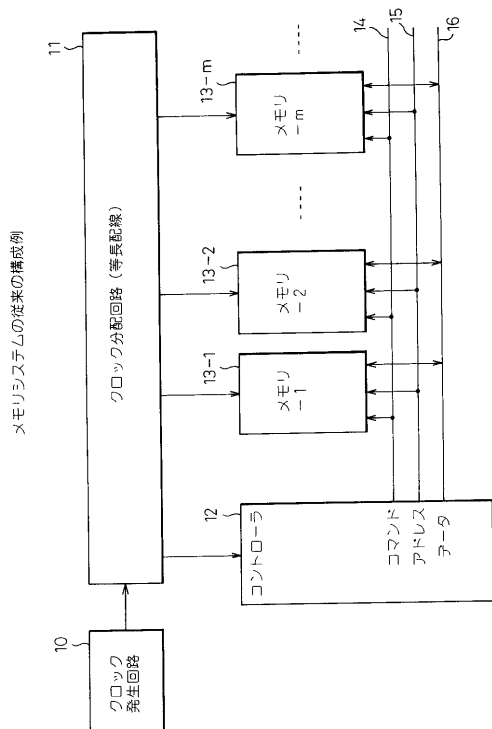
40

50

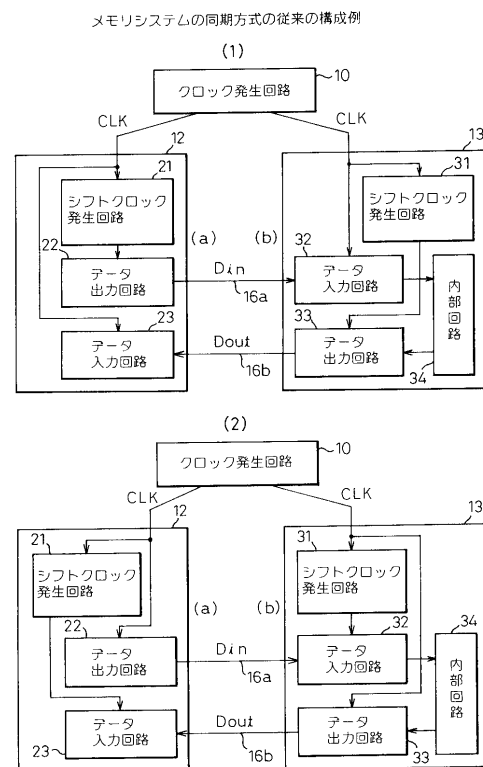
【符号の説明】

- 1 0 ... クロック源 (クロック発生回路)
- 1 1 ... クロック分配回路
- 1 2 ... コントローラ
- 1 3 ... メモリ (D I M M)
- 1 6 ... データバス
- 1 6 a ... 書込データバス
- 1 6 b ... 読出データバス
- 1 7 b ... データストローブ信号線
- 1 8 ... クロック信号線
- 2 1、2 6、3 1 ... シフトクロック発生回路
- 2 2、3 3 ... データ出力回路
- 2 3、3 2 ... データ入力回路
- 2 5 ... ストローブ信号入力回路
- 2 7 ... クロック出力回路
- 3 6 ... ストローブ信号出力回路
- 3 7 ... クロック入力回路

【 図 1 】

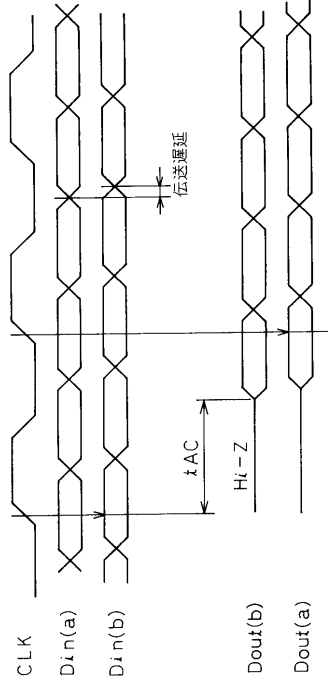


【 図 2 】

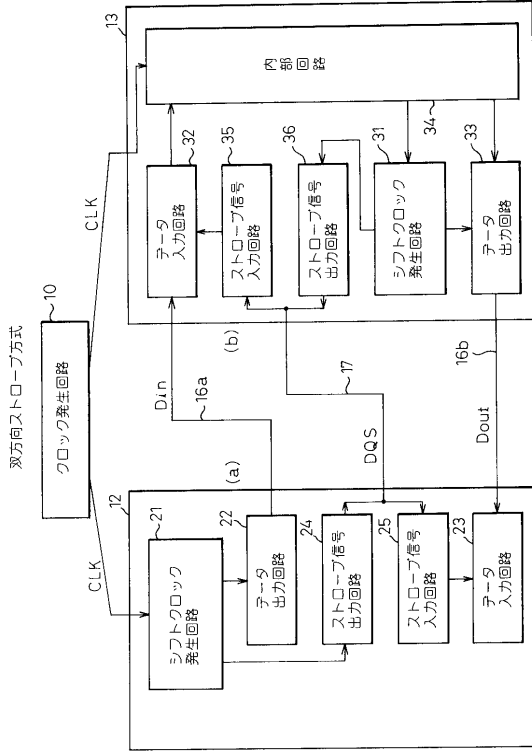


【 図 3 】

従来例におけるデータの入出力

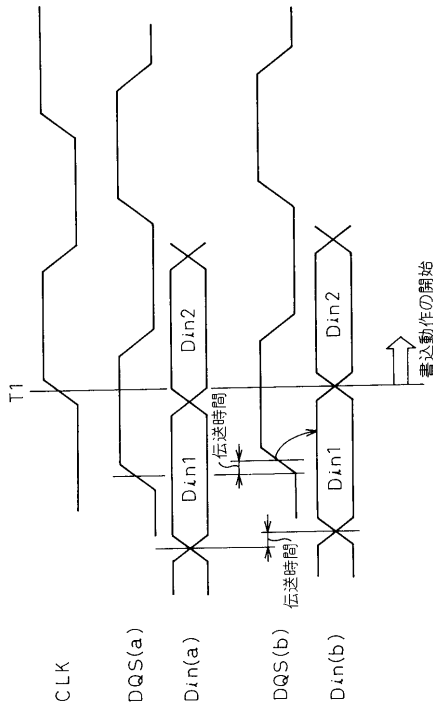


【 図 4 】



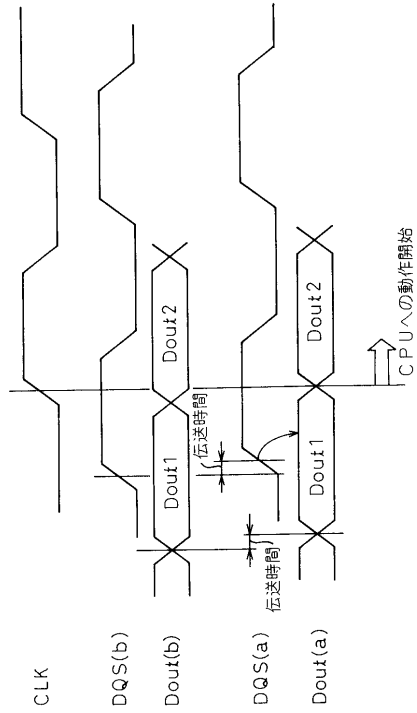
【 図 5 】

双方向ストロブ方式での書きデータ伝送動作

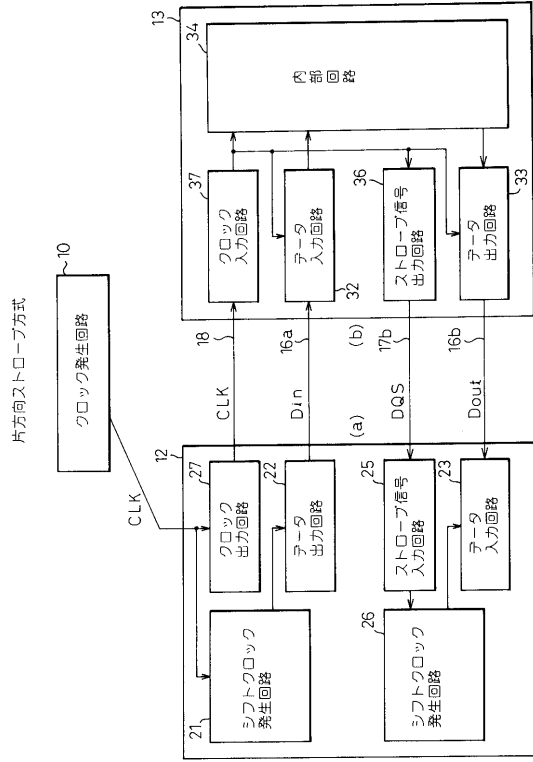


【 図 6 】

双方向ストロブ方式での読出データ伝送動作

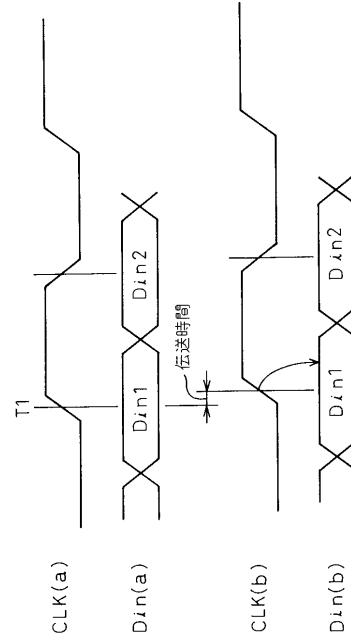


【 図 7 】



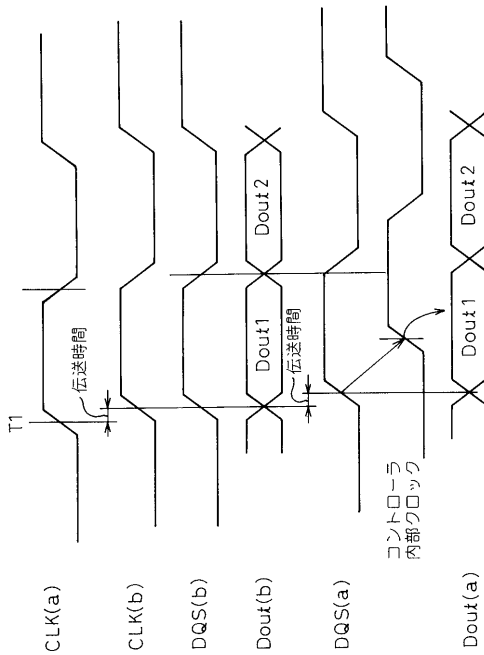
【 図 8 】

片方向ストロブ方式での書きデータの伝送動作



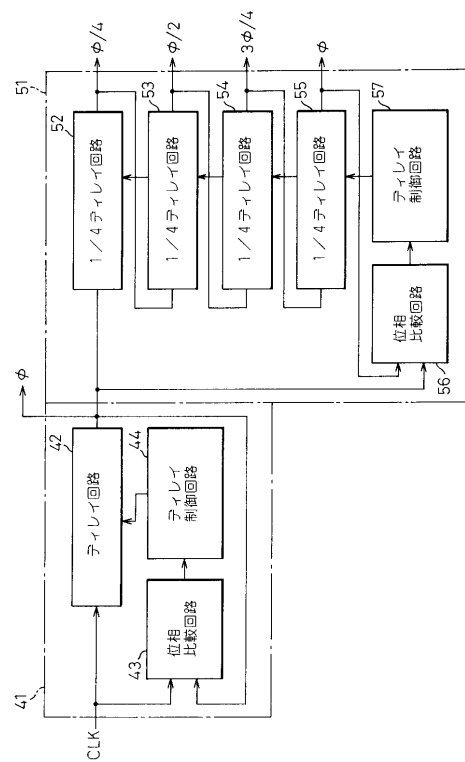
【 図 9 】

片方向ストロブ方式での読出データの伝送動作



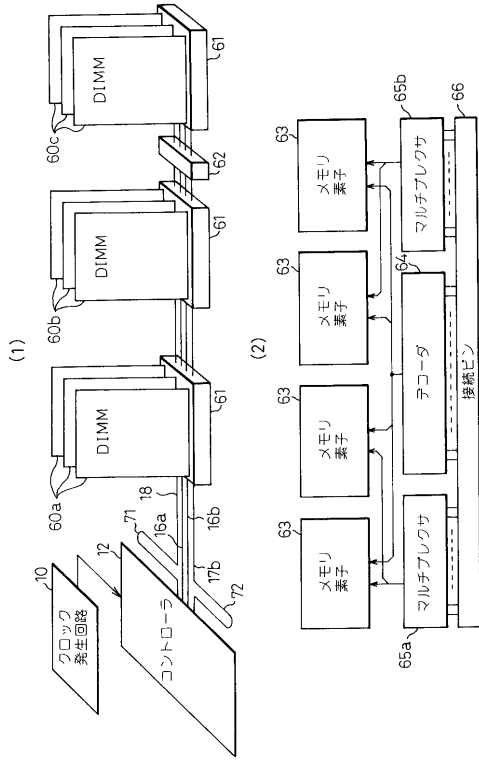
【 図 10 】

シフトクロック発生 (DLL) 回路



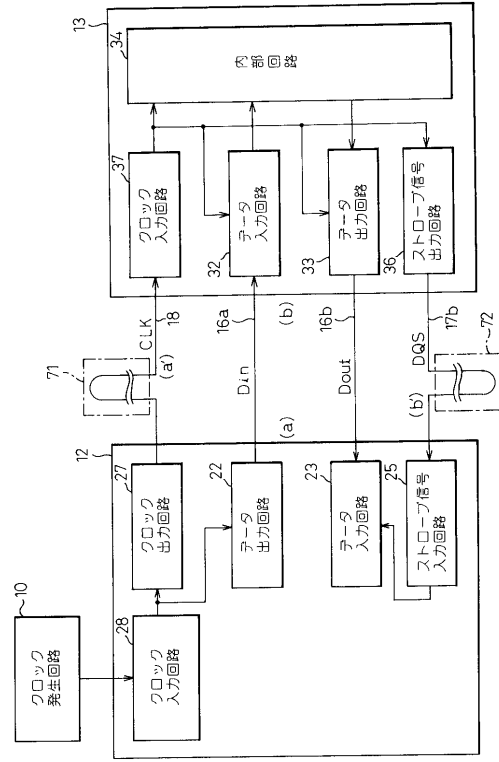
【 図 1 1 】

第1実施例のメモリシステムの構成



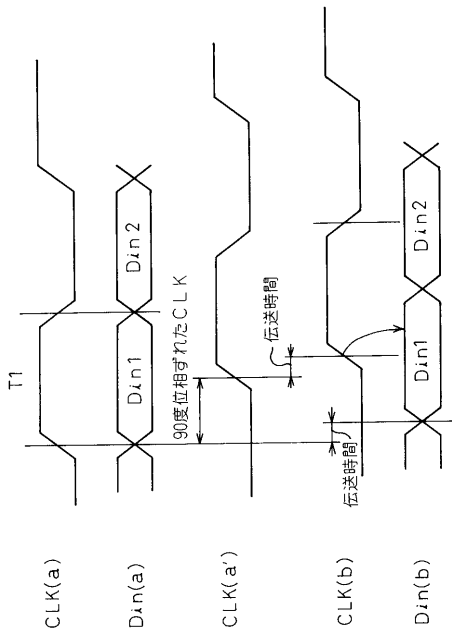
【 図 1 2 】

第1実施例の構成



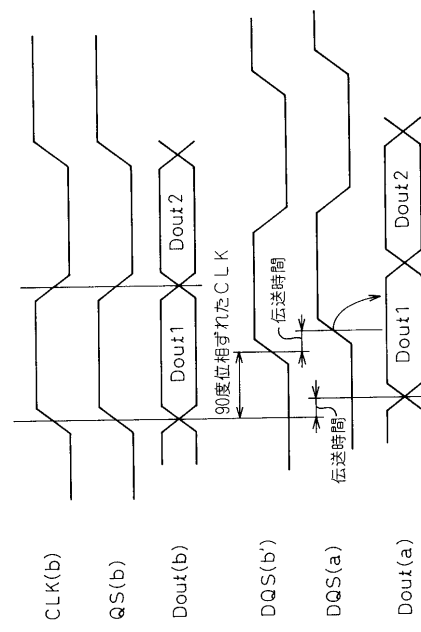
【 図 1 3 】

第1実施例における書きデータ伝送動作

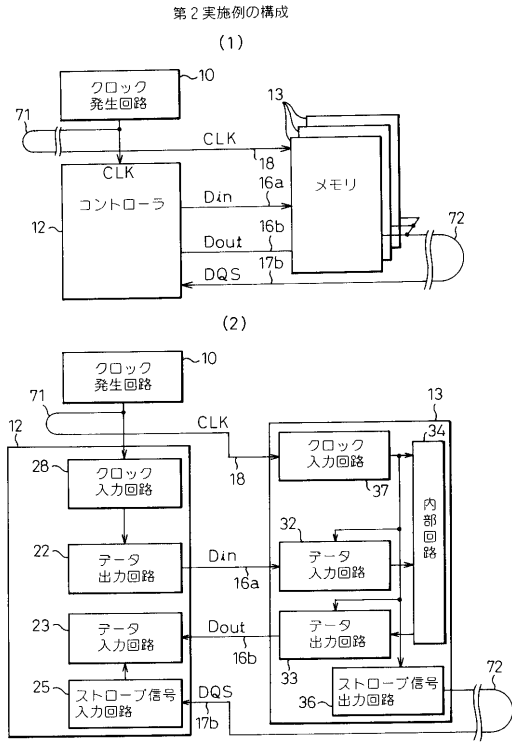


【 図 1 4 】

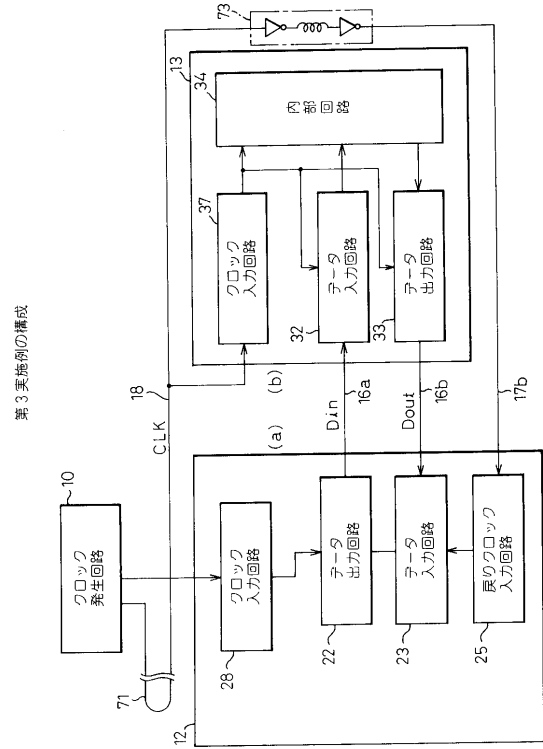
第1実施例における読出データ伝送動作



【 図 1 5 】

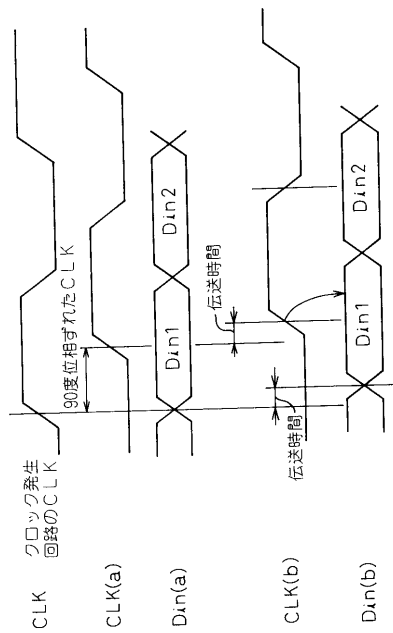


【 図 1 6 】



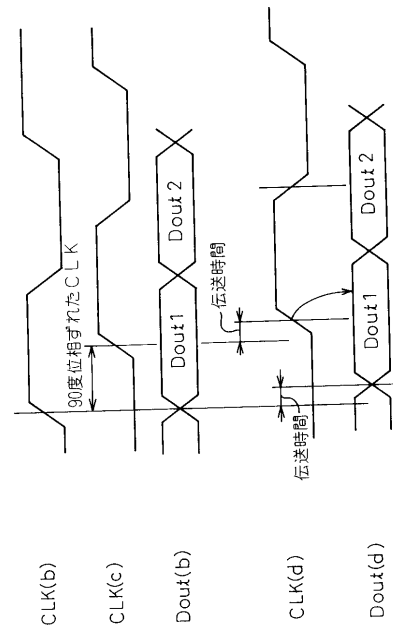
【 図 1 7 】

第3実施例における書き込みデータ伝送動作



【 図 1 8 】

第3実施例における読出データ伝送動作



フロントページの続き

- (72)発明者 富田 浩由
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 佐藤 光徳
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 竹前 寿博
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 田口 眞男
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 多賀 実

- (56)参考文献 特開平10-293635(JP,A)
特開昭57-174927(JP,A)
Craig A.Gleason 外4名, VLSI Circuits for Low-End and Midrange PA-RISC Computers, Hewlett-Packard Journal, 米国, 1992年 8月, 第43巻, 第4号(August 1992), p.12-21

- (58)調査した分野(Int.Cl., DB名)
G06F12/00,
G06F13/16