



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년07월07일
 (11) 등록번호 10-0906103
 (24) 등록일자 2009년06월29일

(51) Int. Cl.

G02F 1/1345 (2006.01)

(21) 출원번호 10-2007-0141816
 (22) 출원일자 2007년12월31일
 심사청구일자 2007년12월31일
 (65) 공개번호 10-2009-0073771
 (43) 공개일자 2009년07월03일
 (56) 선행기술조사문헌
 JP09329797 A
 JP09211479 A
 JP2005331835 A
 JP2006189548 A

(73) 특허권자

엘지디스플레이 주식회사
 서울 영등포구 여의도동 20번지

(72) 발명자

김현철
 전남 여수시 봉산동 280-5(7/11)
 홍진철
 경북 구미시 오태동 대동 3차APT 102/1105

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 16 항

심사관 : 하정균

(54) 액정표시장치용 어레이 기판

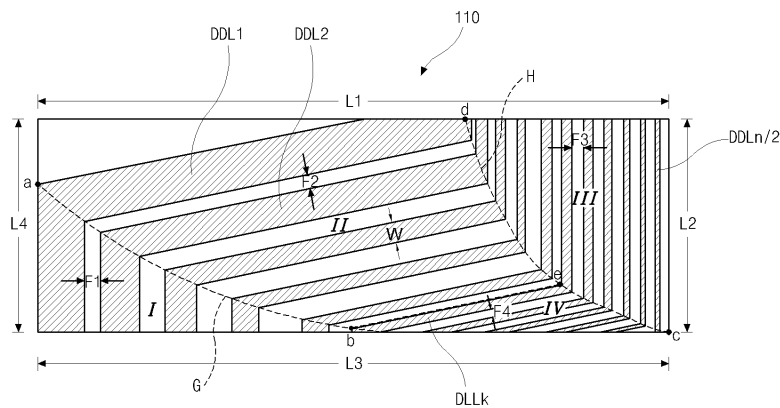
(57) 요약

본 발명은 액정표시장치에 관한 것으로, 비표시 영역의 전 부분에 대응된 링크 배선의 저항 값을 균일하게 확보할 수 있는 액정표시장치용 어레이 기판에 관한 것이다.

본 발명에 따른 액정표시장치용 어레이 기판은 표시 영역과, 링크 영역과 패드 영역을 포함하는 비표시 영역으로 구분된 기판과; 상기 기판 상의 표시 영역에 대응된 어레이 소자와; 상기 패드 영역에 대응된 제 1 내지 제 n 패드와; 상기 링크 영역에 대응하여 상기 제 1 내지 제 n 패드에 일대일 접속된 제 1 내지 제 n 링크 배선에 있어서, 상기 제 1 내지 제 n/2 링크 배선 사이에 대응된 어느 한 링크 배선을 제 k 링크 배선이라 하고, 상기 제 n/2 내지 제 n 링크 배선의 사이에 대응되고 상기 제 k 링크 배선과 대칭을 이루는 링크 배선을 제 1 링크 배선이라고 했을 때, 상기 제 1 내지 제 k 링크 배선과 상기 제 1 내지 제 n 링크 배선은 한번 또는 두번의 굴절부를 갖고, 상기 제 k 내지 제 1 링크 배선은 굴절부를 가지지 않으며, 상기 제 k 링크 배선을 기준으로 제 1 링크 배선, 상기 1 링크 배선을 기준으로 제 n 링크 배선으로 갈 수록 각 배선의 폭이 차등적으로 커지도록 설계된 것을 특징으로 한다.

이때, 상기 링크 영역의 가장자리 영역에 대응된 링크 배선의 길이가 길어지더라도, 저항의 발생이 줄어들 수 있도록 그 폭을 넓게 구성하는 것을 통해 기판의 전 부분에서의 저항 값을 균일하게 확보하는 것을 통해 미충전 문제를 개선할 수 있다.

대표도 - 도6



특허청구의 범위

청구항 1

표시 영역과, 링크 영역과 패드 영역을 포함하는 비표시 영역으로 구분된 기관과;

상기 기관 상의 표시 영역에 대응된 어레이 소자와;

상기 패드 영역에 대응된 제 1 내지 제 n 패드와;

상기 링크 영역에 대응하여 상기 제 1 내지 제 n 패드에 일대일 접속된 제 1 내지 제 n 링크 배선에 있어서, 상기 제 1 내지 제 n/2 링크 배선 사이에 대응된 어느 한 링크 배선을 제 k 링크 배선이라 하고, 상기 제 n/2 내지 제 n 링크 배선의 사이에 대응되고 상기 제 k 링크 배선과 대칭을 이루는 링크 배선을 제 1 링크 배선이라고 했을 때, 상기 제 1 내지 제 k 링크 배선과 상기 제 1 내지 제 n 링크 배선은 한번 또는 두번의 굴절부를 갖고, 상기 제 k 내지 제 1 링크 배선은 굴절부를 가지지 않으며, 상기 제 k 링크 배선을 기준으로 제 1 링크 배선, 상기 1 링크 배선을 기준으로 제 n 링크 배선으로 갈 수록 각 배선의 폭이 차등적으로 커지도록 설계된 것을 특징으로 하는 액정표시장치용 어레이 기관.

청구항 2

제 1 항에 있어서,

상기 제 1 내지 제 n/2 링크 배선 또는 제 n 내지 제 n/2 링크 배선을 감싸는 네 변을 제 1, 제 2, 제 3, 제 4 변이라 정의했을 때, 상기 제 1 또는 제 n 링크 배선이 설계되는 제 4 변에 대응된 a점과, 상기 링크 영역과 표시 영역의 경계부에 위치하는 제 3 변에 대응된 b점과, 상기 제 n/2 링크 배선이 설계되는 제 2 변과 제 3 변이 만나는 꼭지점인 c점과, 상기 제 1 내지 제 n/2 링크 패드 또는 제 n/2 링크 패드 내지 제 n 링크 패드가 설계되는 제 1 변에 대응된 d점과, 상기 b점에 대응된 제 k 또는 1 링크 배선에서 상기 c점과 d점을 연결한 실선과 접하는 접점인 e점을 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기관.

청구항 3

제 2 항에 있어서,

상기 링크 영역에 대응된 제 1 내지 제 n/2 링크 배선 또는 제 n/2 링크 배선 내지 제 n 링크 배선은 상기 a, b, c, d, e점에 의해 제 1, 제 2, 제 3, 제 4 영역으로 구분되는 것을 특징으로 하는 액정표시장치용 어레이 기관.

청구항 4

제 2 항에 있어서,

상기 a점과 b점 사이에 대응된 상기 제 1 내지 제 k 링크 배선 또는 상기 제 1 내지 제 n 링크 배선은 제 1 내지 제 n 패드에서 각각 수직 연장된 다수의 제 1 수직부와, 상기 다수의 제 1 수직부에서 평행하게 연장 구성된 다수의 제 1 사선부와, 상기 다수의 제 1 사선부에서 수직 연장된 다수의 제 2 수직부를 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기관.

청구항 5

제 2 항에 있어서,

상기 제 1 또는 제 n 링크 배선은 제 1 수직부 없이, 상기 제 1 사선부와 제 2 수직부로 이루어진 것을 특징으로 하는 액정표시장치용 어레이 기관.

청구항 6

제 2 항에 있어서,

상기 a점은 상기 제 1 또는 제 n 링크 배선의 제 1 사선부와 제 2 수직부가 만나는 최 외곽 접점인 것을 특징으로 하는 액정표시장치용 어레이 기관.

청구항 7

제 2 항에 있어서,

상기 a점에서 b점을 연결한 실선은 제 1 굴절선을 이루는 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 8

제 3 항에 있어서,

상기 제 1 내지 제 k 링크 배선 또는 제 1 내지 제 n 링크 배선 각각의 제 1 수직부는 상기 제 3 영역, 상기 다수의 제 1 사선부는 상기 제 2 영역, 상기 다수의 제 2 수직부는 상기 제 1 영역에 각각 대응 구성된 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 9

제 2 항에 있어서,

상기 제 1 내지 제 k 링크 배선 또는 제 1 내지 제 n 링크 배선 각각의 제 2 수직부에 있어서, 상기 제 1 및 제 n 링크 배선의 제 2 수직부에서 상기 제 k 및 1 링크 배선의 제 2 수직부로 갈수록 폭과 길이가 차등적으로 줄어드는 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 10

제 2 항에 있어서,

상기 제 1 내지 제 k 링크 배선 또는 제 1 내지 제 n 링크 배선 각각의 제 2 수직부 간의 이격 거리인 제 1 링크 피치는 상기 제 1 내지 제 k 링크 배선 또는 제 1 내지 제 n 링크 배선의 제 1 사선부 간의 이격 거리인 제 2 링크 피치 보다 넓은 폭으로 설계된 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 11

제 2 항에 있어서,

상기 b점과 c점 사이에 대응된 상기 제 k 내지 제 n/2 링크 배선은 제 k 내지 제 n/2 패드 각각에서 수직 연장된 다수의 제 1 수직부와, 상기 다수의 제 1 수직부에서 평행하게 연장된 제 2 사선부를 포함하며, 상기 다수의 제 1 수직부는 상기 제 3 영역, 상기 다수의 제 2 사선부는 상기 제 4 영역에 각각 대응 구성된 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 12

제 2 항에 있어서,

상기 제 1 내지 제 n/2 링크 배선 또는 제 n 내지 제 n/2 링크 배선 각각의 제 1 수직부에 있어서, 상기 제 1 또는 제 n 링크 배선의 제 1 수직부에서부터 상기 제 n/2 링크 배선의 제 1 수직부로 갈수록 차등적으로 길이가 길어지도록 설계한 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 13

제 2 항에 있어서,

상기 제 1 내지 제 n/2 링크 배선 또는 제 n 내지 제 n/2 링크 배선 각각의 제 1 수직부 간의 이격 거리인 제 3 링크 피치는 상기 제 1 및 제 2 링크 피치 보다 좁은 폭으로 설계된 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 14

제 2 항에 있어서,

상기 d점에서 c점을 연결한 실선인 제 2 굴절선이 더욱 구성되며, 상기 제 2 굴절선은 상기 제 1 굴절선 보다 큰 기울기를 갖는 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 15

제 2 항에 있어서,

상기 제 k 내지 제 n/2 링크 배선 또는 상기 제 n/2 내지 제 1 링크 배선 각각의 제 2 사선부 간의 이격 거리인 제 4 링크 피치는 종래의 링크 피치 보다 좁은 폭을 가지며, 등 간격으로 설계된 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 16

제 1 항에 있어서,

상기 링크 영역은 게이트 또는 데이터 링크 영역인 것을 특징으로 하는 액정표시장치용 어레이 기판.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 액정표시장치에 관한 것으로, 비표시 영역의 전 부분에 대응된 링크 배선의 저항 값을 균일하게 확보 할 수 있는 액정표시장치용 어레이 기판에 관한 것이다.

배경기술

<2> 일반적으로, 평판형 표시장치의 하나인 액정표시장치는 음극선관(Cathode Ray Tube : CRT)에 비해 시인성이 우수하고 평균소비전력도 같은 화면크기의 음극선관에 비해 작을 뿐만 아니라 발열량도 작기 때문에 플라즈마 표시장치나 전계방출 표시장치와 함께 최근에 휴대폰이나 컴퓨터의 모니터, 텔레비전의 차세대 표시장치로서 각광 받고 있다.

<3> 이러한 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용하는 것으로, 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 지니고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

<4> 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

<5> 이하, 첨부한 도면을 참조하여 종래에 따른 액정표시장치에 대해 설명하도록 한다.

<6> 도 1은 종래에 따른 액정표시장치용 어레이 기판을 나타낸 평면도이다.

<7> 도시한 바와 같이, 종래에 따른 액정표시장치용 어레이 기판(10)은 화상을 구현하는 표시 영역(AA)과 화상을 구현하지 않는 비표시 영역(NAA)으로 구분된다.

<8> 상기 기판(10) 상의 표시 영역(AA)에는 일 방향으로 스캔 신호를 인가받는 제 1 내지 제 m 게이트 배선(GL1 내지 GLm)과, 상기 제 1 내지 제 m 게이트 배선(GL1 내지 GLm)과 수직 교차하여 다수의 화소 영역(P)을 정의하며, 데이터 신호를 인가받는 제 1 내지 제 n 데이터 배선(DL1 내지 DLn)이 매트릭스 형태로 배치된다.

<9> 상기 제 1 내지 제 m 게이트 배선(GL1 내지 GLm)과 제 1 내지 제 n 데이터 배선(DL1 내지 DLn)의 교차지점에 일대일 대응하여 스위칭 역할을 하는 다수의 박막트랜지스터(T)가 구성되고, 상기 박막트랜지스터(T)와 접촉된 화소 전극(80)은 화소 영역(P)에 일대일 대응하여 구성된다.

<10> 한편, 상기 제 1 내지 제 m 게이트 배선(GL1 내지 GLm)과 제 1 내지 제 n 데이터 배선(DL1 내지 DLn)은 비표시 영역(NAA)에 대응된 제 1 내지 제 m 게이트 링크 배선(GLL1 내지 GLLm) 및 제 1 내지 제 n 데이터 링크 배선(DLL1 내지 DLLn)을 통해 제 1 내지 제 m 게이트 패드(GP1 내지 GPm)와 제 1 내지 제 n 데이터 패드(DP1 내지 DPn)에 각각 접속된다.

<11> 이때, 상기 제 1 내지 제 m 게이트 패드(GP1 내지 GPm)와 제 1 내지 제 n 데이터 패드(DP1 내지 DPn)는 각각의 일부를 노출하는 제 1 내지 제 m 게이트 패드 콘택홀(미도시) 및 제 1 내지 제 n 데이터 패드 콘택홀(미도시)을 통해 화소 전극(80)과 동일층 동일 물질로 이루어진 제 1 내지 제 m 게이트 패드 전극(미도시) 및 제 1 내지 제

n 데이터 패드 전극(미도시)에 각각 대응하여 접촉된다.

- <12> 이러한 제 1 내지 제 m 게이트 패드 전극(미도시)과 제 1 내지 제 n 데이터 패드 전극(미도시)은 기관(10)과 이격된 일측에 위치하는 게이트 및 데이터 구동 회로부(미도시)와 탭(Tape Automated Bonding: TAB) 실장 공정을 통해 부착되는 바, 상기 제 1 내지 제 m 게이트 패드 전극(미도시)과 제 1 내지 제 n 데이터 패드 전극(미도시)은 게이트 및 데이터 구동 회로부(미도시)로부터의 스캔 및 데이터 신호를 제 1 내지 제 m 게이트 배선(GL1 내지 GLm)과 제 1 내지 제 n 데이터 배선(DL1 내지 DLn)으로 각각 인가하는 역할을 한다.
- <13> 도 2는 도 1의 A 부분을 확대한 도면이고, 도 3은 도 2의 좌측 절반을 확대한 도면으로, 이를 참조하여 상세히 설명하도록 한다.
- <14> 도 2와 도 3에 도시한 바와 같이, 표시 영역(도 1의 AA)과 비표시 영역(NAA)으로 구분된 기관(10) 상의 비표시 영역(NAA), 특히 데이터 패드 영역(DPA)에 대응하여 제 1 내지 제 n 데이터 패드 전극(DP1 내지 DPn)이 일정한 패드 피치(P1)를 갖고 이격 구성되고 있으며, 상기 제 1 내지 제 n 데이터 패드 전극(DP1 내지 DPn)에 일대일 대응된 제 1 내지 제 n 데이터 링크 배선(DLL1 내지 DLLn)은 제 1 내지 제 n 데이터 배선(도 1의 DL1 내지 DLn)에 데이터 신호를 인가하는 역할을 한다.
- <15> 이때, 상기 제 1 내지 제 n 데이터 링크 배선(DLL1 내지 DLLn)은 제 1 내지 제 n 데이터 패드 전극(DP1 내지 DPn)에서 수직하게 분기된 수직부와, 상기 수직부에서 사선 형태로 연장된 사선부를 포함한다.
- <16> 이때, 상기 제 1 내지 제 n 데이터 링크 배선(DLL1 내지 DLLn)은 동일한 폭(W)으로 설계되고, 제 1 내지 제 n 데이터 링크 배선(DLL1 내지 DLLn) 간 이격 거리인 링크 피치(P2)는 수직부와 사선부 간에 구분 없이 등 간격으로 설계된다.
- <17> 그러나, 전술한 구조는 제 n/2 데이터 링크 배선(DLLn/2)을 기준으로 제 n/2 -1 데이터 링크 배선(DLLn/2-1)에서 제 1 데이터 링크 배선(DLL1)으로, 제 n/2+1 데이터 링크 배선(DLLn/2+1)에서 제 n 데이터 링크 배선(DLLn)으로 갈수록 각 데이터 링크 배선의 길이가 길어질 수 밖에 없는 설계를 갖는다.
- <18> 일반적으로 저항은 길이에 비례하고 단면적에 반비례한다. 즉, 배선의 길이가 길어지면 전자가 지나가야 할 길이 길어지기 때문에 저항이 커지는 문제가 있다.
- <19> 이때, 상기 제 1 내지 제 n 데이터 링크 배선(DLL1 내지 DLLn)의 폭(W)은 모두 일정하기 때문에 제 n/2 데이터 링크 배선(DLLn/2)을 기준으로 좌측과 우측 가장자리에 대응된 데이터 링크 배선의 저항이 커지는 문제가 있다.
- <20> 특히, 생산 단가를 줄이기 위해 드라이브 IC의 개수를 줄이려는 연구가 활발히 진행되고 있으며, 액정 패널이 대형화될 수록 데이터 링크 배선의 수는 더욱 증가하게 될 뿐만 아니라, 좌우측 가장자리에 대응된 데이터 링크 배선의 길이 또한 길어지게 되는 결과를 초래한다.
- <21> 특히, 고해상도 모델에서는 데이터 링크 배선의 수가 많아지면서 각 데이터 링크 배선의 이격 거리인 링크 피치가 짧아져 중앙부에 대응된 데이터 링크 배선에 비해 좌우측 가장자리에 대응된 데이터 링크 배선의 저항을 더욱 상승시키는 결과를 초래하여 미충전 문제를 유발하고 있다.

발명의 내용

해결 하고자하는 과제

- <22> 본 발명은 전술한 문제를 해결하기 위해 안출된 것으로, 링크 영역에 대응된 신호 배선의 설계를 변형하는 것을 통해 가장자리 영역에서의 신호 저항을 줄이는 것을 목적으로 한다.

과제 해결수단

- <23> 전술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이 기관은 표시 영역과, 링크 영역과 패드 영역을 포함하는 비표시 영역으로 구분된 기관과; 상기 기관 상의 표시 영역에 대응된 어레이 소자와; 상기 패드 영역에 대응된 제 1 내지 제 n 패드와; 상기 링크 영역에 대응하여 상기 제 1 내지 제 n 패드에 일대일 접속된 제 1 내지 제 n 링크 배선에 있어서, 상기 제 1 내지 제 n/2 링크 배선 사이에 대응된 어느 한 링크 배선을 제 k 링크 배선이라 하고, 상기 제 n/2 내지 제 n 링크 배선의 사이에 대응되고 상기 제 k 링크 배선과 대칭을 이루는 링크 배선을 제 l 링크 배선이라고 했을 때, 상기 제 1 내지 제 k 링크 배선과 상기 제 l 내지 제 n 링크 배선은 한번 또는 두번의 굴절부를 갖고, 상기 제 k 내지 제 l 링크 배선은 굴절부를 가지지 않으며, 상기 제 k

링크 배선을 기준으로 제 1 링크 배선, 상기 1 링크 배선을 기준으로 제 n 링크 배선으로 갈 수록 각 배선의 폭이 차등적으로 커지도록 설계된 것을 특징으로 한다.

- <24> 이때, 상기 제 1 내지 제 n/2 링크 배선 또는 제 n 내지 제 n/2 링크 배선을 감싸는 네 변을 제 1, 제 2, 제 3, 제 4 변이라 정의했을 때, 상기 제 1 또는 제 n 링크 배선이 설계되는 제 4 변에 대응된 a점과, 상기 링크 영역과 표시 영역의 경계부에 위치하는 제 3 변에 대응된 b점과, 상기 제 n/2 링크 배선이 설계되는 제 2 변과 제 3 변이 만나는 꼭지점인 c점과, 상기 제 1 내지 제 n/2 링크 패드 또는 제 n/2 링크 패드 내지 제 n 링크 패드가 설계되는 제 1 변에 대응된 d점과, 상기 b점에 대응된 제 k 또는 1 링크 배선에서 상기 c점과 d점을 연결한 실선과 접하는 접점인 e점을 포함한다.
- <25> 상기 링크 영역에 대응된 제 1 내지 제 n/2 링크 배선 또는 제 n/2 링크 배선 내지 제 n 링크 배선은 상기 a, b, c, d, e점에 의해 제 1, 제 2, 제 3, 제 4 영역으로 구분되는 것을 특징으로 한다.
- <26> 또한, 상기 a점과 b점 사이에 대응된 상기 제 1 내지 제 k 링크 배선 또는 상기 제 1 내지 제 n 링크 배선은 제 1 내지 제 n 패드에서 각각 수직 연장된 다수의 제 1 수직부와, 상기 다수의 제 1 수직부에서 평행하게 연장 구성된 다수의 제 1 사선부와, 상기 다수의 제 1 사선부에서 수직 연장된 다수의 제 2 수직부를 포함한다. 상기 제 1 또는 제 n 링크 배선은 제 1 수직부 없이, 상기 제 1 사선부와 제 2 수직부로 이루어진 것을 특징으로 한다.
- <27> 상기 a점은 상기 제 1 또는 제 n 링크 배선의 제 1 사선부와 제 2 수직부가 만나는 최 외곽 접점이고, 상기 a점에서 b점을 연결한 실선은 제 1 굴절선을 이루는 것을 특징으로 한다.
- <28> 이때, 상기 제 1 내지 제 k 링크 배선 또는 제 1 내지 제 n 링크 배선 각각의 제 1 수직부는 상기 제 3 영역, 상기 다수의 제 1 사선부는 상기 제 2 영역, 상기 다수의 제 2 수직부는 상기 제 1 영역에 각각 대응 구성된 것을 특징으로 한다.
- <29> 상기 제 1 내지 제 k 링크 배선 또는 제 1 내지 제 n 링크 배선 각각의 제 2 수직부에 있어서, 상기 제 1 및 제 n 링크 배선의 제 2 수직부에서 상기 제 k 및 1 링크 배선의 제 2 수직부로 갈수록 폭과 길이가 차등적으로 줄어든다.
- <30> 상기 제 1 내지 제 k 링크 배선 또는 제 1 내지 제 n 링크 배선 각각의 제 2 수직부 간의 이격 거리인 제 1 링크 피치는 상기 제 1 내지 제 k 링크 배선 또는 제 1 내지 제 n 링크 배선의 제 1 사선부 간의 이격 거리인 제 2 링크 피치 보다 넓은 폭으로 설계된다.
- <31> 상기 b점과 c점 사이에 대응된 상기 제 k 내지 제 n/2 링크 배선은 제 k 내지 제 n/2 패드 각각에서 수직 연장된 다수의 제 1 수직부와, 상기 다수의 제 1 수직부에서 평행하게 연장된 제 2 사선부를 포함하며, 상기 다수의 제 1 수직부는 상기 제 3 영역, 상기 다수의 제 2 사선부는 상기 제 4 영역에 각각 대응 구성된다.
- <32> 상기 제 1 내지 제 n/2 링크 배선 또는 제 n 내지 제 n/2 링크 배선 각각의 제 1 수직부에 있어서, 상기 제 1 또는 제 n 링크 배선의 제 1 수직부에서부터 상기 제 n/2 링크 배선의 제 1 수직부로 갈수록 차등적으로 길이가 길어지도록 설계한 것을 특징으로 한다.
- <33> 또한, 상기 제 1 내지 제 n/2 링크 배선 또는 제 n 내지 제 n/2 링크 배선 각각의 제 1 수직부 간의 이격 거리인 제 3 링크 피치는 상기 제 1 및 제 2 링크 피치 보다 좁은 폭으로 설계된다.
- <34> 상기 d점에서 c점을 연결한 실선인 제 2 굴절선이 더욱 구성되며, 상기 제 2 굴절선은 상기 제 1 굴절선 보다 큰 기울기를 갖는 것을 특징으로 한다. 상기 제 k 내지 제 n/2 링크 배선 또는 상기 제 n/2 내지 제 1 링크 배선 각각의 제 2 사선부 간의 이격 거리인 제 4 링크 피치는 종래의 링크 피치 보다 좁은 폭을 가지며, 등 간격으로 설계된다. 이때, 상기 링크 영역은 게이트 또는 데이터 링크 영역인 것을 특징으로 한다.

효 과

- <35> 본 발명에서는 첫째, 게이트 또는 데이터 링크 영역의 중앙부에서의 저항은 증가시키고, 외곽부에서의 저항은 감소시키는 것을 통해 미충전 문제를 개선할 수 있다.
- <36> 둘째, 새로운 구조의 링크 설계를 적용하는 것을 통해 내로우형 액정표시장치를 제작할 수 있는 장점이 있다.

발명의 실시를 위한 구체적인 내용

- <37> --- 실시예 ---
- <38> 본 발명은 게이트 및 데이터 링크 영역에 대응된 게이트 및 데이터 링크 배선의 폭에 차등을 두고 설계하는 것을 통해 링크 영역의 전 영역에서 균일한 저항 값을 확보할 수 있는 것을 특징으로 한다.
- <39> 이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시장치에 대해 설명하도록 한다.
- <40> 도 4는 본 발명에 따른 액정표시장치용 어레이 기판을 나타낸 평면도이다.
- <41> 도시한 바와 같이, 본 발명에 따른 액정표시장치용 어레이 기판(110)은 화상을 구현하는 표시 영역(AA)과 화상을 구현하지 않는 비표시 영역(NAA)으로 구분된다.
- <42> 상기 기판(110) 상의 표시 영역(AA)에는 일 방향으로 스캔 신호를 인가받는 제 1 내지 제 m 게이트 배선(GL1 내지 GLm)과, 상기 제 1 내지 제 m 게이트 배선(GL1 내지 GLm)과 수직 교차하여 다수의 화소 영역(P)을 정의하며, 데이터 신호를 인가받는 제 1 내지 제 n 데이터 배선(DL1 내지 DLn)이 매트릭스 형태로 배치된다.
- <43> 상기 제 1 내지 제 m 게이트 배선(GL1 내지 GLm)과 제 1 내지 제 n 데이터 배선(DL1 내지 DLn)의 교차지점에 일대일 대응하여 스위칭 역할을 하는 다수의 박막트랜지스터(T)가 구성되고, 상기 박막트랜지스터(T)는 화소 영역(P)에 대응하여 일대일 구성된 화소 전극(180)과 접촉된다. 이때, 상기 표시 영역(AA)에 대응된 모든 전극 및 배선을 포함하여 어레이 소자라 한다.
- <44> 한편, 상기 제 1 내지 제 m 게이트 배선(GL1 내지 GLm)과 제 1 내지 제 n 데이터 배선(DL1 내지 DLn)은 비표시 영역(NAA)에 대응된 제 1 내지 제 m 게이트 링크 배선(GLL1 내지 GLLm) 및 제 1 내지 제 n 데이터 링크 배선(DLL1 내지 DLLn)을 통해 제 1 내지 제 m 게이트 패드(GP1 내지 GPm)와 제 1 내지 제 n 데이터 패드(DP1 내지 DPn)에 각각 접속된다.
- <45> 이때, 상기 제 1 내지 제 m 게이트 패드(GP1 내지 GPm)와 제 1 내지 제 n 데이터 패드(DP1 내지 DPn)는 각각의 일부를 노출하는 제 1 내지 제 m 게이트 패드 콘택홀(미도시) 및 제 1 내지 제 n 데이터 패드 콘택홀(미도시)을 통해 화소 전극(180)과 동일층 동일 물질로 이루어진 제 1 내지 제 m 게이트 패드 전극(미도시) 및 제 1 내지 제 n 데이터 패드 전극(미도시)에 각각 대응하여 접촉된다.
- <46> 이러한 제 1 내지 제 m 게이트 패드 전극(미도시)과 제 1 내지 제 n 데이터 패드 전극(미도시)은 기판(110)과 이격된 일측에 위치하는 게이트 및 데이터 구동 회로부(미도시)와 탭(Tape Automated Bonding: TAB) 실장 공정을 통해 부착되는 바, 상기 제 1 내지 제 m 게이트 패드 전극(미도시)과 제 1 내지 제 n 데이터 패드 전극(미도시)은 게이트 및 데이터 구동 회로부(미도시)로부터의 스캔 및 데이터 신호를 제 1 내지 제 m 게이트 배선(GL1 내지 GLm)과 제 1 내지 제 n 데이터 배선(DL1 내지 DLn)으로 각각 인가하는 역할을 한다.
- <47> 이때, 본 발명에서는 제 1 내지 제 m 게이트 링크 배선(GL1 내지 GLm)과 제 1 내지 제 n 데이터 링크 배선(DL1 내지 DLn)의 폭에 차등을 두고 설계하는 것을 특징으로 하는 바, 이에 대해서는 이하 첨부한 도면을 참조하여 상세히 설명하도록 한다.
- <48> 도 5는 도 4의 B 부분을 확대한 도면으로, 제 n/2 데이터 링크 배선을 기준으로 좌우 대칭을 이루므로 좌측 부분을 일 예로 설명하도록 한다.
- <49> 도 5에 도시한 바와 같이, 기판(110) 상의 비표시 영역(NAA)은 링크 영역(LA)과 패드 영역(PA)으로 세분화된다. 상기 기판(110) 상의 패드 영역(PA)에는 제 1 내지 제 n/2 데이터 패드(DP1 내지 DPn/2)가 동일한 패드 피치(P1)를 갖고 각각 이격 구성된다. 상기 제 1 내지 제 n/2 데이터 패드(DP1 내지 DPn/2)에 일대일 대응된 제 1 내지 제 n/2 데이터 링크 배선(DLL1 내지 DLLn/2)은 제 1 내지 제 n/2 데이터 배선(도 4의 DL1 내지 DLn/2)에 각각 연결된다.
- <50> 이때, 상기 제 1 데이터 링크 배선(DLL1)과 제 n/2 데이터 링크 배선(DLLn/2)은 직선으로 설계된 제 n/2 데이터 링크 배선(DLLn/2)을 기준으로 한번의 굴절부를 갖고 좌우 대칭을 이룬다. 또한, 상기 제 2 내지 제 n/2-1 데이터 링크 배선(DLL2 내지 DLLn/2-1)은 두 번의 굴절부를 갖고, 상기 제 n/2 데이터 링크 배선(DLLn/2)을 기준으로 제 1 데이터 링크 배선(DLL1)으로 갈 수록 링크 피치(P2)가 차등적으로 커지도록 설계한 것을 특징으로 한다.
- <51> 보다 상세하게는, 상기 제 n/2 데이터 링크 배선(DLLn/2)이 위치하는 중앙부에 대응된 링크 피치(P2)는 종래의 링크 피치(도 2의 P2) 보다 좁은 간격으로 설계하여 중앙부에서의 저항 값은 증가시키고, 제 1 데이터 링크 배선(DLL1)이 위치하는 외곽부에 대응된 링크 피치(P2)는 차등적으로 간격이 넓어지도록 설계하여 외곽부에 대응

된 저항 값은 감소시키는 것을 특징으로 한다.

- <52> 즉, 전술한 구성은 링크 영역(LA)의 외곽부와 중앙부에서의 저항 값을 균일하게 확보할 수 있는 장점이 있다.
- <53> 따라서, 본 발명에서는 링크 영역의 최 외곽 가장자리에 대응된 데이터 링크 배선의 길이가 길어지더라도, 최 외곽 가장자리에서의 링크 피치의 확보로 이 부분에 대응된 데이터 링크 배선의 폭을 넓게 설계할 수 있는 장점을 갖는다.
- <54> 도 6은 도 5를 상세하게 나타낸 확대 평면도로, 이를 참조하여 상세히 설명하도록 한다.
- <55> 도시한 바와 같이, 제 1 내지 제 $n/2$ 데이터 링크 배선(DLL1 내지 DLL $n/2$)이 설계된 부분을 확대한 도면으로, 제 1 내지 제 $n/2$ 데이터 링크 배선(DLL1 내지 DLL $n/2$)을 감싸는 직사각형의 네 변을 제 1, 제 2, 제 3, 제 4 변(L1, L2, L3, L4)이라 정의했을 때, 상기 제 1 데이터 링크 배선(DLL1)이 설계되는 제 4 변(L4)에 대응된 임의의 a점과, 상기 링크 영역(도 5의 LA)과 표시 영역(도 4의 AA)의 경계부에 위치하는 제 3 변(L3)에 대응된 임의의 b점과, 상기 제 $n/2$ 데이터 링크 배선(DLL $n/2$)이 설계되는 제 2 변(L2)과 제 3 변(L3)이 만나는 꼭지점인 c점과, 상기 제 1 내지 제 $n/2$ 데이터 링크 패드(도 5의 DP1 내지 DP $n/2$)가 설계되는 제 1 변에 대응된 임의의 d점을 선정한다.
- <56> 상기 b점에 대응된 임의의 데이터 링크 배선을 제 k 데이터 링크 배선(DLLk)이라 정의하면, 상기 b점에 대응된 제 k 데이터 링크 배선(DLLk)에서 c점과 d점을 연결한 실선과 접하는 접점인 e점을 선정할 수 있다. 이때, 상기 a, b, c, d, e점에 의해 제 1, 제 2, 제 3, 제 4 영역(I, II, III, IV)으로 구분된다.
- <57> 상기 a점과 b점 사이에 대응된 제 1 내지 제 k 데이터 링크 배선(DLL1 내지 DLLk)은 제 1 내지 제 k 데이터 패드(도 5의 DP1 내지 DPk)에서 각각 수직 연장된 다수의 제 1 수직부와, 상기 다수의 제 1 수직부에서 평행하게 연장 구성된 다수의 제 1 사선부와, 상기 다수의 제 1 사선부에서 제 1 내지 제 k 데이터 배선(도 4의 DL1 내지 DLk)으로 각각 수직 연장된 다수의 제 2 수직부를 포함한다. 이때, 상기 제 1 데이터 링크 배선(DLL1)은 제 1 수직부를 구성하지 않고 제 1 사선부와 제 2 수직부로 이루어질 수 있다.
- <58> 전술한 a점은 최 외곽 가장자리에 위치하는 제 1 데이터 링크 배선(DLL1)의 제 1 사선부와 제 2 수직부가 만나는 최 외곽 접점으로 정의될 수 있다. 상기 a 점의 위치는 제 1 데이터 링크 배선(DLL1)의 설계에 따라 달라질 수 있는 바, 이에 대해서는 후술하기로 한다.
- <59> 이때, 상기 제 1 내지 제 k 데이터 링크 배선(DLL1 내지 DLLk) 각각의 제 1 수직부는 제 3 영역(III), 상기 다수의 제 1 사선부는 제 2 영역(II), 상기 다수의 제 2 수직부는 제 1 영역(I)에 각각 대응 구성된다.
- <60> 또한, 상기 제 1 내지 제 k 데이터 링크 배선(DLL1 내지 DLLk) 각각의 제 2 수직부에 있어서, 상기 제 1 데이터 링크 배선(DLL1)의 제 2 수직부에서부터 제 k 데이터 링크 배선(DLLk)의 제 2 수직부로 갈수록 폭(W)과 길이가 차등적으로 줄어드는 설계를 갖는다. 이때, 상기 제 1 내지 제 k 데이터 배선(도 4의 DL1 내지 DLk)을 시점으로 제 1 내지 제 k 데이터 링크 배선(DLL1 내지 DLLk)의 제 2 수직부가 끝나는 각 점을 따라 연결한 실선, 즉 a점에서 b점을 연결한 실선은 제 1 굴절선(G)을 이룬다. 상기 제 1 굴절선(G)은 곡선으로 설계된 것을 특징으로 한다.
- <61> 특히, 상기 제 1 내지 제 k 데이터 링크 배선(DLL1 내지 DLLk) 각각의 제 1 사선부에 있어서, 상기 제 k 데이터 링크 배선(DLLk)에서부터 제 1 데이터 링크 배선(DLL1)으로 갈수록 각 데이터 링크 배선의 폭(W)이 차등적으로 커지도록 설계된다.
- <62> 전술한 도 5에서는 제 1 내지 제 $n/2$ 데이터 링크 배선(DLL1 내지 DLL $n/2$)의 폭(W)이 동일하다는 전제하에서 제 1 내지 제 k 데이터 링크 배선(DLL1 내지 DLLk) 각각의 제 1 사선부 간의 이격 거리인 제 2 링크 피치(F2)가 차등적으로 커지는 것으로 설명하였으나, 실제 설계에서는 도 6에서와 같이 제 1 내지 제 k 데이터 링크 배선(DLL1 내지 DLLk)의 제 1 사선부의 폭(W)에 차등을 두고 설계되므로, 제 2 영역(II)에 대응된 제 2 링크 피치(F2)는 같거나 달라질 수 있다.
- <63> 이때, 전술한 제 1 내지 제 k 데이터 링크 배선(DLL1 내지 DLLk) 각각의 제 2 수직부 간의 이격 거리인 제 1 링크 피치(F1)는 제 2 링크 피치(F2) 보다 넓은 폭으로 설계된다.
- <64> 한편, 상기 b점과 c점 사이에 대응된 제 k 내지 제 $n/2$ 데이터 링크 배선(DLLk 내지 DLL $n/2$)은 제 k 내지 제 $n/2$ 데이터 패드(도 5의 DPk 내지 DP $n/2$)에서 각각 수직 연장된 다수의 제 1 수직부와, 상기 다수의 제 1 수직부에서 평행하게 연장된 제 2 사선부를 포함하는 바, 상기 다수의 제 1 수직부는 제 3 영역(III), 상기 다수의

제 2 사선부는 제 4 영역(IV)에 각각 대응 구성된다.

- <65> 이때, 전술한 제 1 내지 제 k 데이터 링크 배선(DLL1 내지 DLLk)과, 제 k 내지 제 n/2 데이터 링크 배선(DLLk 내지 DLLn/2) 각각의 제 1 수직부에 있어서, 제 1 데이터 링크 배선(DLL1)의 제 1 수직부에서부터 제 n/2 데이터 링크 배선(DLLn/2)의 제 1 수직부로 갈수록 차등적으로 길이가 길어지는 설계를 갖는다. 여기서, 상기 제 1 내지 제 n/2 데이터 링크 배선(DLL1 내지 DLLn/2) 각각의 제 1 수직부의 폭(W)은 등 간격으로 설계하는 것이 바람직하다.
- <66> 상기 제 1 내지 제 n/2 데이터 링크 배선(DLL1 내지 DLLn/2) 각각의 제 1 수직부 간의 이격 거리인 제 3 링크 피치(F3)는 제 1 및 제 2 링크 피치(F1, F2) 보다 좁은 폭을 갖도록 설계된다.
- <67> 여기서, 상기 제 1 내지 제 n/2 데이터 패드(도 5의 DP1 내지 DPn/2)를 시점으로 제 1 내지 제 n/2 데이터 링크 배선(DLL1 내지 DLLn/2)의 제 1 수직부가 끝나는 각 점들을 연결한 실선, 즉 d점에서 c점을 연결한 실선인 제 2 굴절선(H)은 제 1 굴절선(G) 보다 큰 기울기를 갖는다.
- <68> 또한, 상기 제 k 내지 제 n/2 데이터 링크 배선(DLLk 내지 DLLn/2) 각각의 제 2 사선부에 있어서, 상기 제 k 내지 제 n/2 데이터 링크 배선(DLLk 내지 DLLn/2) 각각의 제 2 사선부의 폭(W)은 같거나 달라질 수 있다. 이때, 상기 제 k 내지 제 n/2 데이터 링크 배선(DLLk 내지 DLLn/2) 각각의 제 2 사선부 간의 이격 거리인 제 4 링크 피치(F4)는 종래의 링크 피치(도 3의 P2) 보다 좁은 폭(W)을 가지며, 등 간격으로 설계된 것을 특징으로 한다.
- <69> 즉, 본 발명에서는 제 4 링크 피치(F4)를 종래의 링크 피치 보다 좁은 폭(W)을 갖도록 설계하는 것을 통해 제 4 영역(IV)에 대응된 다수의 데이터 링크 배선의 저항을 증가시킬 수 있고, 상기 제 1 및 제 2 영역(I, II)에 대응된 다수의 데이터 링크 배선의 폭(W)은 차등적으로 넓어지는 구조이므로 외곽부에 대응된 다수의 데이터 링크 배선의 저항을 감소시킬 수 있다. 그 결과, 상기 링크 영역(도 5의 LA)의 전 부분에서의 저항 값을 균일하게 확보할 수 있는 장점이 있다.
- <70> 따라서, 본 발명에서는 제 k 내지 제 n/2 데이터 링크 배선(DLLk 내지 DLLn/2)이 위치하는 중앙부와, 제 1 내지 제 k 데이터 링크 배선(DLL1 내지 DLLk)이 위치하는 외곽부 간의 저항차를 균일하게 확보하는 것을 통해 미충전 문제를 해결할 수 있다.
- <71> 이때, 상기 제 4 변(L4)에 대응된 임의의 a점과 제 3 변(L3)에 대응된 임의의 b점을 선정하는 것이 중요한 과제라 할 수 있는 바, 이에 대해서는 이하 첨부한 도면을 참조하여 상세히 설명하도록 한다.
- <72> 도 7a는 본 발명에 따른 링크 영역의 설계치를 나타낸 평면도이고, 도 7b는 R과 R' 값을 각각 측정한 그래프이고, 도 7c는 R'/R 값을 측정한 그래프이다.
- <73> 이때, 도 7a는 현재 하나의 드라이브 IC가 수용할 수 있는 최대치인 1281 채널 중 좌측 절반을 나타낸 도면이다. 도 7b의 R과, 도 7c의 R'은 종래와 본 발명에 따른 데이터 링크 영역의 설계 구조에서 제 1 내지 제 641 채널의 저항값을 각각 나타낸 그래프로, 상기 제 1 내지 제 641 채널은 제 1 내지 제 641 데이터 링크 배선에 각각 대응된다.
- <74> 도 7a, 도 7b, 도 7c에 도시한 바와 같이, 직사각형의 네 변을 제 1, 제 2, 제 3, 제 4 변(L1, L2, L3, L4)이라고 정의했을 때, 제 4 변(L4)에 위치한 임의의 a점에서부터 제 4 변(L4)과 제 3 변(L3)이 만나는 꼭지점까지의 길이를 X라 정의하도록 한다.
- <75> 이때, 상기 a점을 상측으로 이동시켜 X를 증가시킬 경우, 제 2 영역(II)에 대응된 제 2 링크 피치(F2)는 점점 늘어나게 되므로, 제 2 영역(II)에 대응된 데이터 링크 배선의 폭(W)을 증가시킬 수 있어 최 외곽부에서의 저항을 더욱 줄일 수 있다. 그러나, 제 4 영역(IV)에 대응된 제 4 링크 피치(F4)는 점점 작아져 제 4 영역(IV)에 대응된 데이터 링크 배선 간 쇼트 불량 발생될 우려가 있어 X의 길이를 무한정 증가시킬 수 없는 상황이다. 특히, 상기 제 2 영역(II)에 대응된 제 1 데이터 링크 배선(DLL1)의 사선부의 상측에 위치하는 빈 공간(T)은 게이트 구동 신호를 인가하는 로그 배선(미도시)이 지나가는 부분으로 a 점을 위쪽으로 이동시켜 X를 증가시키는 데 한계가 있다.
- <76> 따라서, X와 b점을 선정하는 것이 가장 중요한 과제라 할 수 있다. 이때, 상기 X에 따라 b점은 바뀌게 되며 X = 1 ~ 4800 μm의 범위에서 설계될 수 있다. 바람직하게는 L2, L4 = 4800 μm이고, X = 1200 μm, b = 제 365 채널에 대응되도록 설계했을 때 가장 큰 효과를 볼 수 있다.
- <77> 도 7b 및 도 7c는 L2 = 4800 μm, X = 1200 μm, b = 제 365 채널에 대응되도록 설계했을 때의 제 1 내지 제 641

채널의 R 과 R', R'/R 값을 각각 나타낸 그래프로, 이를 참조하여 상세히 설명하면, 종래에는 제 1 내지 제 641 채널의 R 값이 제 641 채널을 최저점으로 제 1 채널로 갈 수록 선형적으로 증가하는 바, 최 외곽 가장자리에서 R 값이 큰 쪽으로 상승하는 것을 알 수 있다.

- <78> 이에 반해, 본 발명에서는 제 1 내지 제 641 채널의 R' 값은 최저점인 제 641 채널에서 왼쪽으로 갈수록 증가하다가 b점에 대응된 제 365 채널에서부터 제 1 채널까지 R' 값이 균일하게 유지하다가 조금씩 감소한다.
- <79> 특히, R'과 R이 만나는 점인 제 229 채널을 기준으로 제 1 내지 제 228 채널까지는 R'/R 값이 1 이하를 유지하고, 제 230 내지 제 641 채널까지는 R'/R 값이 1 이상을 유지한다.
- <80> 다시 말해, 상기 제 364 내지 640 채널까지의 R' 값은 평균적으로 1.5배 정도씩 증가하였고, 제 364 채널에서부터 제 1 채널로 갈수록 R' 값이 조금씩 감소하다가, 최저점인 제 1 채널에서의 R' 값은 0.64배 정도 감소하는 것을 알 수 있다.
- <81> 따라서, 본 발명에서는 제 1 내지 제 228 채널에서의 R' 값은 줄이고, 제 230 내지 641 채널에서의 R' 값은 증가시키는 것을 통해 제 1 채널 내지 제 641 채널에 대응된 R' 값을 대등한 수준으로 확보할 수 있는 장점이 있다.
- <82> 본 발명에서는 L2 = 4800 μm로 설계하고 있다. 이때, 종래에 따른 링크 영역의 설계 구조에서 본 발명과 같은 효과를 얻기 위해서는 L2 = 6784 μm로 설계해야 된다. 따라서, 본 발명에서는 L2의 길이를 축소 설계할 수 있어 회상을 구현하지 않는 비표시 영역, 즉 베젤 영역을 축소 설계하는 것을 통해 내로우형 액정표시장치를 제작할 수 있는 장점이 있다.
- <83> 이하, 첨부한 도면을 참조하여 본 발명에 따른 데이터 패드부의 설계 구조에서 a, b점을 도출하는 방법에 대해 설명하도록 한다.
- <84> 도 8은 데이터 패드부의 설계 계산방법을 설명하기 위한 도면으로, 데이터 패드부의 좌측 절반에 대응된 부분을 나타낸 도면이다.
- <85> 도시한 바와 같이, 제 1 내지 제 n/2 데이터 링크 배선까지의 거리를 L₁, 상기 제 1 내지 제 n/2 데이터 패드까지의 거리를 L₂, 세로변의 길이를 D₁이라 정의하고, 임의의 점 a와 b를 선정한 후 좌표 평면으로 옮기게 되면, 점(0, 0), (b, 0), (L₁, 0), (L₁, D₁), (L₁-L₂, D₁), (0, a), (0, D₁), (L₁, D₁)을 결정할 수 있다.
- <86> 이때, 점(0, a)와 점(b, 0)이 결정되면 점(L₁-L₂, D₁)과 점(L₁, 0)을 연결한 직선과 점(b, 0)가 만나는 점(x, y)을 결정할 수 있게 되는 바, 상기 점(x, y)는 점(0, a)와 점(b, 0)에 의해 변하는 변동점이다.
- <87> 상기 점(0, a)에서 (L₁-L₂, D₁)까지의 거리를 f₁, 점(b, 0)에서 점(x, y)까지의 거리를 f₂, 점(x, y)에서 점(L₁-L₂, D₁)까지의 거리를 f₃라 정의하도록 한다.
- <88> 이때, 상기 점(0, a), (b, 0), (L₁-L₂, D₁), (x, y)에 둘러싸인 부분을 (1), 점(b, 0), (L₁, 0), (x, y)에 둘러싸인 부분을 (2)라 정의하면, (1) 부분에 대응된 다수의 제 1 링크 피치(LP1)가 모두 동일하다는 전제하에서, 제 1 링크 피치(LP1)의 평균 피치는 T₁/t₁개, 또한 (2) 부분에 대응된 다수의 제 2 링크 피치(LP2)가 모두 동일하다는 전제하에서, 제 2 링크 피치(LP2)의 평균 피치는 T₂/t₂개로 각각 쉽게 구할 수 있다.
- <89> 상기 T₁은 f₁과 점(b, 0)의 최단 거리이고, T₂는 f₂와 점(L₁, 0)의 최단 거리이다. 또한, t₁은 제 1 내지 제 k 데이터 링크 배선의 개수이고, t₂는 제 k 내지 제 n/2 데이터 링크 배선의 개수를 각각 의미한다.
- <90> 즉, 실제 설계에서는 제 1 링크 피치(LP1)의 평균 피치를 구한 후, f₁에서 f₂로 갈수록 (1) 부분에 대응된 제 1 링크 피치(LP1)의 길이가 차등적으로 감소하는 형태로 설계된다. 다시 말해, 상기 f₂를 (2) 부분에 대응된 제 2 링크 피치(LP2)와 같게 하면, 제 1 링크 피치(LP1)의 평균 피치 대비 (2) 부분에 대응된 제 2 링크 피치(LP2)가 줄어든 만큼 (1) 부분에 대응된 제 1 링크 피치(LP1)는 증가한다고 볼 수 있다.
- <91> 종합해 보면, (1) 부분에 대응된 다수의 제 1 링크 피치 = 제 1 링크 피치의 평균 피치 + (제 1 링크 피치의 평균 피치 - (2) 부분에 대응된 제 2 링크 피치)이다. 따라서, 2ⁿ 제 1 링크 피치의 평균피치 - 제 2 링크 피치가 된다.
- <92> 특히, (1) 부분에 대응된 다수의 제 1 링크 피치(LP1) 중 최 외곽에 대응된 제 1 피치를 초항, (2) 부분에 대응된 제 k 데이터 링크 배선에 대응된 제 2 피치를 마지막 항으로 하는 등차수열과 같다. 즉, 임의의 채널 X에 대

해서

$$1(ch) \leq X \leq k-1(ch);$$

$$\text{제 1 피치}(X) = \text{제 1 피치} - \frac{\text{제 1 피치} - \text{제 2 피치}}{k-1} \times X$$

<93>

<94>

전술한 식에 입각하여 제 1 내지 제 k 데이터 링크 배선에 대응된 다수의 제 1 피치를 차등적으로 설계하게 된다.

<95>

도 9a와 도 9b는 a, b 점에 따른 R1과 R2의 최대값의 변화를 나타낸 그래프로, 보다 자세하게는 (1) 부분과 (2) 부분에서 각각의 저항값(R1, R2)을 비교하여 삼차원으로 나타낸 그래프이다. 특히, 도 9a와 도 9b는 서로 다른 시점에서 바라본 그래프이다.

<96>

도 9a와 도 9b에 도시한 바와 같이, a점과 b점의 변화에 따른 R1, R2의 최대값을 삼차원의 그래프로 도시하고 있다. 이때, 상기 R1과 R2의 값이 최저점으로 나타나는 최 하단의 검은색 부분이 a, b 점의 최적점이라 할 수 있다.

<97>

즉, a가 커지면 커질수록 R1, R2의 최대값이 작아지는 현상을 보인다. a가 커지면 저항 측면에서는 유리하지만, 제 1 및 제 2 피치의 최소값이 감소할 수 밖에 없는 상황으로 a를 무한정 늘릴 경우 로그 배선이 지나갈 공간이 없어질 수 있으므로 a의 값을 무한정 늘릴 수는 없는 상황이다.

<98>

일 예로, 1281채널에서 최소 피치는 6.5 μ m로 설정되는 데, 이러한 최소 피치 값을 만족시키기 위해서는 a의 값이 1400 μ m로 제한되는 문제가 있다.

<99>

도 9c는 a, b 값의 변화에 따른 R2/R1*100과 효율을 나타낸 표로, 이를 참조하여 설명하면, a 값이 증가할수록 R1, R2의 전체 저항이 줄어드는 정도인 효율이 감소하는 것을 알 수 있다.

<100>

이때, a=1400 μ m 일 때 효율이 최대이지만, a 값이 커질수록 로그 배선이 설계될 공간이 줄어드는 것에 비해 효율의 증가분은 미비하다는 것을 알 수 있다. 이러한 사항을 고려해 보았을 때 a 점을 1200 μ m로 설계하는 것이 가장 바람직한 선정점이라는 결론을 얻었다.

<101>

지금까지, 본 발명에서는 데이터 패드부를 중점적으로 설명하였으나, 게이트 패드부에도 동일하게 적용할 수 있다는 것은 주지의 사실일 것이다.

<102>

따라서, 본 발명은 상기 실시예에 한정되는 것은 아니며, 본 발명의 정신 및 사상을 벗어나지 않는 한도 내에서 다양하게 변형 및 변경할 수 있다는 것은 자명한 사실일 것이다.

도면의 간단한 설명

<103>

도 1은 종래에 따른 액정표시장치용 어레이 기판을 나타낸 평면도.

<104>

도 2는 도 1의 A 부분을 확대한 도면.

<105>

도 3은 도 2의 좌측 절반을 확대한 도면.

<106>

도 4는 본 발명에 따른 액정표시장치용 어레이 기판을 나타낸 평면도.

<107>

도 5는 도 4의 B 부분을 확대한 도면.

<108>

도 6은 도 5를 상세하게 나타낸 확대 평면도.

<109>

도 7a는 본 발명에 따른 링크 영역의 설계치를 나타낸 평면도.

<110>

도 7b는 R과 R' 값을 각각 측정한 그래프.

<111>

도 7c는 R'/R 값을 측정한 그래프.

<112>

도 8은 데이터 패드부의 설계 계산방법을 설명하기 위한 도면.

<113>

도 9a와 도 9b는 a, b 점에 따른 R1과 R2의 최대값의 변화를 나타낸 그래프.

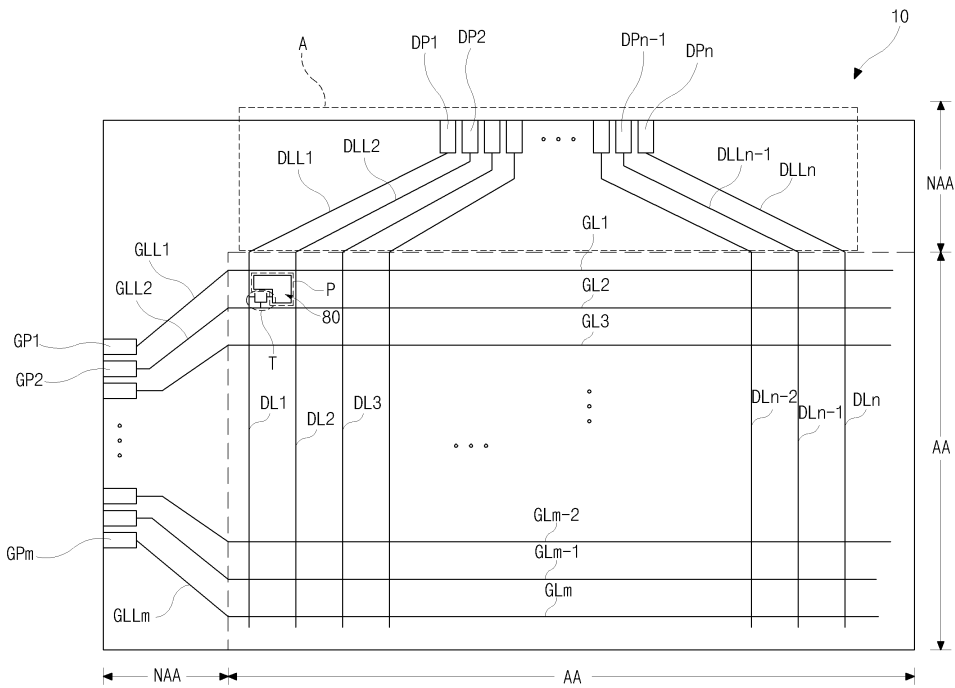
<114>

도 9c는 a, b 값의 변화에 따른 R2/R1*100과 효율을 나타낸 표.

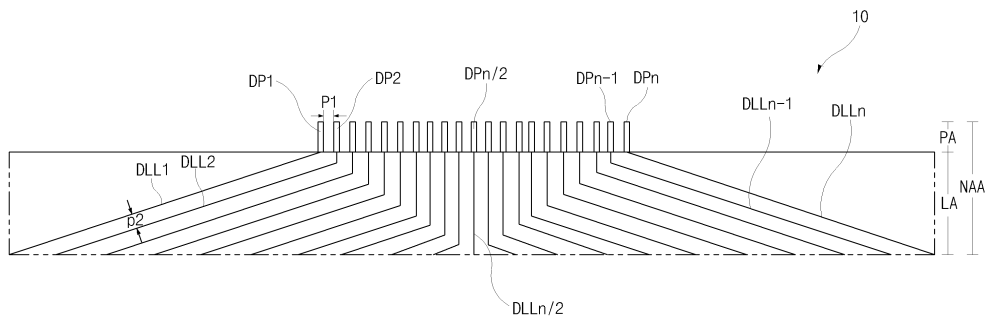
- <115> * 도면의 주요부분에 대한 부호의 설명*
- <116> G, H : 제 1 및 제 2 굴절선 F1 내지 F4 : 제 1 내지 제 4 링크 피치
- <117> LDD1 내지 DLL n/2 : 제 1 내지 제 n/2 데이터 링크 배선
- <118> W : 제 1 내지 제 n/2 데이터 링크 배선 폭
- <119> L1, L2, L3, L4 : 제 1, 제 2, 제 3, 제 4 변
- <120> I, II, III, IV : 제 내지 제 4 영역

도면

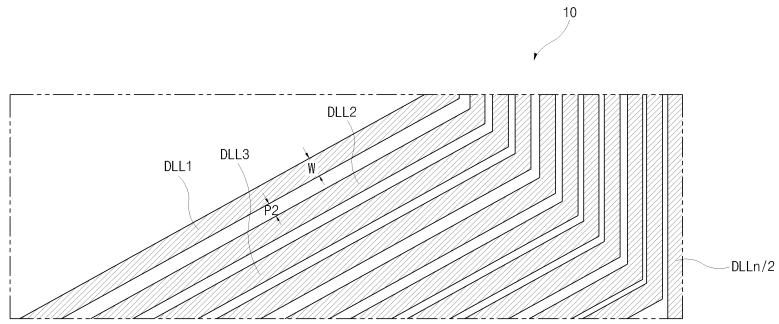
도면1



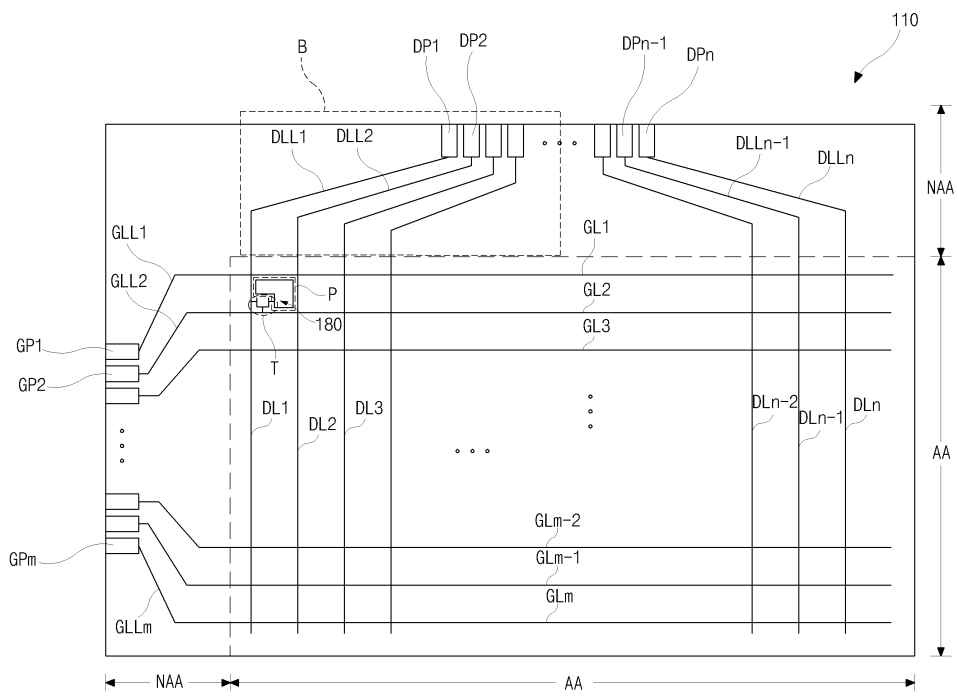
도면2



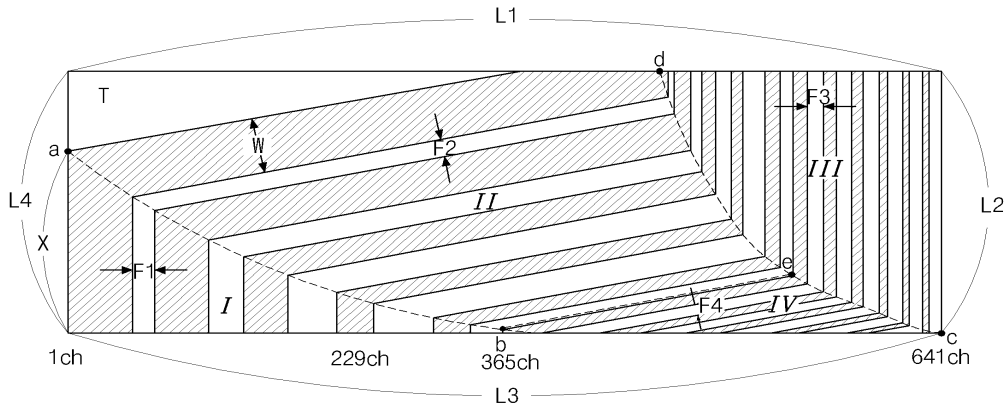
도면3



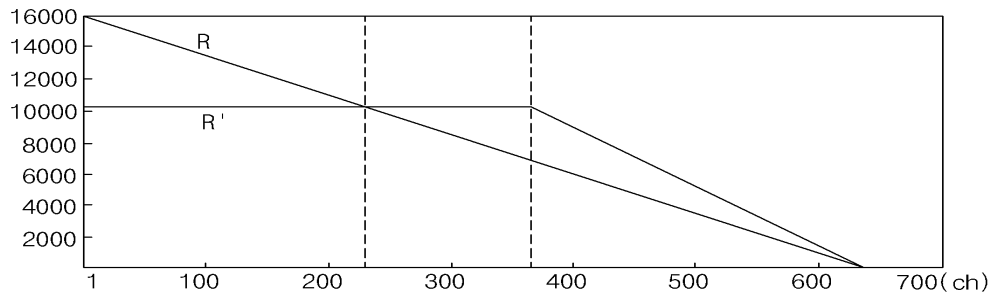
도면4



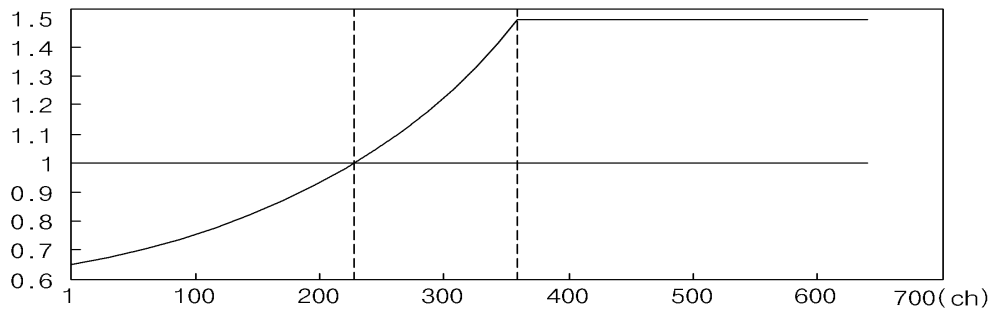
도면7a



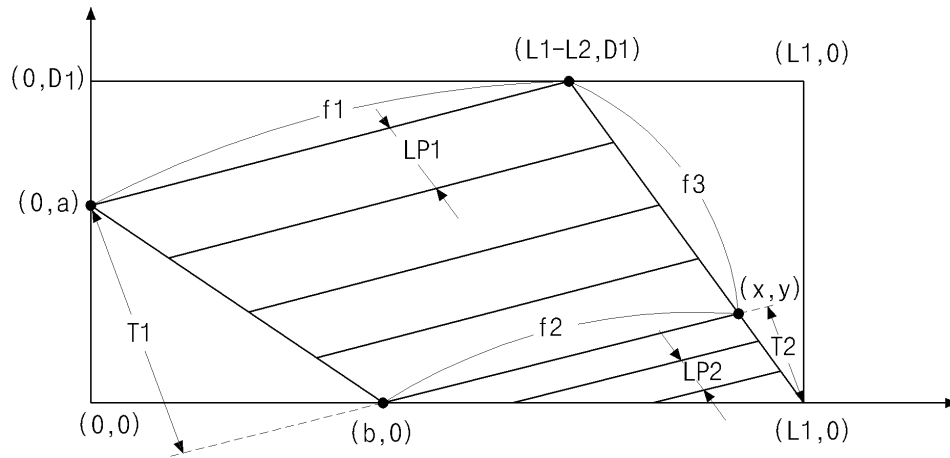
도면7b



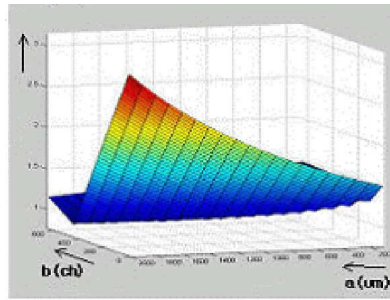
도면7c



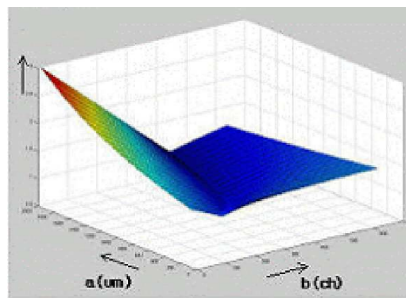
도면8



도면9a



도면9b



도면10

a	b	$(R_1/R_2)*100$	효율(%)
100	119	83.9	16.1
200	163	78.9	21.1
300	196	75.7	24.3
400	224	73.4	26.6
500	247	71.5	28.5
600	268	70.0	30.0
700	287	68.7	31.3
800	304	67.5	32.5
900	321	66.7	33.3
1000	336	65.8	34.2
1100	350	65.0	35.0
1200	364	64.4	35.6
1300	377	63.8	36.2
1400	390	63.3	36.7