

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國、西元 2006 年 5 月 30 日、11/443,394

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明一般係關於製造具有高 Q 晶片上(on-chip)電容之半導體積體電路(IC)晶片，且更明確地說，係關於具有形成於晶片背側且使用穿過晶圓(through-wafer)之內嵌式互連連接至半導體積體電路晶片前側積體電路之高 Q 電容之半導體積體電路晶片。

【先前技術】

一般來說，電容常因各種目的作為晶片製造與封裝設計之元件。舉例來說，晶片上電容為建造包含如記憶體陣列、電荷泵、RC 過濾器、峰值放大器和許多類型之類比積體電路等半導體積體電路之基礎元件。此外，電容係為用於積體電路和晶片封裝中，作為交流耦合和直流阻擋之目的。舉例來說，電容可被實現為串聯元素，當阻擋直流訊號時係自電路之一部分耦合射頻能量至另一個部分。尤其是，在射頻放大器設計中，直流阻擋電容被用於互連射頻放大器層級。

此外，電容常被用於晶片製造/封裝設計作為去耦合電容，以穩定電源供應電壓，即，最小化或減少電源跳動(jitter)。更確切地，高效能電路需要高電容、高品質(Q)以及直流電源供應與接地線之間之低阻抗去耦合電容，以限制因快速電流切換而產生之雜訊，此類雜訊係為電感和電容寄生阻抗所造成。減少或消除此類雜訊之能力對混模產品設計(類比/數位)尤其

重要，其係需要以非常低的訊號工作。不足之去耦合電容會導致高電源供應與接地雜訊。

在習知設計中，直流阻擋和去耦合電容被實現為離散的晶片外元件，其係設置於晶片封裝模組內，或置於電氣板(如，印刷電路板)上。然而，隨著半導體積體電路晶片製造和封裝技術的不斷進步，容許發展高效能積體電路晶片以及晶片封裝結構，具有越來越高積體密度層級和較低製造成本。考量此方面，舉例來說，積體電路晶片和封裝設計利用晶片上直流阻擋和去耦合電容，以減少晶片封裝成本和減少模組尺寸。此外，舉例來說，晶片上去耦合電容的使用，允許晶片上去耦合電容較高效能設計，因為當被放置較靠近於相關負載時，晶片上去耦合電容在減少電源和接地線之雜訊是比較有效的。

然而，根據應用，晶片上電容的使用是有問題的。舉例來說，使用高密度晶片設計，建立積體電容於晶片上有限的2D/3D 矽空間，導致積集密度之實際限制。因此，為了達到給定設計之理想積集等級，晶片上電容的大小可能減少，而導致效能降低。此外，使用於給定設計中之晶片上電容之類型可能限制效能及/或可能達到之積集密度的等級。舉例來說，高效能晶片典型地使用產生高品質因子(Q)電容之電容技術來製造，但隨著積集密度增加，此類技術不能很好地縮小，因為較高積集度增加寄生阻抗和板極電阻，造成形成具有相對較差效能之電容。其他電容技術讓高積集設計可實現，但造成在高效

能應用中無用武之地之較低品質電容。

舉例來說，用於動態隨機存取記憶體技術之深溝渠或堆疊電容技術，可用以達成高電容密度，但可能導致低品質電容。舉例來說，以此技術形成於電容溝渠側壁和 3D 結構上之薄介電層，無法承受高電壓應力，且因此易崩潰。為解決此問題，數個電容必須串聯地連接，以獲得有效之電容值，但此技術造成需建造電容之面積增加四倍，且增加製造成本。其他使用平面或三維金屬—絕緣—金屬電容、叉合 (interdigitated) 結構等傳統技術，可用以形成高品質電容，但需付出佔去晶片前側寶貴矽區域之代價。

【發明內容】

本發明示範性實施例廣泛地包括製造具有形成於晶片背側且連接至晶片前側積體電路之高 Q 晶片上電容之半導體積體電路(IC)晶片方法，其使用穿透晶圓 (through-wafer) 互連以與連接背側電容與半導體晶圓前側之電路與元件。

在本發明之一示範性實施例中，半導體元件包括半導體基板，具有一前側、一背側與一埋式絕緣層插入至基板前側和背側之間。積體電路形成於半導體基板前側，積體電容形成於半導體基板背側，以及互連結構係形成穿過埋式絕緣層以連接積體電容至積體電路。在一個實施例中，半導體基板是絕緣層上矽(SOI)結構。

在另一實施例中，互連結構是具有互連結構包括一埋式金屬栓塞，具有第一端連接於基板前側之積體電路，與第二端連接於基板背側之積體電容之金屬電容板，其中埋式金屬栓塞之第二端與埋式絕緣層之背表面實質共平面。埋式金屬栓塞之第一端係連接形成於基板前側之表面之輸入/輸出墊或電源供應墊。

在一個示範性實施例中，積體電容是具有第一金屬板和第二金屬板與置於第一金屬板和第二金屬板間之電容介電層之堆疊結構。尤其，在一個實施例中，積體電容係為形成於埋式絕緣層背表面之堆疊結構，其中第一金屬板係堆疊於埋式絕緣層背表面上，且直接接觸暴露於埋式絕緣層背表面之埋式接觸栓塞之端部。舉例來說，積體電容可為直流阻擋電容或去耦合電容。第一金屬板和第二金屬板可分別電連接穿過埋式絕緣層暴露於基板背側上之第一互連結構和第二互連結構之各端部。

在本發明示範性實施例中，第一金屬板與第二金屬板係形成於電容區域中，電容區域係由於基板背側上並環繞第一金屬板與第二金屬板之絕緣材料所定義，其中電容區域係由形成於基板背側絕緣層中之溝渠所定義。

在另一示範性實施例中，第一金屬板與第二金屬板係形成於一電容區域中，電容區域係由於基板之背側上並環繞第一金屬板與第二金屬板之一半導體材料所定義。

在本發明之另一示範性實施例中，一種形成半導體元件的方法包括提供絕緣層上矽(SOI)基板，具有埋式絕緣層插入於絕緣層上矽(SOI)基板前側之一主動矽層與絕緣層上矽(SOI)基板背側之塊矽層之間。形成積體電路於絕緣層上矽(SOI)基板之前側，其中積體電路包含自絕緣層上矽(SOI)基板前側延伸穿過埋式絕緣層之埋式接觸栓塞。執行背側蝕刻製程，以形成溝渠於塊矽層，且暴露埋式絕緣層背表面之埋式接觸栓塞之端部。形成電容於溝渠中，電容包含第一電容板、第二電容板以及插入於第一電容板與第二電容板間之電容介電層，其中形成第一電容板以接觸埋式接觸栓塞暴露的端部。

在本發明之又另一個實施例中，形成半導體元件的方法包括提供絕緣層上矽(SOI)基板，其具有插入於絕緣層上矽(SOI)基板前側之主動矽層與絕緣層上矽(SOI)基板之背側之塊矽層之間之埋式絕緣層。形成一絕緣框架結構於塊矽層，以定義電容區域之邊界。形成積體電路於絕緣層上矽(SOI)基板前側，其中積體電路包含一埋式接觸栓塞，自絕緣層上矽(SOI)基板前側延伸穿過對準絕緣層上矽(SOI)基板背側之電容區域。執行背側蝕刻製程，以形成溝渠於由絕緣框架結構界定之塊矽層，且暴露埋式絕緣層背表面之埋式接觸栓塞之端部。且形成一電容於溝渠，此電容包含第一電容板、第二電容板、以及電容介電層係插入於第一電容板與第二電容板之間，其中形成第一電容板以接觸埋式接觸栓塞之暴露端部。

本發明這些和其他示範性實施例、方面、特色與優點可從下面示範實施例詳細描述，伴隨圖式一起閱讀，將會使描述變得更明顯。

【實施方式】

本發明之示範性實施例將於此後更詳細討論，其係關於製造於晶片背側之上且使用穿過晶圓互連連接晶片前側積體電路之具高品質積體電容之半導體積體電路晶片。舉例來說，依照如同下面所討論本發明示範性晶片製造技術，包括達到高密度整合晶片設計，建立大尺寸、高品質電容結構於半導體絕緣層上矽(SOI)晶圓背側，且保留前側矽面積的方法。如下所詳細討論，示範性晶片製造技術能形成具有良好介電完整性、低板電阻和最小或沒有寄生阻抗之高品質電容。

圖 1 概要地說明串化器—解串化器(SerDes)模組 10，其具有依照本發明示範性實施例之晶片上電容製造之積體電路晶片。一般而言，串化器—解串化器模組 10 包括串化器電路 20 和解串化器電路 30，透過傳輸媒體 40 連接。串化器電路 20 包括傳送器 21，而解串化器電路 30 包括接收器 31。串化器 20 轉換低速平行資料匯流排為高速串聯資料串流，其由傳送器 21 透過傳輸媒體 20 傳送，且由接收器 31 接收。解串化器電路 30 轉換高速串聯資料串流為原始平行格式。圖 1 係說明傳統設計，其中傳送器 21 傳送互補資料位元對 Dn_in 與 Dp_in 之串聯資料串流至接收器 31，其輸出互補位元對 Dn_out 和

Dp_out 之串聯資料串流，以轉換為平行格式。

該串化器－解串化器模組 10 可建造為，其中串化器電路 20 和解串化器電路 30 被形成於分開之 IC 晶片，其係整合地封裝於共同封裝基板，或分別地封裝於不同基板上，傳輸媒體 40 可為傳輸資料於不同印刷電路板(PCBs)上之不同積體電路晶片間之纜線連接，或提供於相同印刷電路板上之積體電路晶片間之互連之微帶。

解串列器電路 30 包括一對輸入墊 80 和晶片上靜電放電(ESD)元件 70 和直流阻擋電容 50，係整合地形成為積體解串化器電路 30 的一部分。當操作於交流耦合模式時需直流阻擋電容 50，且不管傳送器 21 所設定之共同模式等級，允容許設計者選擇對接收器 31 最佳之共同模式等級。圖 1 之示範性實施例中，靜電放電(ESD)元件 70 互連於輸入墊 80 和晶片上直流阻擋電容 50 之間。此外，晶片上直流去耦合電容可形成為積體電路 30 之一部分。晶片上直流阻擋和去耦合電容可用下面所討論之示範性實施例製造，其產生高效能應用之低阻抗晶片上電容，且保有珍貴矽區域以供作高積集度晶片和封裝設計。為繼續先前範例在接受器核心整合直流阻擋電容，兩個實施例一步接一步之製造程序與對應圖式描述於之後段落中。

圖 2A-2C 係根據本發明示範性實施例概要地說明具有積體電容之半導體晶片 100。更明確地，圖 2A 為具有高 Q 電容

之積體電路晶片 100 部分剖面側視示意圖，電容係形成於晶片背側(非主動表面)，且使用穿過晶圓內嵌互連連接至晶片前側(主動表面)。為說明之目的，圖 2A 可視為圖 1 積體電路 30 之接收器 31 前端之示範性實施例，其係描述輸入墊 80、靜電放電(ESD)元件 70 和晶片上直流阻擋電容 50 與其互連之示範性結構，以及晶片上去耦合電容。此外，如同下面更進一步之解釋，圖 2B 和 2C 是靜電放電(ESD)元件 70，和至輸入墊 80 和背側直流阻擋電容之示範性實施例圖。

現在參考圖 2A 示範性半導體積體電路晶片 100 一般包括具有前側(或主動表面)和背面(或非主動表面)之半導體基板 110(或晶圓)，其中基板 110 之前側包括由前段製程 (FEOL) 和後段製程(BEOL)結構所形成之積體電路，且其中基板 110 背側包括積體電容，藉由形成穿過半導體基板 110 之互連結構連接至前側積體電路。半導體基板 110 包括絕緣層上矽(ISO)基板 110(或晶圓)，其包括矽薄表面層 110a 和堆疊於塊矽層 110c(舉例來說，可稱為載體層或支撐層)上之埋式氧化物(BOX)層 110b。

在晶片的前側，淺溝隔離 (STI)區域 115 形成於上矽層 110，以定義電路元件 104 和 106 形成之矽主動區域。元件 106 為具有多晶矽閘極結構 106a 與源極/汲極擴散區域 106b/106c 之金氧半導體電晶體。主動元件 104 是具有 p 摻雜區域 104a 和 n 摻雜區域 104b 之二極體(其形成如下面參考圖 2B 和 2C

所討論之靜電放電(ESD)元件 70 之部分)。主動電路元件 104 和 106 與塊晶圓 110c 及元件彼此間，藉由埋式氧化物(BOX)層 110b 和淺溝隔離區域 115 電氣地隔離。在示範性實施例中，淺溝隔離區域 115 往下形成至埋式氧化物(BOX)層 110b，使得絕緣層上矽(SOI)完全將每一個主動元件 104、106 和鄰近元件隔離。電路元件 104、106 和淺溝隔離區域 115 可使用標準前段製程製造技術，例如摻雜物擴散和佈植，多晶矽閘極膜濺鍍、氧化與相關之圖案化步驟而形成。

此外，前側互連結構係使用標準後段製程製造技術而形成，以將電路元件連接在一起。前側互連結構包括許多級金屬化，其提供連接至閘極元件 106a 之接觸栓塞 120、電氣接線 118 和輸入/輸出墊 80 和 81，其被嵌於一或多層介電/絕緣材料 125。舉例來說，形成複數個焊接球 90 和 91 於各自之輸入/輸出墊 80 與 81 上，使積體電路晶片 100 可覆晶(flip chip)接合至印刷電路板或封裝基板之個別接觸。此外，形成複數個穿過晶圓接觸栓塞 140, 141, 142，其穿過埋式氧化物(BOX)層 110b，以提供互連於前側積體電路與形成於晶片 100 背側之電容結構間。

更明確地說，形成複數背側積體電容結構於塊晶圓層中 110c，其係具有接觸穿過晶圓接觸栓塞 140-142 端部之電極。硬遮罩圖案 200 用以作為蝕刻遮罩，以定義及蝕刻溝渠於塊晶圓矽中 110c 以定義電容區域和電極接觸，其對準穿過晶圓栓

塞。形成複數個絕緣側壁間隙壁 215 和 240，以絕緣塊矽 110c 和電容結構，且避免背側電容電極間短路。第一背側金屬化製程形成電容電極 221 和 222，其係分別接觸穿過晶圓栓塞 141 和 142 之端部。第二背側金屬化形成電容電極 251 和 252。沉積介電材料層 225 以形成電容介電層。形成背側鈍化層 260 以保護與隔離電容電極 251 和 252。

在圖 2A 之示範性實施例中，第一背側電容結構 C1 由第一電容電極 221 和第二電容電極 251，以及插入於第一和第二電極 221 和 251 間之介電層 225 所形成。此外，第二背側電容結構 C2 由第一電容電極 222 和第二電容電極 252，以及插入於第一和第二電極 222 和 252 間之介電層 225 所形成。在一個示範性實施例中，背側電容 C2 可為直流供應電源與接地間之去耦合電容，其中穿過晶圓栓塞 142 連接第一電極 222 與施加直流電源之輸入/輸出墊 81，且其中第二電極 252 連接到接地。

此外，背側電容 C1 係串聯地連接於穿過晶圓栓塞 140 和 141 之間，其為圖 1 接受器電路 31 輸入之晶片上直流阻擋電容 50 之一示範性實施例。藉由特定範例，參考圖 2B 和 2C，靜電放電(ESD)元件 70 之示範性實施例，包括兩個 p-n 二極體 104 和 105 串聯連接於電源供應和接地間，其中二極體之 n 端 104 連接電源供應，而二極體之 p 端 105 接地。穿過晶圓栓塞 140 提供二極體之 p 端 104、二極體之 n 端 105、輸入/輸出墊 80 和電容 C1 之第二電極 251 間之電氣互連。

圖 3A-3O 為依照本發明概要地說明製造具有使用嵌入接觸結構連接前側電路之背側電容之半導體元件之方法示範性實施例圖。為說明之目的，參考圖 3A-3O 說明製造圖 2A-C 半導體元件 100 之方法。一般而言，圖 3A-3C 說明製造主動元件(如電晶體)金屬化於半導體基板 110 前側之不同階段前側製程，且圖 3D-3O 說明不同階段背側製程，以製造積體電容於半導體基板(110)背側，且連接電容與前側電路。

圖 3A 說明元件製造起始階段，始於包括矽層 110a、埋式氧化物(BOX)層 110b 和塊矽層 110c 之半導體基板 110。矽層 110a 和埋式氧化物(BOX)層 110b 一起組成絕緣層上矽(SOI)結構，其可用傳統製造絕緣層上矽結構之方法形成。舉例來說，絕緣層上矽基板可用已知之氧佈植分離(SIMOX)製程製造，藉高能量氧佈植製程佈植氧原子至裸矽晶圓表面，接著，晶圓於高溫退火以形成絕緣層上矽層(即，氧化物層 110b 上之矽層 110a)。埋式氧化物層 110b 與矽層 110a 之厚度可依據元件要求不同。舉例來說，矽層 110a 之厚度範圍從約 500 埃至約 5000 埃，而埋式氧化物層 110b 之厚度範圍可從約 500 埃至約 1 微米。剩下之塊矽層 110c 具有起始厚度在約 5 微米至約 15 微米之範圍內，依據晶圓大小而定(晶圓厚度隨著晶圓大小而增加)。

參考圖 3B，淺溝隔離區域 115 和電路元件 104、106 係使用標準前段製程製造技術，如摻雜物擴散和佈植、多晶矽閘極

膜濺鍍、氧化和相關之圖案化步驟，而形成於半導體基板 110 前側。舉例來說，淺溝隔離區域 115 可藉由沉積薄墊氧化物和氮化矽膜，以及圖案化此膜以形成遮罩以於矽層 110a，向下蝕刻淺溝隔離溝渠至埋式氧化物(BOX)層 110b。進行熱氧化製程以形成溝渠側壁之氧化物材料襯層。接著沉積氧化物以填充溝渠(透過低壓化學氣相沉積 (LPCVD) 或高密度電漿 (HDP))，與隨後之氧化物回蝕刻及研磨(例如，化學機械研磨 (CMP))。因此，主動元件如二極體 104 和電晶體 106 形成於淺溝隔離區域 115 所定義之矽層 110a 之主動區域中。電路元件 104、106 可用標準前段製程製造技術如摻雜擴散和佈植、多晶矽閘極膜之濺鍍、氧化與相關之圖案步驟而形成。

在主動元件 104、106 形成後，用傳統後段製程製造技術建造接觸栓塞 120、電氣接線 118、輸入/輸出墊 80 和 81，與穿過晶圓栓塞 141-143，嵌於介電/絕緣材料 125，如圖 3C 中所描述。參考圖 3C，穿過晶圓前側接觸栓塞 140 也被形成於介電層 125 中，但被形成往下延伸至埋式氧化物(BOX)層 110b。穿過晶圓栓塞 140-142 製造於 BEOL 處理初始階段期間，形成接線 118 之第一層級金屬化處理前。栓塞 140-142 可藉由自前側表面往下蝕刻穿過埋式氧化物(BOX)層 110b，且停止於埋式氧化物(BOX)層 110b 底部之介層孔而形成。此後，一層金屬材料，例如銅，被沉積以填充介層孔，接著回蝕刻/研磨以形成接觸栓塞 140~142。在一個示範性實施例中，穿透晶圓栓塞 140~142 可形成具有直徑約 5 微米至約 50 微米之範

圍，或儘可能地寬而不會導致不想要之效能損失。確切而言，舉例來說，若穿透晶圓栓塞 140~142 太寬，栓塞 140~142 和矽層 110a 間有寄生耦合造成效能損失。當接觸栓塞 140~142 形成穿過矽層 110a 之淺溝隔離區域 115 時可減少基板耦合，淺溝隔離區域 115 係用以隔離穿透晶圓栓塞 140~142 和基板層 110a 之矽材料。

在形成穿透晶圓栓塞 140~142 和其他元件終端接觸栓塞 120 後，繼續完成前側之金屬化。舉例來說，可形成電氣接線 118 和輸入/輸出墊 80, 81，和其他層間栓塞和金屬化層，金屬化材料例如銅、鋁或其合金，可用如銅、鋁金屬化材料例之已知技術(例如，單鑲嵌、雙鑲嵌、減式金屬蝕刻)而形成。在前側金屬化完成後，形成晶圓鈍化之鈍化層 130 於基板前側，如圖 3C 所示。鈍化層 130 可為旋轉塗佈或沉積材料之厚層，例如氧化物或硼磷摻雜矽酸鹽玻璃(BPSG)。形成鈍化層 130 以於後背側處理(參考圖 3D~3P 所描述)時，提供晶片前側電氣和機械保護。

參考圖 3D，翻轉晶圓上下顛倒，且矽層 110c 之背側受到研磨/碾磨以去除一定厚度 t ，削薄晶圓基板層 110c。背側晶圓削薄製程為選擇性的。削薄製程考慮到增強之熱消散，且使製造背側電容更加容易。藉由使鈍化層(130)夠厚，當基板弄得夠薄，鈍化層 130 於背側研磨期間提供晶片足夠機械支撐。背側削薄之另一個目的是幫助隨後之背側製程，包括蝕刻、填

充、研磨等。在本發明之一示範性實施例中，背側可削薄至原始厚度約 10% 至約 80% 之厚度範圍。

參考圖 3E，形成硬遮罩圖案 200 於基板 110 背側上，其具有定義電容區域之開口 200a 和 200b。硬遮罩圖案 200 可藉由沉積一層硬遮罩材料，例如氮化物、氮氧化物或任何於矽蝕刻期間具有高選擇性之其他類似材料，且接著微影圖案化硬遮罩層，以形成硬遮罩圖案 200。接下來，進行蝕刻製程，自硬遮罩圖案 200 之開口 200a 和 200b 非等向性蝕刻所暴露之塊矽層 110c 區域，以形成穿過塊矽層 110c 往下蝕刻至埋式氧化物 (BOX) 層 110b 之溝渠 210，且暴露穿過晶圓接觸栓塞 141 和 142 之端部，例如圖 3F 所示。可用 C12 電漿蝕刻製程進行矽蝕刻製程，以往下移除矽材料至埋式氧化物層 110b 之表面。蝕刻製程可以進行稍微過度蝕刻埋式之氧化物層 110b，以確保暴露穿過晶圓接觸栓塞 141 和 142 之端部。穿過晶圓接觸栓塞 141 和 142 (或只是其之端部) 可由對 C12 電漿蝕刻具抵抗性之導電性材料，例如鎢、鎢化鈦或其他適合接觸栓塞之導電材料所組成。

參考圖 3G，矽蝕刻後接著形成絕緣側壁間隙壁 215 於溝渠 210 側壁。側壁間隙壁 215 用來將溝渠 210 中之矽 110c 側壁表面與隨後沉積於溝渠 210 中形成電容電極之導電材料絕緣，且為避免電容板透過溝渠 210 側壁矽表面而短路。側壁間隙壁 215 可用已知技術，如全面沉積氧化物或氮化物材料之薄

共形層。接著非等向性地蝕刻間隙壁材料，以從水平表面移除材料。

接下來，參考圖 3I，電容溝渠 210 之底部部分填充導電材料，如金屬材料或金屬合金，以形成電容板 221 和 222，其係電氣接觸至個別之穿過晶圓接觸栓塞 141 和 142。藉由沉積一層金屬材料以填充溝渠 210，接著回蝕刻金屬材料至溝渠 210 想要之深度。形成電容板之金屬材料可為 W、Al、Cu 或其合金等，或其他具有相對地低電阻性之金屬材料，以便形成具有高效能、高 Q 電感。在金屬沉積之前，形成全面沉積步驟，以形成薄共形金屬種子層於溝渠 210 暴露內壁上，以幫助金屬電鍍或附著，如習知本技術者可理解。

形成電容板 221 和 222 後，薄介電材料層 225 共形地形成於晶片背側，如圖 3I 中所示。介電層 225 用以作為形成背側電容之電容介電層。介電層 225 可由任何適合之介電材料(氮化物、氧化物)，或較佳地，以具有厚度 d 之高 K 介電材料形成，且使用任何適合之傳統製程。舉例來說，介電層 225 可為具有約 5 奈米至約 50 奈米範圍厚度，且使用化學氣相沉積製程形成之一層氧化鋁(Al_2O_3)。需理解的是，舉例來說，電容溝渠 210 寬度與介電層 225 之厚度，將依照電容值而變動。

參考圖 3J，蝕刻遮罩 230 被形成具有對準穿過晶圓接觸栓塞 140 之開口 230a。遮罩 230 可為一層光阻。使用蝕刻遮

罩 230 進行蝕刻製程，蝕刻層 225、200 和 110c 之暴露部分，以形成開口 235 往下至埋式氧化物(BOX)層 110b 且暴露穿過晶圓接觸栓塞 140 之端部，如圖 3K 所示。

接下來，參考圖 3L，進行第二間隙壁形成製程，以形成側壁間隙 240 於開口 235 之矽側壁表面與電容溝渠 210 之側壁表面區域。接下來，沉積導電材料層 250，以填充開口 235 和電容溝渠 210 之上面部分，如圖 3M 所示。導電材料 250 用以形成底部電容板，且形成透過穿過晶圓栓塞 140 作為電氣接觸至前側電路之背側栓塞 236。尤其，如圖 3N 所示，如有需要，藉由形成一個或更多隔離溝渠 253，進行蝕刻製程以圖案化導電層 250，形成分開之底部電容板 251 和 252。底部電容板 251 透過傳導栓塞 236 電氣連接至輸入墊 80，且藉由形成溝渠 253 電隔離底部電容板 252。

此後，如圖 3O 中所示，形成保護性絕緣層 260 以覆蓋晶片背表面，且填充隔離溝渠 253。各種材料例如矽氧化物、矽氮化物、聚亞醯胺等可用以形成絕緣層 250，其用以提供背側特徵電氣和機械保護，以及給晶片 100 機械支撐。

圖 3O 中之所產生結構說明兩個分開的電容，由頂部/底部電容板 221/251 以及具有電容介電層 225 插入其中所形成之第一電容 C1，和由頂部/底部電容板 222/252 以及具有電容介電層 225 插入於其中所形成之第二電容 C2。在圖 1 之示範性實

施例中，電容 C1 可為直流阻擋電容，其中頂板 221 透過穿過晶圓栓塞 141、接線 118 和閘極接觸 120 連接至 MOSFET 元件 106 之閘極(接收器輸入)，且底部板 251 透過背側栓塞 236 和穿過晶圓栓塞 140，連接至二極體 104 之 p 接面 104a 和輸入/輸出墊 80。第二電容 C2 可為去耦合電容，具有底部板 252 接地，且頂板 222 透過穿過晶圓接觸栓塞 142 連接至電源供應墊 81。需理解的是，複數背側電容可分享共同連接底板電極，舉例來說，其中在底部電極係共同連接至地。

接著，圖 3O 產生結構受到更進一步處理，以移除晶片前側之鈍化層 130，且形成焊接球 90 和 91 於個別輸入/輸出墊 80 和 81，而產生圖 2A 所描述之結構。焊接球 90 和 91 可為使用已知技術所形成之 C4，讓積體電路晶片 100 之覆晶接合至 PCB 或封裝基板成為可能。

圖 4 是依照本發明之另一示範性實施例，具有形成於晶片背側上之高 Q 電容積體電路晶片 300 之概要剖面側視圖。圖 4 說明積體電路晶片 300 之示範性結構，係使用如下參考圖 5A~5K 所討論之示範性方法所形成，開始為事先製造之絕緣層上矽晶圓結構 310，包括一薄矽層 310a 和埋式氧化物(BOX)層 310b(如圖 4 所描述)，連同塊矽層 310c 和其他初始保護性絕緣層 311 和 312，如圖 5A 中所描述。如同下面所解釋，圖 5A~5L 之示範性製造製程消除上面圖 3A~3O 所討論之製造背側電容結構之示範性方法中所進行之一些背側處理程序步驟

(例如，矽蝕刻和側壁間隙壁處理)。

參考圖 4，為了說明和討論便利，積體電路晶片 300 描述為具有類似於上面所討論和於圖 2A~2C 中所描述之前側積體電路架構(主動元件和後段製程互連結構)，舉例來說，參考上面圖 2A 所詳述者，前側積體電路包括如淺溝隔離區域 115、主動元件 104 和 106、接觸栓塞 120、電氣接線 118、輸入/輸出墊 80 和 81、介電/絕緣材料 125、焊接球 90 和 91，和穿過晶圓接觸栓塞 140, 141, 142。在此方面，圖 4 可視為圖 1 積體電路 30 接收器 31 之前端之另一個示範性實施例，具有輸入墊 80、靜電放電 ESD 元件 70 和晶片上直流阻擋電容 50 等。

複數個積體電容結構 C1 和 C2 和 C3 被形成於晶片 300 之背側上。電容區域由形成於延伸自埋式氧化物(BOX)層 310b 之背側上的絕緣柱 315 所定義。形成第一金屬化層提供個別電容 C1、C2 和 C3 之上方電容板 341、342 和 343 和背側接觸 340。第二金屬化和圖案化製程形成底部電容板 351 和 352。介電膜 345 作為電容 C1、C2 和 C3 之電容介電層。形成背側鈍化層 360 以保護和隔離電容電極 351 和 352。

在圖 4 之示範性實施例中，第一電容 C1 是由上方和底部電容板 341 和 351，和插入於其間之介電層 345 之部分所形成之直流阻擋電容。上方板 341 接觸穿過晶圓栓塞 141 之暴露端部，且底部電容板 351 透過接觸 340 電氣連接至穿過晶圓栓塞

140 之暴露端部。在第二金屬化之前，移除初始沉積於接觸 340 上之介電層 345 之部分，以使底板 351 直接接觸該接觸 340。

此外，第二電容 C2 是由上方電容板 342 和底部電容板 352，與插入其間之介電層 345 之部分所形成之去耦合電容。穿過晶圓栓塞 142 連接第一電極 342 至直流電源所施加之輸入/輸出墊 81，且其中第二電極 352 接地。此外，第三電容 C3 由上方電容板 343 和底部電容板 352，與插入於其間部分介電質 345 所形成。在此示範性實施例中，底部電容板 352 共同地由電容 C2 和 C3(或更多)所分享，其中電容 C3 可以透過穿過晶圓栓塞(未顯示)連接至前側電路之一些部分。舉例來說，電容 C3 可為另一個去耦合電容，連接至積體電路晶片 300 前側上之另一個電源供應墊。

圖 5A~5L 概要地說明依照本發明之示範性實施例，製造具有使用內嵌接觸結構連接至前側電路之背側電容之半導體元件之方法。為說明之目的，圖 4 中所說明之製造半導體元件 300 之方法將參考圖 5A~5L。圖 5A 說明元件製造之起始階段，開始為半導體 SOI 基板 310，包括前側矽層 310a、埋式氧化物層 310b、塊矽層 310c、絕緣保護膜 311(係形成於矽層 310a 上面和側面表面以封住/囊封矽層 310a)，和形成於晶圓基板 310 背側之硬遮罩層 312。圖 5A 概要地描述可商業化事先製造絕緣層上矽晶圓之一種類型，其可使用於此後所述形成圖 4 之示範性積體電路晶片 300 之方法。

參考圖 5B，背側處理開始為圖案化硬遮罩層 312，形成由剩餘遮罩圖案定義之電容區域間邊界之開口 313。接下來，穿過塊矽層 310c 往下形成絕緣柱 315 至埋式氧化物層 310b。絕緣柱 315 可為氧化物柱，舉例來說，使用多孔氧化程序形成，其中對準開口 313 所暴露之矽晶圓材料被轉換成氧化物。可用其他低溫、低壓力傳統方法形成隔離結構。在另一實施例中，絕緣柱 315 可以利用硬遮罩圖案 312 形成，以往下蝕刻溝渠於矽層 310c 之暴露區域至埋式氧化物(BOX)層 310b，且以絕緣材料如氧化物材料填充溝渠。絕緣柱 315 定義電容之邊界區域。在形成絕緣柱 313 後，硬遮罩圖案 312 移除，且晶圓 310 之背側覆蓋保護層 320，如圖 5D 所示。

接著背側鈍化後，開始前側製造。舉例來說，如圖 5E 所示，移除保護層 311 以暴露前側矽層 310a。接下來，進行前段製程與後段製程，以製造主動元件和互連，如圖 5F 中所說明。積體電路元件和互連可用上述方法製造。在形成前側積體電路後，形成保護膜 330 於基板 310 前側，以於隨後背側處理形成電容結構期間保護前側。

尤其，參考圖 5G，移除背側保護層 320 以暴露塊矽層 310c。接著進行蝕刻製程以移除由氧化物柱 315 定義電容區域中塊矽層 310c 之部分。往下移除在電容區域中矽晶圓材料層 310c 至埋式氧化物層 310b，如圖 5H 所示。此製程用以形成由氧化物柱 315 定義之電容袋。在另一示範形實施例中，其中

背側層完全形成於絕緣材料上，圖 5H 中之結構可直接藉由形成定義電容區域之蝕刻遮罩，和接著蝕刻背側絕緣層以形成絕緣柱 315 而形成。

在形成/暴露絕緣柱 315 後，進行第一金屬化製程以沉積金屬材料於背側上，接著回蝕刻，以形成導電板結構 340~343，產生圖 5I 中所描述之結構。此後，介電材料層 345(較佳地高 K 介電質)被全面沉積於背側板結構 340~343 和電容絕緣框架 315 之暴露表面上。如上面所指出，金屬板 341、342 和 343 是背側電容 C1、C2 和 C3 之上方電容板(圖 4 中所描述)，其中金屬板 340 用以形成穿過晶圓栓塞 140 和底部電容板間之接觸。產生結構描述於圖 5J，其中在第二金屬化製程之前，移除形成於金屬板 340 上之介電層 345 部分。須注意的是對比於圖 3A~3O 之示範性製造製程，不需要第二蝕刻製程來形成至穿過晶圓栓塞 140 之接觸開口，因為形成接觸 340 之區域被形成為第一蝕刻製程之部分，其暴露全部穿過晶圓栓塞 140~142 之端部。此外，不需要側壁間隙壁製造步驟來襯著矽溝渠表面，因為絕緣柱被用來定義和分開電容區域(相對於形成於背側塊矽層中之矽溝渠)。確切而言，介電層 345 形成於暴露柱 315 上，且接著從第一層級金屬板移除，其將接觸形成為第二金屬化製程之部分之電容底部板。

參考圖 5K，進行第二金屬化製程以沉積和平坦化形成底部電容板之金屬材料 350。接下來，形成遮罩圖案於第二金屬

層 350 上，且用以形成隔離溝渠 361 於第二金屬化層 350，且形成分開之電容底部板 351 和 352，舉例來說，如圖 5L 所示。沉積絕緣材料層 360 以填充溝渠 361，且隔離底部電容板 351 和 352。接著，圖 5L 之產出結構受到更進一步處理，以移除晶片前側之鈍化層 330，且形成焊接球 90 和 91 於個別輸入/輸出墊 80 和 81 上，產生如圖 4 之結構。焊接球 90 和 91 可為使用已知技術所形成之 C4，使積體電路晶片 300 能覆晶接合至印刷電路板或封裝基板。

需了解的是，關於依照本發明製造具有之背側電容結構之半導體元件之示範性方法有許多優點。舉例來說，如果需要，高密度整合可以藉由形成大型區域電容於晶片背側之上，且因此而達成節省晶片前側區域給電路元件和互連之更緊密封裝。此外，背側電容被放置相當地緊密關聯於前側積體電路，使得最小化互連之長度(穿過晶圓栓塞接觸)，且因此最小化穿過晶圓互連結構之串聯電阻。

此外，製造電容之背側處理係自製造晶片主動表面積體電路之前側處理分開。此允許製造具有想要導電材料之電容元件，和內嵌介電質和結構性架構(電容板材料、板厚度和面積和介電材料等)，高品質效能獨立於其他晶片製造步驟而被最佳化。舉例來說，包括電容板之背側金屬化可選取具有高導電材料，如銅或鋁，且嵌入於具有所欲性質之絕緣材料，以達成想要效能。絕緣材料可選取為低介電係數材料，其係可以容易

沉積於背側至很大厚度，以達到低寄生電容之環境。此外，藉由使用金屬材料，如具有良好熱導電性之銅，背側上之電容板可增加熱冷卻和熱量消散。

儘管示範性實施例已於此伴隨圖式作說明，需理解的是本發明未受此實施例限制，且可由習知技術者之各種其他改變和修正，皆不離開本發明之範圍。

【圖式簡單說明】

圖 1 是為依照本發明示範性實施例，使用晶片上背側電容設計之串化器—解串化器(SerDes)電路示意圖；

圖 2A-2C 為依照本發明概要地說明具有晶片上背側電容之半導體積體電路晶片示範性實施例示意圖；

圖 3A-3O 為依照本發明概要地說明製造具有晶片上背側電容之半導體積體電路晶片的方法之示範性實施例示意圖；

圖 4 為依照本發明概要地說明具有晶片上背側電容之半導體積體電路晶片之另一示範性實施例示意圖；

圖 5A-5L 為依照本發明概要地說明製造具有晶片上背側電容之半導體積體電路晶片的方法之另一示範性實施例示意圖。

【主要元件符號說明】

10	串化器—解串化器模組	20	串化器電路
21	傳送器	30	解串化器電路
31	接收器	40	傳輸媒體
50	直流阻擋電容	70	靜電放電元件
80	輸入墊	81	輸出墊
90	焊接球	91	焊接球
100	半導體積體電路晶片	104	二極體之n-端
104a	p摻雜區域	104b	n摻雜區域
105	二極體之p-端	106	元件
106a	晶矽閘極	106b	源極擴散區域
106c	汲極擴散區域	110	半導體基板
110a	矽層	110b	埋式氧化物層
110c	塊矽層	115	淺溝隔離區域
118	電氣繞線	120	接觸栓塞
125	介電/絕緣材料層	130	鈍化層
140, 141, 142	穿過晶圓接觸栓塞		
200	硬遮罩圖案	200a	開口
200b	開口	210	電容溝渠
215	絕緣側壁間隙壁	221	電容電極
222	電容電極	225	介電材料層
230	遮罩	230a	開口

- | | | | |
|-------------|-----------|------|--------|
| 235 | 開口 | 236 | 背側栓塞 |
| 240 | 絕緣側壁間隙壁 | 250 | 導電材料層 |
| 251 | 電容電極 | 252 | 電容電極 |
| 253 | 隔離溝渠 | 260 | 背側鈍化層 |
| 300 | 電容積體電路晶片 | | |
| 310 | 絕緣層上矽晶圓結構 | | |
| 310a | 矽層 | 310b | 埋式氧化物層 |
| 310c | 塊矽層 | 311 | 絕緣保護膜 |
| 312 | 硬遮罩層 | 313 | 開口 |
| 315 | 絕緣柱 | 320 | 覆蓋保護層 |
| 330 | 保護膜 | 340 | 接觸 |
| 341、342、343 | 電容板 | 345 | 介電層 |
| 350 | 金屬材料 | 351 | 保護電容電極 |
| 352 | 隔離電容電極 | 353 | 電容板 |
| 360 | 絕緣材料層 | 361 | 溝渠 |

五、中文發明摘要：

本發明提供製造半導體積體電路(IC)晶片之方法，具有形成於晶片背側之高Q晶片上電容，且使用穿過晶圓之互連連接至晶片前側上之積體電路。於一面向，半導體元件包括半導體基板，係具有前側、背側與插入於基板前側與背側間之埋式絕緣層。積體電路係形成於半導體基板之前側，積體電容形成於半導體基板之背側，且互連結構形成穿過埋式絕緣層形成以連接積體電容至積體電路。

六、英文發明摘要：

Methods are provided for fabricating semiconductor IC (integrated circuit) chips having high-Q on-chip capacitors formed on the chip back-side and connected to integrated circuits on the chip front-side using through-wafer interconnects. In one aspect, a semiconductor device includes a semiconductor substrate having a front side, a back side, and a buried insulating layer interposed between the front and back sides of the substrate. An integrated circuit is formed on the front side of the semiconductor substrate, an integrated capacitor is formed on the back side of the semiconductor substrate, and an interconnection structure is formed through the buried insulating layer to connect the integrated capacitor to the integrated circuit.

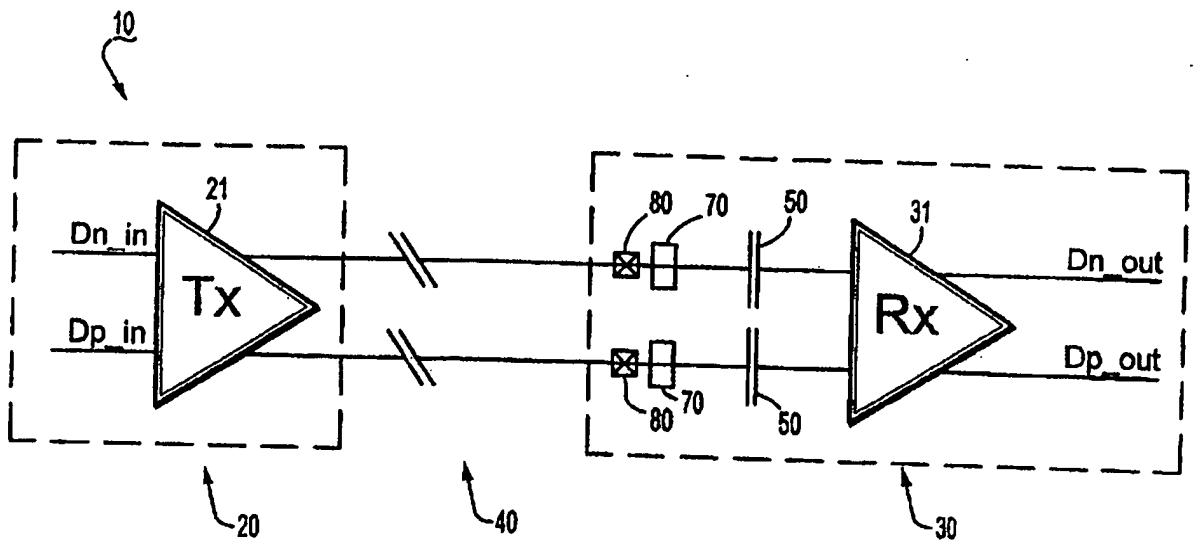


圖 1

七、指定代表圖：

(一)本案指定代表圖為：圖 2A。

(二)本代表圖之元件符號簡單說明：

80	輸入墊	81	輸出墊
90	焊接球	91	焊接球
100	半導體積體電路晶片	104	二極體之 n-端
104a	p 摻雜區域	104b	n 摻雜區域
105	二極體之 p-端	106	元件
106a	晶矽閘極	106b	源極擴散區域
106c	汲極擴散區域	110	半導體基板
110a	矽層	110b	埋式氧化物層
110c	塊矽層	115	淺溝隔離區域
118	電氣繞線	120	接觸栓塞
125	介電/絕緣材料層	140	穿過晶圓接觸栓塞
141	穿過晶圓接觸栓塞	142	穿過晶圓接觸栓塞
200	硬遮罩圖案	215	絕緣側壁間隙壁
221	電容電極	222	電容電極
225	介電材料層	236	背側栓塞
240	絕緣側壁間隙壁	251	電容電極
252	電容電極	260	背側鈍化層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

公告本

案號：96116072
103年05月23日修正—替換頁

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96116072

※申請日期：96年5月7日

※IPC分類：

H01K 27/04 (2006.01)
H01K 21/822 (2006.01)

一、發明名稱：(中文/英文)

具有高Q晶圓背面電容之半導體積體電路裝置

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICES

HAVING HIGH-Q WAFER BACK-SIDE CAPACITORS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)(簽章)

萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文)(簽章)

張艷 / ZHANG, YAN

住居所或營業所地址：(中文/英文)

美國紐約州 10504 亞芒克市新奧爾察德路

New Orchard Road, Armonk, NY 10504, U.S.A.

國籍：(中文/英文) 美國 / US

三、發明人：(共 7 人)

姓名 (中文/英文)

1. 勞倫斯 克萊芬哲 / CLEVINGER, LAWRENCE

2. 堤摩西 喬瑟芬 達頓 / DALTON, TIMOTHY JOSEPH

3. 許履塵 / HSU, LOUIS

4. 卡爾 瑞登斯 / RADENS, CARL

5. 維蒂雅 瑞馬欽卓 / RAMACHANDRAN, VIDHYA

6. 王光翰 / WONG, KEITH KWONG HON

7. 楊智超 / YANG, CHIH-CHAO

國籍 (中文/英文)

1.~4.、6 皆為美國 / US；5.印度 / IN；7.中華民國 / TW

103 5 23 修正
年 月 日 補充

案號：96116072
103 年 05 月 23 日修正－替換頁

pp. 30 ~ 36)

十、申請專利範圍：

1. 一種半導體元件，包括：
 - 一半導體基板，具有一前側、一背側與一埋式絕緣層插入至該基板之該前側和該背側之間；
 - 一積體電路，形成於該半導體基板之該前側；
 - 一積體電容，形成於該半導體基板之該背側，其中該積體電容包括一第一金屬板、一第二金屬板與置於該第一金屬板與該第二金屬板間之一介電質，且該第一金屬板與該埋式絕緣層接觸；以及
 - 一互連結構，係形成穿過該埋式絕緣層，以連接該積體電容至該積體電路。
2. 如申請專利範圍第 1 項之半導體元件，其中該半導體基板係為絕緣層上矽(SOI)結構。
3. 如申請專利範圍第 1 項之半導體元件，其中該互連結構包括一埋式金屬栓塞，具有一第一端連接於該基板之該前側之該積體電路，與一第二端連接於該基板之該背側之該積體電容之一金屬板，其中該埋式金屬栓塞之該第二端與該埋式絕緣層之一背表面實質共平面。
4. 如申請專利範圍第 3 項之半導體元件，其中該埋式金屬栓塞之該第一端係連接形成於該基板之該前側之一表面上之一

輸入/輸出墊或一電源供應墊。

5. 如申請專利範圍第 1 項之半導體元件，其中一電容介電層置於該第一金屬板與該第二金屬板間。

6. 如申請專利範圍第 5 項之半導體元件，其中該第一金屬板與該第二金屬板電連接個別之第一互連結構和第二互連結構，其透過該埋式絕緣層暴露於該基板之該背側。

7. 如申請專利範圍第 5 項之半導體元件，其中該第一金屬板與該第二金屬板係形成於一電容區域中，該電容區域由在該基板之該背側上並環繞該第一金屬板與該第二金屬板之絕緣材料所界定。

8. 如申請專利範圍第 7 項之半導體元件，其中該電容區域由在該基板之該背側上之一絕緣層中形成之一溝渠所界定。

9. 如申請專利範圍第 5 項之半導體元件，其中該第一金屬板與該第二金屬板係形成於一電容區域中，該電容區域係由在該基板之該背側上並環繞該第一金屬板與該第二金屬板之一半導體材料所界定。

10. 如申請專利範圍第 9 項之半導體元件，其中該電容區域由

在該基板之該背側上之一矽層中形成之一溝渠所界定。

11. 如申請專利範圍第 10 項之半導體元件，更包含一絕緣間隙壁，形成於該溝渠之一側壁。

12. 如申請專利範圍第 1 項之半導體元件，其中該積體電容係為一直流阻擋電容。

13. 如申請專利範圍第 1 項之半導體元件，其中該積體電容係為一去耦合電容。

14. 如申請專利範圍第 1 項之半導體元件，其中該積體電容為一堆疊結構，係形成於該埋式絕緣層之一背表面。

15. 一種形成半導體元件之方法，包括：

形成一積體電路於一半導體基板之一前側；

形成一積體電容於該半導體基板之一背側，其中該積體電容包括一第一金屬板、一第二金屬板與置於該第一金屬板與該第二金屬板間之一介電質，且該第一金屬板與一埋式絕緣層接觸；以及

形成一互連結構穿過插入於該基板之該前側與該背側之間之該埋式絕緣層，該互連結構係連接該積體電容至該積體電路。

16. 如申請專利範圍第 15 項之方法，其中該形成該互連結構包括形成一埋式金屬栓塞，具有一第一端連接至該基板之該前側之該積體電路，與一第二端連接至該基板之該背側之該積體電容之一金屬板，其中該埋式金屬栓塞之該第二端與該埋式絕緣層之一背表面實質共平面。

17. 如申請專利範圍第 16 項之方法，包括形成一金屬輸入/輸出或電源墊於該基板之該前側之一表面上，以使該墊直接接觸該埋式金屬栓塞之一端部。

18. 如申請專利範圍第 15 項之方法，其中該形成積體電容包含形成一堆疊電容結構，係具有該第一金屬板與該第二金屬板，以及一電容介電層插入於該第一金屬板與該第二金屬板之間。

19. 如申請專利範圍第 18 項之方法，其中該第一金屬板係藉由沉積一金屬材料於對準於該互連結構之一暴露端部之該埋式絕緣層之一背表面之一區域而形成。

20. 一種形成半導體元件之方法，包括：

提供一絕緣層上矽(SOI)基板，具有一埋式絕緣層，插入於該絕緣層上矽基板之一前側上之一主動矽層與該絕緣層上

矽基板之一背側之一塊矽層之間；

形成一積體電路於該絕緣層上矽基板之該前側上，其中該積體電路包含一埋式接觸栓塞自該絕緣層上矽基板之該前側延伸穿過該埋式絕緣層；

執行一背側蝕刻製程，以形成一溝渠於該塊矽層中，且暴露該埋式絕緣層之一背表面上之該埋式接觸栓塞之一端部；

形成一積體電容於該溝渠中，該積體電容包含一第一金屬電容板、一第二金屬電容板、以及插入於該第一金屬電容板與該第二金屬電容板間之一電容介電層，其中形成該第一金屬電容板以接觸該埋式絕緣層。

21. 如申請專利範圍第 20 項之方法，其中形成該積體電容包括：

執行一第一金屬化製程，以一金屬材料部分填充該溝渠，且形成該第一金屬電容板；

沉積一介電材料共形層於該第一金屬電容板上；以及

執行一第二金屬化製程，以一金屬材料填充該溝渠之一剩餘部分，且形成該第二金屬電容板。

22. 如申請專利範圍第 21 項之方法，更包含執行該第一金屬化製程前，於該溝渠之一側壁表面襯以一絕緣材料。

23. 如申請專利範圍第 21 項之方法，更包含：

形成一介層孔穿過該塊矽層，以暴露該埋式絕緣層之該背表面上之一第二埋式接觸栓塞之一端部；以及

在該第二金屬化製程期間，以金屬材料填充該介層孔，使該第二金屬電容板連接至該第二埋式接觸栓塞。

24. 如申請專利範圍第 20 項之方法，在執行該背側蝕刻製程前，更包含薄化該絕緣層上矽基板之該背側至一厚度範圍，係該絕緣層上矽基板之該背側之一原始厚度之約 10% 至約 80%。

25. 一種形成半導體元件之方法，包括：

提供一絕緣層上矽(SOI)基板，具有一埋式絕緣層，插入於該絕緣層上矽基板之一前側上之一主動矽層與該絕緣層上矽基板之一背側之一塊矽層之間；

形成一絕緣框架結構於該塊矽層中，以定義一電容區域之邊界；

形成一積體電路於該絕緣層上矽基板之該前側上，其中該積體電路包含一埋式接觸栓塞自該絕緣層上矽基板之該前側延伸穿過對準該絕緣層上矽基板之該背側上之該電容區域之該埋式絕緣層；

執行一背側蝕刻製程，以形成一溝渠於由該絕緣框架結構界定之該塊矽層中，且暴露該埋式絕緣層之一背表面上之該埋式接觸栓塞之一端部；以及

形成一積體電容於該溝渠中，該積體電容包含一第一金屬

電容板、一第二金屬電容板、以及一電容介電層係插入於該第一金屬電容板與該第二金屬電容板之間，其中形成該第一金屬電容板以接觸該埋式絕緣層。

26. 申請專利範圍 25 之方法，其中形成該積體電容包括：

執行一第一金屬化製程，以一金屬材料部分填充該溝渠，且形成該第一金屬電容板；

沉積一介電材料共形層於該第一金屬電容板上；以及

執行一第二金屬化製程，以一金屬材料填充該溝渠之一剩餘部份，且形成該第二金屬電容板。

