



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I395406B1

(45) 公告日：中華民國 102 (2013) 年 05 月 01 日

(21) 申請案號：099103675

(22) 申請日：中華民國 99 (2010) 年 02 月 06 日

(51) Int. Cl. : **H03K19/0175(2006.01)****H03K5/003 (2006.01)****H02H9/04 (2006.01)**

(30) 優先權：2009/02/13 美國

12/371,375

(71) 申請人：標準微系統股份有限公司 (美國) STANDARD MICROSYSTEMS CORPORATION  
(US)

美國

(72) 發明人：許 珍 XU, JANE (US) ; 伯恩斯坦 史蒂芬 BURSTEIN, STEVEN (US) ; 派伯  
杰 D POPPER, JAY D. (US)

(74) 代理人：陳長文

(56) 參考文獻：

TW 564310B

CN 1484307A

US 6882513B2

審查人員：陳明德

申請專利範圍項數：25 項 圖式數：4 共 0 頁

(54) 名稱

用於非常低功率系統的電力開啟控制

POWER-UP CONTROL FOR VERY LOW-POWER SYSTEMS

(57) 摘要

本發明係關於一種輸入保護電路(IPC)，當一輸入信號之電壓位準超過一指定值時，該 IPC 可防止該輸入信號傳播至諸如一積體電路(IC)的一系統中。該 IPC 可經組態以比較輸入信號電壓與一參考電壓，該輸入信號電壓可為由該系統所接收之一外部輸入信號的電壓，該參考電壓可為電源供應電壓。若該輸入信號電壓超過該參考電壓，則該 IPC 之輸出可設定為一指定箝位電壓的值。若該輸入信號電壓不超過該參考電壓，則該 IPC 之輸出可追蹤(或跟隨)該輸入信號電壓。對於某些積體電路，該 IPC 可經組態以為在 0 V 至 5 V 之間變動的一輸入信號電壓及在 3.0 V 與 3.6 V 之間變動的一電源供應電壓提供電路保護。

An input protection circuit (IPC) may prevent an input signal from propagating into a system, such as an integrated circuit (IC), when the voltage level of the input signal exceeds a specified value. The IPC may be configured to compare the input signal voltage, which may be that of an external input signal received by the system, with a reference voltage, which may be the power supply voltage. If the input signal voltage exceeds the reference voltage, the output of the IPC may be set to the value of a specified clamp voltage. If the input signal voltage does not exceed the reference voltage, the output of the IPC may track (or follow) the input signal voltage. For certain integrated circuits, the IPC may be configured to provide circuit protection for an input signal voltage ranging between 0V to 5V, and a power supply voltage ranging between 3.0V and 3.6V.

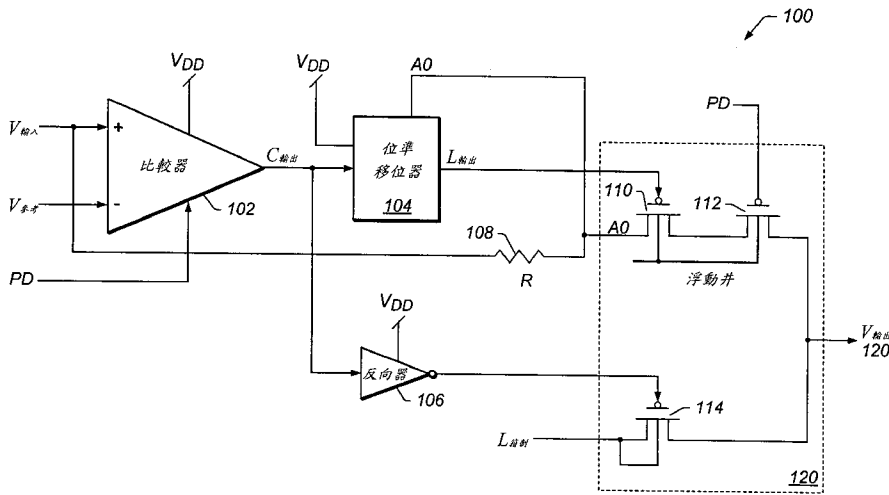


圖 1

- 100 . . . 輸入保護電路(IPC)
- 102 . . . 比較器
- 104 . . . 位準移位器
- 106 . . . 反向器
- 108 . . . 電阻器
- 110 . . . PMOS 裝置
- 112 . . . PMOS 裝置
- 114 . . . PMOS 裝置
- 120 . . . 輸出
- $V_{OUT}$  / 多工器
- $C_{OUT}$  . . . 輸出
- $L_{OUT}$  . . . 輸出
- $PD$  . . . 電力斷開信號  $V_{clamp}$  箝位電壓
- $V_{DD}$  . . . 電源供應電壓
- $V_{IN}$  . . . 輸入信號/輸入電壓
- $V_{ref}$  . . . 參考電壓信號

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 99103675

※ 申請日： 99.2.6

※IPC 分類： H03K 17/0175 (2006.01)

(2006.01)

H03K 5/003

一、發明名稱：(中文/英文)

H02H 9/04

(2006.01)

用於非常低功率系統的電力開啟控制

POWER-UP CONTROL FOR VERY LOW-POWER SYSTEMS

## 二、中文發明摘要：

本發明係關於一種輸入保護電路(IPC)，當一輸入信號之電壓位準超過一指定值時，該IPC可防止該輸入信號傳播至諸如一積體電路(IC)的一系統中。該IPC可經組態以比較輸入信號電壓與一參考電壓，該輸入信號電壓可為由該系統所接收之一外部輸入信號的電壓，該參考電壓可為電源供應電壓。若該輸入信號電壓超過該參考電壓，則該IPC之輸出可設定為一指定箝位電壓的值。若該輸入信號電壓不超過該參考電壓，則該IPC之輸出可追蹤(或跟隨)該輸入信號電壓。對於某些積體電路，該IPC可經組態以為在0 V至5 V之間變動的一輸入信號電壓及在3.0 V與3.6 V之間變動的一電源供應電壓提供電路保護。

### 三、英文發明摘要：

An input protection circuit (IPC) may prevent an input signal from propagating into a system, such as an integrated circuit (IC), when the voltage level of the input signal exceeds a specified value. The IPC may be configured to compare the input signal voltage, which may be that of an external input signal received by the system, with a reference voltage, which may be the power supply voltage. If the input signal voltage exceeds the reference voltage, the output of the IPC may be set to the value of a specified clamp voltage. If the input signal voltage does not exceed the reference voltage, the output of the IPC may track (or follow) the input signal voltage. For certain integrated circuits, the IPC may be configured to provide circuit protection for an input signal voltage ranging between 0V to 5V, and a power supply voltage ranging between 3.0V and 3.6V.

#### 四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

|           |                         |
|-----------|-------------------------|
| 100       | 輸入保護電路(IPC)             |
| 102       | 比較器                     |
| 104       | 位準移位器                   |
| 106       | 反向器                     |
| 108       | 電阻器                     |
| 110       | PMOS裝置                  |
| 112       | PMOS裝置                  |
| 114       | PMOS裝置                  |
| 120       | 輸出 $V_{OUT}$ /多工器       |
| $C_{OUT}$ | 輸出                      |
| $L_{OUT}$ | 輸出                      |
| PD        | 電力斷開信號 $V_{clamp}$ 箝位電壓 |
| $V_{DD}$  | 電源供應電壓                  |
| $V_{IN}$  | 輸入信號/輸入電壓               |
| $V_{ref}$ | 參考電壓信號                  |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

## 六、發明說明：

### 【發明所屬之技術領域】

本發明大體而言係關於半導體電路設計之領域，且更特定言之係關於低功率系統中改良之過電壓保護的設計。

### 【先前技術】

在現代電路設計中，系統常常要求將大量裝置組態於儘可能小之面積上，以便節約成本並增加系統的操作速度。此趨勢已影響包括微處理器、微控制器及甚至晶片上系統(SOC)之積體電路(IC)的設計，其中電腦或另一電子系統之所有組件整合於單一IC上。SOC可含有數位、類比、混頻信號組件且常常含有射頻組件，所有該等組件皆組態於單一IC上。就減小上面整合有系統或微處理器之IC面積而言，幾何收縮係三維的，包括閘氧化層厚度之減小。因此，提供至IC之電源供應電壓的位準需要降低，以便適應較薄閘氧化物。然而，連接至IC(例如，至處理器)之許多周邊裝置可能仍需要較高的供應電壓，從而導致用於彼等裝置的信號傳輸位準較高。由於此等裝置連接至IC，因此該IC可能曝露於輸入信號，該等輸入信號所具有之電壓位準超過對IC供電之供應電壓的位準，從而潛在地導致電路故障及/或IC的毀壞。此使得有必要在積體電路中實施某一形式之保護，以防止(preempt)高電壓輸入信號所引起的損壞。

一些IC設計具有嚴格的輸入要求，其禁止輸入信號之電壓位準超過內部電源供應電壓或對IC供電的外部供應電

壓。然而，當輸入信號係在IC(晶片)外部之信號並提供至晶片上接針時，此要求不可總是得到滿足。舉例而言，當晶片外部之裝置的驅動器耦接至晶片上接針時，在接針處之實際電壓有可能上升至較高電壓(例如，5 V)。已設計出各種機構及解決方案來保護IC不受此等高電壓輸入信號影響。一種方法涉及組態用於晶片外驅動器輸出級之電路來提供保護。另一方法包括一電路，該電路經組態以保護電晶體不受閘氧化介電質擊穿及熱載流子降級影響。在一些情況中，電路可經組態以使用一5 V電源供應器及5 V輸出電壓之緩衝器向電晶體提供高電壓保護。然而，存在以下情況：儘管在輸入接針電壓超過電源供應器之電壓時電路的輸入仍需要避免高電壓信號影響之保護，但彼等解決方案歸因於各種設計約束皆不適用。

在將此先前技術與如本文所描述之本發明進行比較之後，對於熟習此項技術者而言，先前技術之許多其他問題及缺點將變得顯而易見。

### 【發明內容】

在一組實施例中，一種輸入保護電路(IPC)可經組態以為諸如積體電路(IC)之系統提供高電壓電路保護。該IPC可經組態以比較一輸入信號電壓與電源供應電壓，其中該輸入信號電壓可來自由該系統所接收之外部輸入信號，該電源供應電壓可經組態以供電給該系統。若該輸入信號電壓高於供應電壓，則該IPC之輸出可設定為供應電壓的值。若該輸入信號電壓小於或等於供應電壓，則該IPC之

輸出可設定為與該輸入信號電壓之值相同的值。在一組實施例中，該IPC可經組態以為操作範圍在0 V至5 V之間的輸入信號電壓及操作範圍在3.0 V與3.6 V之間的電源供應電壓提供電路保護。

在一項實施例中，該IPC可包括一比較器，該比較器經組態以將IC之輸入接針處之輸入信號的電壓位準 $V_{IN}$ 與電源供應電壓 $V_{DD}$ 進行比較。 $V_{DD}$ 可在IC內部，或其可在外部提供至IC。大體而言， $V_{DD}$ 在此情況中指代用以對IC供電之供應電壓，且具有指定的允許操作範圍，該範圍包含在IC中不會被超過的最大值。當 $V_{IN} < V_{DD}$ 時，比較器之輸出 $C_{OUT}$ 可被撤銷確證(例如，設定為0)，此可將多工器開關之輸出 $V_{OUT}$ 設定為 $V_{IN}$ 的值。當 $V_{IN} \geq V_{DD}$ 時，比較器之輸出 $C_{OUT}$ 可被確證(例如，設定為1)，此可將多工器開關之輸出 $V_{OUT}$ 設定為 $V_{DD}$ 的值。位準移位器電路可用以實際上改變多工器控制信號之確證位準。位準移位器之電路拓撲可經組態，使得位準移位器電路之左分支由電源供應電壓 $V_{DD}$ 供電，而位準移位器電路之右分支由輸入電壓 $V_{IN}$ 的稍微衰減版本(例如，在電阻器之一端處所獲得的電壓)供電，該電阻器之另一端接收輸入信號 $V_{IN}$ 。該位準移位器電路可經組態以基本上跟隨與比較器相同的邏輯。若 $V_{IN} < V_{DD}$ ，則比較器之輸出可被撤銷確證(例如， $C_{OUT}=0$ )，此又可使位準移位器的輸出撤銷確證(例如， $L_{OUT}=0$ )。類似地，若 $V_{IN} > V_{DD}$ ，則比較器之輸出可被確證(例如， $C_{OUT}=1$ )，此又可使位準移位器的輸出設定為跟隨輸入電



壓  $V_{IN}$  (亦即,  $L_{OUT}=V_{IN}$ )。該位準移位器可由此用以完全防止輸入電壓  $V_{IN}$  於  $V_{IN} \geq V_{DD}$  時達到多工器開關輸出。

在一組實施例中, 類比多工器可經組態以在  $V_{IN}$  與  $V_{DD}$  之間切換。該類比多工器可受控於比較器及位準移位器, 且可包含 PMOS 裝置, 該等 PMOS 裝置組態有浮動井以將該等 PMOS 裝置之井保持在最高可用電壓 ( $V_{DD}$  或  $V_{IN}$ , 此取決於哪一者較高)。為了閃鎖效應保護, 可使電阻器 (在一些實施例中為 150 歐姆) 與輸入電壓  $V_{IN}$  串聯耦接。位準移位器亦可包括二極體偏壓電路以在 PMOS 閘極處提供 1.2V 以用於高電壓保護。該偏壓電路可包含三個電晶體裝置。兩個二極體連接之 NMOS 裝置具有其串聯耦接之通道, 最上面的 NMOS 裝置耦接  $V_{DD}$ ,  $V_{DD}$  可為 3.3V 電源供應器。一個二極體連接之 PMOS 裝置可使其通道之一端與底部 NMOS 裝置之通道串聯耦接, 該 PMOS 裝置之通道的另一端耦接至參考接地 ( $V_{SS}$ )。歸因於體效應, 該三個二極體連接之電晶體裝置的總臨限電壓可能大於電源供應器  $V_{DD}$ , 從而導致偏壓電路不傳導 DC 電流。

在一組實施例中, 一種積體電路可包括一功能區塊及至少一輸入接針, 該至少一輸入接針經組態以接收預期用於功能區塊內之至少一具體目的地的一輸入信號。該積體電路亦可包括耦接於該輸入接針與功能區塊之間的保護電路。該保護電路可經組態以在輸入信號之電壓值不超過一指定參考電壓之值時允許輸入信號傳播至功能區塊內的具體目的地。另外, 該保護電路可經組態以在輸入信號之電

壓值超過該指定參考電壓之值時提供替代輸入信號的一替換信號以傳播至具體目的地。該替換信號之電壓值可能不大於經組態以對積體電路供電之供應電壓的值，且該替換信號之電壓值可對應於由輸入信號之電壓值所表示的邏輯位準。

一種用於保護一系統不受高電壓影響的方法可包括：接收預期用於系統內之至少一具體目的地的一輸入信號；及在該輸入信號到達系統內之具體目的地之前攔截該輸入信號。當輸入信號之電壓值不超過一指定參考電壓之值時，該輸入信號可被允許傳播至系統內的具體目的地，但當輸入信號之電壓值超過該指定參考電壓之值時，該輸入信號可用一替換信號來替換。該替換信號可以不大於經組態以提供電力給系統之供應電壓之值的電壓值來產生，同時對應於由輸入信號之電壓值所表示的邏輯位準。該替換信號接著可替代輸入信號傳播至系統內的具體目的地。

本文所揭示之保護電路的各種實施例滿足以下要求：當在IC之輸入接針處所接收到的輸入信號之電壓小於或等於所選擇之參考電壓時，將該輸入信號中繼(換言之，追蹤輸入信號)至IC上的電路，該參考電壓可為電源供應電壓 $V_{DD}$ ，且在輸入接針處之輸入信號電壓大於該參考電壓時，將輸入電壓固定於箝位電壓(其具有與參考電壓及/或 $V_{DD}$ 相同的值)的位準處。該電路之各種實施例亦可提供對抗門鎖效應的保護。

參考以下之圖式及圖式之實施方式，本發明之其他態樣

將變得顯而易見。

### 【實施方式】

當連同隨附圖式一起閱讀時，可藉由參考以下實施方式更完整地理解前述內容，以及本發明之其他目標、特徵及優點。

如本文所使用，術語「標稱值」用以表示預期的穩定值。舉例而言，第一供應電壓之標稱值用以表示由該第一供應電壓所達到之最終穩定值。儘管術語「標稱」通常指代實際值可稍微偏離之指定的理論值，以便簡化對本文所詳述之某些電壓值的參考，但「標稱值」用以指代由供應電壓所達到的最終預期穩定值。舉例而言，如本文所使用，當供應電壓具有3.3 V之標稱值時，此意謂該供應電壓經組態以固定並駐留在3.3 V的值處。當然，供應電壓之實際值可稍微偏離此值，且術語「標稱值」意謂考慮此等偏離。

又，如本文所使用，第一信號「追蹤」或「跟隨」第二信號，或者第一信號之值「追蹤」或「跟隨」第二信號的值表示第一信號隨著第二信號改變而改變。換言之，若第二信號以第一速率上升，則第一信號亦以第一速率上升。類似地，若第二電壓自1 V改變至2 V，則第一信號亦自1 V改變至2 V，等等。因此，第一信號追蹤(或跟隨)第二信號意謂表示第一信號經組態以具有與第二信號之值相同的值，且此外以與第二信號改變之方式相同的方式來改變。

如本文所引用，信號可據稱為「被確證」及「被撤銷確

證 (deasserted)」。大體而言，此等術語意謂表示在數位系統中之信號的邏輯狀態。當信號被確證時 (亦即，當其具有一個邏輯狀態時)，該信號可能影響系統內之一個激勵，且當信號被撤銷確證時 (亦即，其具有另一邏輯狀態)，該信號可能影響另一激勵。通常，「被確證」狀態對應於邏輯值 1，且「被撤銷確證」狀態對應於邏輯值 0。此外，不同實際電壓值可與每一狀態相關聯。儘管在數位系統中，1 之邏輯狀態通常與高電壓 ( $V_{DD}$ ) 相關聯且 0 之邏輯狀態通常與低電壓 (GND 或  $V_{SS}$ ) 相關聯，但在一些情況下，可藉由使低電壓與「被確證」狀態相關聯且使高電壓與「被撤銷確證」狀態相關聯來最佳描述系統的操作。熟習此項技術者將瞭解，「被確證」及「被撤銷確證」係相對術語，且替代性實施例可以不同於本文所揭示之確證位準的確證位準為特徵，而不改變受影響之信號相對於彼此的關係，且不更改其在系統內的所要功能性。

本文所呈現之電路的各種實施例包含一個電阻器或多個電阻器。熟習此項技術者將瞭解，電阻器可以多種不同方式獲得，且本文所揭示之電阻器意謂表示電路元件，該等元件之電力特性將與如在所揭示之實施例中組態的電阻器之電力特性相匹配。換言之，可存在以下實施例：其中一或多個電晶體裝置經組態而以與一個電阻器或多個電阻器之行為相稱的方式運作，且本文所揭示之電阻器意謂具體化可組態為電阻器的所有組件及 / 或電路元件。類似地，對「二極體」之任何引用意謂包含可組態為二極體的所有

組件及/或電路元件。舉例而言，「二極體連接之電晶體」可與「二極體」互換地使用。

最後，本文提及電晶體之「通道」。儘管(金屬氧化物半導體場效電晶體)MOSFET之結構包含對熟習此項技術者而言係熟知的可識別通道，但雙極裝置(亦稱為雙極接面裝置或雙極接面電晶體-BJT)在某些電路組態中可常常與MOSFET裝置交換以在彼等電路中獲得類似或等同的操作特性。儘管為簡單起見，雙極裝置之結構可能不包含恰好如MOSFET(或FET)裝置的可識別「通道」，但本文亦將在雙極裝置(或BJT)之集極與發射極之間所建立之傳導或操作路徑引用作為彼裝置的「通道」。換言之，當提及給定電晶體之「通道」時，若電晶體裝置為MOSFET(FET)，則詞「通道」可同等地指代在該裝置之汲極與源極之間所建立的操作(或傳導)路徑，或若電晶體裝置為雙極裝置(例如，BJT)，則指代在該裝置之集極與發射極之間所建立的操作(或傳導)路徑。

在一組實施例中，輸入保護電路(IPC)100可經組態以為諸如積體電路(IC)之系統提供高電壓電路保護。進入系統或IC之輸入信號 $V_{IN}$ 可提供至IPC 100，且IPC 100之輸出 $V_{OUT}$  120接著可作為輸入電壓 $V_{IN}$ 的代表(或與之對應)傳播至系統中。IPC 100可包括比較器102，該比較器102經組態以比較輸入信號電壓 $V_{IN}$ 與參考電壓信號 $V_{ref}$ 。在某些實施例中， $V_{ref}$ 可為電源供應電壓 $V_{DD}$ 之等效電壓，該電源供應電壓 $V_{DD}$ 經組態以供電給組態有IPC 100的IC或系統。儘

管在本文所揭示之實施例中， $V_{ref}$ 可採取值 $V_{DD}$ ，但在替代性實施例中， $V_{ref}$ 可指定為與 $V_{IN}$ 相比較的任何所要值。當輸入信號電壓 $V_{IN}$ 大於或等於參考電壓 $V_{ref}$ 時，IPC 100之 $V_{OUT}$  120可設定為箝位電壓 $V_{clamp}$ 之值，且當輸入信號電壓 $V_{IN}$ 小於參考電壓 $V_{ref}$ 時，IPC之輸出 $V_{OUT}$  120可追蹤輸入信號電壓 $V_{IN}$ 的值。在一組實施例中，IPC 100可經組態以在0 V至5 V之間的 $V_{IN}$ 操作電壓範圍及3.0 V與3.6 V之間的參考電壓 $V_{ref}$ 操作電壓範圍下操作。 $V_{clamp}$ 之操作電壓範圍亦可設定為與 $V_{ref}$ 操作範圍相同的範圍。

如上文所提及，IPC 100可包括比較器102，該比較器經組態以比較電壓位準 $V_{IN}$ 與參考電壓 $V_{ref}$ ，其中 $V_{IN}$ 可對應於在IC之輸入接針處的輸入信號。供應電壓 $V_{DD}$ 可處於IC內部或其可在外部提供至IC。大體而言，在此情況下， $V_{DD}$ 指代提供至系統或IC之供應電壓，其中 $V_{DD}$ 具有指定的操作範圍，該範圍包含在該系統或IC內不被超過的最大值。在圖3中所示之真值表300中概括了根據一項實施例之IPC 100的操作。當 $V_{IN} < V_{ref}$ 時，比較器102之輸出 $C_{OUT}$ 可被撤銷確證(例如，設定為0)，其又可撤銷確證(例如，設定為0)位準移位器104的輸出 $L_{OUT}$ 。當位準移位器104之 $L_{OUT}$ 被撤銷確證時，多工器120之輸出 $V_{OUT}$ (在此實施例中為類比多工器)可追蹤(或跟隨) $V_{IN}$ 的值。換言之，當 $V_{IN} < V_{ref}$ 時， $V_{OUT}$  120可具有與 $V_{IN}$ 相同的值。當 $V_{IN} \geq V_{DD}$ 時，比較器102之輸出 $C_{OUT}$ 可被確證(例如，設定為1)，其又可導致位準移位器104的 $L_{OUT}$ 追蹤輸入電壓 $V_{IN}$ 。當 $L_{OUT}$ 追蹤(或跟

隨) $V_{IN}$ 時，多工器 120 之  $V_{OUT}$  可設定為供應至 PMOS 裝置 114 之汲極的電壓(在此情況下為  $V_{DD}$ )的值。熟習此項技術者將瞭解，當  $V_{IN}$  等於  $V_{ref}$  時，比較器 102 可經同等地組態以撤銷確證  $C_{OUT}$ ，而不更改 IPC 100 的基本操作。然而，為簡單起見，本文僅明確揭示在  $V_{IN}$  等於  $V_{ref}$  時  $C_{OUT}$  被確證的情況。

如在 IPC 100 中所組態，位準移位器電路 104 可用以改變多工器控制信號的確證位準。亦即， $L_{OUT}$  可用作多工器電路 120 之選擇信號的一部分。位準移位器 104 之電路拓撲可經組態，使得位準移位器電路 104 之左分支由電源供應電壓  $V_{DD}$  供電，而位準移位器電路 104 之右分支由輸入電壓  $V_{IN}$  的稍微衰減版本供電，該衰減版本可在電阻器 108 之一個端子處獲得，其中  $V_{IN}$  耦接至電阻器 108 的另一端子。下文將參看圖 2b 進一步詳細描述位準移位器電路 104 的一項實施例。在一項實施例中，電阻器 108 之值為  $150\Omega$ 。如先前所提及，位準移位器電路 104 可經組態以跟隨與比較器 102 相同的邏輯(見圖 3 中的表 300)。位準移位器 104 可由此用以完全防止輸入電壓  $V_{IN}$  在  $V_{IN} \geq V_{DD}$  (或  $V_{IN} > V_{DD}$ ) 時達到多工器 120 的輸出  $V_{OUT}$ 。

圖 2a 及圖 2b 展示組態有 NMOS 及 PMOS 裝置之 IPC 電路 100 的一項實施例。圖 2a 展示比較器 102 之一項實施例。如圖 2b 中所示，由比較器 102 及位準移位器 104 所控制的類比多工器 120 可包含 PMOS 裝置 110 及 112，該等 PMOS 裝置組態有浮動井以將 PMOS 裝置的井保持在最高可用電壓 ( $V_{DD}$

或  $V_{IN}$ ，此取決於哪一電壓較高)下。在圖 2b 中所示之實施例中，PMOS 裝置 110、112(組態於多工器 120 中)及 214、216、218 及 220 之各別井可皆耦接在一起且保持浮動，以確保位準移位器 104 及多工器 120 兩者中之此等 PMOS 裝置的井在 IPC 100 之操作期間將處於最高可用電壓。電阻器 108(在一些實施例中為 150 歐姆)可與輸入電壓  $V_{IN}$  串聯耦接以提供對抗閃鎖效應的保護。位準移位器電路 104 亦可包括二極體偏壓電路以提供對抗高電壓的保護。在一組實施例中，二極體偏壓電路可用三個電晶體裝置來實施。兩個二極體連接之 NMOS 裝置 202 及 204 可使其各別通道串聯耦接在一起，其中 NMOS 裝置 202 之汲極耦接至  $V_{DD}$  (其可為 3.3 V 電源供應器)。一個二極體連接之 PMOS 裝置 206 可使其源極與 NMOS 裝置 204 的源極串聯耦接，且使其汲極耦接至參考接地 ( $V_{SS}$ )。由於體效應，該三個二極體連接之電晶體裝置 (202、204 及 206) 的總臨限電壓可大於電源供應器  $V_{DD}$ ，從而導致偏壓電路不傳導 DC 電流，藉此保護電晶體裝置不受高電壓影響。

在一些實施例中，可將電力斷開信號 (PD) 提供至比較器 102 及多工器 120 (見圖 1、圖 2a 及圖 2b)。該 PD 信號可用以對 IPC 100 電力斷開。如在圖 3 之表 300 中所概括，當 PD 信號被確證 (例如，設定為 1) 時，無論輸入信號電壓  $V_{IN}$  之值為何，比較器 102 之輸出  $C_{OUT}$  可被確證，從而導致位準移位器 104 的輸出  $L_{OUT}$  跟隨 (追蹤) 輸入電壓  $V_{IN}$ ，且多工器 120 之輸出  $V_{OUT}$  設定為在 PMOS 裝置 114 之汲極處所提供之電壓



$V_{\text{clamp}}$  的值。在 IPC 100 之正常操作期間可撤銷確證 PD 信號。在一組實施例中，為了將輸入信號電壓  $V_{\text{IN}}$  之全部範圍傳遞至輸出  $V_{\text{OUT}}$ ，多工器 120 可組態有全傳輸閘 (full transmission gate) 而非僅 PMOS 裝置 110 及 112 (展示於圖 1 之邏輯圖中)。如圖 2b 中所示，包含 PMOS 裝置 110 及 NMOS 裝置 210 之第一傳輸閘可耦接至包含 PMOS 裝置 112 及 NMOS 裝置 212 的第二傳輸閘。PMOS 裝置 (110 及 112) 之存在確保在  $V_{\text{OUT}}$  打算駐留在高電壓 (例如， $V_{\text{clamp}}$  或  $V_{\text{DD}}$ ) 時完全的高電壓存在於  $V_{\text{OUT}}$  處，而 NMOS 裝置 (210 及 212) 之存在確保在  $V_{\text{OUT}}$  打算駐留在 0V 時零伏特 (0 V) 存在於  $V_{\text{OUT}}$  處。

因此，IPC 100 之各種實施例滿足以下要求：將輸入信號電壓  $V_{\text{IN}}$  (可在包括 IPC 100 之 IC 的輸入接針處接收該輸入信號電壓  $V_{\text{IN}}$ ) 中繼至其在 IC 上之預期目的地，同時將到達 IC 上之預期目的地的信號之電壓位準限於指定的允許電壓 ( $V_{\text{clamp}}$ )，在某些實施例中，該指定的允許電壓可為用以對 IC 供電之供應電壓的值。當  $V_{\text{IN}}$  小於或等於  $V_{\text{ref}}$  (其亦可設定為電源供應電壓  $V_{\text{DD}}$ ) 時， $V_{\text{IN}}$  可中繼 (換言之，允許其傳播通過) 至其在 IC (或系統) 上的預期目的地。當在輸入接針處之  $V_{\text{IN}}$  大於  $V_{\text{ref}}$  時，被允許傳播至系統中之信號的值保持在  $V_{\text{clamp}}$  的位準。IPC 100 之各種實施例亦可提供對抗門鎖效應的保護。亦應注意， $V_{\text{OUT}}$  被限制至的最大位準  $V_{\text{clamp}}$  無需與同  $V_{\text{IN}}$  相比較之電壓相同，亦無需與  $V_{\text{DD}}$  相同。換言之，對於  $V_{\text{ref}}$ 、 $V_{\text{DD}}$  及  $V_{\text{clamp}}$ ，各種實施例可具有不同值，如由系統要求及/或各種設計考慮所判定。

儘管已相當詳細地描述了以上實施例，但其他版本係可能的。舉例而言，熟習此項技術者將瞭解，儘管所揭示之實施例以某些NMOS/PMOS結構為特徵，但替代性實施例係可能的，其中NMOS及PMOS裝置經互換，且電路結構經相應地修改以獲得相同的總體功能性，該功能性特徵化本文所揭示的實施例。類似地，熟習此項技術者亦將瞭解，在圖1、圖2a及圖2b中所示之電路中之電晶體中的某些電晶體可用雙極裝置替換，以獲得相同的總體功能性、行為，及特徵化本文所揭示之實施例的所要益處。一旦完全瞭解以上揭示內容，則對於熟習此項技術者而言，眾多變化及修改將變得顯而易見。預期以下申請專利範圍經解譯為包含所有此等變化及修改。注意，本文所使用之章節標題僅用於組織之目的，且並不意謂限制本文所提供之描述或附加至其的申請專利範圍。

在本發明容許各種修改及替代形式之同時，在圖式中藉由實例展示本發明之具體實施例且將在本文中對其進行詳細描述。然而，應理解，該等圖式及其實施方式不欲將本發明限於所揭示之特定形式，而相反，本發明將涵蓋屬於如由附加申請專利範圍所界定之本發明之精神及範疇的所有修改、等效物及替代。注意，標題僅用於組織之目的且並不意謂用以限制或解譯描述或申請專利範圍。此外，注意，遍及本申請案以許可之意義(亦即，具有可能性、能夠)而非強制性意義(亦即，必須)來使用詞「可能」。術語「包括」及其導出形式意謂「包括但不限於」。術語「連

接」意謂「直接或間接連接」，且術語「耦接」意謂「直接或間接連接」。

### 【圖式簡單說明】

圖1展示用於保護系統不受高電壓輸入信號影響之輸入保護電路之一項實施例的邏輯/電路圖；

圖2a展示圖1之輸入保護電路的電壓比較器部分之一項實施例的電晶體圖；

圖2b展示圖1之輸入保護電路的位準移位器/反相器/多工器部分之一項實施例的電晶體圖；及

圖3係概括圖1的輸入保護電路之一項實施例之操作的真值表。

### 【主要元件符號說明】

|     |                   |
|-----|-------------------|
| 100 | 輸入保護電路(IPC)       |
| 102 | 比較器               |
| 104 | 位準移位器             |
| 106 | 反向器               |
| 108 | 電阻器               |
| 110 | PMOS裝置            |
| 112 | PMOS裝置            |
| 114 | PMOS裝置            |
| 120 | 輸出 $V_{OUT}$ /多工器 |
| 202 | 二極體連接之NMOS裝置      |
| 204 | 二極體連接之NMOS裝置      |
| 206 | 二極體連接之PMOS裝置      |

|             |           |
|-------------|-----------|
| 210         | NMOS 裝置   |
| 212         | NMOS 裝置   |
| 214         | PMOS 裝置   |
| 216         | PMOS 裝置   |
| 218         | PMOS 裝置   |
| 220         | PMOS 裝置   |
| 300         | 真值表       |
| $C_{OUT}$   | 輸出        |
| $L_{OUT}$   | 輸出        |
| PD          | 電力斷開信號    |
| $V_{clamp}$ | 箝位電壓      |
| $V_{DD}$    | 電源供應電壓    |
| $V_{IN}$    | 輸入信號/輸入電壓 |
| $V_{ref}$   | 參考電壓信號    |
| $V_{SS}$    | 參考接地      |

## 七、申請專利範圍：

### 1. 一種輸入保護電路，其包含：

一第一電路，其經組態以比較一輸入信號與一參考信號，且產生一第一控制信號，該第一控制信號指示該輸入信號之值是大於或等於該參考信號之值，或是小於該參考信號的該值；

一第二電路，其經組態以接收該第一控制信號，且根據該第一控制信號產生一第二控制信號，其中對於該第一控制信號之一第一值，該第二控制信號設定為一第一指定值，且其中對於該第一控制信號之一第二值，該第二控制信號之一值追蹤該輸入信號的該值；及

一第三電路，其經組態以根據該第一控制信號及該第二控制信號產生一輸出信號，其中對於該第一控制信號之該第一值及該第二控制信號的該第一指定值，該輸出信號之一值追蹤該輸入信號的該值，且其中對於該第一控制信號之該第二值，該輸出信號之該值設定為小於該輸入信號之該值的一第二指定值。

2. 如請求項1之輸入保護電路，其中該第一控制信號之該第一值指示該輸入信號之該值小於該參考信號的該值，且其中該第一控制信號之該第二值指示該輸入信號大於或等於該參考信號的該值。

3. 如請求項1之輸入保護電路，其中該第二電路為一位準移位器電路，其具有由一第一供應電壓供電之一第一分支及由該輸入信號之一衰減版本供電之一第二分支。

4. 如請求項1之輸入保護電路，其中該第三電路為一多工器，其經組態以：

接收該輸入信號作為一第一輸入；

接收具有該第二指定值之一第二信號作為一第二輸入；及

根據該第一控制信號之該值及該第二控制信號之該值，在該第一輸入與該第二輸入之間切換使其成為該輸出信號。

5. 如請求項1之輸入保護電路，其中該第二指定值及該參考信號之該值各自等於用以對該輸入保護電路供電之一電源供應電壓的值。

6. 一種保護電路，其包含：

一第一組件，其經組態以：

接收一輸入電壓及一參考電壓；

當該輸入電壓大於或等於該參考電壓時，確證一第一控制信號；及

當該輸入電壓小於該參考電壓時，撤銷確證該第一控制信號；

一第二組件，其經組態以：

當該第一控制信號被撤銷確證時，撤銷確證一第二控制信號；

當該第一控制信號被確證時，將該第二控制信號設定為追蹤該輸入電壓；及

一第三組件，其經組態以：

當該第一控制信號被確證時，將一輸出電壓設定為小於該輸入電壓之一指定電壓；及

當該第一控制信號及該第二控制信號皆被撤銷確證時，將該輸出電壓設定為追蹤該輸入電壓。

7. 如請求項6之保護電路，其中該第一組件、該第二組件及該第三組件包含CMOS裝置，其中由一指定供應電壓供電給該第一組件及該第二組件之至少一部分。
8. 如請求項7之保護電路，其中該第二組件為一位準移位器，該位準移位器包含由該指定供應電壓供電之一第一分支，及由基於該輸入電壓之一第二供應電壓供電之一第二分支；其中該位準移位器之該第二分支包含PMOS裝置，該等PMOS裝置具有一浮動井以將該等PMOS裝置中之每一者的各別井保持在一可能的最高電壓位準。
9. 如請求項8之保護電路，其中該位準移位器進一步包含一偏壓電路，該偏壓電路耦接於該指定供應電壓與參考接地之間，以在該位準移位器之一輸出級中的一電晶體裝置之一控制端子處設定一控制電壓位準。
10. 如請求項9之保護電路，其中該偏壓電路之一總臨限電壓大於該指定供應電壓。
11. 如請求項9之保護電路，其中該偏壓電路包含二極體連接之電晶體，該等二極體連接之電晶體使其通道串聯耦接。
12. 如請求項8之保護電路，其進一步包含一電阻器，該電阻器耦接於該輸入電壓與該位準移位器之間以提供對抗

門鎖效應的保護。

13. 如請求項6之保護電路，其中該第三組件為一類比多工器，其包含：

串聯耦接的一對傳輸閘，其受控於該第二控制信號及該第一控制信號，且具有耦接至該輸入電壓之一端及耦接至一輸出節點的另一端，該輸出節點經組態以提供該輸出電壓；及

一電晶體，其具有由該第一控制信號控制之一控制端子，且具有經組態以接收該指定電壓之一第一通道端子及耦接至該輸出節點的另一通道端子；

其中在該第一控制信號及該第二控制信號皆被撤銷確證時，該對傳輸閘經組態以將該輸入電壓中繼至該輸出節點；且

其中在該第一控制信號被確證時，該電晶體裝置經組態以將該指定電壓中繼至該輸出節點。

14. 一種用於保護一系統不受高電壓影響的方法，該方法包含：

比較一輸入電壓與一參考電壓；

回應於該比較而產生一第一控制信號，其中該第一控制信號指示該輸入電壓是大於或等於該參考電壓，或是小於該參考電壓；

當該第一控制信號指示該輸入電壓小於該參考電壓時，將一第二控制信號設定為一第一指定電壓；及

當該第一控制信號指示該輸入電壓大於或等於該參考



電壓時，將該第二控制信號設定為該輸入電壓；

當該第一控制信號指示該輸入電壓大於或等於該參考電壓時，將一輸出設定為小於該輸入電壓的一第二指定電壓；及

當該第一控制信號指示該輸入電壓小於該參考電壓時，回應於該將該第二控制信號設定為該第一指定電壓而將該輸出設定為該輸入電壓。

15. 如請求項14之方法，其中該參考電壓及該第二指定電壓等於一供應電壓，該供應電壓經組態以提供電力給該系統。

16. 如請求項14之方法，其中該產生該第一控制信號包含：在該輸入電壓大於或等於該參考電壓時確證該第一控制信號；及在該輸入電壓小於該參考電壓時撤銷確證該第一控制信號。

17. 如請求項14之方法，其中該將該輸出設定為該輸入電壓包含：

用該第一控制信號及該第二控制信號來控制一對傳輸閘；及

該等傳輸閘將該輸入電壓自該等傳輸閘之一輸入中繼至該輸出。

18. 如請求項14之方法，其中該將該輸出設定為該第二指定電壓包含：用該第一控制信號控制一電晶體裝置以將該第二指定電壓自該電晶體裝置之通道端子中的一者中繼至該輸出。

19. 一種積體電路，其包含：

一功能區塊；

至少一輸入接針，其經組態以接收預期用於該功能區塊內之至少一具體目的地的一輸入信號，該輸入信號具有一電壓值；及

一保護電路，其耦接於該至少一輸入接針與該功能區塊之間，其中該保護電路經組態以：

當該輸入信號之該電壓值不超過一指定參考電壓之值時，允許該輸入信號傳播至該功能區塊內的該至少一具體目的地；及

當該輸入信號之該電壓值超過該指定參考電壓之該值時，提供替代該輸入信號之一替換信號以傳播至該功能區塊內的該至少一具體目的地，其中該替換信號之電壓值不大於一供應電壓的值，該供應電壓經組態以對該積體電路供電，且其中該替換信號之該電壓值對應於由該輸入信號之該電壓值所表示的邏輯位準。

20. 如請求項19之積體電路，其中該替換信號之該電壓值與該供應電壓的該值相同。

21. 如請求項20之積體電路，其中該指定參考電壓之該值與該供應電壓的該值相同。

22. 一種用於保護一系統不受高電壓影響的方法，該方法包含：

接收預期用於該系統內之至少一具體目的地的一輸入信號，該輸入信號具有一電壓值；

在該輸入信號到達該系統內之該至少一具體目的地之前攔截該輸入信號；

當該輸入信號之該電壓值不超過一指定參考電壓之值時，允許該輸入信號傳播至該系統內的該至少一具體目的地；及

當該輸入信號之該電壓值超過該指定參考電壓之該值時，產生一替換信號以替換該輸入信號，其中該替換信號之電壓值不大於一供應電壓的值，該供應電壓經組態以提供電力給該系統，且其中該替換信號之該電壓值對應於由該輸入信號之該電壓值所表示的邏輯位準。

23. 如請求項22之方法，其進一步包含將該替換信號傳播至該系統內之該至少一具體目的地。
24. 如請求項22之方法，其中該系統為一積體電路，其中該接收該輸入信號係在該積體電路之一接針處。
25. 如請求項24之方法，其中該積體電路係使用一CMOS製程製造。



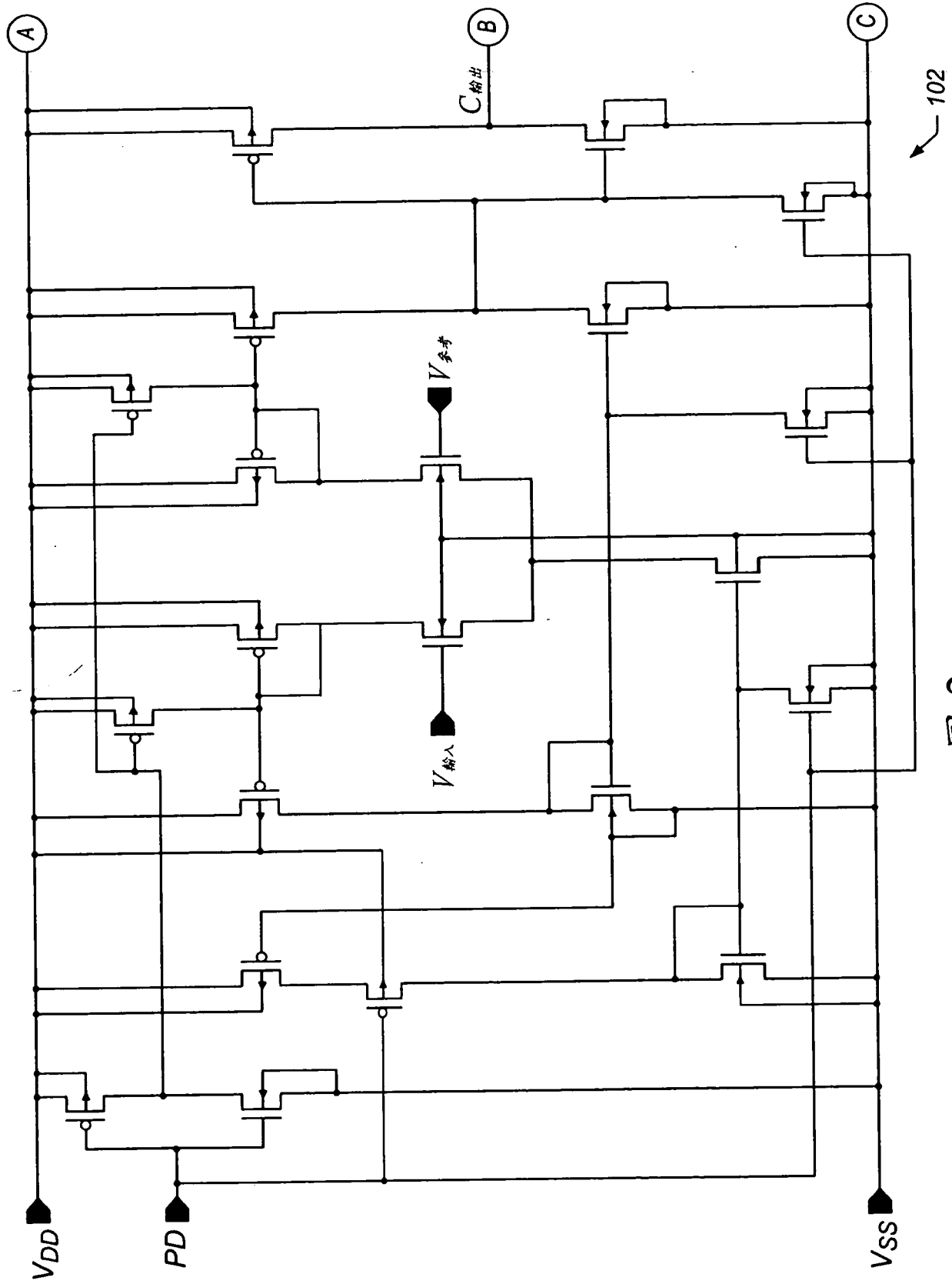


圖 2a

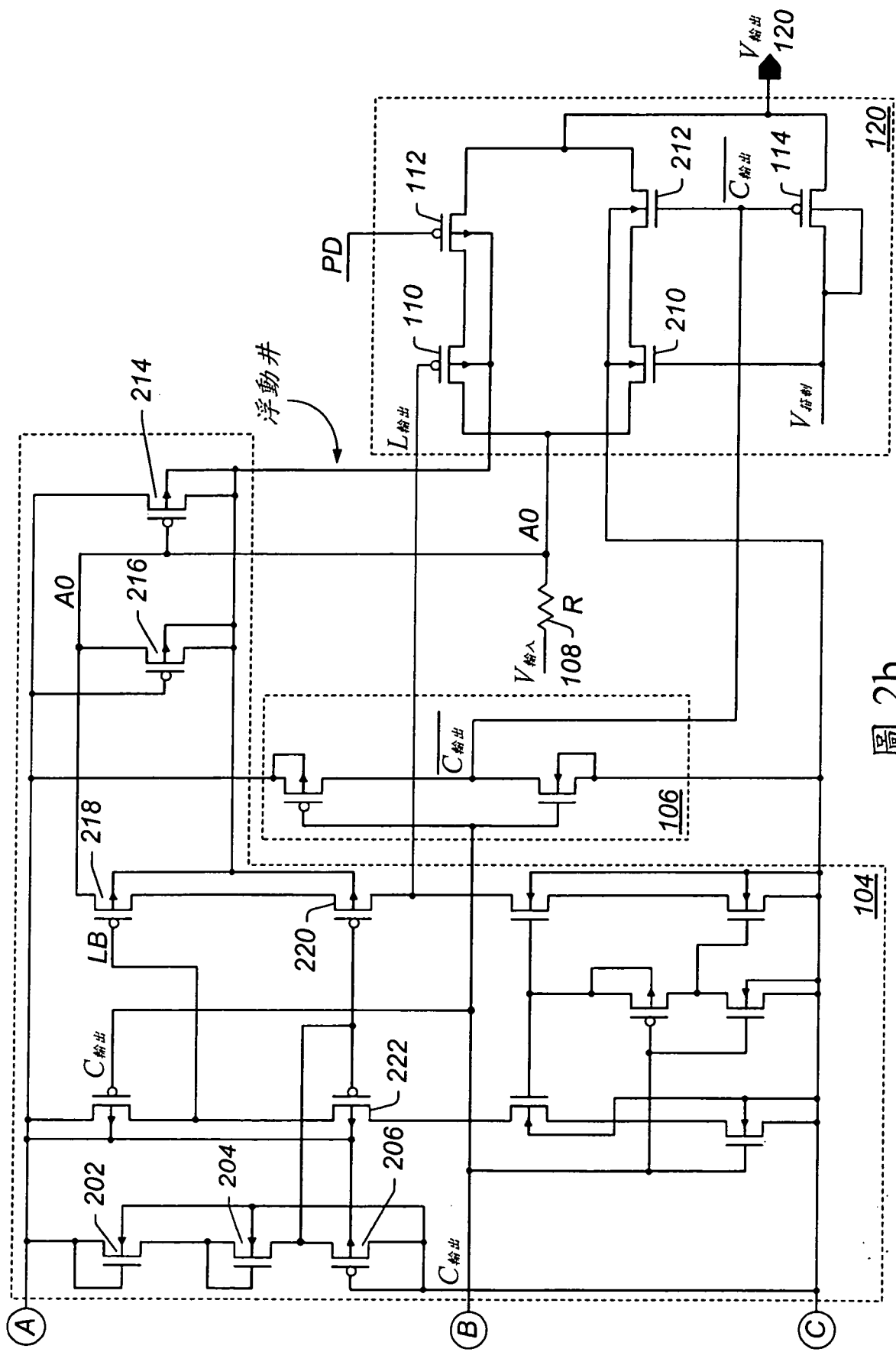


圖 2b

300 ↙

| PD | $V_{輸入}$             | C <sub>輸出</sub><br>(比較器輸出) | L <sub>輸出</sub><br>(位準移位器輸出) | V <sub>輸出</sub><br>(多工器輸出) |
|----|----------------------|----------------------------|------------------------------|----------------------------|
| 1  | X                    | 被確證(1)                     | 追蹤輸入電壓位準 $V_{輸入}$            | $V_{HREF}$                 |
| 0  | $V_{輸入} < V_{參考}$    | 被撤銷確證(0)                   | 被撤銷確證(0)                     | 跟隨輸入電壓位準 $V_{輸入}$          |
| 0  | $V_{輸入} \geq V_{參考}$ | 被確證(1)                     | 追蹤輸入電壓位準 $V_{輸入}$            | $V_{HREF}$                 |

圖 3