

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5361156号  
(P5361156)

(45) 発行日 平成25年12月4日(2013.12.4)

(24) 登録日 平成25年9月13日(2013.9.13)

(51) Int. Cl.	F I
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 J
HO 1 L 21/768 (2006.01)	HO 1 L 23/12 5 O 1 P
HO 1 L 23/522 (2006.01)	HO 1 L 23/00 C
HO 1 L 23/12 (2006.01)	
HO 1 L 23/00 (2006.01)	

請求項の数 27 (全 22 頁)

(21) 出願番号	特願2007-204355 (P2007-204355)	(73) 特許権者	308033711
(22) 出願日	平成19年8月6日(2007.8.6)		ラピスセミコンダクタ株式会社
(65) 公開番号	特開2009-43779 (P2009-43779A)		神奈川県横浜市港北区新横浜二丁目4番地
(43) 公開日	平成21年2月26日(2009.2.26)		8
審査請求日	平成22年7月27日(2010.7.27)	(74) 代理人	100079049
			弁理士 中島 淳
		(74) 代理人	100084995
			弁理士 加藤 和詳
		(74) 代理人	100099025
			弁理士 福田 浩志
		(74) 代理人	100085419
			弁理士 大垣 孝
		(74) 代理人	100141955
			弁理士 岡田 宏之

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

ダイシング領域と、該ダイシング領域で画成されるチップ領域とが設定された半導体基板と、

該半導体基板の一方の主表面である第1主面側に形成された素子と、  
前記半導体基板の前記第1主面から、該第1主面の反対側の主表面である第2主面に渡って形成された貫通分離部と、

該貫通分離部内に、前記第1主面から前記第2主面に渡って形成された貫通電極と、  
前記半導体基板の前記第1主面上に形成された配線絶縁膜と、

該配線絶縁膜に形成されたチップ配線と、  
前記配線絶縁膜の上面及び側面上に一体的に形成された金属膜と  
を備え、

該金属膜の膜厚が、前記半導体基板よりも大きいことを特徴とする半導体装置。

【請求項2】

前記金属膜が、前記半導体基板の機械的強度を保つ支持体として機能する膜厚を有していることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記金属膜の膜厚は、前記半導体基板の膜厚の4倍以上であることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】

前記金属膜の膜厚が40 μm以上であり、  
前記半導体基板の膜厚が3 ~ 10 μmであることを特徴とする請求項1 ~ 3の何れか一  
項に記載の半導体装置。

【請求項5】

前記チップ領域が、中央領域と、該中央領域の周囲に周辺領域とを備え、  
該周辺領域の前記配線絶縁膜に、上面から下面に渡って、前記中央領域を取り囲むよう  
に形成された周辺配線を備え、

前記素子が、前記第1主面側の前記中央領域に設けられており、  
前記貫通分離部及び前記チップ配線が、前記中央領域に設けられていることを特徴とす  
る請求項1 ~ 4の何れか一項に記載の半導体装置。

10

【請求項6】

前記周辺領域の第1主面側に、不純物拡散層を備え、  
前記周辺配線は、前記不純物拡散層に電氣的に接続されている  
ことを特徴とする請求項5に記載の半導体装置。

【請求項7】

前記周辺領域の前記半導体基板に、前記第1主面から前記第2主面に渡って、前記中央  
領域を取り囲む周辺酸化膜が形成されている  
ことを特徴とする請求項5に記載の半導体装置。

【請求項8】

前記周辺領域は、前記中央領域に隣接する第1周辺領域と、該第1周辺領域を取り囲む  
第2周辺領域とを備え、

前記半導体基板の、前記第1周辺領域の前記第1主面側に、不純物拡散層を備え、  
前記周辺配線は、前記不純物拡散層に電氣的に接続されていて、及び  
前記第2周辺領域には、前記第1主面から前記第2主面に渡って、周辺酸化膜が形成さ  
れている  
ことを特徴とする請求項5に記載の半導体装置。

20

【請求項9】

前記周辺酸化膜内に、前記第1主面から前記第2主面に渡って、周辺貫通電極を備え、  
前記周辺配線は、前記周辺貫通電極に電氣的に接続されている  
ことを特徴とする請求項7に記載の半導体装置。

30

【請求項10】

前記第2主面上に、前記貫通電極と電氣的に接続された外部端子を備えることを特徴と  
する請求項1 ~ 9のいずれか一項に記載の半導体装置。

【請求項11】

半導体基板の一方の主表面である第1主面から該第1主面の反対側の主表面である第2  
主面に向かって貫通分離溝を形成する工程と、  
該貫通分離溝内に酸化膜を形成して貫通分離部を形成する工程と、  
前記半導体基板の前記第1主面側に素子を形成する工程と、  
前記半導体基板の前記第1主面上に、前記素子を覆う配線絶縁膜を形成する工程と、  
前記配線絶縁膜にチップ配線を形成する工程と、  
前記貫通分離部内に貫通電極を形成する工程と、  
前記配線絶縁膜の上面及び側面上を一体的に覆い、且つ、前記半導体基板の膜厚よりも  
大きな膜厚の金属膜を形成する工程と、  
を備えることを特徴とする半導体装置の製造方法。

40

【請求項12】

前記金属膜を、前記半導体基板の機械的強度を保つ支持体として機能する膜厚に形成す  
ることを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項13】

前記金属膜を形成する工程で、当該金属膜の膜厚を、前記半導体基板の膜厚の4倍以上  
に形成することを特徴とする請求項11又は12に記載の半導体装置の製造方法。

50

## 【請求項 14】

前記金属膜を形成する工程で、当該金属膜の膜厚を  $40\ \mu\text{m}$  以上に形成し、  
前記薄膜化する工程で、膜厚が  $3\sim 10\ \mu\text{m}$  となるまで前記半導体基板を薄膜化することを特徴とする請求項 11～13 の何れか一項に記載の半導体装置の製造方法。

## 【請求項 15】

前記貫通電極が前記第 2 主面側から露出していることを特徴とする請求項 11～14 の何れか一項に記載の半導体装置の製造方法。

## 【請求項 16】

前記金属膜を形成した後に、前記第 2 主面側から前記貫通電極が露出するまで、前記半導体基板を薄膜化する工程を備えることを特徴とする請求項 11～14 の何れか一項に記載の半導体装置の製造方法。

10

## 【請求項 17】

前記第 2 主面側から露出した前記貫通電極に、外部端子を形成する工程を備えることを特徴とする請求項 11～16 の何れか一項に記載の半導体装置の製造方法。

## 【請求項 18】

中央領域、及び該中央領域の周辺に周辺領域を有する複数のチップ領域が、前記半導体基板に設定されており、

前記配線絶縁膜、前記チップ配線、及び前記貫通電極を形成する工程が、前記周辺領域の前記配線絶縁膜に、上面から下面に渡って、前記中央領域を取り囲む周辺配線を形成する工程を更に備えることを特徴とする請求項 11～17 の何れか一項に記載の半導体装置の製造方法

20

## 【請求項 19】

前記配線絶縁膜、前記チップ配線、前記貫通電極、及び前記周辺配線を形成する工程は、

前記半導体基板の前記第 1 主面上に、第 1 層間絶縁膜を形成する工程と、  
該第 1 層間絶縁膜の前記中央領域に、前記素子の部分を露出する素子用コンタクトホールと、前記貫通分離溝の底部を露出する貫通電極用ホールとを形成し、及び、前記第 1 層間絶縁膜の前記周辺領域に、前記第 1 主面を露出する第 1 層周辺溝を形成する工程と、

前記素子用コンタクトホールを導電体で埋め込んで第 1 層導電プラグを形成し、前記貫通電極用ホールを埋め込んで、前記貫通分離部の内部に前記貫通電極を形成するとともに、前記第 1 層間絶縁膜内に貫通電極用プラグを形成し、さらに、前記第 1 層周辺溝を埋め込んで、第 1 層周辺プラグを形成する工程と、

30

前記第 1 層間絶縁膜上に、第 1 層配線を形成することにより、該第 1 層配線、前記第 1 層導電プラグ及び前記貫通電極用プラグからなる前記チップ配線を形成するとともに、前記第 1 層周辺プラグを覆う第 1 層周辺配線を形成する工程と、

前記第 1 層間絶縁膜上に、前記第 1 層配線及び前記第 1 層周辺配線を覆う上層絶縁膜を形成することにより、前記第 1 層間絶縁膜及び前記上層絶縁膜が積層された前記配線絶縁膜を形成する工程と、

前記上層絶縁膜の前記周辺領域に、前記第 1 層周辺配線を露出し、かつ前記中央領域を取り囲む上層周辺溝を形成する工程と、

40

前記上層周辺溝を埋め込んで、上層周辺プラグを形成することにより、該上層周辺プラグ、前記第 1 層周辺プラグ及び前記第 1 層周辺配線からなる前記周辺配線を形成する工程と、

を備えることを特徴とする請求項 18 に記載の半導体装置の製造方法。

## 【請求項 20】

前記チップ配線は、 $n$  層構造 ( $n$  は 2 以上の整数) であり、  
前記配線絶縁膜、前記チップ配線、前記貫通電極、及び前記周辺配線を形成する工程は、

該半導体基板の前記第 1 主面上に、第 1 層間絶縁膜を形成する工程と、  
前記第 1 層間絶縁膜の前記中央領域に、前記素子の部分を露出する素子用コンタクトホ

50

ールと、前記貫通分離溝の底部を露出する貫通電極用ホールとを形成し、及び、前記第 1 層間絶縁膜の前記周辺領域に、前記第 1 主面を露出する第 1 層周辺溝を形成する工程と、

前記素子用コンタクトホールを導電体で埋め込んで第 1 層導電プラグを形成し、前記貫通電極用ホールを埋め込んで、前記貫通分離部の内部に前記貫通電極を形成するとともに、前記第 1 層間絶縁膜内に貫通電極用プラグを形成し、さらに、前記第 1 層周辺溝を埋め込んで、第 1 層周辺プラグを形成する工程と、

前記第 1 層間絶縁膜上に、第 1 層配線を形成するとともに、前記第 1 層周辺プラグを覆う第 1 層周辺配線を形成する工程と、

第  $k - 1$  層間絶縁膜 ( $k$  は 2 以上  $n$  以下の整数) 上に、第  $k - 1$  層配線及び第  $k - 1$  層周辺配線を覆う第  $k$  層間絶縁膜を形成する工程と、

第  $k$  層間絶縁膜の前記中央領域に、前記第  $k - 1$  層配線の部分を露出する第  $k$  ピアホールと、前記第  $k$  層間絶縁膜の前記周辺領域に、前記第  $k - 1$  層周辺配線を露出し、かつ前記中央領域を取り囲む第  $k$  層周辺溝とを形成する工程と、

前記第  $k$  ピアホールを導電体で埋め込んで第  $k$  層導電プラグを形成し、前記第  $k$  層周辺溝を埋め込んで、第  $k$  層周辺プラグを形成する工程と、

前記第  $k$  層間絶縁膜上に、第  $k$  層配線を形成するとともに、前記第  $k$  層周辺プラグを覆う第  $k$  層周辺配線を形成する工程とを  $k$  を 2 から  $n$  まで変化させて繰り返し行い、

第  $n$  層間絶縁膜上に、第  $n$  層配線及び第  $n$  層周辺配線を覆う上層絶縁膜を形成することにより、前記第 1 ~  $n$  層間絶縁膜及び前記上層絶縁膜が積層された前記配線絶縁膜を形成し、前記貫通電極用プラグ、第 1 ~  $n$  層導電プラグ及び第 1 ~  $n$  層配線からなる前記チップ配線を得る工程と、

前記上層絶縁膜の前記周辺領域に、前記第  $n$  層周辺配線を露出し、かつ前記中央領域を取り囲む上層周辺溝を形成する工程と、

前記上層周辺溝を埋め込んで、上層周辺プラグを形成することにより、該上層周辺プラグ、第 1 ~  $n$  層周辺プラグ及び第 1 ~  $n$  層周辺配線からなる前記周辺配線を形成する工程と、

を備えることを特徴とする請求項 18 に記載の半導体装置の製造方法。

【請求項 21】

前記素子を形成する工程では、前記周辺領域の前記第 1 主面側に、不純物拡散層を形成する

ことを特徴とする請求項 18 ~ 20 の何れか一項に記載の半導体装置の製造方法。

【請求項 22】

前記貫通分離溝を形成する工程では、前記半導体基板の前記周辺領域を合わせてエッチングして、前記中央領域を取り囲み、かつ前記貫通分離溝と同じ深さの周辺貫通溝を形成し、

前記貫通分離部を形成する工程では、前記周辺貫通溝を埋め込んで周辺酸化膜を形成する

ことを特徴とする請求項 18 ~ 20 の何れか一項に記載の半導体装置の製造方法。

【請求項 23】

前記周辺領域として、前記中央領域に隣接する第 1 周辺領域と、該第 1 周辺領域を取り囲む第 2 周辺領域を設定し、

前記貫通分離溝を形成する工程では、前記半導体基板の前記第 2 周辺領域を合わせてエッチングして、前記中央領域を取り囲み、かつ前記貫通分離溝と同じ深さの周辺貫通溝を形成し、

前記貫通分離部を形成する工程では、前記周辺貫通溝を埋め込んで周辺酸化膜を形成し、

前記素子を形成する工程では、前記第 1 周辺領域の前記第 1 主面側に、不純物拡散層を形成する

ことを特徴とする請求項 18 ~ 20 の何れか一項に記載の半導体装置の製造方法。

【請求項 24】

10

20

30

40

50

前記貫通分離部を形成する工程では、前記周辺貫通溝を埋め込んで周辺酸化膜を形成し

、  
前記第1層周辺溝を形成する工程では、前記第1層周辺溝を前記周辺酸化膜内に、前記貫通電極用ホールと同じ深さまで形成し、

前記導電プラグ及び前記第1層周辺溝を形成する工程では、前記第1層周辺溝を合わせて埋め込んで、前記周辺酸化膜内に周辺貫通電極を形成することを特徴とする請求項19～21の何れか一項に記載の半導体装置の製造方法。

【請求項25】

前記貫通電極の第2主面上に外部端子を形成する工程

をさらに備えることを特徴とする請求項11～24のいずれか一項に記載の半導体装置の製造方法。

10

【請求項26】

前記半導体基板の前記第2主面上に第1裏面絶縁膜を形成する工程と、

該第1裏面絶縁膜に前記貫通電極を露出する裏面コンタクトホールを開口する工程と、前記裏面コンタクトホールを埋め込み、さらに、前記第1裏面絶縁膜上に裏面配線を形成する工程と、

前記第1裏面絶縁膜上に、前記裏面配線を覆う第2裏面絶縁膜を形成する工程と、

該第2裏面絶縁膜に前記裏面配線の部分を露出するビアホールを形成する工程と、

該ビアホールを導電体で埋め込み、さらに、該導電体上に外部端子を形成する工程とをさらに備えることを特徴とする請求項11～24のいずれか一項に記載の半導体装置の製造方法。

20

【請求項27】

前記外部端子を形成した後、

前記チップ領域間のダイシング領域で、ダイシングを行ってチップ領域ごとに個片化する

ことを特徴とする請求項25又は26に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置及びその製造方法、特にメタル封止型のウェハレベルチップサイズパッケージ(CSP)とその製造方法に関するものである。

30

【背景技術】

【0002】

従来のウェハレベルCSPでは、ポリイミド、ベンゾシクロブテン(BCB)等の樹脂絶縁膜を用いて、半導体基板上に形成された多層配線を樹脂封止している。

【0003】

しかし、ポリイミドの吸水性が高いため、やがて飽和した水分が内部に染み出す場合がある。また、BCBの吸水性は低い、金属とBCBの界面やBCBそのものにも水分の透過が起こる場合がある。これらの内部に染み出したあるいは透過した水分が、多層配線の腐食を引き起こす恐れがある。

40

【0004】

この耐湿性の問題のため、樹脂絶縁膜により封止されたCSPは、高信頼性が要求される用途には用いることができない。

【0005】

そこで、耐湿性を向上させるために、樹脂絶縁膜の上面及び側面に金属膜を形成して、樹脂絶縁膜を金属膜で覆う半導体装置が提案されている(例えば、特許文献1参照)。

【特許文献1】特開2002-359257号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

50

しかしながら、特許文献 1 に開示している半導体装置のように、樹脂絶縁膜を金属膜で覆った場合であっても、例えば、金属膜と半導体基板との界面から水分が浸入する恐れがある。

【 0 0 0 7 】

また、半導体基板の表面側に形成された素子を、外部回路と電気的に接続するため、基板中に貫通電極を設けて、外部回路との接続端子を裏面側に設ける必要がある。ここで、基板にシリコン基板を用いる場合、各貫通電極は、周囲と絶縁されている必要がある。

【 0 0 0 8 】

しかし、シリコン基板が厚いと、貫通電極、及び貫通電極を周囲と絶縁する分離膜の形成が困難である。これは、基板が厚いとアスペクト比が大きくなることから、埋め込み不良が発生しやすくなるためである。一方、単にシリコン基板を薄くしていくと、機械的強度が低くなるなど、薄膜化した後の取扱が困難になる。

【 0 0 0 9 】

この発明は、上述の問題点に鑑みてなされたものであり、この発明の目的は、チップを取り囲むように周辺配線を形成することにより、金属膜とシリコン基板との界面から侵入した水分が、内部の多層配線を腐食させるなどの影響を与えるのを防いで、その結果として耐湿性をさらに向上させる半導体装置とその製造方法を提供することにある。

【課題を解決するための手段】

【 0 0 1 0 】

上述した目的を達成するために、この発明の半導体装置は、以下の構成を備えている。

【 0 0 1 1 】

半導体基板には、ダイシング領域と、ダイシング領域で画成されるチップ領域とが設定されている。

【 0 0 1 2 】

半導体基板の一方の主表面である第 1 主面側に、素子が形成されている。

【 0 0 1 3 】

半導体基板の第 1 主面から、第 1 主面の反対側の主表面である第 2 主面に渡って貫通分離部が形成されている。

【 0 0 1 4 】

貫通分離部内に、第 1 主面から第 2 主面に渡って貫通電極が形成されている。

【 0 0 1 5 】

半導体基板の第 1 主面上に、配線絶縁膜が形成されている。そして、配線絶縁膜にチップ配線が形成されている。

【 0 0 1 6 】

配線絶縁膜の上面及び側面上に一体的に形成された金属膜を備え、金属膜の膜厚は、半導体基板よりも大きい。

【 0 0 1 7 】

また、この発明の半導体装置の製造方法は、以下の工程を備えている。

【 0 0 1 9 】

次に、半導体基板に、一方の主表面である第 1 主面から第 1 主面の反対側の主表面である第 2 主面に向かって貫通分離溝を形成する。

【 0 0 2 0 】

次に、貫通分離溝内に酸化膜を形成して貫通分離部を形成する。

【 0 0 2 1 】

次に、半導体基板の第 1 主面側に素子を形成する。

【 0 0 2 2 】

次に、半導体基板の前記第 1 主面上に、素子を覆う配線絶縁膜を形成する工程と、配線絶縁膜にチップ配線を形成する工程と、貫通分離部内に貫通電極を形成する工程とを行う。

【 0 0 2 3 】

10

20

30

40

50

次に、配線絶縁膜の上面及び側面上を一体的に覆い、且つ、半導体基板の膜厚よりも大きな膜厚の金属膜を形成する。

【発明の効果】

【0025】

この発明の半導体装置によれば、チップ配線を取り囲む周辺配線が形成されるので、金属膜のみで封止されるのに比べて、より耐湿性が向上する。

【0026】

また、この発明の半導体装置の製造方法によれば、周辺配線が、内部のチップ配線と同じ工程で作られるので、工程数の増大を招かずに耐湿性が向上した半導体装置を製造することができる。

【0027】

また、保護膜として形成される金属膜を、支持体として利用できる。この金属膜により、機械的強度や取扱の容易性が保たれるので、半導体基板を薄くすることが可能になる。このため、貫通分離部及び貫通電極は、後に半導体基板が薄膜化されたときに、第2主面に露出すれば良く、これら貫通分離部及び貫通電極を、低アスペクト比で形成することができる。この結果、貫通電極及び貫通分離部の埋め込み不良の恐れが低減される。

【発明を実施するための最良の形態】

【0028】

以下、図を参照して、この発明の実施の形態について説明するが、各構成要素の形状、大きさ及び配置関係については、この発明が理解できる程度に概略的に示したものに過ぎない。また、以下、この発明の好適な構成例につき説明するが、各構成要素の材質及び数値的条件などは、単なる好適例にすぎない。従って、この発明は以下の実施の形態に限定されるものではなく、この発明の構成の範囲を逸脱せずにこの発明の効果を達成できる多くの変更又は変形を行うことができる。

【0029】

(第1実施形態の半導体装置の構造)

図1を参照して、第1実施形態の半導体装置の構造を説明する。図1は、第1実施形態の半導体装置を説明するための概略図であって、主要部の切断端面を示している。この半導体装置は、メタル封止型のウェハレベルCSPである。

【0030】

半導体装置10は、半導体基板20、素子40a及び40b、貫通分離部34、貫通電極54a、配線絶縁膜100、周辺配線110、チップ配線120、及び金属膜80を備えている。

【0031】

半導体基板20には、ダイシング領域28と、ダイシング領域28で画成されるチップ領域22とが設定されている。チップ領域22は、CSPの構成単位となる領域である。ダイシング領域28は、ウェハから各チップを個片化する際に、チップ領域22の周囲に残存した領域部分である。

【0032】

チップ領域22は、中央領域24と、中央領域24の周囲に周辺領域26とを有している。中央領域24は、半導体素子(以下、単に素子と称することもある。)が形成される領域である。

【0033】

ここでは、半導体基板20がp型のシリコン基板であり、素子としてp型のMOS電界効果トランジスタ(PMOS)40a及びn型のMOS電界効果トランジスタ(NMOS)40bを備える例について説明する。なお、以下の説明では、PMOS40a及びNMOS40bを素子40と総称することもある。

【0034】

素子40(40a、40b)は、半導体基板20の一方の主表面である第1主面20a側の中央領域24に形成されている。ここでは、nウェル30に、PMOS40aが形成

10

20

30

40

50

され、nウェル30が形成されていない領域にNMOS40bが形成されている。

【0035】

素子40の周囲には、素子分離膜32が形成されている。素子分離膜32を、いわゆるトレンチ分離により溝を酸化膜で埋め込んで形成しても良いし、LOCOS法で形成しても良い。

【0036】

半導体基板20の周辺領域26の第1主面20a側に、不純物拡散層48を備えている。この不純物拡散層48は、PMOS40a又はNMOS40bのソース又はドレインとして機能する領域と同じ不純物が注入されている。

【0037】

半導体基板20の中央領域24には、貫通分離部34が形成されている。貫通分離部34は、第1主面20aから、第1主面20aの反対側の主表面である第2主面20bに渡って形成されている。貫通分離部34の形成方法については後述するが、トレンチ分離を行うのと同様に酸化膜を埋め込んで形成される。

【0038】

貫通電極54aは、貫通分離部34内に、第1主面20aから第2主面20bに渡って形成されている。貫通電極54aは、多層配線構造において、配線間を接続する従来周知の導電プラグと同様に形成することができ、例えば開口内をタングステンで埋め込んで形成される。

【0039】

配線絶縁膜100は、半導体基板20の第1主面20a上に形成されている。ここでは、配線絶縁膜100として、第1層間絶縁膜50、第2層間絶縁膜60及び上層絶縁膜70を順次に積層した例について説明する。

【0040】

配線絶縁膜100の中央領域24に、チップ配線120を備えている。チップ配線120は、第1層配線58、第2層配線68、第1層導電プラグ52及び第2層導電プラグ62及び貫通電極用プラグ54bを備えている。第1層配線58は、第1層間絶縁膜50上に形成された配線パターンであり、第2層配線68は、第2層間絶縁膜60上に形成された配線パターンである。第1層導電プラグ52は、第1層間絶縁膜50内に複数形成されていて、素子40と第1層配線58とを電氣的に接続する。貫通電極用プラグ54bは、第1層間絶縁膜50内に複数形成されていて、貫通電極54aと第1層配線58とを電氣的に接続する。また、第2層導電プラグ62は、第2層間絶縁膜60内に複数形成されていて、第1層配線58と、第2層配線68とを電氣的に接続する。

【0041】

ここでは、チップ配線120が、多層配線構造として、第1層配線58と第2層配線68の2層構造の例について説明したが、この例に何ら限定されるものではない。チップ配線120を1層で形成しても良いし、3層以上に形成しても良い。

【0042】

周辺配線110は、配線絶縁膜100の周辺領域26に、配線絶縁膜100の上面100aから下面100bに渡って、中央領域24を取り囲むように形成されている。周辺配線110は、第1層周辺配線59、第2層周辺配線69、第1層周辺プラグ56、第2層周辺プラグ66及び上層周辺プラグ76を備えている。

【0043】

第1層周辺配線59及び第2層周辺配線69は、それぞれ第1層間絶縁膜50及び第2層間絶縁膜60上に形成されている。また、第1層周辺プラグ56は、第1層間絶縁膜50内に形成されていて、不純物拡散層48と第1層周辺配線59とを電氣的に接続する。第2層周辺プラグ66は、第2層間絶縁膜60内に形成されていて、第1層周辺配線59と、第2層周辺配線69とを電氣的に接続する。上層周辺プラグ76は、上層絶縁膜70内に形成されていて、第2層周辺配線69と、配線絶縁膜100上に形成される金属膜80とを電氣的に接続する。また、周辺配線110は、周辺領域26の不純物拡散層48上に

10

20

30

40

50

形成されていて、金属膜 80 の電位を半導体基板 20 の基板電位に等しくする。

【0044】

第1層周辺プラグ 56、第2層周辺プラグ 66、上層周辺プラグ 76、第1層周辺配線 59及び第2層周辺配線 69は、それぞれ中央領域 24を取り囲むように連続的に形成されている。

【0045】

なお、配線絶縁膜 100、周辺配線 110及びチップ配線 120の形成方法については後述するが、これらは、従来周知の多層配線構造と同様の方法及び材質で形成される。

【0046】

金属膜 80は、例えば銅めっきなどにより、配線絶縁膜 100の全体を覆いつくすようにして、その上面 100a及び側面 100c上に形成されている。また、金属膜 80は、配線絶縁膜 100の側面 100cからダイシング領域 28の半導体基板 20の第1主面 20a上に渡って形成されている。この金属膜 80により、配線絶縁膜 100と、この配線絶縁膜 100と接触している半導体基板 20の領域とに対してメタル封止がなされている。

10

【0047】

貫通電極 54aの第2主面 54ab上には、金属の外部端子 90が形成されている。半導体基板 20の第1主面 20a側がメタル封止されているので、素子 40と外部との接続は、裏面である第2主面 20bから、貫通電極 54a及び外部端子 90を介して行われる。

20

【0048】

第1実施形態の半導体装置によれば、チップ配線 120を取り囲む周辺配線 110が形成されているので、金属膜 80と半導体基板 20の界面から水分が浸入した場合であっても、周辺領域より内部への水分の侵入を防ぐことができる。従って、金属膜 80のみで封止されている半導体装置の場合に比べて、この実施形態の半導体装置では、より耐湿性が向上する。

【0049】

ここで、半導体基板 20の厚みは、薄膜化工程により、最大でも 10  $\mu$ m程度にするのが良い。

【0050】

貫通分離部 34や貫通電極 54aは、半導体基板 20の薄膜化前に形成されるが、貫通分離部 34や貫通電極 54aの深さは薄膜化後の半導体基板 20の厚みより大きければ良い。従って、半導体基板 20の厚みを 10  $\mu$ m以下にすることにより、貫通分離部 34や貫通電極 54aの深さは 10  $\mu$ m程度となり、アスペクト比を小さくすることができる。このため、埋め込み不良などの発生を抑えることができ、素子の信頼性が増す。

30

【0051】

金属膜 80の厚みは、半導体基板の薄膜後に機械的強度を保つため、数 10～数 100  $\mu$ mにするのが良い。この構成によれば、半導体基板 20が薄い場合であっても金属膜 80の厚みの分、CSPである半導体装置 10全体として、一定以上の厚みが維持される。例えば、従来 50  $\mu$ m程度であったCSPにおけるシリコン基板の厚みを 10  $\mu$ mにした場合であっても、金属膜の厚みを 40  $\mu$ mとすれば、CSP全体としての厚みは変わらないため、実装の際などにハンドリングが容易である。

40

【0052】

(第1実施形態の半導体装置の製造方法)

図 2～6を参照して、第1実施形態の半導体装置の製造方法を説明する。図 2～6は、第1実施形態の半導体装置の製造方法を説明するための工程図である。

【0053】

図 2(A)は、半導体基板 20の概略的な平面図である。図 2(B)は、図 2(A)の A-A線に沿って取った切断端面を示している。図 3(A)、(B)及び(C)は、図 2(B)に続く図であって、各工程で形成された構造体の主要部の切断端面を示している。

50

図4(A)及び(B)は、図3(C)に続く図である。図4(A)は、概略的な平面図であり、図4(B)は、図4(A)のB-B線に沿って取った切断端面を示している。図5及び図6は、図4(B)に続く図であって、各工程で形成された構造体の主要部の切断端面を示している。

【0054】

まず、半導体基板20cを用意する。半導体基板20cには、ダイシング領域28と、ダイシング領域28で画成される、複数のチップ領域22が設定されている。チップ領域22は、中央領域24と、中央領域の24の周囲に周辺領域26を有している(図2(A)、(B))。

【0055】

以下説明する工程により、半導体基板20cの第1主面20a上に半導体素子及び配線パターンなどが形成された後、メタル封止される。その後、チップ領域22間のダイシング領域28に設定されたダイシングラインに沿ってダイシングすることにより、個片化された各チップが得られる。このように、この実施形態の製造方法で製造される半導体装置は、チップを切断することなくウェハ状態のまま、メタル封止型のパッケージングがなされる、いわゆるウェハレベルCSPである。

【0056】

ここでは、半導体基板20cとしてp型のシリコン基板を用いて、半導体素子としてPMOS及びNMOSを形成する例について説明する。ここで、半導体基板20cの厚みは、例えば数100 $\mu\text{m}$ 程度である。なお、p型のシリコン基板に、PMOS及びNMOSを形成する方法については従来周知なので、以下の説明においては、説明を省略することもある。

【0057】

半導体基板20cの第1主面20a側に、n型の不純物を注入してnウェル30を形成する。nウェル30の第1主面20aからの深さを、ここでは、3 $\mu\text{m}$ 程度にする。

【0058】

次に、半導体基板20の中央領域24に、第1主面20aから第1主面20aの反対側の主表面である第2主面20bに向かって、従来周知のフォトリソグラフィ及びドライエッチングを行って、素子分離溝31及び貫通分離溝33を形成する。具体的には、以下の工程で行う。まず、素子分離溝31と貫通分離溝33を形成する領域を露出するマスクを形成する。次に、露出した半導体基板20cの部分をエッチングにより除去する。その後、貫通分離溝33を形成する領域を露出するマスクを新たに形成して、露出した半導体基板20cの部分をエッチングにより除去する。ここでは、素子分離溝31は、nウェルの深さよりも浅く、例えば2 $\mu\text{m}$ の深さに形成される。また、貫通分離溝33は、素子分離溝31よりも深く、例えば10 $\mu\text{m}$ 程度の深さに形成される。

【0059】

次に、素子分離溝31及び貫通分離溝33内を酸化膜で埋め込んで、素子分離膜32及び貫通分離部34を形成する。具体的には、例えば、以下の工程で行う。

【0060】

まず、素子分離溝31及び貫通分離溝33の底面及び側面上に、熱酸化により酸化膜を形成する。次に、化学気相成長(CVD: Chemical Vapor Deposition)法により、素子分離溝31及び貫通分離溝33内及び半導体基板20cの第1主面20a上に酸化膜を堆積させる。その後、例えば化学機械研磨(CMP: Chemical Mechanical Polishing)法により平坦化処理を行って、素子分離溝31及び貫通分離溝33内を酸化膜で埋め込んで、素子分離膜32及び貫通分離部34を得る(図3(A))。

【0061】

ここでは、素子分離を、素子分離溝(トレンチ)31を酸化膜で埋め込んで生成する、いわゆるトレンチ分離で行う例について説明したが、この例に何ら限定されるものではない。例えば、素子分離膜32を、従来周知の局所酸化(LOCOS: Local Oxidation)法により形成する。

10

20

30

40

50

de of Silicon)法で形成しても良い。この場合、素子分離溝31の形成は不要なので、一度のエッチング工程で貫通分離溝33を形成すれば良い。

#### 【0062】

次に、半導体基板20cの第1主面20a側の中央領域24に素子40を形成する。ここでは、素子40として、nウェル30にPMOS40aと、nウェル30が形成されていない半導体基板20cの領域にNMOS40bを形成する。PMOS40a及びNMOS40bの形成は、従来周知の任意好適な方法で行えば良い。例えば、第1主面20a上にシリコン酸化膜と、不純物が注入されて低抵抗化されたポリシリコン膜を順に積層した後、これらシリコン酸化膜とポリシリコン膜をパターンニングして、それぞれゲート絶縁膜42a及び42bとゲート電極44a及び44bに加工する。さらにゲート電極44a及び44bを挟む位置に、それぞれソース及びドレインとして機能する不純物拡散層46a及び46bを形成する。その後、不純物拡散層46a及び46b上に、金属膜をスパッタにより形成した後、熱処理を行って、不純物拡散層46a及び46bの第1主面20a側の表面をシリサイド化させる。

10

#### 【0063】

この素子を形成する工程では、ソース及びドレインとして機能する不純物拡散層46a及び46bを形成すると同時に、周辺領域26についても、半導体基板20cの第1主面20a側に、不純物拡散層48を形成する(図3(B))。

#### 【0064】

次に、半導体基板20cの第1主面20a上に、配線絶縁膜100と、周辺配線110と、チップ配線120とを形成するとともに、貫通分離部34内に貫通電極54aを形成する。周辺配線110は、配線絶縁膜100の周辺領域26に、配線絶縁膜100の上面100aから下面100bに渡って形成され、中央領域24を取り囲む。チップ配線120は、配線絶縁膜100の中央領域24に形成される。

20

#### 【0065】

ここでは、チップ配線120が2層構造の例につき説明する。

#### 【0066】

まず、半導体基板20cの第1主面20a上に、第1層間絶縁膜50を形成する。第1層間絶縁膜50は、例えばCVD法により、シリコン酸化膜を堆積したのち、CMP法により平坦化することにより形成される。

30

#### 【0067】

次に、中央領域24の第1層間絶縁膜50に対して、フォトリソグラフィ及びドライエッチングを行う。このエッチングにより、PMOS40a及びNMOS40bなど素子40の部分を露出する素子用コンタクトホール51が形成される。図3(C)では、不純物拡散層46a及び46bを露出する素子用コンタクトホール51を示している。この工程では、ゲート電極44a及び44bを露出するコンタクトホールも形成される場合があるが、ここでは、図示を省略している。

#### 【0068】

また、素子用コンタクトホール51の形成と同時に、貫通電極用ホール53も形成される。貫通電極用ホール53は、第1層間絶縁膜50及び貫通分離部34内に形成され、貫通分離溝33の底部33aを露出する。

40

#### 【0069】

さらに、素子用コンタクトホール51及び貫通電極用ホール53の形成とともに、周辺領域26の第1層間絶縁膜50中に、半導体基板20cの第1主面20aを露出する第1層周辺溝55を形成する。第1層周辺溝55は、中央領域24を取り囲むように、連続的に形成される。

#### 【0070】

なお、これら素子用コンタクトホール51、貫通電極用ホール53及び第1層周辺溝55を形成するエッチングの際には、ダイシング領域28の第1層間絶縁膜50も除去される。

50

## 【 0 0 7 1 】

次に、素子用コンタクトホール 5 1 内に導電体を埋め込んで第 1 層導電プラグ 5 2 を形成する。また、貫通電極用ホール 5 3 内に導電体 5 4 を埋め込んで、半導体基板 2 0 c 内に貫通電極 5 4 a を形成するとともに、第 1 層間絶縁膜 5 0 内に貫通電極用プラグ 5 4 b を形成する。さらに、第 1 層周辺溝 5 5 内に導電体を埋め込んで、第 1 層周辺プラグ 5 6 を形成する。第 1 層導電プラグ 5 2、貫通電極用プラグ 5 4 b、貫通電極 5 4 a 及び第 1 層周辺プラグ 5 6 の形成は、従来周知のコンタクトプラグの形成と同様に行えば良い。例えば、CVD法を用いて、窒化チタン (TiN) 及びタングステン (W) を順に堆積させて、素子用コンタクトホール 5 1、貫通電極用ホール 5 3 及び第 1 層周辺溝 5 5 を埋め込んだ後、CMP法を用いて平坦化することで、第 1 層導電プラグ 5 2、貫通電極用プラグ 5 4 b、貫通電極 5 4 a 及び第 1 層周辺プラグ 5 6 が形成される (図 3 (C))。

10

## 【 0 0 7 2 】

次に、第 1 層間絶縁膜 5 0 上に、第 1 層配線 5 8 を形成する。第 1 層配線 5 8 は、第 1 層導電プラグ 5 2 間、又は第 1 層導電プラグ 5 2 と貫通電極用プラグ 5 4 b の間を接続する。また、第 1 層周辺プラグ 5 6 上に、中央領域 2 4 を取り囲む第 1 層周辺配線 5 9 を形成する。第 1 層配線 5 8 及び第 1 層周辺配線 5 9 は、第 1 層間絶縁膜 5 0 上に、例えばスパッタ法により金属膜を形成した後、パターニングを行うことにより、形成される。第 1 層配線 5 8 及び第 1 層周辺配線 5 9 の材質としては、銅、アルミニウム合金など任意好適な材質を選べばよい。

## 【 0 0 7 3 】

次に、第 1 層間絶縁膜 5 0 上に、第 1 層配線 5 8 及び第 1 層周辺配線 5 9 を覆う第 2 層間絶縁膜 6 0 を形成する。次に、第 2 層間絶縁膜 6 0 に対して、フォトリソグラフィ及びドライエッチングを行い、第 1 層配線 5 8 の部分を露出するビアホール 6 1 を開口するとともに、第 1 層周辺配線 5 9 を露出する第 2 層周辺溝 6 5 が形成される。第 2 層周辺溝 6 5 は、中央領域 2 4 を取り囲むように、連続的に形成される。

20

## 【 0 0 7 4 】

なお、第 1 層間絶縁膜 5 0 の場合と同様に、ビアホール 6 1 及び第 2 層周辺溝 6 5 を形成するエッチングの際には、ダイシング領域 2 8 に堆積した第 2 層間絶縁膜 6 0 も除去される。

## 【 0 0 7 5 】

次に、ビアホール 6 1 及び第 2 層周辺溝 6 5 を埋め込んで第 2 層導電プラグ 6 2 及び第 2 層周辺プラグ 6 6 の形成を行った後、第 2 層間絶縁膜 6 0 上に第 2 層配線 6 8 及び第 2 層周辺配線 6 9 を形成する。

30

## 【 0 0 7 6 】

次に、第 2 層間絶縁膜 6 0 上に、第 2 層配線 6 8 及び第 2 層周辺配線 6 9 を覆う上層絶縁膜 7 0 を形成する。上層絶縁膜 7 0 は、第 1 層間絶縁膜 5 0 及び第 2 層間絶縁膜 6 0 と同様に、CVD法により形成されたシリコン酸化膜とすることができる。また、上層絶縁膜 7 0 は、ポリイミドなどの樹脂を塗布して形成した樹脂絶縁膜としても良い。

## 【 0 0 7 7 】

第 1 層間絶縁膜 5 0、第 2 層間絶縁膜 6 0 及び上層絶縁膜 7 0 は、それぞれ数百 nm の厚みで形成される。

40

## 【 0 0 7 8 】

ここでは、チップ配線 1 2 0 が 2 層構造の例について説明したが、この例に限定されない。チップ配線 1 2 0 は 1 層構造でも良いし、 $n$  層構造 ( $n$  は 2 以上の整数) でも良い。1 層構造の場合は、第 1 層配線及び第 1 層周辺配線を形成した後、上層絶縁膜の形成を行えば良い。また、 $n$  層構造の場合は、第 1 層配線及び第 1 層周辺配線を形成した後、第  $k$  層 ( $k$  は 2 以上  $n$  以下の整数) 絶縁膜、第  $k$  層配線、第  $k$  層周辺配線、第  $k$  層導電プラグ及び第  $k$  層周辺プラグを、 $k$  が 2 から  $n$  まで順次に形成すれば良い。

## 【 0 0 7 9 】

次に、上層絶縁膜 7 0 をエッチングして、第 2 層周辺配線 6 9 を露出する上層周辺溝 7

50

5を形成する。このとき、ダイシング領域28に堆積した上層絶縁膜70も除去される。

【0080】

次に、上層周辺溝75内に導電体を埋め込んで、上層周辺プラグ76を形成してもよく(図4(A)及び(B))、また、次工程の金属膜80を形成する工程にて、上層周辺溝75内に金属膜80を埋め込んでもよい。

【0081】

次に、第1層間絶縁膜50、第2層間絶縁膜60及び上層絶縁膜70を備えて構成される配線絶縁膜100の上面100a及び側面100c上に金属膜80を形成する。金属膜80は、スパッタ、めっき及び蒸着のいずれか、又はこれらを組み合わせて形成される。

【0082】

なお、この金属膜80は、後の工程で半導体基板20cを薄膜化する際に、支持体としても用いられる。このため、金属膜80は、半導体基板20cを薄膜化した後に、ウェハの機械的強度が維持できる厚みで形成されれば良く、数10 $\mu\text{m}$ ~数100 $\mu\text{m}$ の厚みで形成される。また、金属膜80の厚みが40 $\mu\text{m}$ 以上であれば、各チップに個片化した後にも、保持が容易であるなど、実装の際の取扱いに、好都合である(図5)。

【0083】

次に、金属膜80を支持体として用いて、半導体基板20を第2主面20b側から研削、すなわち、機械的に研磨して、貫通電極54aが露出するまで薄膜化する。なお、研削後に、例えば、フッ酸及び硝酸を含むエッチャントを用いたケミカルエッチング(ウェットエッチング)を行っても良い。

【0084】

ここでは、貫通電極54aの深さを10 $\mu\text{m}$ としているので、薄膜化後の半導体基板20の厚みを最大でも10 $\mu\text{m}$ にする。一方、半導体基板20又はnウェル30の電位を制御するために、薄膜化後の半導体基板20の厚みは、素子分離膜32が露出しない厚みとして、例えば、最小でも3 $\mu\text{m}$ とするのが良い(図6)。

【0085】

次に、貫通電極54aの第2主面54ab上に外部端子90を形成する。

【0086】

その後、ダイシングライン29(図6参照)に沿って、ダイシングを行い、各チップに個片化する。この結果、図1を参照して説明した、メタル封止型のウェハレベルCSPが得られる。

【0087】

なお、ダイシングライン29上に、金属膜80が残存していると、ダイシングの際に発生する金属粉により、ダイシング装置の刃が目詰まりを起こす場合がある。このため、ダイシングを行う前に、金属膜のダイシング領域28の部分を、ダイシングライン29に沿って、例えば、従来周知のフォトリソグラフィ及びエッチングにより除去することが望ましい。

【0088】

第1実施形態の半導体装置の製造方法によれば、金属膜80を支持体として用いることで、半導体基板を10 $\mu\text{m}$ 以下と薄くできる。このため、貫通電極や、貫通電極を周囲と分離するための貫通分離部を低アスペクト比で形成でき、この結果、埋め込み不良の発生の抑制につながる。また、中央領域24を取り囲む周辺配線110の形成を、チップ配線120の形成と同じ工程で同時に形成できるので、工程数の増大を招くことなく、耐湿性が優れたウェハレベルCSPを形成することができる。

【0089】

また、第1実施形態では、素子をPMOS及びNMOSとした例について説明したが、これに何ら限定されるものではない。設定に応じて、任意好適な能動素子又は受動素子を、所望の個数形成することができる。なお、素子としてPMOS又はNMOSを形成しないなど、中央領域に不純物拡散層を形成しない場合は、周辺領域に、単独で不純物拡散層を形成すれば良い。

10

20

30

40

50

## 【 0 0 9 0 】

(第2実施形態の半導体装置の構造)

図7を参照して、第2実施形態の半導体装置について説明する。図7は、第2実施形態の半導体装置を説明するための概略図であって、主要部の切断端面を示している。

## 【 0 0 9 1 】

第2実施形態の半導体装置は、周辺領域の半導体基板に、周辺酸化膜を備える点が第1実施形態と異なっている。それ以外の点は、第1実施形態と同様なので、重複する説明を省略する。

## 【 0 0 9 2 】

第2実施形態の半導体装置11では、周辺領域26が、第1周辺領域26aと、第2周辺領域26bとにさらに区分される。第1周辺領域26aは、中央領域24に隣接して、中央領域24を取り囲むように設定されている。また、第2周辺領域26bは、第1周辺領域26aを取り囲むように設定されている。

10

## 【 0 0 9 3 】

不純物拡散層49は、半導体基板20の第1周辺領域26aの第1主表面20a側に形成されていて、周辺配線110は、不純物拡散層49に接続されている。

## 【 0 0 9 4 】

第1周辺領域26aを取り囲む第2周辺領域26bには、第1主面20aから第2主面20bに渡って、周辺酸化膜36が形成されている。

## 【 0 0 9 5 】

第1実施形態の半導体装置10によれば、中央領域24を取り囲む周辺配線110を有することで、従来のメタル封止ウェハレベルCSPに比べて、耐湿性が向上しているが、半導体基板20と配線絶縁膜100との界面から水分が浸入して、周辺配線110を腐食させ、やがてチップ配線120を腐食等させる恐れが僅かながら残っている。

20

## 【 0 0 9 6 】

これに対し、第2実施形態の半導体装置11によれば、半導体基板20の周囲に酸化膜を形成しているため、チップ領域22の側面は、酸化膜で覆われる構造となる。このため、側面が同種の材質で覆われることとなり、金属膜とシリコン基板との界面から水分が浸入した場合であっても、酸化膜でその内部への侵入をさらに効果的に防ぐことができる。

## 【 0 0 9 7 】

(第2実施形態の半導体装置の製造方法)

図8を参照して、第2実施形態の半導体装置の製造方法について説明する。図8(A)、(B)及び(C)は、第2実施形態の半導体装置の製造方法を説明するための工程図であって、各工程で形成された構造体の主要部の切断端面を示している。

30

## 【 0 0 9 8 】

第2実施形態の半導体装置の製造方法は、周辺領域の半導体基板に、酸化膜を形成する点が第1実施形態と異なっている。それ以外の点は、第1実施形態と同様なので、重複する説明を省略する。

## 【 0 0 9 9 】

周辺領域26として、中央領域24に隣接して取り囲む第1周辺領域26aと、第1周辺領域26aを取り囲む第2周辺領域26bを設定する。

40

## 【 0 1 0 0 】

貫通分離溝33を形成する工程では、半導体基板20cの第2周辺領域26bを合わせてエッチングして、中央領域24を取り囲み、かつ貫通分離溝33と同じ深さの周辺貫通溝35を形成する。

## 【 0 1 0 1 】

貫通分離部34を形成する工程では、周辺貫通溝35を埋め込んで周辺酸化膜36を形成する(図8(A))。

## 【 0 1 0 2 】

素子40を形成する工程では、第1周辺領域26aの第1主面20a側に、不純物拡散

50

層 4 9 を形成する ( 図 8 ( B ) ) 。

【 0 1 0 3 】

次に、図 3 ( C ) を参照して説明したのと同様に、第 1 層導電プラグ 5 2、貫通電極用プラグ 5 4 b、貫通電極 5 4 a 及び第 1 層周辺プラグ 5 6 を形成する ( 図 8 ( C ) ) 。

【 0 1 0 4 】

以降の工程は、第 1 実施形態の半導体装置の製造方法と同様であるので、説明を省略する。

【 0 1 0 5 】

第 2 実施形態の半導体装置の製造方法によれば、中央領域 2 4 を取り囲む周辺酸化膜 3 6 は、貫通分離部 3 4 と同時に形成されるので、工程増を招かずに、耐湿性がより優れた半導体装置を提供することができる。

10

【 0 1 0 6 】

( 第 3 実施形態の半導体装置の構造 )

図 9 を参照して、第 3 実施形態の半導体装置について説明する。図 9 は、第 3 実施形態の半導体装置を説明するための概略図であって、主要部の切断端面を示している。

【 0 1 0 7 】

第 3 実施形態の半導体装置は、周辺領域の構造が、第 1 実施形態と異なっている。それ以外の点は、第 1 実施形態と同様なので、重複する説明を省略する。

【 0 1 0 8 】

第 3 実施形態の半導体装置 1 2 では、半導体基板 2 0 の周辺領域 2 6 に、第 1 主面 2 0 a から第 2 主面 2 0 b にわたって、中央領域 2 4 を取り囲む周辺酸化膜 3 7 が形成されている。さらに、第 3 実施形態の半導体装置 1 2 は、周辺酸化膜 3 7 内に、第 1 主面 2 0 a から第 2 主面 2 0 b にわたって、周辺貫通電極 5 6 a を備えている。

20

【 0 1 0 9 】

周辺配線 1 1 0 は、周辺貫通電極 5 6 a に接続されている。

【 0 1 1 0 】

第 3 実施形態の半導体装置 1 2 によれば、周辺領域 2 6 に周辺酸化膜が形成されているため、チップ領域 2 2 の側面 2 2 c 及び 1 0 0 c は、酸化膜 3 7 及び 1 0 0 で覆われる構造となる。周辺酸化膜 3 7 と配線絶縁膜 1 0 0 は、ともに酸化膜である。このため、チップ領域 2 2 の側面 2 2 c 及び 1 0 0 c には、シリコンと酸化膜の界面が存在しない。この結果、金属膜 8 0 と半導体基板 2 0 との界面から水分が浸入した場合であっても、酸化膜でその内部への侵入を防ぐことができる。

30

【 0 1 1 1 】

また、周辺酸化膜 3 7 内に周辺貫通電極 5 6 a を備えているので、金属膜 8 0 を電氣的に浮かせた状態にすることができる。また、裏面である第 2 主面 2 0 b 側に配線パターンを形成することによって、メタル封止後であっても、金属膜 8 0 の電位を任意の値に設定することができる。

【 0 1 1 2 】

( 第 3 実施形態の半導体装置の製造方法 )

図 1 0 を参照して、第 3 実施形態の半導体装置の製造方法について説明する。図 1 0 ( A ) 及び ( B ) は、第 3 実施形態の半導体装置の製造方法を説明するための工程図であって、各工程で形成された構造体の主要部の切断端面を示している。

40

【 0 1 1 3 】

第 3 実施形態の半導体装置の製造方法は、周辺領域についての工程が第 1 実施形態と異なっている。それ以外の点は、第 1 実施形態と同様なので、重複する説明を省略する。

【 0 1 1 4 】

貫通分離溝 3 3 を形成する工程では、半導体基板 2 0 c の周辺領域 2 6 を合わせてエッチングして、中央領域 2 4 を取り囲み、かつ貫通分離溝 3 3 と同じ深さの周辺貫通溝 3 9 を形成する。

【 0 1 1 5 】

50

貫通分離部 3 4 を形成する工程では、貫通分離溝 3 3 を埋め込むとともに、周辺貫通溝 3 9 を埋め込んで周辺酸化膜 3 7 を形成する（図 1 0 ( A ) ）。

【 0 1 1 6 】

その後、第 1 実施形態と同様に素子を形成する。なお、第 3 実施形態の半導体装置の製造方法では、周辺領域 2 6 に不純物拡散層は形成されない。

【 0 1 1 7 】

素子用コンタクトホール 5 1、貫通電極用ホール 5 3 及び第 1 層周辺溝 5 5 を形成する工程では、第 1 層周辺溝 5 5 を第 1 層間絶縁膜 5 0 から周辺酸化膜 3 7 に渡って形成し、周辺貫通溝 3 9 の底面 3 9 a を露出させる。

【 0 1 1 8 】

導電プラグ及び周辺プラグを形成する工程では、さらに周辺貫通溝 3 5 を埋め込んで、周辺酸化膜 3 7 内に周辺貫通電極 5 6 a を形成する（図 1 0 ( B ) ）。

【 0 1 1 9 】

以降の工程は、第 1 実施形態の半導体装置の製造方法と同様なので、説明を省略する。

【 0 1 2 0 】

また、第 3 実施形態の半導体装置の製造方法によれば、シリコン基板の周囲の周辺酸化膜及び周辺貫通電極は、貫通分離部及び貫通電極と同時に形成できるので、工程数の増大を招かない。

【 0 1 2 1 】

（第 3 実施形態の変形例）

図 1 1 を参照して、第 3 実施形態の半導体装置の変形例について説明する。この変形例の半導体装置は、第 2 主面側の構造が、図 1 3 を参照して説明した第 3 実施形態の半導体装置と異なっていて、それ以外の点は、同様なので重複する説明を省略する。

【 0 1 2 2 】

変形例の半導体装置 1 3 は、第 2 主面 2 0 b 上に裏面絶縁膜 1 3 0 と、裏面絶縁膜 1 3 0 上に外部端子 9 0 を備えている。裏面絶縁膜 1 3 0 内には、外部端子 9 0 と貫通電極 5 4 a を電気的に接続する裏面配線パターン 1 4 0 が形成されている。

【 0 1 2 3 】

外部端子 9 0 を形成する前に以下の工程を行う。

【 0 1 2 4 】

まず、第 2 主面 2 0 b 上に第 1 裏面絶縁膜 1 3 2 を形成する。

【 0 1 2 5 】

次に、第 1 裏面絶縁膜 1 3 2 に貫通電極 5 4 a を露出する裏面コンタクトホール 1 3 3 を開口する。

【 0 1 2 6 】

次に、裏面コンタクトホール 1 3 3 を埋め込み、さらに、第 1 裏面絶縁膜 1 3 2 上に裏面配線パターン 1 4 0 を形成する。

【 0 1 2 7 】

次に、第 1 裏面絶縁膜 1 3 2 上に、裏面配線パターン 1 4 0 を覆う第 2 裏面絶縁膜 1 3 6 を形成する。第 1 裏面絶縁膜 1 3 2 及び第 2 裏面絶縁膜 1 3 6 により、裏面絶縁膜 1 3 0 が構成される。

【 0 1 2 8 】

次に、第 2 裏面絶縁膜 1 3 6 に裏面配線パターン 1 4 0 の部分を露出するビアホール 1 3 7 を形成する。

【 0 1 2 9 】

次に、ビアホール 1 3 7 を導電体 1 3 8 で埋め込み、さらに、導電体 1 3 8 上に外部端子 9 0 を形成する。

【 0 1 3 0 】

この変形例の構成によれば、素子及び配線パターンを変更することなく、裏面配線パターンのパターニングによって、外部端子の配列を変更することができる。

10

20

30

40

50

## 【0131】

なお、裏面絶縁膜130、裏面配線パターン140などを形成する各工程は、第1主面20a側の層間絶縁膜、チップ配線を形成するのと同様の、従来周知の任意好適な方法で行えば良い。

## 【0132】

ここでは、第3実施形態の変形例として説明したが、この変形例は、第1実施形態及び第2実施形態についても適用可能である。

## 【0133】

また、上記の各実施形態について、金属膜80、第k層配線、第k層周辺配線、第k層導電プラグ、第k層周辺プラグ及び上層周辺プラグの形成は、例えば従来周知のダマシンプロセスを用いて、銅配線として形成しても良い。

10

## 【図面の簡単な説明】

## 【0134】

【図1】第1実施形態の半導体装置の概略図である。

【図2】第1実施形態の半導体装置の製造方法を示す工程図(その1)である。

【図3】第1実施形態の半導体装置の製造方法を示す工程図(その2)である。

【図4】第1実施形態の半導体装置の製造方法を示す工程図(その3)である。

【図5】第1実施形態の半導体装置の製造方法を示す工程図(その4)である。

【図6】第1実施形態の半導体装置の製造方法を示す工程図(その5)である。

【図7】第2実施形態の半導体装置の概略図である。

20

【図8】第2実施形態の半導体装置の製造方法を示す工程図である。

【図9】第3実施形態の半導体装置の概略図である。

【図10】第3実施形態の半導体装置の製造方法を示す工程図である。

【図11】第3実施形態の半導体装置の変形例を示す概略図である。

## 【符号の説明】

## 【0135】

10、11、12、13 半導体装置

20、20c 半導体基板

20a 第1主面

20b、54ab 第2主面

30

22 チップ領域

24 中央領域

26 周辺領域

26a 第1周辺領域

26b 第2周辺領域

28 ダイシング領域

29 ダイシングライン

30 nウェル

31 素子分離溝

32 素子分離膜

40

33 貫通分離溝

34 貫通分離部

35、39 周辺貫通溝

35a、39a 底面

36、37 周辺酸化膜

40 素子

40a PMOS

40b NMOS

42a、42b ゲート絶縁膜

44a、44b ゲート電極

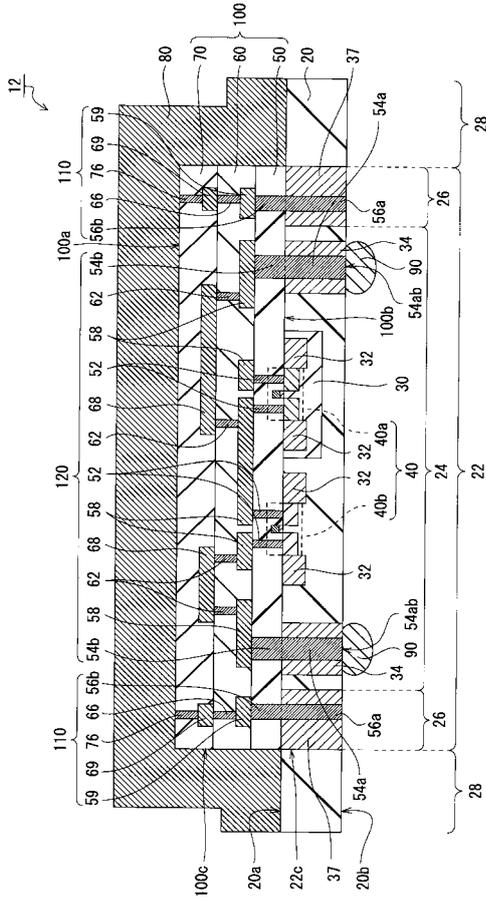
50

4 6 a、4 6 b、4 8、4 9	不純物拡散層	
5 0	第1層間絶縁膜	
5 2	第1層導電プラグ	
5 4 a	貫通電極	
5 4 b	貫通電極用プラグ	
5 5	第1層周辺溝	
5 6 a	周辺貫通電極	
5 6、5 6 b	第1層周辺プラグ	
5 8	第1層配線	
5 9	第1層周辺配線	10
6 0	第2層間絶縁膜	
6 2	第2層導電プラグ	
6 5	第2層周辺溝	
6 6	第2層周辺プラグ	
6 8	第2層配線	
6 9	第2層周辺配線	
7 0	上層絶縁膜	
7 5	上層周辺溝	
7 6	上層周辺プラグ	
8 0	金属膜	20
9 0	外部端子	
1 0 0	配線絶縁膜	
1 0 0 a	上面	
1 0 0 b	下面	
1 0 0 c	側面	
1 1 0	周辺配線	
1 2 0	チップ配線	
1 3 0	裏面絶縁膜	
1 4 0	裏面配線パターン	

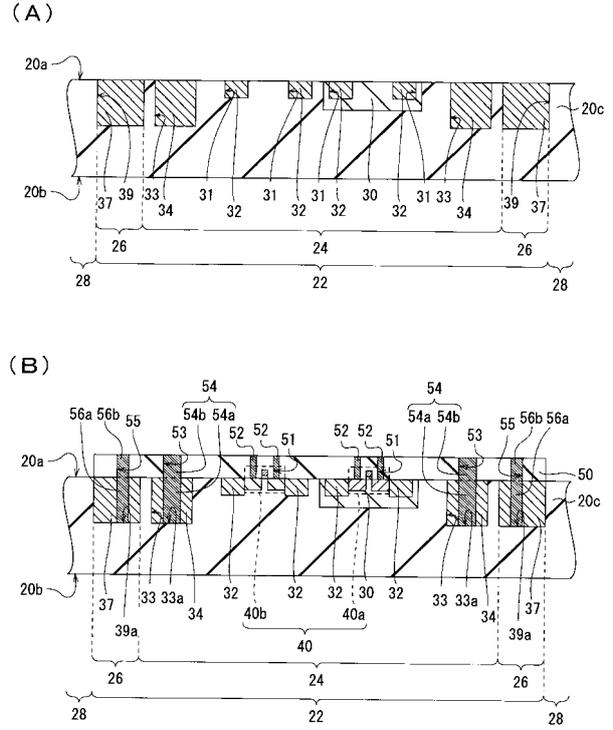




【図9】



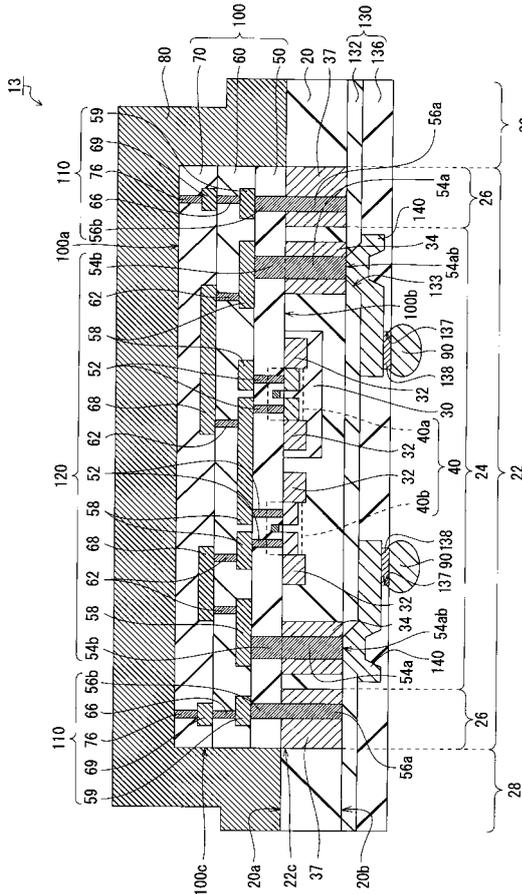
【図10】



第3実施形態の半導体装置

第3実施形態の半導体装置の製造方法

【図11】



第3実施形態の変形例

---

フロントページの続き

(72)発明者 片桐 晴義

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

審査官 大嶋 洋一

(56)参考文献 特開2005-167198(JP,A)

特開2004-153260(JP,A)

特開2002-359257(JP,A)

特開2002-289689(JP,A)

特開2001-326326(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205

H01L 21/768

H01L 23/00

H01L 23/12

H01L 23/522