

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 21/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 03153664.6

[45] 授权公告日 2007 年 5 月 16 日

[11] 授权公告号 CN 1316558C

[22] 申请日 2003.8.19 [21] 申请号 03153664.6
[73] 专利权人 旺宏电子股份有限公司
地址 台湾省新竹科学工业园区力行路 16 号
[72] 发明人 赖俊仁
[56] 参考文献
JP8-306925A 1996.11.22
US4707218A 1987.11.17
CN1428846A 2003.7.9
WO03030230A1 2003.10.4
审查员 马 骁

[74] 专利代理机构 北京集佳知识产权代理有限公司
代理人 王学强

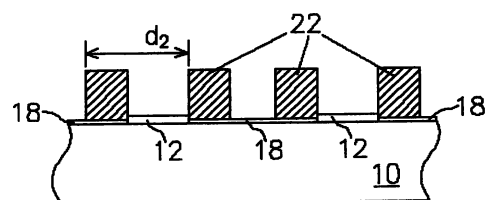
权利要求书 4 页 说明书 10 页 附图 4 页

[54] 发明名称

缩小半导体组件的单元间距的方法

[57] 摘要

一种缩小半导体组件的单元间距的方法，先提供具有复数个图案的一基板，且这些特征图案包括一第一材质。接着，于此基板及这些图案上形成一层，且此层包括一第二材质。然后，通过保形蚀刻移除在这些图案上表面上的此层，使这些图案暴露出来并在两个相邻图案间的凹槽内形成两个半导体组件单元。接下来，移除这些图案。



1. 一种缩小半导体组件的单元间距的方法，包括：
提供具有复数个图案的一基板，且这些特征图案包括一第一材质；
于该基板及这些图案上形成一层，且该层包括一第二材质；
通过保形蚀刻移除在这些图案上表面上的该层，使这些图案暴露出来
并在两个相邻图案间的凹槽内形成两个半导体组件单元；以及
移除这些图案。
2. 如权利要求 1 所述的缩小半导体组件的单元间距的方法，其中：
移除这些图案并留下部分的该层以形成所述的半导体组件单元；以及
在移除这些图案前所测得的这些图案中相邻的图案的间距大于相邻两个
半导体组件单元的间距。
3. 如权利要求 1 所述的缩小半导体组件的单元间距的方法，其中：
该第二材质包括多晶硅；以及
移除在这些图案之上表面上的该层形成复数个栅极。
4. 如权利要求 1 所述的缩小半导体组件的单元间距的方法，其中：
提供具有这些图案的该基板，包括提供具有一第一介电质配置于其上
的该基板，且该第一介电质配置于该基板与该图案之间；以及
在该基板上形成该层，包括形成一第二介电质在该基板上，且将该层
形成于该第二介电质上，因此该第二介电质配置在该基板与该层之间。
5. 如权利要求 1 所述的缩小半导体组件的单元间距的方法，其中：
提供具有这些图案的该基板，包括提供具有一第一介电质配置于其上
的该基板，且将基板上无这些图案覆盖的区域的第一个介电质移除；以及
于该基板上形成该层，包括形成一第二介电质在该基板上，且将该层
形成于该第二介电质及这些图案上，因此该第二介电质配置在该基板与该

层之间。

6. 如权利要求 4 或 5 所述的缩小半导体组件的单元间距的方法，其中：
该第一及第二介电质包括氧化硅；以及
在于该基板上形成该层之前，将该基板上无这些图案覆盖的区域的该第一介电质移除，并将该第二介电质配置于这些区域内。

7. 如权利要求 3 所述的缩小半导体组件的单元间距的方法，其中：
移除这些图案后，会留下部分的该层以形成所述的半导体组件单元；
以及

在移除这些图案前所测得的这些图案中相邻的图案的间距大于相邻两个半导体组件单元的间距。

8. 如权利要求 4 所述的缩小半导体组件的单元间距的方法，其中：
该第二材质层包括多晶硅；以及
移除在这些图案之上表面上的该层可形成复数个栅极。

9. 如权利要求 5 所述的缩小半导体组件的单元间距的方法，其中：
提供具有这些图案的该基板利用一微影制程于该基板上形成这些图案；以及
这些相邻图案的间距与该微影制程中所允许的间距最小值相等。

10. 一种具有缩小间距的半导体组件的形成方法，包括：
提供一基板，且该基板上形成有一第一绝缘层；
在该第一绝缘层上形成一材料层；
在该材料层上形成一光阻层；
利用该光阻层作为罩幕，蚀刻该材料层；
移除该光阻层；
将未被所述材料层覆盖的区域的第一绝缘层移除；
在未被所述材料层覆盖的区域形成第二绝缘层；

沉积一导电层，覆盖于该材料层与该第二绝缘层之上；

通过保形蚀刻该导电层以使该材料层暴露出来并在两个相邻图案间的凹槽内形成两个半导体组件单元；以及

移除该材料层。

11. 如权利要求 10 所述的具有缩小间距的半导体组件的形成方法，其中：

该第一绝缘层为一垫氧化层；

该材料层包括氮化硅；

该第二绝缘层为一栅极氧化层；

该导电层包括多晶硅层。

12. 如权利要求 11 所述的具有缩小间距的半导体组件的形成方法，其中：

该光阻层为一修剪过的光阻层；以及

蚀刻该导电层以形成复数个栅极。

13. 如权利要求 12 所述的具有缩小间距的半导体组件的形成方法，其中：

该垫氧化层利用一热制程形成；

形成该氮化硅层于该垫氧化层上的方法包括一化学气相沉积法；以及

于该氮化硅层上形成该修剪过的光阻层的方法包括形成一图案化光阻层于该氮化硅层上及蚀刻该图案化光阻层。

14. 如权利要求 13 所述的具有缩小间距的半导体组件的形成方法，其中：

蚀刻该图案化光阻层包括使该图案化的光阻层的蚀刻速率大于该氮化硅层的蚀刻速率；

在部分该氮化硅层被移除掉之前停止蚀刻该图案化光阻层；以及

蚀刻该氮化硅层包括使该氮化硅层的蚀刻速率大于该垫氧化层的蚀刻速率。

15. 如权利要求 12 所述的具有缩小间距的半导体组件的形成方法，其中：

移除该修剪过的光阻层的方法包括利用一干式去光阻制程或一湿式去光阻制程；以及

将未被所述氮化硅覆盖的区域的垫氧化层移除的方法包括使用一湿蚀刻制程。

16. 如权利要求 12 所述的具有缩小间距的半导体组件的形成方法，其中，该导电层沉积于该栅极氧化层上的数量决定于这些栅极所需的厚度。

缩小半导体组件的单元间距的方法

技术领域

本发明是有关于一种半导体组件的制作方法，且特别是有关于一种缩小半导体组件的单元间距的方法。

背景技术

近代的集成电路组件包含了许多的结构，此结构包括导电材料、半导体材料（即是一种可由掺质来提供导电性的材料）以及/或是非导电材料。举例来说，晶体管组件的制程是：先在半导体基板上配置一栅介电层，然后在此栅介电层上形成一层由多晶硅所构成的半导体材料，且此多晶硅材料被图案化以定义在基板上横向且分开配置的栅极导体。接着在栅极导体外，将不纯的掺质植入基板上曝露出的区域，而在基板上的栅极导体间形成源极和漏极。若用以形成源极和漏极的是 n 型掺质，则将会形成 N 沟道金属氧化物半导体场效应晶体管（NMOSFET）。相反地，若用以形成源极和漏极的是 p 型掺质，则将会形成 p 沟道金属氧化物半导体场效应晶体管（PMOSFET）。集成电路组件可以是只有 n 沟道或是 p 沟道的晶体管，更可以是将两者结合在单一的庞大基板上。

此外，利用一微影制程可定义晶体管中的栅极导体。在微影制程中，在多晶硅材料上旋转沉积一感光薄膜，即一光阻，而一光学图像则透过光罩上可穿透的部分，由一光源（通常是紫外线光源）投射一图像，将图像转移至光阻上。则此光阻上被光线所曝光的部分会因光化学反应改变了此部分的溶解度。之后利用显影剂清洗光阻时，光阻上高溶解度的部分便会被显影剂溶解而完整地移除，由于剩下来的光阻有很好的抗蚀刻性，所以可利用蚀刻液在多晶硅材料上蚀刻被光阻曝光的部分，用以定义晶体管组

件的栅极导体。

遗憾的是，图案化光阻上的图案间，所能达到的最小横向间距，除了别的条件外，尤其受限于光线对多晶硅材料的曝光条件。举例来说，当光线穿透光罩上可穿透区的狭缝时，若发生非预期的绕射现象时，光线会被散射掉，因而对光学图像的分辨率造成不良的影响。另外，假设光线的曝光过多或不够，光阻将会产生过度曝光或曝光不足问题，因而导致不正确的光学图像。然而，就光阻本身而论，若光阻要曝光的部分没有与光罩上的图案一致，便会导致光阻上的图案歪斜不正。由上述可知，微影制程会限制习知集成电路板上的图案所能达到的最小宽度。因此，在习知技术中，要缩小微影制程中所完成的组件的宽度及其间的间距，例如是要缩小栅极导体的宽度及其间的间距，是不容易的。

由于微影制程中有上述限制，所以例如是利用习知方法所制造的晶体管组件，其间距是不容易缩小的。而在此处的间距定义为同型态的两相邻结构中，同一点间的距离，例如是两个相邻的栅极导体间的距离。然而，因为集成电路组件间的间距无法轻易地缩小，所以无法增加组件的积集度，以满足现今对更快更小的集成电路组件的高度需求。

发明内容

本发明提出一种缩小半导体组件的单元间距的方法，先提供具有复数个图案的一基板，且这些特征图案包括一第一材质。接着，于此基板及这些图案上形成一层，且此层包括一第二材质。然后，通过保形蚀刻移除在这些图案上表面上的此层，使这些图案暴露出来并在两个相邻图案间的凹槽内形成两个半导体组件单元。接下来，移除这些图案。其中，利用此种方法形成的组件的间距例如是以微影蚀刻制程形成的习知组件的间距的一半。且因组件的间距可被缩小，所以可以增加组件的集积度，进而发展出更小更快的集成电路。

在一较佳实施例中，先将垫氧化层形成于基板上，再将氮化硅层形成于垫氧化层上。接着，再于此氮化硅层上形成一修剪过（trimmed）的光阻层，且氮化硅层以此光阻层作为罩幕来进行蚀刻。之后将此修剪过的光阻层完全移除以使氮化硅层完全暴露出来，再移除垫氧化层暴露出的部分直到部分的基板暴露出来。然后将栅极氧化层形成于基板所暴露出的部分上，再沉积多晶质层以覆盖在氮化硅层与门极氧化层上，之后对此多晶质层进行蚀刻，以便将氮化硅层暴露出来，并形成复数个多晶质栅极，最后，将氮化硅层移除。

在另一较佳实施例中，一种缩小半导体组件的单元间距的方法包括提供具有第一绝缘层形成于其上的基板，且将第二绝缘层形成于第一绝缘层上，之后再光阻层形成于第二绝缘层上。以此光阻层作为罩幕来蚀刻第二绝缘层后，再将光阻层移除。且将第一绝缘层所暴露出的部分移除后，接着更形成第三绝缘层于基板上所暴露出的部分。此外，将一导电层沉积在第二绝缘层及第三绝缘层上，并对此导电层进行蚀刻，以便将第二绝缘层暴露出来，并形成复数个栅极。接着，将第二绝缘层移除。

此处所述的任何特征的独特性质及其间的结合，皆包括在本发明的范围内，而且此特征间的结合必须是与本处的说明、上下文意以及习知技术所相符的。为了概述本发明，本发明中的某些观点、优点以及显著的特征皆叙述于此处。然而，必须了解的是，这些观点、优点或是特征不一定在本发明的任何特别的实施例中皆会实现。

为了让本发明的上述和其它目的、特征、和优点能更明显易懂，下文特举一较佳实施例，并配合附图，作详细说明如下：

附图说明

图 1 是依照本发明一较佳实施例的缩小半导体组件的单元间距的方法绘示有垫氧化层配置在基板上，且有氮化硅层配置在垫氧化层上，更有图

案化的光阻层配置在氮化硅层上的剖面示意图。

图 2 是图 1 中所叙述配置的剖面图，其中，依照本发明一较佳实施例所述，图案化光阻层经过修剪以减小图案化光阻层的尺寸。

图 3 是图 2 中所叙述配置的剖面图，其中，依照本发明一较佳实施例，将图案化的光阻层作为罩幕，移除氮化硅层曝光的部分。

图 4 是图 3 中所叙述配置的剖面图，其中，依照本发明一较佳实施例所述的方法，移除图案化光阻层。

图 5 是图 4 中所叙述配置的剖面图，其中，依照本发明一较佳实施例所述的方法，移除暴露出的垫氧化层。

图 6 是图 5 中所叙述配置的剖面图，其中，依照本发明一较佳实施例所述的方法，在暴露出的基板上形成栅极氧化层。

图 7 是图 6 中所叙述配置的剖面图，其中，依照本发明一较佳实施例所述的方法，在氮化硅层与门极氧化层上沉积多晶质层。

图 8 是图 7 中所叙述配置的剖面图，其绘示出多晶质层被蚀刻以暴露出氮化硅层。

图 9 是图 8 中所叙述配置的剖面图，其中，依照本发明一较佳实施例所述的方法，移除氮化硅层以形成复数个具有缩小的间距的多晶质栅极。

10: 基板

12: 垫氧化层

14: 氮化硅层

16: 光阻层

18: 栅极氧化层

20: 多晶质层

22: 多晶质栅极

d1、 d2: 组件的单元间距

w: 组件宽度

具体实施方式

现在将对本发明的较佳实施例详尽说明以供参考，并尽其可能的把一些数字用于附图中，且用这些数字来描述其所指的部分。值得注意的是，所附的图标皆为简单化的图标，仅为了在此揭露书中提供清楚的说明以及叙述的方便性，所以这些图标并无精确的尺度。而一些方向性的用词，例如是顶部、底部、上、下、左、右、之上、之下、前方以及后方，皆以附图为准。这些方向性的用词，不应因其构词而对本发明的范围有任何模式的限制。

虽然本揭露书在此以某些实施例做为参考，但必需了解的是，这些实施例仅为本发明的例子而非本发明的限制。以下所将叙述的内容，虽然仅是举出几个示范性的实施例，但其真正的目的是要让实施例的所有变型、替代以及等价物，皆涵盖于后附的本发明权利要求的精神与范围内。其中必须了解的是，在此处叙述的结构与制造步骤中，并不包括具有缩小的单元间距的多晶质栅极的所有制造流程。然而，只要提供如此处所述的本发明一般的实行步骤以理解本发明，则本发明可与习知的各种微影技术一起实行。此外，本发明可应用于半导体组件及其制程的领域中，以下所举例子将说明本发明的一种缩小半导体组件的单元间距的方法。

请参照图 1，本发明的一种缩小半导体组件的单元间距的方法是：先在基板 10 上形成一垫氧化层 12，且在此垫氧化层 12 上形成一氮化硅（SiN）层 14，接着在氮化硅层 14 之上形成一光阻层 16，且此光阻层 16 例如是经过图案化的光阻层。因此，垫氧化层 12、氮化硅层 14 以及光阻层 16 是依序在基板 10 上形成的。而较佳的作法是以单晶硅材料构成基板 10，另外，基板 10 还可以由氮化镓（GaN）、砷化镓（GaAs）或是其它本领域的技术人员认为合适的半导体材料所构成。此外，基板 10 还可以掺杂有 N 型或 P

型掺杂质，其中 N 型掺杂质例如是砷、磷或是锑，而 P 型掺杂质例如是硼或是氟化硼。

而形成垫氧化层 12 的较佳作法是：以介电材料在基板 10 上构成一绝缘层，此绝缘层即为垫氧化层 12。其中，构成垫氧化层 12 的介电材料例如是氧化硅材料，此氧化硅材料可以是在热制程中形成于基板 10 上，而此热制程例如是基板 10 的热氧化制程。且垫氧化层 12 在基板 10 上形成的厚度例如是 $100\text{\AA}\sim 300\text{\AA}$ 。在一实施例中，热氧化制程是将基板 10 暴露于一含氧的环境中，以便在基板 10 上形成垫氧化层 12。另外，垫氧化层 12 可由其它本领域的技术人员认为合适的介电材料所构成。

氮化硅层 14 为一绝缘层，其较佳的作法是以化学气相沉积法 (Chemical Vapor Deposition, CVD) 将氮化硅层 14 沉积在垫氧化层 12 上。在一实施例中，化学气相沉积法可以包括下列步骤：先将源气体硅烷 (SiH_4) 引入反应腔室内，再将另一源气体氨气 (NH_3) 引入反应腔室内，接着将媒介气体氮气 (N_2) 也引入反应腔室内，并将腔室内的温度维持在例如是 $700\text{ }^\circ\text{C}\sim 800\text{ }^\circ\text{C}$ 之间，且将腔室内的压力维持在例如是 $0.2\text{ torr}\sim 0.8\text{ torr}$ 之间。则在此实施例中，氮化硅层 14 的沉积厚度例如是在 $1000\text{\AA}\sim 3000\text{\AA}$ 之间。另外，在其它变型的实施例中，除了氮化硅外，还可以有使用其它材料，或利用其它材料取代氮化硅，这些材料例如是氮氧化物。

此外，光阻层 16 以微影制程形成于氮化硅层 14 上。其中先在氮化硅层 14 上旋转沉积光阻，之后将基板 10 放置在一图案化的工具中，此工具例如是步进机。当此基板对准光罩后，以紫外光在基板 10 上进行曝光动作，而此光罩可以是足够大以覆盖基板 10 的一小部分。且在此例中，步进机将基板 10 分成许多个象限，并轮流在每个象限上以紫外线光进行曝光，直到基板 10 上所有需要曝光的部分皆完成曝光为止。等基板 10 进行过曝光后，再将其放进显影剂中，此时光阻上被紫外线光照射过的曝光区域不会被显

影剂所溶解，于是便形成图案化的光阻层 16。此处所述的实施例中，光阻层 16 的图案高度例如是 400nm，宽度则例如是 0.15 μm ，且此光阻层 16 上的图案的间距 d1 与微影制程中所允许的最小值相同。此处所提到的高度、宽度以及/或是间距大小，在其它实施例中可能更包括其它的尺寸。此外，在其它变型的实施例中，还可以利用其它图案化的介电材料来取代或是结合光阻层 16，例如是氧化物材料。

请参照图 2，图 2 是图 1 所描述配置的剖面图，其中，图案化光阻层 16 被用蚀刻的方式修剪 (trimmed) 过，以减小此图案化光阻层 16 的尺寸。此种修剪光阻层的过程可以一干蚀刻制程来实现，此制程可在一有高密度电浆 (HDP) 蚀刻工具的腔室中进行，且此制程包括能将 O₂ 及 HBr 引入腔室中。然而，此电浆源气体对图案化光阻层 16 而言，具有高蚀刻速率，相较之下，此电浆源气体对氮化硅层 14 的蚀刻速率便较低。在本实施例中，图案化光阻层 16 被蚀刻的宽度例如是约 0.075 μm ，且高度例如是 3k Å。依照本发明其一的观点，图案化光阻层 16 的宽度是可以被修剪掉例如是约 1%~50%。在一实施例中，蚀刻时间停止于蚀刻液大量蚀刻氮化硅层 14 之前。

请参照图 3，利用修剪后的图案化光阻层 16 当作蚀刻罩幕来蚀刻氮化硅层 14，则蚀刻后所得的结构如图 3 所示。在本实施例中特别的是，氮化硅层 14 以对氮化硅层 14 的蚀刻速率大于对垫氧化层 12 的蚀刻速率的蚀刻气体来进行蚀刻，且当垫氧化层 12 暴露出表面时，便停止蚀刻工作，就像是把垫氧化层 12 当作蚀刻终止层来蚀刻氮化硅层 14 一样。在一较佳实施例中，蚀刻气体可以是一电浆源气体，且此电浆的成分可以是多样化的，其成分例如是可以包括 CH₃F/CF₄/Ar/O₂。

请参照图 4，修剪过的光阻层 16 可利用电浆气体以干式去光阻 (dry stripping) 法将其从氮化硅层 14 上移除，其中的电浆气体例如是 O₂ 以及

O₂/NO₂。且还可以利用酸性溶液以湿式去光阻(wet stripping)法将其从氮化硅层 14 上移除，其中的酸性溶液例如是 H₂SO₄/H₂O₂ 或是有机溶液。各种的干式及湿式去光阻法，皆可由熟知的蚀刻技术来完成。

请参照图 5，垫氧化层 12 所暴露出的部分可以熟知的蚀刻技术来将其从基板 10 上移除，例如是以 BOE 当作蚀刻液来蚀刻垫氧化层 12 所暴露出的部分。且垫氧化层 12 在蚀刻过程中，其所暴露出的部分将会被完全移除，请参照图 6，较佳的作法是以介电材料在基板 10 的上表面所暴露出的部分，形成一绝缘层，即为栅极氧化层 18。此栅极氧化层 18 形成的厚度例如是约 20 Å~70 Å，且其通常在热制程中形成于基板 10 上，例如是基板 10 的热氧化制程。在一较佳实施例中，栅极氧化层 18 由氧化硅 (SiO₂) 所构成。在一实施例中，热氧化制程将基板 10 暴露于一含氧的环境中，以便在基板 10 上形成栅极氧化层 18。另外，栅极氧化层 18 可由其它本领域的技术人员认为合适的介电材料所构成。此外，还可以将栅极氧化薄膜沉积在基板 10 上，以形成栅极氧化层 18。

接着，请参照图 7，在基板 10 上形成一多晶质层 20，并覆盖于氮化硅层 14 与门极氧化层 18 之上。此多晶质层 20 可以由一多晶硅材料旋转沉积在一水平面上，此水平面例如是一物质层。且其所沉积的尺寸由期望的多晶质栅极的尺寸来决定，例如是由期望的多晶质栅极的厚度来决定。举例来说，若期望的多晶质栅极的厚度例如是约 2k Å，则多晶质层 20 可形成的厚度至少例如是约 2k Å。在一实施例中，多晶质层 20 所形成的厚度大约等于氮化硅层 14 的形成厚度。此多晶质层 20 可以是任何导体或半导体材料，例如是硅化钨。

请参照图 8，图 8 是图 7 中所叙述配置的剖面图，其绘示出多晶质层 20 被蚀刻以暴露出氮化硅层 14。在一实施例中，多晶质栅极 22 形成于氮化硅层 14 的每一侧边，如图 8 所示。且蚀刻多晶质层 20 所使用的蚀刻气

体对硅的选择性大于对介电材料的选择性，所以在一实施例中，所选用的蚀刻气体对多晶质层 20 的选择性大于对氮化硅层 14 的选择性，而在另一实施例中，所选用的蚀刻气体对多晶质层 20 的选择性大于对氮化硅层 14 以及与栅极氧化层 18 的选择性。在一较佳实施例中，可用一含有多种成分的电浆源气体当作蚀刻气体，且此电浆源气体的成分例如是包括 HBr/O₂。

之后将多晶质层 20 蚀刻至足以形成复数个多晶质栅极 22，再将部分的多晶质层 20 移除，并在栅极氧化层 18 被蚀刻掉大部分前，停止此电浆蚀刻法。依照此观点，蚀刻多晶质层 20 的过程将持续进行至足以将氮化硅层 14 以及/或是栅极氧化层 18 暴露出来。在一实施例中，氮化硅层 14 以及多晶质层 20 的形成厚度是可以选择的，所以当氮化硅层 14 以及/或是栅极氧化层 18 被部分地暴露出来时，多晶质栅极 22 的外形将是与所要求的外形相符。

请参照图 9，氮化硅层 14 将被以例如是湿式蚀刻的方式移除，导致多晶质栅极 22 的结构具有缩小的间距，如图 9 所示。在移除氮化硅层 14 后，接着便以例如是在基板 10 上掺质于源极/漏极的方式，在多个多晶质栅极 22 之间形成晶体管组件。在一较佳实施例中，一对相邻的多晶质栅极 22 间的间隔为常数。多晶质栅极 22 的间距以 d_2 表示，且依照本发明， d_2 的大小足以让晶体管组件形成于多晶质栅极 22 间。将图 1 中的 d_1 与图 9 中的 d_2 作比较，可明显地发现 d_2 是 d_1 的一半。此外，比较图 1 与图 9，还可发现每一个多晶质栅极的横向宽度比微影制程中所允许的横向宽度小了许多。因此，本发明提供形成晶体管组件的方法，可使晶体管组件间的间距小于习知晶体管组件中受限于微影制程的间距。由于可以缩小组件的间距，所以便可增加组件的积集度。

根据上述说明，可使本领域的技术人员了解本发明的制造半导体组件的结构的方法，特别是一种具有缩小的单元间距的半导体组件。虽然本发明已以较佳实施例揭露如上，然其并非用以限定本发明，任何本领域的技术

人员，在不脱离本发明的精神和范围内，当可作些许更动与润饰，因此本发明的保护范围当视后附的权利要求所界定的为准。

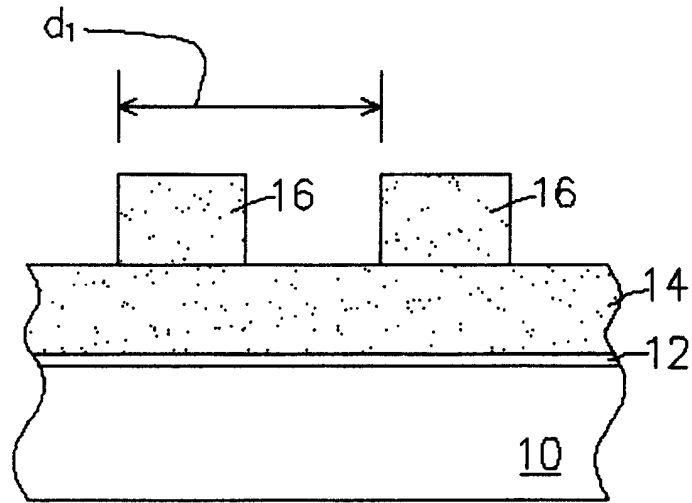


图 1

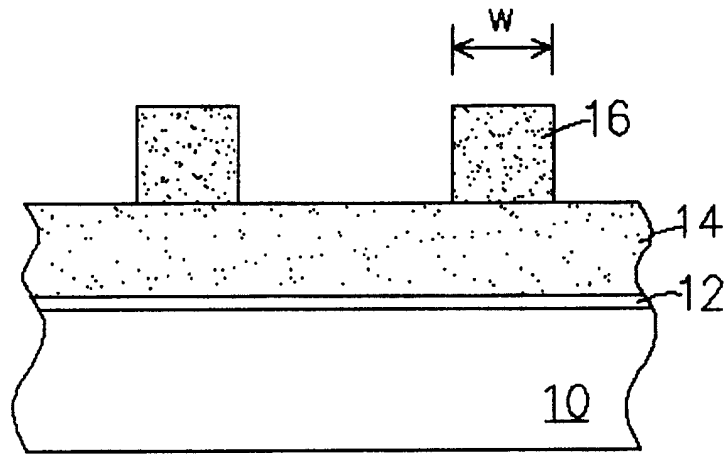


图 2

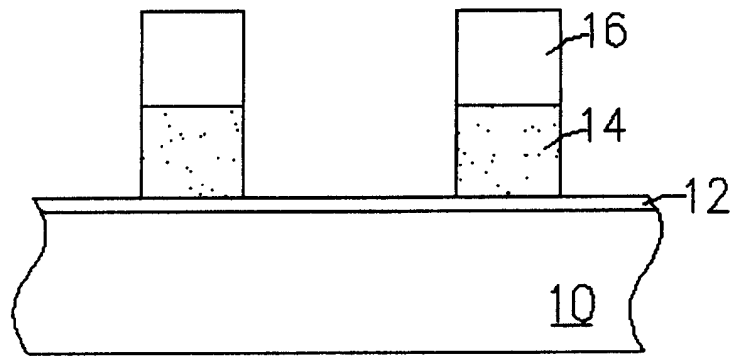


图 3

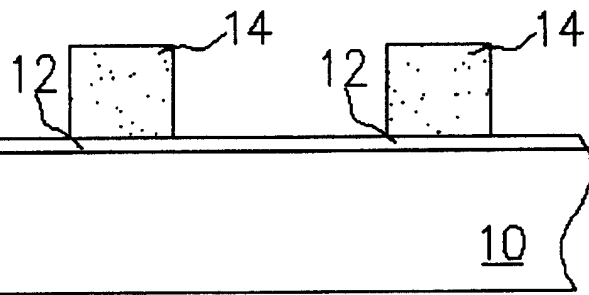


图 4

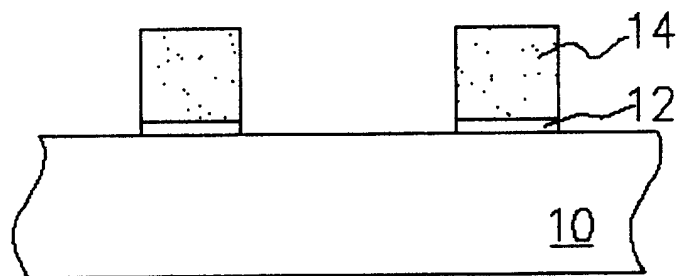


图 5

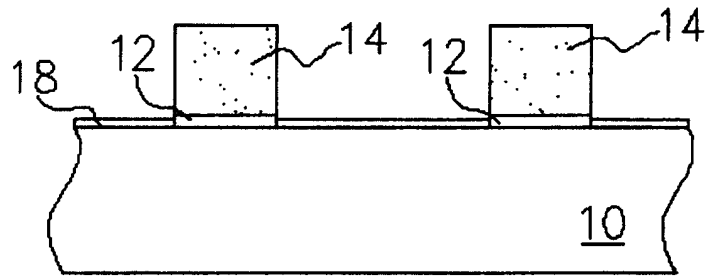


图 6

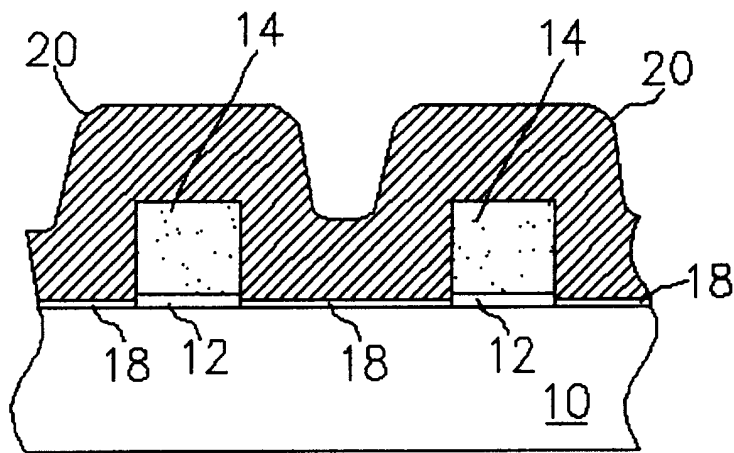


图 7

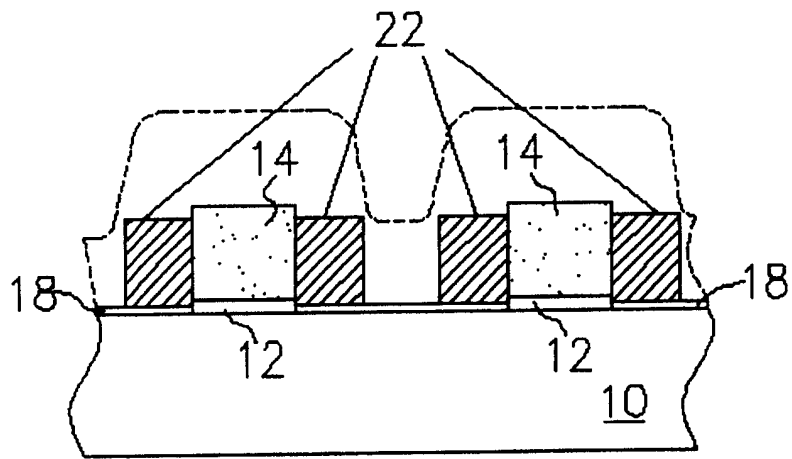


图 8

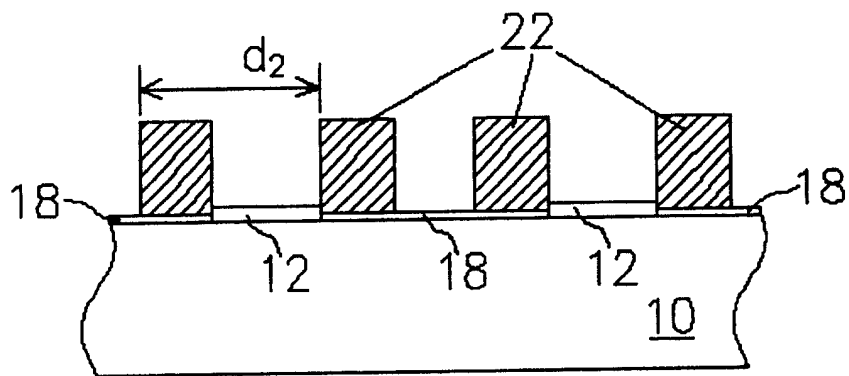


图 9