



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2009년09월08일  
(11) 등록번호 10-0916489  
(24) 등록일자 2009년09월01일

(51) Int. Cl.

H01L 33/00 (2006.01)

(21) 출원번호 10-2007-0075908  
(22) 출원일자 2007년07월27일  
심사청구일자 2007년07월27일  
(65) 공개번호 10-2009-0011885  
(43) 공개일자 2009년02월02일  
(56) 선행기술조사문헌  
JP08255927 A\*  
KR1020050112938 A  
KR1020050087584 A  
KR1020050105681 A  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지이노텍 주식회사  
서울 영등포구 여의도동 20번지

(72) 발명자

윤호상  
광주 광산구 운남동 삼성아파트 387-22 115동 1307호  
심상균  
전북 전주시 완산구 서신동 848-9

(74) 대리인

서교준

전체 청구항 수 : 총 19 항

심사관 : 조근상

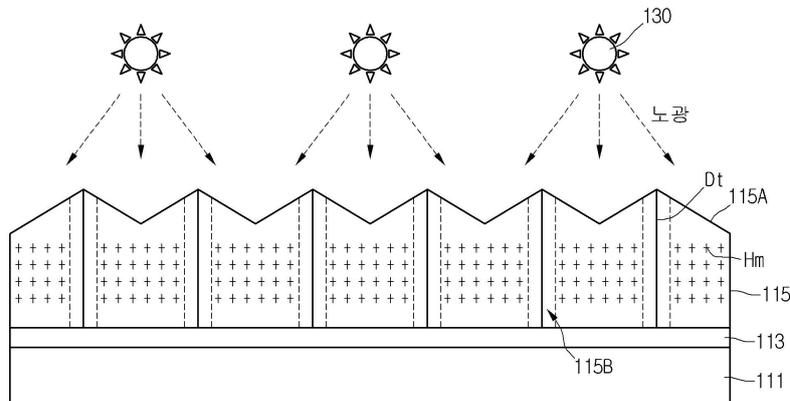
(54) 반도체 발광소자 및 그 제조방법

(57) 요약

본 발명의 실시 예는 따른 반도체 발광소자 및 그 제조방법에 관한 것이다.

본 발명의 실시 예에 따른 반도체 발광소자 제조방법은 제 1도전성 반도체층을 형성하는 단계; 상기 제 1도전성 반도체층 위에 활성층을 형성하는 단계; 상기 활성층 위에 제 2도전성 반도체층을 형성하는 단계를 포함하며, 상기 층들 중 적어도 한 층은 성장 시 램프로 노광하여 in-situ 성장되는 것을 특징으로 한다.

대표도 - 도2



**특허청구의 범위**

**청구항 1**

제 1도전성 반도체층;

제 1도전성 반도체층 위에 형성된 활성층;

상기 활성층 위에 형성된 제 2도전성 반도체층을 포함하며,

상기 층들 중 적어도 한 층은 램프의 노광에 의해 생성된 소수 캐리어를 포함하는 것을 특징으로 하는 반도체 발광소자.

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

제1인도프드 반도체층;

상기 제1인도프드 반도체층 위에 제 1도전성 반도체층;

상기 제 1도전성 반도체층 위에 형성된 활성층;

상기 활성층 위에 형성된 제 2도전성 반도체층을 포함하며,

상기 제1인도프드 반도체층은 램프의 노광에 의해 생성된 소수 캐리어를 포함하는 것을 특징으로 하는 반도체 발광소자.

**청구항 5**

제 1도전성 반도체층;

상기 제 1도전성 반도체층 위에 InGaN 양자 우물층을 포함하는 단일 또는 다중 양자 우물 구조의 활성층;

상기 활성층 위에 형성된 제 2도전성 반도체층을 포함하며,

상기 InGaN 양자 우물층은 램프의 노광에 의해 생성된 소수 캐리어를 포함하는 것을 특징으로 하는 반도체 발광소자.

**청구항 6**

제 1도전성 반도체층;

상기 제1도전성 반도체층 위에 형성된 인듐 함량이 낮은 로우 몰 InGaN층;

상기 로우 몰 InGaN층 위에 형성된 활성층;

상기 활성층 위에 형성된 제 2도전성 반도체층을 포함하며,

상기 로우 몰 InGaN층은 인듐 함량이 5% 미만이며, 램프의 노광에 의해 생성된 소수 캐리어를 포함하는 것을 특징으로 하는 반도체 발광소자.

**청구항 7**

삭제

**청구항 8**

제1항 또는 제5항 또는 제6항 중 어느 한 항에 있어서,

상기 제1도전성 반도체층 아래에 형성된 제1연도프드 반도체층을 포함하며,

상기 제1연도프드 반도체층은 램프의 노광에 의해 생성된 소수 캐리어를 포함하는 것을 특징으로 하는 반도체 발광소자.

**청구항 9**

제8항에 있어서,

상기 제1연도프드 반도체층의 아래에 형성된 버퍼층 및 상기 버퍼층 아래에 형성된 기판을 포함하는 것을 특징으로 하는 반도체 발광소자.

**청구항 10**

제4항에 있어서,

상기 제1연도프드 반도체층은 상기 램프의 노광에 의해 생성된 소수 홀에 의해 표면이 러프하게 형성된 반도체 발광소자.

**청구항 11**

제 6항에 있어서,

상기 로우 몰 InGaN층은 상기 램프의 노광에 의해 소수 홀이 발생되며, 상기 로우 몰 InGaN층의 표면 전계 상태를 교란시켜 주어 인듐에 의한 V 결함의 생성 및 성장을 제한하는 반도체 발광소자.

**청구항 12**

제 5항에 있어서,

상기 InGaN 양자 우물층은 상기 램프의 노광에 의해 생성된 소수 홀이 GaN의 Ga vacancy의 발생을 방지하는 반도체 발광소자.

**청구항 13**

제 1도전성 반도체층;

상기 제1도전성 반도체층 위에 형성된 활성층;

상기 활성층 위에 형성된 제 2연도프드 반도체층;

상기 제2연도프드 반도체층 위에 형성된 제2도전성 반도체층을 포함하며,

상기 제2도전성 반도체층은 성장시 램프에 의해 노광되며,

상기 램프로 노광된 상기 제2도전성 반도체층에는 소수 전자를 형성시켜 주어, 상기 생성된 소수 전자와 Mg 이온과의 1차 결합을 형성하여, Mg-H 구조의 -전하를 띤 H이온을 상쇄시켜 줄 수 있도록 한 반도체 발광소자.

**청구항 14**

제 1도전성 반도체층;

상기 제1도전성 반도체층 위에 형성된 활성층;

상기 활성층 위에 형성된 제 2연도프드 반도체층;

상기 제2연도프드 반도체층 위에 형성된 제2도전성 반도체층을 포함하며,

상기 제2도전성 반도체층은 성장시 램프에 의해 노광되며,

상기 제 2연도프드 반도체층은 상기 제2도전성 반도체층의 램프 노광에 의해 발생된 소수 홀을 포함하는 반도체 발광소자.

**청구항 15**

삭제

**청구항 16**

제 1항 또는 제4항 또는 제6항 중 어느 한 항에 있어서,  
상기 램프는 수은 램프, X선, 전자선, 할로겐 램프 중 적어도 하나를 포함하는 반도체 발광소자.

**청구항 17**

제 1도전성 반도체층을 형성하는 단계;  
상기 제 1도전성 반도체층 위에 활성층을 형성하는 단계;  
상기 활성층 위에 제 2도전성 반도체층을 형성하는 단계를 포함하며,  
상기 층들 중 적어도 한 층은 성장 시 램프로 노광하여 in-situ 성장되며, 상기 램프의 노광에 의해 생성된 소수 캐리어를 포함하는 반도체 발광소자 제조방법.

**청구항 18**

제1인도프드 반도체층을 형성하는 단계;  
상기 제1인도프드 반도체층 위에 제 1도전성 반도체층을 형성하는 단계;  
상기 제 1도전성 반도체층 위에 활성층을 형성하는 단계;  
상기 활성층 위에 제 2도전성 반도체층을 형성하는 단계를 포함하며,  
상기 제1인도프드 반도체층, 활성층 및 제1도전성 반도체층 중 적어도 한 층은 성장 시 램프의 노광에 의해 생성된 소수 캐리어를 포함하는 반도체 발광소자 제조방법.

**청구항 19**

제 1도전성 반도체층을 형성하는 단계;  
상기 제 1도전성 반도체층 위에 양자 장벽층 및 InGaN 양자 우물층을 포함하는 단일 또는 다중 양자 우물 구조의 활성층을 형성하는 단계;  
상기 활성층 위에 제 2도전성 반도체층을 형성하는 단계를 포함하며,  
상기 InGaN 양자 우물층의 성장 시 램프의 노광에 의해 생성된 소수 캐리어를 포함하는 반도체 발광소자 제조방법.

**청구항 20**

제 1도전성 반도체층을 형성하는 단계;  
상기 제 1도전성 반도체층 위에 인듐 함유량이 낮은 로우 몰 InGaN층을 형성하는 단계;  
상기 로우 몰 InGaN층 위에 활성층을 형성하는 단계;  
상기 활성층 위에 제 2도전성 반도체층을 형성하는 단계를 포함하며,  
상기 로우 몰 InGaN층은 인듐 함량이 5% 미만이며, 상기 로우 몰 InGaN층의 성장시 램프의 노광에 의해 생성된 소수 캐리어를 포함하는 반도체 발광소자 제조방법.

**청구항 21**

제 1도전성 반도체층을 형성하는 단계;  
상기 제 1도전성 반도체층 위에 활성층을 형성하는 단계;  
상기 활성층 위에 제 2인도프드 반도체층을 형성하는 단계;  
상기 제2인도프드 반도체층 위에 제 2도전성 반도체층을 형성하는 단계를 포함하며,

상기 제 2도전성 반도체층의 성장 시 램프로 노광하여 소수 전자를 생성시켜 주는 반도체 발광소자 제조방법.

**청구항 22**

제 17항 내지 제 21항 중 어느 한 항에 있어서,

상기 램프는 수은 램프, 엑스레이, 전자선, 할로겐 램프 중 적어도 하나를 포함하는 반도체 발광소자 제조방법.

**청구항 23**

제 17항 또는 제19항 또는 제20항 또는 제21항 중 어느 한 항에 있어서,

상기 제1도전성 반도체층 아래에 제1언도프드 반도체층을 포함하며,

상기 제1언도프드 반도체층은 성장시 램프의 노광에 의해 생성된 소수 캐리어를 포함하는 것을 특징으로 하는 반도체 발광소자 제조방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명의 실시 예는 반도체 발광소자 및 그 제조방법에 관한 것이다.

**배경기술**

<2> III-V족 질화물 반도체(group III-V nitride semiconductor)는 물리적, 화학적 특성으로 인해 발광 다이오드(LED) 또는 레이저 다이오드(LD) 등의 발광 소자의 핵심 소재로 각광을 받고 있다.

<3> III-V족 질화물 반도체는 통상  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질로 이루어져 있다. 이러한 질화물 반도체 재료를 이용한 LED 혹은 LD는 청색 또는 녹색 파장대의 광을 얻기 위한 발광 소자에 많이 사용되고 있으며, 핸드폰의 키패드 발광부, 전광판, 조명 장치 등 각종 제품의 광원으로 응용되고 있다.

<4> 이러한 발광 다이오드를 제조함에 있어서, 활성층의 발광 효율을 증대시키고, 역방향 전류와 역방향 전압 등의 다이오드 특성을 개선해 주거나, ESD 등의 전기적 내성을 강화시켜 주고자 하는 연구들이 진행되고 있다.

**발명의 내용**

**해결 하고자하는 과제**

<5> 본 발명의 실시 예는 고품질 박막이 성장될 수 있도록 한 반도체 발광소자 및 그 제조방법을 제공한다.

<6> 본 발명의 실시 예는 활성층의 발광 효율을 증대시키고 다이오드의 특성 개선 및 전기적인 내성을 강화시켜 줄 수 있는 반도체 발광소자 및 그 제조방법을 제공한다.

**과제 해결수단**

<7> 본 발명의 실시 예에 따른 반도체 발광소자는 제 1도전성 반도체층; 제 1도전성 반도체층 위에 형성된 활성층; 상기 활성층 위에 형성된 제 2도전성 반도체층을 적어도 포함하며, 상기 층들 중 적어도 한 층에 대해 램프로 노광하여 소수 캐리어를 제공하는 것을 특징으로 한다.

<8> 본 발명의 실시 예에 따른 반도체 발광소자 제조방법은 제 1도전성 반도체층을 형성하는 단계; 상기 제 1도전성 반도체층 위에 활성층을 형성하는 단계; 상기 활성층 위에 제 2도전성 반도체층을 형성하는 단계를 포함하며, 상기 층들 중 적어도 한 층은 성장 시 램프로 노광하여 in-situ 성장되는 것을 특징으로 한다.

**효과**

<9> 본 발명의 실시 예에 따른 반도체 발광소자 및 그 제조방법에 의하면, 활성층의 발광 효율을 증대시켜 줄 수 있

다.

<10> 또한 LED 구조의 역방향 전류, 역 방향 전압 등의 다이오드 특성을 개선하며, ESD 등의 전기적 내성을 강화시켜 줄 수 있다.

<11> 또한 결정성이 우수한 제 1도전성 반도체층을 제공할 수 있다.

**발명의 실시를 위한 구체적인 내용**

<12> 이하, 본 발명의 실시 예에 따른 반도체 발광소자 및 그 제조방법에 대하여 첨부된 도면을 참조하여 설명하면 다음과 같다. 본 발명에 따른 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "위(on)"에 또는 "아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "위(on)"와 "아래(under)"는 "directly"와 "indirectly"의 의미를 모두 포함한다. 또한 각 층의 위 또는 아래에 대한 기준은 도면을 기준으로 설명한다.

<13> 도 1은 본 발명의 제 1실시 예에 따른 반도체 발광소자를 나타낸 단면도이다.

<14> 도 1을 참조하면, 반도체 발광소자(100)는 기판(111), 버퍼층(113), 제 1언도프드 GaN층(115), 제 1도전성 반도체층(117), 활성층(119), 제 2도전성 반도체층(121)을 포함한다.

<15> 상기 기판(111)은 사파이어 기판( $Al_2O_3$ ), GaN, SiC, ZnO, Si, GaP 그리고 GaAs 등으로 이루어진 군에서 선택될 수 있으며, 소자의 실장 방식에 따라 상기 기판은 제거될 수도 있다.

<16> 상기 버퍼층(113)은 기판 위에 형성되며, GaN, InN, AlN, AlInN, InGaN, AlGaIn, InAlGaIn 등이 선택적으로 형성된다. 상기 버퍼층(113) 위에는 제 1 언도프드(undoped) GaN층(115)이 형성된다. 여기서, 버퍼층(113) 또는/및 제 1언도프드 GaN층(115)은 선택적으로 제거될 수도 있다.

<17> 상기 제 1언도프드 GaN층(115) 위에는 제 1도전성 반도체층(117)이 형성된다. 상기 제 1도전성 반도체층(117)은 n형 반도체층으로 구현될 수 있는 데, 상기 n형 반도체층은 GaN, AlGaIn, InGaIn 등 중에서 선택될 수 있으며, n형 도펀트(예: Si, Ge, Sn 등)가 도핑된다.

<18> 상기 제 1도전성 반도체층(117) 위에는 활성층(119)이 형성된다. 상기 활성층(119)은 예컨대, InGaIn 우물층/GaN 장벽층 또는 InGaIn 우물층/AlGaIn 장벽층을 한 주기로 하여, 단일 또는 다중 양자 우물 구조로 형성될 수 있다. 여기서, 우물층  $In_xGa_{1-x}N$ 은  $0 < x \leq 1$ 로 조절할 수 있다.

<19> 상기 활성층(119) 위에는 제 2도전성 반도체층(121)이 형성된다. 상기 제 2도전성 반도체층(121)은 예컨대, p형 도펀트가 도핑된 p형 반도체층으로 구현될 수 있다. 상기 p형 반도체층은 GaN층, AlGaIn층, InGaIn층 등과 같은 GaIn계 화합물 반도체 중에서 어느 하나로 이루어질 수 있다.

<20> 또한 상기의 제 2도전성 반도체층(121) 위에는 제 3도전성 반도체층(미도시)을 형성할 수도 있다. 여기서 제 3도전성 반도체층은 n형 반도체층으로 구현될 수 있다.

<21> 이러한 반도체 발광소자의 각 층을 성장함에 있어서, 상기의 반도체층들 중에서 적어도 하나의 반도체층의 성장 시 램프(lamp)를 이용하여 노광하여 in-situ 성장함으로써, 노광된 층이 성장시 주입된 물질들과의 화학 반응에 의해 전자나 정공과 같은 소수 캐리어(photo enhanced minority carrier)가 발생된다. 이에 따라 활성층의 발광 효율이나 전기적인 내성을 강화시켜 줄 수 있다.

<22> 여기서 램프(lamp)는 광 전계 루미네센스(photo electro luminescence) 성장을 위한 램프로써, 예컨대 수은 램프(mercury lamp), 엑스선(x-ray), 전자선, 할로겐 램프 중에서 적어도 하나를 선택적으로 이용할 수 있으며, 이에 한정하지 않는다. 또한 서로 다른 반도체층에 대해 모두 동일한 램프 또는 서로 다른 램프로 이용할 수도 있다.

<23> 도 2는 도 1의 제 1언도프드 GaN층의 성장 예를 나타낸 도면이다.

<24> 도 2를 참조하면, 기판 위에 버퍼층을 형성한 후, 동일 성장 장비를 이용하여 소정의 성장온도에서  $NH_3$ 와 TMGa를 공급하여 소정 두께로 도펀트를 포함하지 않는 제 1언도프드 GaN층(115)을 형성하게 되는 데, 이때 제 1언도프드 GaN층(115)은 동일 성장 장비(in-situ) 내에서 램프(130)를 이용한 노광을 통해 in-situ 성장하게 된다.

<25> 이때 램프(130)로 노광함으로써, 제 1언도프드 GaN층(115)의 결정에는 성장 도중 상기 램프(130)의 노광에 의해

소수 홀(photo enhanced minority hall)(Hm)을 발생시키고, 상기 기판(111)과 GaN층 결정 사이의 불일치로 인해 포지티브 전하(positive charge)를 갖는 결함(dislocation)(Dt) 주위에는 소수 홀(Hm)이 존재하지 않는 데드 존(115B)이 형성된다.

<26> 여기서 GaN 생성 반응식은 다음과 같다.

<27>  $(\text{CH}_3)_3\text{Ga}(\text{g}) + \text{NH}_3(\text{g}) \rightarrow \text{GaN}(\text{s}) + 3\text{CH}_4(\text{g})$ , g : 가스 상태, s : 고체 상태

<28> 이러한 GaN 생성 반응식에 의해 결정결함(Dt) 주위에는 정상적인 성장 예컨대, 정상 성장 레이트가 2um/hr 정도로 성장되며, 그 이외의 영역은 상기와 같은 반응식에 의해 생성되는 정공(+) 또는 전자(-)의 중간 생성물의 생성이 방해되어, 정상 성장 레이트보다 10~15% 낮은 속도로 성장된다. 이러한 성장 레이트의 차이로 인하여 제 1 언도프드 GaN층(115)의 표면(115A)은 러프한 표면 또는 요철 형상의 표면으로 형성된다. 이러한 제 1 언도프드 GaN(115)의 표면이 러프하게 형성됨으로써, LED 구조 특성에 나쁜 영향을 주는 결정결함(dislocation)이 피닝(pinning)될 수 있는 프리 스페이스(free surface)를 증대시켜 줄 수 있다.

<29> 이로 인해, 도 1의 제 1도전성 반도체층(117)의 결함을 감소시켜 주어, 상부에 성장되는 활성층(119)의 발광 효율을 증대시키고, 최종 LED 구조의 역방향 전류, 역방향 전압 등의 다이오드 특성을 개선하며, ESD(electrostatic discharge) 등의 전기적 내성을 강화시켜 줄 수 있다.

<30> 또한 상기 실시 예에서는 제 1 언도프드 GaN(115)의 성장시 램프로 노광하여 in-situ 성장을 수행하였으나, 제 1도전성 반도체층(117)에 대해서도 동일한 방식으로 램프로 노광하여 in-situ 성장을 수행할 수 있다.

<31> 도 3은 도 1의 활성층의 양자 우물층의 성장 예를 나타낸 도면이다.

<32> 도 3을 참조하면, 활성층(119)은 소정의 성장 온도에서 질소, 수소를 캐리어 가스 사용하고 분위기 가스 NH<sub>3</sub>, TMGa(TFGa), TMIn 및 TMAI를 공급하여 소정 두께의 In<sub>x</sub>Ga<sub>(1-x)</sub>N(0<x≤1) 양자우물층(119A) 및 양자 장벽층(119B)이 성장된다.

<33> 상기 InGaN 양자 우물층(119A)의 성장시 다량의 Ga 빈 격자점(Ga vacancy)이 발생되며, 이러한 Ga 빈 격자점은 네거티브 전하(negatively charge)를 띠고 있어, 양전자(positron)를 트랩하게 된다.

<34> 이를 위해, 상기 InGaN 양자 우물층(119A)의 성장시 램프(132)를 이용하여 노광하여 in-situ 성장함으로써, 소수 홀(minority hall)이 발생되고 발생된 소수 홀이 Ga 빈 격자점에 트랩됨으로써, 네거티브 전하로 되어 있는 GaN의 Ga 빈 격자점의 발생을 효과적으로 방지하게 된다. 즉, GaN의 Ga 빈 격자점의 생성을 소수 홀(photo enhanced minority hall)을 이용하여 보상하여 Ga 빈 격자점을 중화시켜 줌으로써, 양전자(positron)가 Ga 빈 격자점에 트랩되는 것을 방지할 수 있어, 양전자가 발광에 기여할 수 있게 된다.

<35> 이로 인해, 활성층의 프리 포지스런(free positron)이 증가하게 될 수 있어, 비 방사 재결합(non-radiative recombination)을 감소시켜 줌으로써, 발광 효율을 증대시켜 줄 수 있다.

<36> 도 4는 본 발명의 제 2 실시 예에 따른 반도체 발광소자(100A)를 나타낸 단면도이며, 도 5는 인듐에 의한 V 결함(118B)을 나타낸 도면이며, 도 6은 도 4의 로우 몰 InGaN층의 성장 예를 나타낸 도면이다. 이러한 제 2 실시 예는 제 1 실시 예와 동일한 부분에 대해서는 동일 부호로 처리하고 중복 설명은 생략하기로 한다.

<37> 도 4 내지 도 6을 참조하면, 제 1도전성 반도체층(117) 위에는 인듐 함량이 낮은 로우 몰(low mole) InGaN층(118)이 형성되는 데, 상기 로우 몰 InGaN층(118)은 활성층(119)의 내부양자효율(internal quantum efficiency)을 증가시키기 위해서 상기 활성층(119) 성장 전, 상기 활성층(119)의 스트레인(strain)을 제어할 수 있도록 인듐 함량이 낮은 InGaN 확산층(spreading layer) 또는 InGaN 장벽층(barrier layer) 등으로 성장될 수 있다. 여기서 상기 로우 몰 InGaN층(118)을 성장시킴에 있어서, 도핑되는 인듐의 함량은 5%미만이 되도록 조절된다.

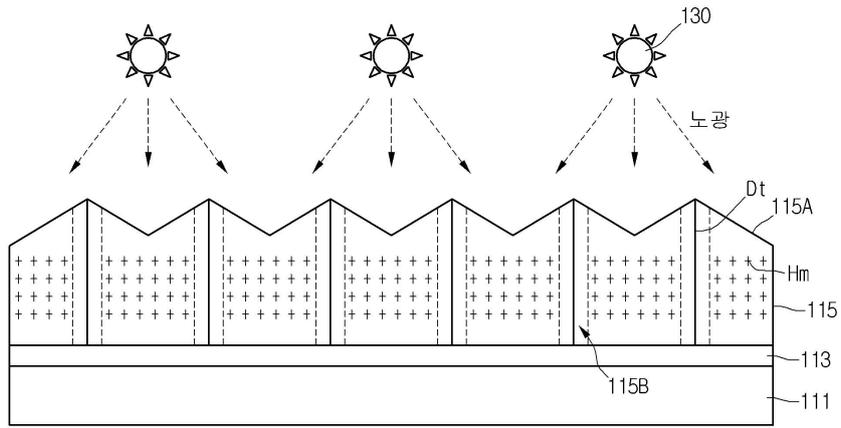
<38> 도 5에 도시된 바와 같이, InGaN층에 인듐이 혼합된 경우, 상기 인듐 원자(atom)은 (0001) 표면에 위치하는 것보다 경사 표면(10 $\bar{1}$ 1)에 위치하게 된다. 따라서 인듐이 혼합된 경우 V 결함(118B)이 다량 생성될 수 있는데, 이러한 인듐이 혼합된 층의 표면은 어느 일정한 표면에너지 E(surface)를 가질 것이고, V 결함(118B)이 형성되면 상기 표면 에너지는 E'로 변화게 된다.

<39> 또한 표면 에너지 E'는 아래와 같이 나타낼 수 있다.

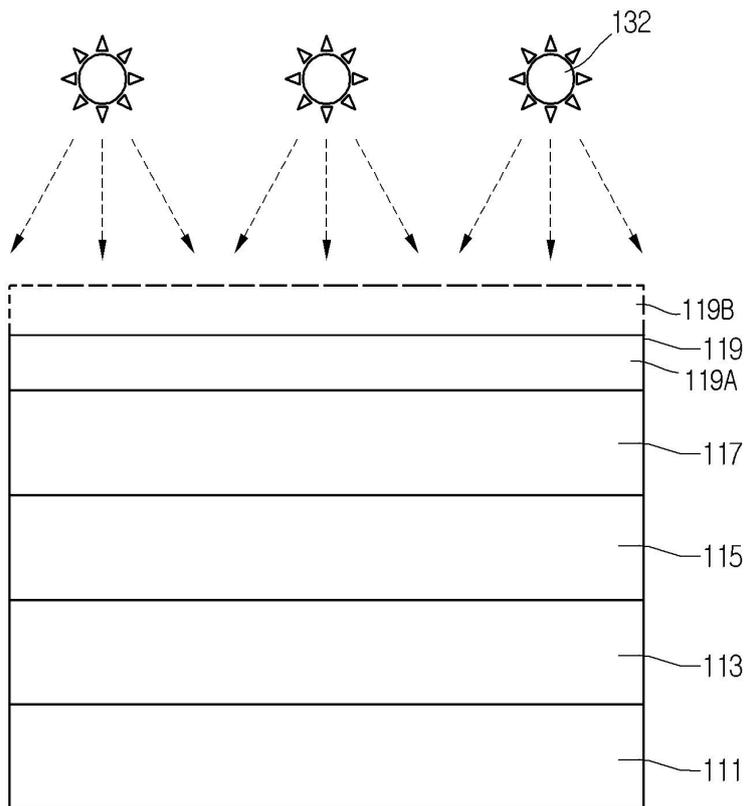
- <40>  $E' = f(S, \lambda x)$
- <41> 여기서 S는 (0001) facet가 없어지고,  $(10\bar{1}1)$  facet가 형성되면서 생기는 에너지이고,  $\lambda x$ 는 전위 코어 에너지이다. 상기 InGaN층(118)의 표면이 최소의 E' 값을 가질 때까지 V 결함(118B)은 계속 생성되어 커질 것이다.
- <42> 이는 상기 InGaN층(118)에 인듐이 혼합되는 경우 포텐셜 에너지 차이(1.5~2V)에 의해 (0001)표면(118A) 보다 경사진 표면( $10\bar{1}1$ )에 우선적으로 성장이 일어나게 된다.
- <43> 이를 방지하기 위해, 도 6에 도시된 바와 같이 램프(134)로 노광하는 상태에서 로우 몰 InGaN층(118)을 in-situ 성장함으로써, 로우 몰 InGaN층(118)의 성장시 인듐 도핑에 의해 발생하는 V 결함(118B)의 생성과 성장을 억제하여 고 품질의 InGaN층을 성장할 수 있다.
- <44> 다시 말하면, 로우 몰 InGaN층(118)의 성장 도중 in-situ 노광에 의해 소수 홀(photo enhanced minority hole)을 발생시키면, 상기 소수 홀이 표면(예:  $10\bar{1}1$ ) 전계 상태(surface electric state)를 교란시켜 주어, 인듐에 의한 V 결함(V-defect)(118B)의 생성과 성장을 제한하게 된다. 즉, 로우 몰 InGaN(118)에서 V 결함(118B)의 표면( $10\bar{1}1$ )에 대한 포텐셜 에너지를 교란시켜 주어, V 결함(118B)에 계속 붙으려는 인듐을 방해하여 V 결함(118B)의 성장을 제한하게 된다.
- <45> 도 7은 본 발명의 제 3 실시 예를 나타낸 반도체 발광소자(100B)를 나타낸 단면도이고, 도 8은 도 7의 제 2도전성 반도체층의 성장 예를 나타낸 도면이다. 이러한 제 3 실시 예는 제 1 실시 예와 동일한 부분에 대해서는 동일 부호로 처리하고 중복 설명은 생략하기로 한다.
- <46> 도 7 및 도 8을 참조하면, 상기 제 2도전성 반도체층(121)을 성장하기 전에 제 2인도프드 GaN층(120)을 성장하고, 제 2인도프드 GaN층(121) 위에 제 2도전성 반도체층을 성장하게 된다. 여기서 제 2도전성 반도체층(121) 위에 제 3인도프드 GaN층을 형성할 수도 있다.
- <47> 상기 제 2도전성 반도체층(121)은 수소(H)를 캐리어 가스로 하여 소정의 온도에서, TMGa, (EtCp2Mg) {Mg(C2H5C5H4)2} 및 NH<sub>3</sub>을 공급하여 p-GaN층으로 구현된다.
- <48> 이때, Mg를 도핑한 p-GaN층(121)을 얇게 성장시키고, 상기 p-GaN층(121)의 아래에 제 2인도프드 GaN층(120)을 형성해 줌으로써, 도핑되어 있는 p-GaN층(121)에서 제 2인도프드 GaN층(120)으로 마그네슘(Mg)들이 자연스럽게 확산(diffusion)하게 되어 고 품질의 Mg가 도핑된 p-GaN층(121)의 형성이 가능하게 된다. 여기서, 상기 제 2인도프드 GaN층의 두께는 10Å~500Å이고, 상기 제 2도전성 반도체층의 두께는 10Å~2000Å로 형성될 수 있다.
- <49> 이때, 마이너스 전하를 띤 수소(H) 이온이 발생하여 Mg-H 결합이 발생하는 구간은 제 2인도프드 GaN층(120) 위의 p-GaN층(121)에서 발생되므로, p-GaN층(121)의 성장시 램프(136)를 이용하여 노광하여 in-situ 성장함으로써, 제 2인도프드 GaN층(120)에 의해 소수 홀(minority hole) 발생되므로 Mg-H 결합을 방해하여 주게 된다.
- <50> 즉, p-GaN층(121)에서 Mg 도핑시에는 Mg이 암모니아 가스의 H와 결합되어 전기적으로 절연 특성을 보이는 Mg-H 결합체를 형성한다. 따라서 고농도의 p-GaN층(121)을 얻는 것이 어렵다. 이를 위해, p-GaN층(121)의 성장시 램프(136)로 노광하여 in-situ 성장하여 소수 전자(photo enhanced minority electron)를 발생시켜 줌으로써, 상기 발생된 소수 전자가 H 이온과 결합된다. 이에 따라 Mg와 분위기 가스 및 이송 가스로 사용되는 H 이온과의 결합으로 인해 p-GaN층(121)의 홀 캐리어(hall carrier) 농도를 저하시키는 현상을 개선할 수 있다.
- <51> 이러한 p-GaN층(121) 성장시 램프(136)를 이용하여 소수 전자를 생성시켜 줌으로써, 상기 생성된 소수 전자와 Mg 이온과의 1차 결합을 형성하여 Mg-H 결합을 방지하고 NH<sub>3</sub> 및 H<sub>2</sub> 가스 등을 배제한 상태에서 고온의 단시간 열처리를 통하여 홀 농도(hall concentration)를 증가시켜 줄 수 있다. 이에 따라 발광다이오드의 구동 전압을 개선하고 사용하는 Mg 소스의 양을 줄여, 활성층의 데미지(damage)를 줄임으로써 발광 효율을 개선하는 등의 효과가 있다.
- <52> 이상에서 본 발명에 대하여 실시 예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 발명의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 본 발명의 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관



도면2

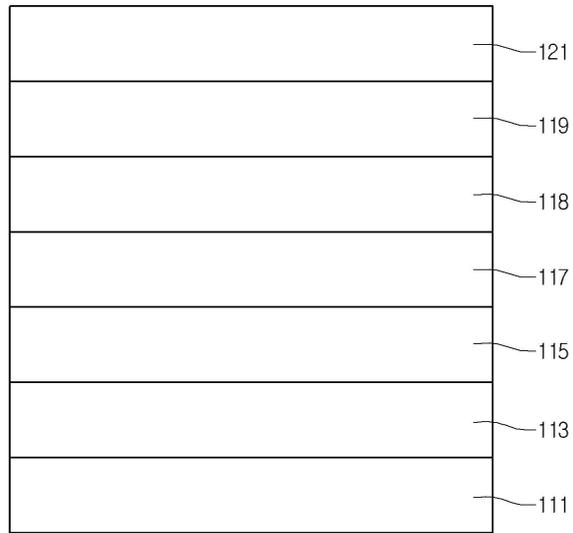


도면3

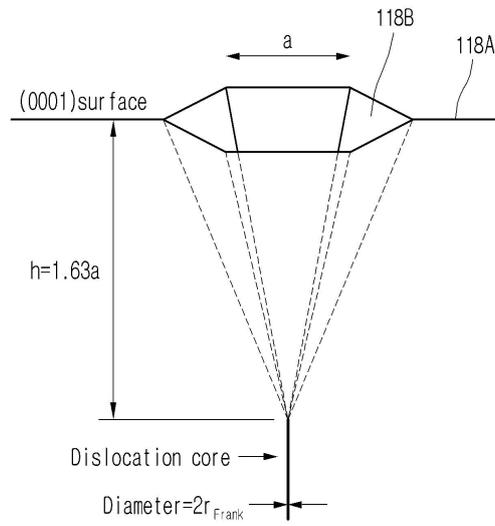


도면4

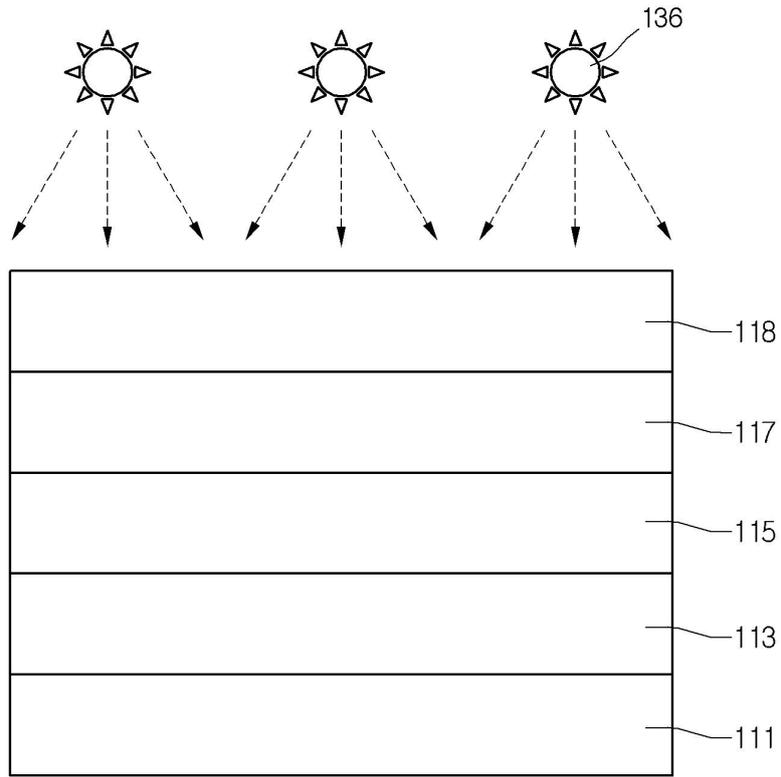
100A



도면5

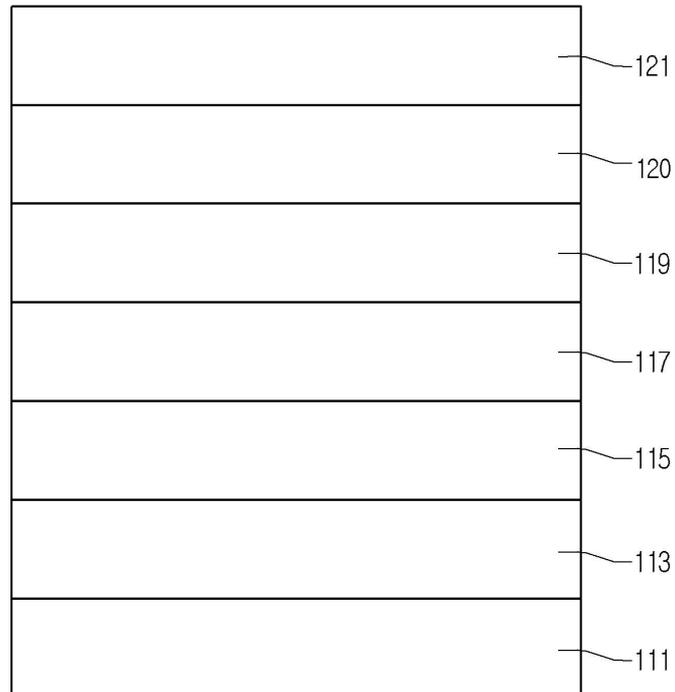


도면6



도면7

100B



도면8

