

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G06F 12/00
G06F 12/02
G06F 12/04
G06F 13/42

(45) 공고일자 2000년12월15일
(11) 등록번호 10-0275427
(24) 등록일자 2000년09월21일

(21) 출원번호	10-1995-0006173	(65) 공개번호	특 1995-0033862
(22) 출원일자	1995년03월23일	(43) 공개일자	1995년12월26일
(30) 우선권 주장	9415365.7 1994년07월29일 영국(GB) 9415391.3 1994년07월29일 영국(GB) 9415387.1 1994년07월29일 영국(GB) 9405914.4 1994년03월24일 영국(GB) 9503964.0 1995년02월28일 영국(GB)		
(73) 특허권자	디스커버전 어소우쉬에이츠 데니스 피셀 미국 캘리포니아주 92714 어빈 200 스위트 메인 스트리트 2355		
(72) 발명자	안쏘니마크존즈 영국비에스175티에프브리스틀에이트템플러로드31 도날드윌리엄워커패터슨 영국비에스67제이더블유브리스틀레드랜드블렌하임로드12 윌리엄필립로빈즈 영국지엘115피이캠글로체스터쉐어스프링힐19 애드리안필립와이즈 영국비에스161엔에이브리스틀프렌체이웨스트본코티지10 헬렌로즈메리핀취 영국지엘127엔디글로체스터쉐어워튼-언더-에지쿰타일레이 마틴윌리엄소더랜 영국지엘116비디글로체스터쉐어스틴치코움더슬레이웍레인더라이딩즈		
(74) 대리인	장수길, 주성민		

심사관 : 김세영

(54) RAM과의 인터페이스 방법 및 장치

요약

본 발명은 RAM으로부터 RAM의 소정의 고정 버스트 길이 N보다 작은 M개의 워드를 액세스하는 것을 포함하여 메모리의 어드레싱 및 액세스하는 많은 기술들에 관한 것이다. 또한 2차원 영상과 관련된 데이터 워드를 저장 및 검색하기 위하여 동적 랜덤 액세스 메모리(DRAM)를 액세스하는 방법 및 가변 폭 데이터를 어드레싱 하는데 사용되는 고정 비트 수를 가지며 폭 정의 필드 및 어드레스 필드를 갖는 고정 폭을 갖는 워드를 제공하는 과정도 또한 개시되어 있다. 또한 프레임 또는 필드로 구성된 인코드된 비디오 데이터의 버퍼링을 제어하는 방법도 개시되어 있다. 이 방법은 입력하는 디코드된 프레임 각각의 화상 번호를 결정하는 단계, 임의의 시간에 예기된 화상 번호를 결정하는 단계 및 그 화상 번호가 프레젠테이션 번호상에 또는 그 이후에 있는 경우 버퍼를 준비가 되었다고 표시하는 단계를 포함하고 있다. 마지막으로, 별도의 어드레스 발생기가 RAM 인터페이스가 RAM을 어드레스하는데 필요로 하는 어드레스를 발생하는 버스를 RAM에 접속하는 RAM 인터페이스를 개시하고 있다. 어드레스 발생기는 2선식 인터페이스를 통하여 RAM 인터페이스와 통신한다.

대표도

도1

명세서

[발명의 명칭]

RAM과의 인터페이스 방법 및 장치

[도면의 간단한 설명]

제1도는 본 발명의 싱크로너스 DRAM 액세스 방법을 사용한 장치의 시스템 블럭선도.

제2도는 제1도의 상태 머신에 의해 수신된 고레벨 명령과, 그에 의해 발생된 저레벨 명령간의 상호관계를 나타낸 도면.

제3도는 제1도의 DRAM의 구성을 도식적으로 표현한 도면.

제4도는 제1도의 DRAM의 셀에 저장된 워드의 구성을 도식적으로 표현한 도면.

제5도는 사각 그리드로 정렬된 다수의 셀들과 이 정렬된 셀들위에 중첩한 비정렬된 하나의 셀로 이루어진 영상을 텔레비전 또는 모니터 화면에 표시한 것을 나타내는 도면.

제6도는 제5도의 각 셀에서의 픽셀의 배열을 나타낸 것으로 각 셀은 일예로 8 x 8 픽셀 블록으로 되어 있는 것을 나타낸 도면.

제7도는 제6도의 각 픽셀을 표시하는 데이터 워드를 나타낸 도면.

제8도는 비정렬된 셀과 그 밑에 있는 정렬된 셀의 픽셀등과의 관계를 나타낸 도면.

제9도는 제5도 또는 제8도의 셀들을 제6도의 RAM 뱅크로 맵핑하는 것을 도식적으로 나타낸 도면.

제10도는 2개의 RAM 뱅크를 가지며 제7도의 데이터 워드를 저장하는데 사용되는 RAM 시스템의 블록선도.

제11도는 제10도의 RAM 시스템을 포함하며 제5도의 화면에 디지털 비디오를 제공하는 비디오 디코더를 도식적으로 나타낸 도면.

제12도는 제5도 또는 제8도의 셀을 다수의 서브셀로 분할한 것과, 서브셀과 제10도의 RAM 뱅크와의 관계를 나타내는 도면.

제13도는 마이크로코드가능 상태 머신의 블록선도.

제14도는 산술 코어의 블록선도.

제15도는 레지스터 화일의 기능도.

제16도는 레지스터 화일에서의 데이터 흐름의 블록선도.

제17도는 레지스터 화일 어드레스 디코딩의 블록선도.

제18도는 어드레싱에 사용되며 폭 정의 필드 및 어드레스 필드를 갖는 일정폭의 워드를 나타낸 도면.

제19도는 어드레싱에 사용되며 어드레스 필드, 교체 필드 및 교체 지시자를 갖는 일정 폭의 워드를 나타낸 도면.

제20도는 64 x 32 RAM에서 8비트 데이터를 어드레스하는데 사용된 13비트 워드의 일예를 나타낸 도면.

제21도는 다수의 필드를 갖는 일정 폭의 워드의 일예를 나타낸 도면.

제22도는 본 발명을 실시하는 DRAM 인터페이스의 블록선도.

제23도는 기록 스윙 버퍼와 판독 스윙 버퍼를 하나씩 갖는 DRAM 인터페이스의 블록선도.

제24도는 영상 포맷터의 블록선도.

제25도는 버퍼 관리자 상태 머신을 나타낸 도면.

제26도는 제25도의 상태 머신의 메인 루프를 설명한 도면.

* 도면의 주요부분에 대한 부호의 설명

12 : 상태 머신	14 : 인터리버
500 : DRAM 인터페이스	520 : 기록 어드레스 발생기
530 : 판독 어드레스 발생기	540 : 버퍼 관리자

[발명의 상세한 설명]

본 발명의 한 특징은 RAM 액세스 방법에 관한 것으로서, 특히 본 발명은 RAM으로부터 소정의 고정 버스트 길이 N의 RAM보다 작은 M개의 워드를 액세스하는 방법에 관한 것이다. 이 RAM이 RAM으로부터의 판독 및 그것으로의 기록을 선택적으로 인에이블 및 디스에이블하는 인에이블 라인을 포함하고 있다. 이 방법에서는, 처음 N개의 워드를 RAM으로부터 판독 또는 그것으로 기록되게 한다. 그 다음에, N보다 작은 M개의 워드가 언제 RAM으로부터 판독되었는지 또는 그것으로 기록되었는지를 결정하게 된다. 마지막으로, RAM은 M개의 워드가 RAM으로부터 판독되었다고 또는 그것으로 기록되었다고 결정하고 나서 디스에이블된다.

본 발명의 다른 특징은 2차원 영상과 관련된 데이터 워드를 저장 및 검색하기 위한 다이나믹 랜덤 액세스 메모리(DRAM) 액세스 방법을 개시하고 있다. DRAM은 2개의 별도의 뱅크, 제1 뱅크 및 제2 뱅크를 포함하고 있다. 각 뱅크는 그 데이터 워드를 판독 및 기록하는데 페이지 모드(page mode)로 동작할 수 있다. 이 2차원 영상은 2차원 그리드 패턴(grid pattern)의 셀로 구성되는데 각 셀은 M x N 매트릭스의 픽셀을 포함하고 있다. 각 셀과 관련된 워드들은 한 페이지 또는 한 뱅크보다 작은 영역을 차지한다. 각 셀에는 2개의 뱅크중 특정 뱅크가 할당되어 그 특정 셀과 관련된 모든 데이터 워드를 그 특정 뱅크의 한 특정 페이지로부터 판독 또는 그것으로 기록을 기록하도록 한다. 각 셀이 동일 열에 또는 동일 행에 있는 인접한 셀과 다른 뱅크에 관련되도록 뱅크를 셀에 할당한다. 그 다음에 픽셀 매트릭스로 구성되어 있으나 2차원 그리드 패턴으로 정렬되어 있는 것이 아니라 2차원 그리드 패턴으로된 셀의 픽셀을 따라 정렬된 셀과 관련된 데이터 워드를 판독하게 된다.

본 발명의 다른 특징에 따르면, 비정렬된 셀과 관련된 데이터 워드는 DRAM의 첫번째 뱅크로부터 첫번째의

판독에 의해 판독되며 그리드 패턴으로된 셀중의 하나와 관련된 데이터 워드는 비정렬 셀과 관련된 데이터 워드를 포함하는 것으로 식별된다. 그 다음에, DRAM의 두번째 뱅크로부터 비정렬 셀과 관련된 데이터 워드를 포함하는 그리드 패턴으로된 다른 셀들과 관련된 데이터 워드의 판독이 있다. 첫 번째 뱅크와 두 번째 뱅크사이의 교대로 하는 판독은 비정렬 셀과 관련된 모든 데이터 워드를 판독할 때까지 계속된다.

본 발명의 다른 특징에 따르면, 비정렬 셀과 관련된 데이터 워드는 셀을 소정의 순서로 처음 판독함으로써 판독되는데 그리드 패턴으로된 각 셀과 관련된 데이터 워드는 비정렬 셀과 관련된 데이터 워드를 포함하고 있다. 셀의 소정의 순서는 연속한 셀들로부터 판독된 데이터 워드가 뱅크로부터 교대로 판독되도록 선택된다.

본 발명의 다른 특징에 따르면, 상기 소정의 순서는 비정렬 셀과 관련된 데이터 워드를 포함하는 것으로 식별된 그리드 패턴의 셀의 시계방향의 회전이다.

그 대신에, 상기 소정의 순서는 비정렬 셀과 관련된 데이터 워드를 포함하는 것으로 식별된 그리드 패턴의 셀의 반시계 방향 회전이다.

본 발명의 다른 특징은 일반적으로 메모리 어드레싱 방법에 관한 것으로서, 특히 가변폭의 데이터의 어드레싱 및 어드레스 교체에 사용되는 고정 수의 비트를 갖는 고정 폭 워드를 사용하는 것에 관한 것이다.

본 발명의 다른 특징에 따르면, 프레임의 화상 수를 결정하는 단계, 프레임의 소망의 프레젠테이션 수를 결정하는 단계 및 화상수가 소망의 프레젠테이션 수에서 또는 그 바로뒤에 있을 때 버퍼가 준비되었음을 표시하는 단계를 구비한 프레임으로 구성된 인코딩된 비디오 데이터를 버퍼링하는 방법이 제공된다.

본 발명의 다른 특징에 따르면, 버스로부터 복수의 데이터 워드를 수신하는 수단, 버스로부터 복수의 데이터 워드와 관련된 어드레스를 수신하는 수단, 버퍼링된 데이터 워드를 기록하게 될 RAM에서의 수신된 어드레스로부터 도출된 일련의 어드레스를 발생시키는 수단 및 버퍼링된 데이터 워드를 발생된 어드레스에 기록하는 수단을 구비한 RAM에 버스를 접속시키는 RAM 인터페이스가 제공된다. 데이터 워드 수신 및 버퍼링 수단은 스윙 버퍼를 포함할 수도 있다. RAM은 페이지 어드레싱 모드로 동작할 수도 있고 어드레스 발생 수단은 수신된 어드레스에 근거한 행 어드레스 발생 수단 및 열 어드레스 발생 수단을 포함할 수 있다. RAM은 DRAM일 수도 있고, 버스는 2선식 인터페이스를 포함할 수도 있으며 어드레스 수신 수단은 2선식 인터페이스를 포함할 수도 있고 복수의 데이터 워드 및 수신된 어드레스는 토큰의 형태로 되어 있을 수 있다. RAM 인터페이스는 또한 데이터 워드 수신 수단이 복수의 데이터 워드를 수신하여 버퍼링하였는지를 결정하는 수단을 더 포함할 수도 있다.

본 발명은 또한 RAM의 소정의 어드레스에 저장된 복수의 데이터 워드, 복수의 데이터 워드와 관련된 RAM 어드레스를 버스로부터 수신하는 수단, RAM 내의 복수의 데이터 워드를 어드레싱하기 위해 수신된 어드레스로부터 도출된 일련의 RAM 어드레스를 발생시키는 수단, RAM으로부터 판독된 데이터 워드를 버퍼링하는 수단 및 어드레스 발생 수단으로부터 발생된 일련의 RAM 어드레스를 사용하여 복수의 데이터 워드를 RAM으로부터 판독하여 이 데이터 워드를 버퍼 수단에 기록하는 수단을 구비한 RAM으로 버스를 접속하는 RAM 인터페이스가 제공된다. 이 데이터 워드 버퍼링 수단은 스윙 버퍼를 포함할 수도 있다. RAM은 페이지 어드레싱 모드로 동작할 수도 있으며 어드레스 발생 수단은 수신된 어드레스에 근거하여 행 어드레스 발생 수단 및 열 어드레스 발생 수단을 포함할 수 있다. RAM은 DRAM일 수 있고 버스는 2선식 인터페이스를 포함할 수 있으며 데이터 워드 수신 및 버퍼링 수단은 2선식 인터페이스를 포함할 수 있고 어드레스 수신 수단은 2선식 인터페이스를 포함할 수 있으며 복수의 데이터 워드 및 수신된 어드레스는 토큰의 형태로 되어 있을 수 있다. DRAM 인터페이스는 또한 데이터 워드 수신 수단이 복수의 데이터 워드를 수신 및 버퍼링하였는지를 결정하는 수단을 더 포함할 수도 있다.

본 발명의 상기한 특징들은 5개의 카테고리로 그룹지어질 수 있는데, 그 각각을 별개로 하여 여기서 논의된다. 이 5개의 카테고리는 다음과 같은 것이 있다.

JEDEC 싱크로너스 DRAM 액세스 방법, DRAM 뱅크의 액세스 방법, 가변폭의 데이터를 어드레싱하는 고정폭의 워드, 버퍼 관리자 및 RAM 인터 페이스.

[싱크로너스 DRAM 액세스 방법]

이제 제1도를 참조하면, 본 발명의 방법을 실시하는 시스템(10)의 블럭선도가 도시되어 있다. 시스템(10)은 상태 머신(12), 인터리버(interleaver)(14) 및 싱크로너스(synchronous) DRAM(16)을 포함하고 있다. DRAM(16)은 2개의 뱅크(32)를 포함하고 있다. 인터리버(14)는 DRAM(16)으로의 액세스(예를 들어, 판독 및 기록)를 제어한다. 인터리버(14)는 어느 뱅크(32)를 가장 최근에 액세스하였는가를 추적하는 카운터(도시 안됨)를 포함하여 뱅크(32)사이의 토글(toggle)을 용이하게 할 수 있게 해준다.

이제 제1도, 제2도 및 제3도를 참조하면, DRAM(16)의 동일한 뱅크(32)에 어드레스된 고레벨 명령(22)의 스트링(string)(19)의 수신시에, 상태 머신(12)은 동일 뱅크(32)로 어드레스된 최적화된 저레벨 명령(20)(즉, JEDEC에 의해 규정된 7개의 명령으로 상기 열거함)의 스트링(21)을 발생한다. 스트링(21)의 수신시에, 인터리버(14)는 요청된 동작을 수행한다.

고레벨 명령(22)으로는 READ(22-1), WRITE(22-2), EXTEND(22-3), INTERRUPT(22-4) 및 REFRESH(22-5)가 있다. (명령(22)은 저레벨 명령(20)과 구별하기 위해 모두 대문자로 기재됨.) 요약하면, READ(22-1), WRITE(22-2) 및 REFRESH(22-5) 명령들은 본질적으로 그들의 저레벨 명령(20)과 동일한 명칭을 가진다. EXTEND(22-3)은 이전의 WRITE(22-2) 또는 READ(22-1) 명령의 동작을 반복하도록 한다. INTERRUPT(22-4)는 이하에 논의하는 바와 같이 4개의 워드(24)로 고정된 버스트 길이의 결과로서 필요하게 된다. 명령(22)은 모두 강력한 프로그램 도구를 제공한다.

어떻게 명령(22)이 DRAM(16)의 액세스 작업을 간단하게 하는지에 관한 예를 알아보기 이전에, 명령(22) 그 자체들을 더 상세히 알아봐야 한다. 고레벨 명령 스트링(19)의 첫번째 고레벨 명령(22)은 READ(22-1) 또는 WRITE(22-2)중 하나이다. 대응하는 저레벨 명령 스트링(21)의 첫번째 저레벨 명령(20)은 항상 활성 명령(20)이 된다. READ 또는 WRITE 명령(22) 각각은 4개의 연속 워드(24)를 각각 판독 또는 기록 하도록

지시한다. 제2도에 도시한 바와같이, READ 또는 WRITE 명령(22)은 각각 4개의 연속한 워드(24)의 첫번째 워드(24)의 어드레스(26)(억세스할 특정 बैं크(32)에서의)를 수반한다. (주의할 점은 JEDEC 규격하에서는 이 첫번째 워드(24)는 우수 카운트이어야 한다.)

READ 또는 WRITE 명령(22)이 스트링(19)의 마지막 명령인 경우에(즉, 상태머신(12)으로의 그 다음 명령이 DRAM(16)의 다른 बैं크(32)로 어드레스된 경우에) DRAM(16)이 "자동 프리차아지 모드"인 때에는, 상태 머신(12)은 프리차아지 명령(20)을 갖는 판독 또는 기록을 명하게 되며 그 다음에 적당한 프리차아지 명령(20)의 요청된 어드레스(26)가 오게 된다. 예를 들어, 자동 프리차아지 모드에서 스트링(19-2)의 마지막 명령(22)이 어드레스(26) 10을 갖는 READ(22-1)인 경우에, 대응 스트링(21-2)은 프리차아지 명령(20)으로 판독되며 그 뒤에 어드레스(26) 10, 11, 12 및 13 이 오게 된다.

제2도에서는, EXTEND(22-3)가 스트링(19-3)의 끝에 도시되어 있으며 그 뒤에 READ(WRITE) 명령(22)이 오게 된다. READ 및 WRITE 명령(22)과 마찬가지로, EXTEND(22-3)의 포맷은 4개의 워드 시퀀스(24)에 첫번째 워드(24)의 어드레스(26)를 포함하고 있다. 자동 프리차아지 모드에서는, EXTEND(22-3)가 스트링(19)의 끝에서 스트링(19-3)에서와 같이 발생할 때에 프리차아지를 갖는 부가의 판독(기록)이 스트링(21)에 부가된다.

본 발명의 다른 특징은 버스트 길이를 4개의 워드(24)로 고정하여 동적으로 변하는 버스트 길이를 지원하는데 필요한 복잡성을 감소시켜준다. JEDEC 규격에서 요구하는 2 워드 전송을 처리하기 위해,

INTERRUPT(22-4)가 제공된다. 이제 제1도, 제2도 및 제3도를 참조하면, INTERRUPT(22-4)는 상태 머신(12)이 4 워드(24) 길이의 저레벨 명령(20) 판독(또는 기록)을 시작하도록 한다. 그러나, 2워드(24)가 판독(또는 기록)된 이후에, 상태 머신(12)은 बैं크(32)로의 인에이블 라인(30)이 로우로 되어 बैं크(32)를 디스에이블시키도록 한다. 이와 같이, 상태 머신(12)은 4워드(24) 판독(또는 기록)에 대한 저레벨 명령(20)을 하게 되지만, 단지 2워드(24)만이 실제로 बैं크(32)로부터 판독(또는 그것으로 기록)된다.

물론, 인에이블 라인(30)이 로우로 떨어진 이후에, 다른 2개의 클럭 사이클이 지금 무효인 판독(또는 기록) 명령(20)을 완료하는데 필요하다. 그러나, 이와같은 방법은 불필요한 데이터의 2워드(24)를 처리할 필요가 없게 해주는 반면, 버스트 길이가 4워드(24)로 고정될 수 있게 해준다.

이제 제1도, 제2도, 제3도 및 제4도를 참조하면, 제4도에서는 워드(24)가 बैं크(32)에 어떻게 저장되어 있는가를 나타내주는 도면이다. 제4도는 2차원 셀 어레이(50)의 일부분(48)을 도시하고 있으며 각 셀(50)은 M x N 워드 매트릭스(24)를 포함하며 각 워드는 셀(50)내의 워드(24)의 어드레스의 역할을 하는 숫자(54)로 표시되어 있다. 특히, 각 셀(50)은 8 x 8 워드(24)인 것으로 도시되어 있다. 셀(50)은 그리드 패턴(56)에 따라 정렬된다.

(DRAM의 다른 부분에 저장하기 위해) 아래에 있는 셀(50)로부터 워드(24)를 판독함으로써 생성되는 소망의 새로운 셀을 표시하는 셀(60)은 셀(50)위에 중첩된다. 셀(60)은 워드(24)를 따라 정렬되지만 그리드 패턴(56)을 따라 정렬되지는 않는다. 셀(60)은 셀(50-1, 50-2, 50-3 및 50-4)위에 있게 된다. 셀(50-1 및 50-3)은 동일 बैं크(32)(즉, बैं크 0)에 저장된 워드(24)를 포함하고 있으나 다른 페이지 상에 있을 수도 있다. 마찬가지로, 셀(50-2 및 50-4)은 다른 बैं크(예를 들어, बैं크 1)에 저장된 워드(24)를 포함하고 있지만 다른 페이지에 있을 수도 있다.

적당한 워드(24)를 셀(50-1)로부터 판독하기 위하여, 다음과 같은 고레벨 명령(22)의 스트링(19)를 사용할 수 있다.

READ(62, x), INTERRUPT(62, 62).

이에 대응하는 저레벨 명령(20)의 스트링(21)은 다음과 같다.

active(bank 0), read(62, 63), read(62, 63), read and precharge(62,63).

적당한 워드(24)를 셀(50-4)로부터 판독하기 위하여, 다음과 같은 고레벨 명령(22)을 사용할 수 있다.

READ(6, x), INTERRUPT(14,22).

이에 대응하는 저레벨 명령(20)은 다음과 같다.

active(bank 1), read(6, 7), read(14, 15, don't care, don't care), read and precharge(22, 23, don't care, don't care).

적당한 워드(24)를 셀(50-3)으로부터 판독하기 위하여, 다음과 같은 고레벨 명령(22)을 사용할 수 있다.

READ(0, x), EXTEND(8, x), EXTEND(16, x), EXTEND(4, x), INTERRUPT(12, 20).

이에 대응하는 저레벨 명령(20)의 스트링(21)은 다음과 같다.

active(bank 0), read(0, 1, 2, 3), read(8, 9, 10, 11), read(16, 17, 18, 19), read(4, 5), read(12, 13), read and precharge(20, 21, don't care, don't care).

본 발명이 개시된 구조 및 방법을 참조하여 기술되고는 있지만, 이는 여기 기재한 특정 내용을 한정하기 위한 것이 아니라 첨부된 청구범위의 영역내에 들 수 있는 수정 또는 변경을 포괄시키려고 한 것이다.

[DRAM बैं크의 억세스 방법]

이제 제5도, 제6도 및 제11도를 참조하면, 제11도는 디지털 비디오(204)로부터 제공된 영상들(208)을 표시하기에 적당한 표시 화면(206)을 갖는 비디오 모니터(202)를 나타낸다. 디지털 비디오(204) 신호원은 비디오 디코더(205)이다. 비디오 디코더(205)는 적당한 디코딩 회로(도시안됨)를 포함하고 있다. 비디오 디코더(205)는 인코드된 비디오(209)를 디코드한다. 인코드된 비디오(209)의 일반적인 신호원으로는 CD 또는 레이저 디스크 플레이어(207), 또는 케이블 TV 중계(208)가 있다.

제5도에는 영상(208)을 포함하고 있는 표시 화면(206)의 일부분을 도시하고 있다. 영상(208)과 같은 영상

은 픽셀(214)로 구성되어 있다. 일반적으로 픽셀(214)은 그룹을 지어 셀(212)을 이룬다. 픽셀(214)을 셀(214)로 그룹을 지음으로써, 영상(208)을 나타내는 디지털 비디오(204)(및 표시 화면(6)의 나머지도)는 보다 효과적으로 처리(예를 들어, 압축)할 수 있다.

셀(212)은 어떤 반복 패턴으로 배열될 수 있지만, 일반적으로 셀(212)은 직선 그리드(209)의 패턴으로 배열되어 있다. 그리드 패턴(209)은 표시 화면(206) 전체에 걸쳐 존재한다. 각 셀(212)에서, 픽셀(214)은 일반적으로 $N \times N$ 의 정방 행렬로 배열되어 있다. 예를 들어, 제6도에서, 셀(212)은 8×8 픽셀로 이루어져 있다. 식별 위치 번호(13)(0 부터 63)는 각 픽셀(214)과 관련되어 있다. 그 대신에, 픽셀(214)은 비정방 행렬(즉, $M \times N$ (M 은 N 과 같지 않음) 행렬)로 그룹지어져 있을 수 있다.

이제 제5도, 제6도 및 제7도를 참조하면, 디지털 비디오(204)는 다수의 데이터 워드(215)를 포함하고 있다. MPEG 디지털 비디오 규격에서는, 6개의 데이터 워드(215)가 4개의 픽셀(214)로 된 각 영역을 나타내는데 필요하다. 한 워드(215)는 Cb를 나타내고, 한 워드(215)는 Cr을 나타내고 4개의 워드(215)는 Y(취도)를 나타낸다.

이제 제5도, 제7도, 제10도 및 제11도를 참조하면, 비디오 디코더(205)는 RAM 시스템(230)을 포함하고 있다. RAM 시스템(230)은 데이터 워드(215)를 저장하는데 사용되는 메모리 비디오 디코더(205)이다. 비디오 디코더(205)는 영상(208)을 화면(206)상에 생성, 표시 및 처리 과정에서 RAM 시스템(230)으로부터 워드(215)를 판독한다. RAM 시스템(230)은 인터리버(234) 및 2개의 RAM 뱅크(232), 뱅크 0(232-0) 및 뱅크 1(232-1)을 포함하고 있다. 인터리버(234)는 영상(208)을 생성, 표시 및 처리하는데 사용되는 비디오 디코더(205)의 일부분(도시안됨)에 뱅크(232)를 연결한다. 뱅크(232)에 있어서, 데이터 워드(215)는 제10도에서 중첩한 직사각형으로 표시된 페이지(233)에 저장된다. 일반적인 페이지(233)의 크기는 1024 8비트 워드이다.

이제 제5도, 제6도 및 제8도를 참조하면, 비디오 디코더(205)의 한 요건은 기존의 셀 그리드(209)에 정렬되지 않은 셀(222)을 판독할 수 있는 능력이다. 그 대신에, 셀(222)은 셀(212)내의 셀(214)로 정렬된다. 이와 같은 비정렬된 셀(222)을 판독할 수 있는 능력은 영상(208)에서 특징을 탐색해내는데 또는 연속한 영상들(208)사이의 움직임을 검출하는데 필요하다.

이제 제5도 및 제8도를 참조하면, 제5도에는 RAM 시스템(230)으로부터 판독할 셀(222-1)을 도시하고 있다. 셀(222-1)은 그리드(209)에 대해 정렬되어 있지 않지만 셀(212)의 픽셀(214)에 대해 정렬되어 있다. 셀(222-1)은 점선으로 도시되어 있으며 4개의 셀(212, 212-5, 212-6 및 212-8)에 중첩하고 있는 것으로 보일 수 있다.

제8도에는 어떻게 비정렬된 판독 셀(222-1)이 그 밑에 있는 셀(212-5, 212-6, 212-7 및 212-8)에 중첩하고 있는지를 더 상세히 나타내고 있다. 셀(222-1)내의 번호들은 셀(222-1)과 각각의 그 밑에 있는 셀(212)사이의 경계에 있는 픽셀(214)의 수(13)를 나타낸다. 주의할 점은 비정렬된 판독 셀(222-1)은 대체로 하나의 그 밑에 있는 셀(212-5)로부터 도출된 픽셀(214)로 구성되어 있다는 것이다. 셀(212-6, 212-8 및 212-7)로 부터 도출된 픽셀(214)의 수는 각각 7, 7 및 10이다. 49개의 픽셀들이 셀(212-5)로부터 도출되어 있다.

제5도 및 제8도에서는, 직선 그리드(209)는 도시되어 있지만 각 셀(212)을 나타내는 데이터 워드(215)를 포함하는 페이지들이 어떻게 인터리브되는지를 나타내지 않는다. 특정의 비정렬 판독 셀(222) 밑에 있는 모든 셀들(212)과 관련된 각각의 페이지(233)는 RAM 시스템(230)의 동일한 뱅크(232)내에 있을 수 있다는 것을 잘 알 것이다. 그러한 경우에 비정렬 판독 셀(222)을 생성하는 것은 최악의 경우에 동일 뱅크(232)로부터 4개의 페이지를 액세스하는 것, 그 뱅크(232)를 세번 프리차아지하는데 데드 타임(dead time)을 필요로 하는 과정을 수반하게 된다. 탐색 또는 매칭은 비정렬 셀(222)이 어디에 있는지를 규정하고 있지 않으며 따라서 항상 최악의 경우가 될 수 있다.

인터리빙 가능성을 최대화하는 프로세스에 있어서, 동일한 뱅크(232)로부터 4개의 페이지(233)를 액세스하는 것보다는 각 뱅크(232)로부터 2개의 페이지(233)를 액세스하는 편이 훨씬 더 낫다. 이제 문제는 어떻게 제8도의 예와 같은 경우, 비정렬 판독 셀(222-1)의 대부분의 픽셀(214)이 그 밑에 있는 단일 셀(212-5)로부터 도출되어 그 밑에 있는 다른 세계의 셀(212-6, 212-7 및 212-8)과 관련된 페이지(233)로부터 데이터를 판독하는데 필요한 비교적 짧은 판독을 수행하는 동안에 프리차아지 할 시간이 거의 없는 경우를 처리하는가 하는 것이다. 또 다른 어려운 경우는 두개의 셀(212)의 대부분과 다른 두개의 셀(212)의 적은 부분을 오버레이하는 비정렬 판독 셀(222)을 갖는 경우이다.

본 발명에 따르면, 비교적 짧은 판독 시간의 문제점은 특히 2차원 패턴(240)에서 셀(212)과 관련된 페이지(233)를 인터리빙시킴으로써 감소된다. 이제 제9도 및 제10도를 참조하면, 제9도에서는 셀(212)의 절반은 해칭(239)되어 있고 셀(212)의 절반은 해칭(239)이 없다. 셀(212)에 해칭(239)이 있는 것은 그 특정 셀(212)과 관련된 페이지(233)가 뱅크0 (232-0)내에 존재하는 것을 나타낸다. 셀(212)에 해칭(239)이 없는 것은 그 특정 셀(212)과 관련된 페이지(233)가 뱅크1 (232-1)내에 존재하는 것을 나타낸다. 예를 들면, 셀(212-6)은 해칭이 있으며 따라서 셀(212-6)을 기술하는 데이터 워드(215)와 관련된 페이지(233)는 뱅크0 (232-0)에 저장되어 있으므로 뱅크0 (232-0)에서 판독하여야 한다.

본 발명에 따르면, 비교적 짧은 판독 시간의 문제점은 페이지(233)와 관련된 셀(212)의 특정의 2차원 패턴(240)에 근거하여 인터리버(234)로 하여금 페이지(232)를 뱅크(232)로 인터리브하게 함으로써 감소하게 된다. 제9도에 도시한 바와 같이, 패턴(240)은 바둑판과 비슷하다. 그리드(209)의 동일한 행의 어떤 두개의 연속한 셀(212)도 동일한 뱅크(232)내에 그들과 관련된 페이지(233)를 가지고 있지 않으며 그리드(209)의 동일한 열의 어떤 두개의 연속한 셀(212)도 동일한 뱅크(232)내에 그들과 관련된 페이지(233)를 가지고 있지 않다.

바둑판 패턴(240)은 비정렬 판독 셀(222)이 4개의 셀(212)위에 있게 되는 경우, 위에 있는 셀(212)중 두개의 페이지(233)가 하나의 뱅크(232)에 저장되는 반면, 그외의 두개의 셀(212)과 관련된 페이지(233)는 다른 뱅크(232)에 저장되도록 함으로써 인터리빙가능성을 최대화하게 된다. 예를들면, 제9도에서 셀(212-5 및 212-7)은 그들과 관련된 페이지(233)를 뱅크1 (232-1)에 저장하는 반면, 셀(212-6 및 212-8)은 그들

과 관련된 페이지(233)를뱅크0 (232-0)에 저장하게 된다.

인터리브 효율을 최대화하기 위하여, 페이지(233)는 교대로 있는 뱅크(232)로부터 판독되어야한다. 이것은 시계 방향의 순서로 또는 반시계 방향의 순서로 비정렬 판독 셀(222) 밑에 있는 4개의 셀(212)로부터 판독함으로써 이루어진다. 시계 방향으로 판독하는 방법의 일례로서, 제9도의 셀(222-1)밑에 있는 4개의 셀(212)을 생각해보자. 먼저, 셀(212-5)과 관련된 페이지(233)는 인터리버(234)에 의해 뱅크1 (232-1)로부터 판독되어진다. 그 다음에 셀(212-6)이 셀(212-5)와 동일한 행의 셀(212-5)의 우측에 위치하기 때문에 셀(212-6)과 관련된 페이지(233)가 판독된다. 마지막으로 셀(212-8)이 셀(212-7)과 동일한 행의 셀(212-7)의 좌측에 위치하기 때문에 셀(212-8)과 관련된 페이지(233)가 판독되어진다.

시뮬레이션한 결과 인터리빙 뱅크(232)의 바둑판 패턴(240)은 데드 타임을 감소시킴을 알게 되었다. 바둑판 패턴(240)의 종횡비 및 크기는 특정 응용에 대하여 최적이 되도록 선택될 수 있다. 유일한 요건으로는 비정렬 판독 셀(222)밑에 있는 적어도 하나의 셀(212)은 한 페이지(233)이하의 워드(215)로 표현되어야 한다는 것이다. 이와 같이, 밑에 있는 셀(212)의 4개의 가능한 판독 각각은 독립적이며, 인터리빙을 기술한 메카니즘에 한정시키고 있다. 어떤 추가의 단편화도 인터리빙 알고리즘을 더 복잡하게 하게 되며 데드 타임을 더 길게 하게 된다.

주의할 점은 때때로 밑에 있는 셀(212)의 가능한 각 쌍의 판독들은 동일한 페이지(233)내에 워드(215)를 포함하고 있다(예를 들어, 비정렬 판독 셀(222-1)밑에 있는 셀(212-6 및 212-8)로부터의 워드(215)는 동일한 페이지(233)상에 포함될 수도 있다). 그러므로, 페이지(233)으로부터 워드(215)를 판독하는 것은 더욱 더 최적화될 수 있게 될 수 있다. 그러나, 최악의 경우는 여전히 있게 된다.

본 발명의 방법은 성능의 저하없이 단일 페이지(233)에 저장될 수 있는 것보다 더 많은 데이터 워드(215)를 요하는 자원(M x N)을 갖는 셀(212)에 적용할 수도 있다. 이제 제10도 및 제12도를 참조하면, 이와 같은 셀(212)은 서브그리드(252)에 의해 서브셀(250)로 분할되며 서브셀(250)의 차원은 각 서브셀(250)과 관련된 워드(215)의 수가 단일 페이지(233)에 저장될 수 있도록 선택된다. 제12도에 도시한 바와 같이, 동일한 바둑판 패턴(240)은 서브셀(250)에도 적용될 수 있으며 각 "오버사이즈드"(oversized) 셀(212)과 관련된 워드(215)의 액세스가 셀(212) 자신이 관리되는 것과 동일한 효율로 관리될 수 있게 된다.

본 발명은 여기에 개시된 구조 및 방법을 참조하여 기술되어 있긴 하지만 이것은 여기 기술된 특정 내용에 한정하려는 것이 아니라 첨부된 특허 청구범위내에서 행해질 수 있는 수정 또는 변경을 수용하고자 하는 것이다.

[가변 폭 데이터를 액세스하기 위한 고정 폭 워드]

메모리를 어드레스하기 위한 방법 및 장치가 여기에 기술되어 있다. 특히, 이 과정은 가변 폭의 데이터를 어드레스하기 위해 고정 폭의 워드를 사용하는 것을 필요로 한다. 여러가지 형태의 실시예에서, 고정 폭의 워드는 폭 정의 필드, 어드레스 필드, 또는 교체 필드를 포함할 수 있다. 고정 폭 워드의 길이는 어드레스할 메모리의 양에 의해 결정된다. 본 발명의 장치 형태는 산술 코어를 갖는 마이크로 코드화 가능 상태 머신을 포함하고 있다.

마이크로코드화가능 상태 머신(microcodable state machine)은 여러가지 복잡한 계산을 필요로 하는 경우 등 설계 문제를 해결하는데 사용하려는 것이다. 이와 같은 설계의 일례로는 어드레스 발생, 스트림 파싱 및 디코딩 또는 필터 탭 계수 계산이 있다. 어드레스는 두가지 다른 특징, 워드의 가변폭부분을 액세스하기 위한 가변 길이 어드레스 및 어드레스 교체에 직면하고 있다. 본 발명에서는, 64 x 32 비트 구성을 갖는 RAM은 64 x 32 비트, 128 x 16 비트, 256 x 8 비트, 512 x 4 비트, 1024 x 2 비트, 또는 2048 x 1 비트를 갖는 부분 워드로 어드레스될 수 있다.

디스코비전 어소시에이츠가 1994년 7월 29일에 출원한 발명의 명칭이 "비디오 복원을 위한 방법 및 장치"인 영국 특허 출원을 참고로 여기에 첨부한다.

많은 응용에서 교체, 가변 폭 데이터 어드레싱 또는 워드의 다른 부분의 구성과 같은 동작을 위한 워드의 가변 부분(필드라고 함)을 정의하는 것은 유용하다. 이와 같은 것에 대한 종래의 방법은 워드내에 그 필드의 폭을 규정하는 부가 워드를 가져야만 한다. 이하에서는 워드 자체내의 이 정보를 인코딩하는 방법이 기술되어 있다. 이 방법은 워드의 전체 정의에서 비트를 절약하고, 인코딩된 워드의 디코딩을 간단화하며 인코딩된 것의 보다 직관적인 관찰을 제공하는 잇점이 있다.

이 인코딩 방법은 가변 폭 필드가 워드내의 최상위 또는 최하위 비트 자리맞춤된 경우에 적용할 수 있다.

테이블 1-1은 8비트 워드내에 정의된 최하위 비트 자리맞춤된(justified) 가변 폭 필드("F"로 표시됨), "W"로 표시된 이들 워드의 다른 잠재적인 필드의 2가지 예를 나타내고 있다.

테이블 1-1

비트 번호(16진수)	7	6	5	4	3	2	1	0
고정워드	W	W	W	F	F	F	F	F
	W	W	W	W	W	W	F	F

테이블 1-2는 필드의 최대 폭을 이진수로 규정하기 위해 충분한 비트를 부가함으로써 테이블 1-1에 도시된 필드를 인코딩하는 종래의 방법을 나타낸 것이다.

("X"로 표시된 비트는 "don't care"(무시함)-기술용어). 이 방법은 너무 많은 공간을 차지한다.

테이블 1-2

비트번호순서(16진수)	7	6	5	4	3	2	1	0	필드정의		
고정워드	W	W	W	X	X	X	X	X	1	0	1
	W	W	W	W	W	W	X	X	0	1	0

테이블 1-3은 새로운 방법을 사용하여 테이블 1-1에 도시된 필드의 인코딩을 나타낸 것이다. 이 방법은 연속 마커 및 종료 마커를 사용하여 필드를 정의한다. 이 경우에 연속 마커는 "1"이고 종료 마커는 "0"이다. 필드는 필드의 자리맞춤된 끝(이 경우에 최하위비트)으로부터 종료 마커까지 모두 연속 마커로 정의되어 있다. 테이블 1-3에는 필드를 인코딩하기 위하여 종료 마커가 차지하는 공간이 필드의 시작부분에서 고정 폭 워드에 부가되어야 하며 이렇게 함으로써 종료 마커를 포함하는 부가 공간에 의해 길이가 영인 정의를 할 수 있게 되는 것을 나타내고 있다.

테이블 1-3

비트 번호(16진수)	7	6	5	4	3	2	1	0	
고정 워드 연속 마커 = 1: 종료 마커 = 0.	W	W	W	0	1	1	1	1	1
	W	W	W	W	W	W	0	1	1

이 인코딩 방법의 잇점이 다음과 같다는 것을 알 수 있을 것이다.

1. 인코딩에 필요한 비트수의 감소
2. 통상적으로 필요하게 되는 테이블 1-2에 도시한 "필드 정의"의 " 2^x 의 x대 1" 디코딩에 이미 $2x$ 의 형태로 되어 있는 인코딩에 본질적으로 필요하기 때문에 디코딩의 간단화가 필요함.
3. 인코딩이 보다 직관적인 형태로 되어 있어 정의된 필드를 용이하게 식별할 수 있게 된다.

이 인코딩의 사용은 종료 마커 및 연속 마커를 반전시켜 테이블 1-3의 인코딩을 테이블과 비슷하도록 할 수 있다고 함으로써 확대될 수 있다.

1-4. 게다가 "1" 또는 "0"의 사용은 이 응용 전체에 있어서 서로 교환적으로 사용될 수 있다.

테이블 1-4

비트번호(16진수)	7	6	5	4	3	2	1	0	
고정 워드 연속 마커 = 1: 종료 마커 = 0.	W	W	W	1	0	0	0	0	0
	W	W	W	W	W	W	1	0	0

필드는 또한 테이블 1-5에 도시한 것과 같이 최상위 자리맞춤될 수도 있다. 이들은 최하위 비트 자리맞춤된 필드에 유사하게 인코딩되어 필드들은 최상위 비트(이후부터는 MSB)로부터 최하위 비트(이후부터는 LSB)쪽으로 첫번째 종료 마커까지 도달하게 된다. 테이블 1-5에 도시된 필드의 인코딩은 테이블 1-6에 도시되어 있다.

테이블 1-5

비트번호(16진수)	7	6	5	4	3	2	1	0
고정워드	F	F	F	F	F	W	W	W
	F	F	W	W	W	W	W	W

테이블 1-6

비트 번호(16진수)		7	6	5	4	3	2	1	0
고정 워드 연속 마커 = 1; 종료 마커 = 0.	1	1	1	1	1	0	W	W	W
	1	1	0	W	W	W	W	W	W

마지막으로 필드는 워드의 최상위 및 최하위 끝으로부터 동시에 인코딩될 수도 있다. 예를 들어, 테이블 1-7에 도시된 2개의 필드는 테이블 1-8에 인코딩되어 있으며 이전에 설명한 이유로 각 필드에 대하여 단지 한 비트만이 부가되어 있다.

테이블 1-7

비트 번호(16진수)	7	6	5	4	3	2	1	0
고정 워드	F	F	F	F	W	W	F	F
	W	W	W	W	F	F	F	F

테이블 1-8

비트 번호(16진수)		7	6	5	4	3	2	1	0	
고정 워드 연속 마커 = 1; 종료 마커 = 0.	1	1	1	1	0	W	W	0	1	1
	0	W	W	W	W	0	1	1	1	1

제21도에 상기한 일반적인 개념이 설명되어 있다. 데이터를 어드레스하는데 항상 사용되는 것은 아닌 어드레스 필드는 종료 마커 및 연속 마커를 갖는 필드를 갖는다. 이 경우에, 필드는 최하위 비트 자리맞춤되어 있다.

메모리 어드레스의 일부를 다른 값으로 대체하는 것이 유용한 경우들이 있다. 이와 같은 데이터 종속적인 어드레스를 구성하는 것이 가능하다. 인코딩 방법은 어드레스의 어느 부분을 대체할 것인가를 규정하기 위해 메모리의 어드레스에 적용할 수 있다. 최하위 비트 자리맞춤된 가변 길이 필드가 이 어드레스에 사용된 경우 교체 필드는 정의될 수 있다. 예를 들어 12비트 값 0bcccccccccc로 교체된 그의 5개의 최하위 비트를 갖도록 인코딩된 12 비트 어드레스 0baaaaaaaaaa는 0baaaaaa011111이 되고 어드레스 0baaaaaaaccccc를 생성한다. 테이블 1-9는 12비트 어드레스로의 교체에 대한 인코딩을 나타낸다.

테이블 1-9 어드레스 교체

교체된 비트 번호	B	A	9	8	7	6	5	4	3	2	1	0	
0	a	a	a	a	a	a	a	a	a	a	a	a	1
1	a	a	a	a	a	a	a	a	a	a	a	0	1
2	a	a	a	a	a	a	a	a	a	a	0	1	1
3	a	a	a	a	a	a	a	a	a	0	1	1	1
4	a	a	a	a	a	a	a	a	0	1	1	1	1
5	a	a	a	a	a	a	a	0	1	1	1	1	1
6	a	a	a	a	a	a	0	1	1	1	1	1	1
7	a	a	a	a	a	0	1	1	1	1	1	1	1
8	a	a	a	a	0	1	1	1	1	1	1	1	1
9	a	a	a	0	1	1	1	1	1	1	1	1	1
10	a	a	0	1	1	1	1	1	1	1	1	1	1
11	a	0	1	1	1	1	1	1	1	1	1	1	1
12	0	1	1	1	1	1	1	1	1	1	1	1	1

제19도에서 어드레스를 위한 고정 폭 워드는 선택적인 교체 표시자를 갖는 어드레스 필드를 갖는다. 상기한 바와 같이 교체 필드는 가변 크기를 가지며 어드레스 비트 "a"의 가변적인 양을 외부 어드레스 소스로 교체하는 기능을 한다. 교체는 종료 마커 비트 "y" 및 연속 마커 비트 "x" 대신에 일어난다.

종료 마커는 어드레스 디코딩 회로에 어디에서 교체가 정지되는지를 알려주는 기능을 한다. 연속 마커는 고정 폭 워드에 패딩된다.

교체가 항상 사용되는 경우, 표시자가 필요없게 된다. 그러나, 교체 표시자는 교체를 최적으로 사용할 수 있게 한다.

본 발명의 일 실시예는 그의 전체 폭으로 또는 그의 전체 폭(이보다 더 작은 워드는 부분 워드라고 함)까지의 2^n 폭으로 액세스할 수 있는 메모리를 어드레스하는 것에 대한 것이다. 이 메모리를 어드레스하여 그들 어드레스를 메모리로 인덱스하는데 가변 필드 연코딩이 어떻게 사용되는지를 알게 된다.

64 x 32 비트 레지스터 화일을 32, 16, 8, 4, 2 및 1 비트의 폭으로 액세스 하는 것은 다른 길이의 어드레스를 필요로 한다. 이들은 32비트 공간보다 2배 더 많은 16비트 장소가 있고 32 비트 장소보다 32배 더 많은 1 비트 공간이 있다. 부가적으로 이 어드레스의 8비트까지는 인덱스 레지스터로 교체될 수 있다. 이와 같이 가변적인 정보량은 고정 수의 마이크로코드 비트로 코드화되어야 한다. 한 방법은 폭과 교체될 LSB의 수에 대해 3비트 필드를 가지고 어드레스에 대해서 12비트 필드를 가져 18비트의 마이크로코드 워드를 제공하는 것이다. 그러나, 더 나은 방법은 그 폭을 정의할 수 있는 어드레스를 제한하기 위하여 최상위 자리맞춤된 가변길이 필드를 사용하는 것이며 따라서 액세스 폭은 정의될 수 있다. 예를 들어, 6비트 어드레스는 32비트 어드레스를 나타내는 반면 12비트 어드레스는 1비트 액세스를 나타낸다. 이것이 테이블 1-10에 설명되어 있는데 여기서 연속 마커는 "0"이고 종료 마커는 "1"이다. 가변 폭 필드가 어떻게 어드레스 "a..a"를 제한하여 그 폭 및 따라서 그 액세스 폭을 정의하게 되는지를 알 수 있다. 어드레스를 하기 위한 이 일반적인 경우의 고정 폭 워드가 제18도에 도시되어 있다.

테이블 1-10 가변 폭 어드레싱

데이터폭		A	9	8	7	6	5	4	3	2	1	0
1	1	a	a	a	a	a	a	a	a	a	a	a
2	0	1	a	a	a	a	a	a	a	a	a	a
4	0	0	1	a	a	a	a	a	a	a	a	a
8	0	0	0	1	a	a	a	a	a	a	a	a
16	0	0	0	0	1	a	a	a	a	a	a	a
32	0	0	0	0	0	1	a	a	a	a	a	a

어드레스 "a..a"의 어드레스 장소 부분의 인덱스를 허용하는 것은 대체 값에 의해 교체될 수 있다. 어드레스의 교체 부분(또는 필드)는 테이블 1-10에 도시된 것 위에 중첩된 최하위 비트 자리맞춤된 가변 길이 필드(연속 마커 "1", 종료 마커 "1")에 의해 정의될 수 있다. 8비트 워드의 어드레스를 사용하여 일예의 테이블 1-11은 교체될 최하위 비트의 수를 정의하는 방법을 나타내고 있다. 부가된 최하위 비트는 교체 표시자("W"로 표시됨)이다. 일반적인 경우의 교체를 위한 고정 폭 워드는 제20도에 도시되어 있다.

테이블 1-11 어드레스 교체

교체될 비트		A	9	8	7	6	5	4	3	2	1	0	W
0	0	0	0	1	a	a	a	a	a	a	a	a	0
1	0	0	0	1	a	a	a	a	a	a	a	0	1
2	0	0	0	1	a	a	a	a	a	a	0	1	1
3	0	0	0	1	a	a	a	a	a	0	1	1	1
4	0	0	0	1	a	a	a	a	0	1	1	1	1
5	0	0	0	1	a	a	a	0	1	1	1	1	1
6	0	0	0	1	a	a	0	1	1	1	1	1	1
7	0	0	0	1	a	0	1	1	1	1	1	1	1
8	0	0	0	1	0	0	1	1	1	1	1	1	1

사실상, 교체 코드는 이미 코드화된 어드레스의 위에 중첩된다.

이 코딩으로부터 분명하게 0x0000 및 0x3fff 무효인 어드레스가 있으며 이 경우에 8비트 이상을 교체하는 것을 막기 위하여 하부 9 비트에 "0"이 있어야 하고 허용가능 액세스 폭을 규정하기 위해 상위 6비트에 "1"이 있어야 한다. 이들 예러중의 하나가 검출된 경우 액세스는 정의되지 않지만 레지스터 화일 내용은 영향을 받지 않는다.

어드레싱 장치 및 레지스터 화일내의 부분 워드의 액세스 방법이 이하에 기술된다. 종래의 메모리 회로는 메모리가 항상 그의 전체 폭으로 액세스되어야만 한다. 가변 폭 액세스를 달성하기 위하여 전체(32 비트) 폭 워드가 판독된다. 이 전체 워드는 액세스된 부분 워드가 LSB에서 자리맞춤될 때까지 회전한다. 워드의 상부부분은 전체 폭까지 확장된 다음에 출력된다. 확장은 0 또는 1로 패딩하는 것, 부호 확장, 새로운 MSB로서 부호-크기 번호의 부호 비트를 사용하는 것 또는 기타 유사한 종래의 방법을 포함한다. 확장은 동작모드에 종속적이다. 부분 워드가 메모리에 재기록되어 입력된 때에 이는 멀티플렉스되어 회전된 전체 워드 다음에 다시 회전하여 어레이로 기록된다. 제15도는 32비트 워드의 4번째 4비트 워드내의 4비트 부분 워드의 액세스 단계를 나타내고 있다.

제15도의 행 "1"에 있는 반전된 4비트 워드와 같은 부분 워드를 액세스 또는 판독하기 위하여, 전체 폭 워드는 행 "2"에 도시된 LSB에 부분 워드를 위치시키기 위하여 회전하여야만 한다. 행 "3"에 도시된 바와 같이, 4비트 워드는 확장되어 전체 32 비트 워드를 생성한다. 이 워드는 이제 액세스할 수 있다.

다시 기록하기로 한 전체 폭 워드는 LSB 위치의 행 "2"에 도시한 워드로 멀티플렉스된 원래의 부분 워드

의 쪽으로 잘려지며 이것이 행 "4"에 도시되어 있다. 그 결과로 생기는 워드는 판독 워드에서 원래의 의미에서 다시 회전되며 이것은 행 "5"에 도시되어 있다. 이 전체 워드는 이제 레지스터 화일로 다시 기록되어질 수 있다.

이하의 리스트는 제15도에서 번호가 붙은 단계들을 요약한 것이다.

1. 메모리로부터 전체 워드를 판독함

(57) 청구의 범위

청구항 1

RAM으로부터의 판독 및 그것으로의 기록을 선택적으로 인에이블(enable) 및 디스에이블(disable)할 수 있는 인에이블 라인을 포함하는 RAM의 소정의 고정 버스트 길이(fixed burst length) N보다 작은 M개의 워드를 상기 RAM으로부터 액세스하는 방법에 있어서, 상기 RAM으로부터 판독될 또는 그것으로 기록될 N개의 워드를 정렬(order)하는 단계와, M(M은 N보다 작음)개의 워드를 상기 RAM으로부터 판독 또는 그것으로 기록할 때를 결정하는 단계 및 M개의 워드가 상기 RAM으로부터 판독 또는 그것으로 기록한 것을 결정하고 나서 상기 RAM을 디스에이블하는 단계를 구비한 것을 특징으로 하는 RAM 액세스 방법.

청구항 2

RAM으로부터의 판독을 선택적으로 인에이블(enable) 및 디스에이블(disable) 할 수 있는 인에이블 라인을 포함하는 RAM의 소정의 고정 버스트 길이(fixed burst length) N보다 작은 M개의 워드를 상기 RAM으로부터 판독하는 방법에 있어서, 상기 RAM으로부터 판독될 N개의 워드를 정렬(order)하는 단계와, M(M은 N보다 작음)개의 워드를 상기 RAM으로부터 판독할 때를 결정하는 단계 및 M개의 워드가 상기 RAM으로부터 판독한 것을 결정하고 나서 상기 RAM을 디스에이블하는 단계를 구비한 것을 특징으로 하는 RAM 판독 방법.

청구항 3

RAM으로의 기록을 선택적으로 인에이블(enable) 및 디스에이블(disable)할 수 있는 인에이블 라인을 포함하는 RAM의 소정의 고정 버스트 길이(fixed burst length) N보다 작은 N1개의 워드를 상기 RAM으로 기록하는 방법에 있어서, 상기 RAM으로 기록될 N개의 워드를 정렬(order)하는 단계와, M(M은 N보다 작음)개의 워드를 상기 RAM으로 기록할 때를 결정하는 단계 및 M개의 워드가 상기 RAM으로 기록한 것을 결정하고 나서 상기 RAM을 디스에이블하는 단계를 구비한 것을 특징으로 하는 RAM 기록 방법.

청구항 4

2차원 영상과 관련된 데이터 워드를 저장 및 검색하기 위해 동적 랜덤 액세스 메모리(DRAM)를 액세스하는 방법으로서, 상기 DRAM은 별도의 뱅크를 2개 포함하고 있으며, 상기 각 뱅크는 상기 데이터 워드를 판독 및 기록하기 위하여 페이지 모드로 동작할 수 있으며, 상기 2차원 영상은 2차원 그리드 패턴의 셀로 구성되어 있고, 상기 셀은 M x N 매트릭스의 픽셀을 포함하고 있으며, 상기 워드는 한 페이지 또는 그 미만의 뱅크를 차지하는 각 셀과 관련되어 있는 방법에 있어서, (a) 특정 셀과 관련된 모든 데이터 워드가 그 특정 뱅크의 특정 한 페이지로 부터 판독 및 그것으로 기록되도록 각 셀에 2개의 뱅크중 특정 하나를 할당하는 단계로서 상기 셀로의 뱅크의 할당은 각 셀이 동일한 행 또는 동일한 열에도 있는 경계에 있는 셀과 다른 뱅크와 관련되어 있도록 행해지게 되어 있는 할당 단계와, (b) 픽셀 매트릭스로 구성되어 있으며 2차원 그리드 패턴을 따라 정렬되지 않았지만 2차원 그리드 패턴내의 셀에서의 픽셀을 따라서 정렬되어 있는 셀과 관련된 데이터 워드를 판독하는 단계를 구비한 것을 특징으로 하는 DRAM 액세스 방법.

청구항 5

제4항에 있어서, 상기 DRAM은 제1 및 제2 뱅크를 포함하고 있으며, 상기 비정렬된 셀과 관련된 데이터 워드를 판독하는 단계(b)가 (c) 2차원 그리드 패턴내의 어떤 셀이 비정렬된 셀과 관련된 데이터 워드를 포함하고 있는가를 식별하는 단계와, (d) 상기 DRAM의 제1 뱅크로부터 비정렬된 셀과 관련된 데이터 워드를 포함하고 있는 것으로 식별된 그리드 패턴내의 셀중의 하나와 관련된 데이터 워드를 판독하는 단계와, (e) 상기 DRAM의 제2 뱅크로부터 비정렬된 셀과 관련된 데이터 워드를 포함하고 있는 것으로 식별된 그리드 패턴내의 셀중의 다른 하나와 관련된 데이터 워드를 판독하는 단계와, (f) 비정렬된 셀과 관련된 모든 데이터 워드가 판독될 때까지 단계(d) 및 (e)를 반복하는 단계를 구비한 것을 특징으로 하는 RAM 액세스 방법.

청구항 6

2차원 영상과 관련된 데이터 워드를 저장 및 검색하기 위해 동적 랜덤 액세스 메모리(DRAM)를 액세스하는 방법으로서, 상기 DRAM은 별도의 뱅크를 2개 포함하고 있으며, 상기 각 뱅크는 데이터 워드를 판독 및 기록하기 위하여 페이지 모드로 동작할 수 있으며, 상기 2차원 영상은 2차원 그리드 패턴의 셀로 구성되어 있고, 각각의 상기 셀은 M x N 매트릭스의 픽셀을 포함하고 있으며, 상기 워드는 한 페이지 또는 그 미만의 뱅크를 차지하는 각각의 셀과 관련되어 있는 방법에 있어서, (a) 특정 셀과 관련된 모든 데이터 워드가 그 특정 뱅크의 특정 한 페이지로 부터 판독 및 그것으로 기록되도록 각 셀에 2개의 뱅크중 특정 하나를 할당하는 단계로서 상기 셀로의 뱅크의 할당은 각각의 셀이 동일한 행 또는 동일한 열에도 있는 임의의 경계에 있는 셀(bordering cell)과는 다른 뱅크와 관련되어 있도록 행해지게 되어 있는 할당 단계와, (b) M x N 픽셀 매트릭스로 구성되어 있으며 2차원 그리드 패턴을 따라 정렬되지 않았지만 2차원 그리드 패턴내의 셀에서의 픽셀을 따라서 정렬되어 있는 셀과 관련된 데이터 워드를 판독하는 단계를 구비한 것을 특징으로 하는 DRAM 액세스 방법.

청구항 7

제6항에 있어서, 상기 DRAM은 제1 및 제2 뱅크를 포함하고 있으며, 상기 비정렬된 셀과 관련된 데이터 워

드를 판독하는 단계(b)가 (c) 상기 DRAM의 제1뱅크로부터 비정렬된 셀과 관련된 데이터 워드를 포함하고 있는 그리드 패턴내의 셀중의 하나와 관련된 데이터 워드를 판독하는 단계와, (d) 상기 DRAM의 제2뱅크로부터 상기 비정렬된 셀과 관련된 데이터 워드를 포함하고 있는 그리드 패턴내의 셀중의 다른 하나와 관련된 데이터 워드를 판독하는 단계와, (e) 비정렬된 셀과 관련된 모든 데이터 워드가 판독될 때까지 단계(c) 및 (d)를 반복하는 단계를 구비한 것을 특징으로 하는 DRAM 액세스 방법.

청구항 8

제6항에 있어서, 상기 DRAM은 제1 및 제2뱅크를 포함하고 있으며, 상기 비정렬된 셀과 관련된 데이터 워드를 판독하는 단계(b)가 (d) 소정의 셀의 순서로 비정렬된 셀과 관련된 데이터 워드를 포함하는 그리드 패턴으로된 각각의 셀과 관련된 데이터 워드를 판독하는 단계를 포함하고 있으며, 상기 소정의 셀의 순서는 그 결과 계속되는 셀들로부터 판독된 데이터 워드가 교대로 있는 뱅크로부터 판독되게 되는 것을 특징으로 하는 DRAM 액세스 방법.

청구항 9

제8항에 있어서, 상기 소정의 순서는 비정렬된 셀과 관련된 데이터 워드를 포함하는 그리드 패턴으로된 셀의 시계 방향 회전인 것을 특징으로 하는 DRAM 액세스 방법.

청구항 10

제8항에 있어서, 상기 소정의 순서는 비정렬된 셀과 관련된 데이터 워드를 포함하는 그리드 패턴으로된 셀의 반시계 방향 회전인 것을 특징으로 하는 DRAM 액세스 방법.

청구항 11

제6항에 있어서, 상기 DRAM은 제1 및 제2뱅크를 포함하고 있으며, 상기 비정렬된 셀과 관련된 데이터 워드를 판독하는 단계(b)가 (c) 2차원 그리드 패턴내의 어떤 셀이 비정렬된 셀과 관련된 데이터 워드를 포함하고 있는가를 식별하는 단계와, (d) 상기 DRAM의 제1뱅크로부터 비정렬된 셀과 관련된 데이터 워드를 포함하고 있는 것으로 식별된 그리드 패턴내의 셀중의 하나와 관련된 데이터 워드를 판독하는 단계와, (e) 상기 DRAM의 제2뱅크로부터 비정렬된 셀과 관련된 데이터 워드를 포함하고 있는 것으로 식별된 그리드 패턴내의 셀중의 다른 하나와 관련된 데이터 워드를 판독하는 단계와, (f) 비정렬된 셀과 관련된 모든 데이터 워드가 판독될 때까지 단계(d) 및 (e)를 반복하는 단계를 구비한 것을 특징으로 하는 DRAM 액세스 방법.

청구항 12

제6항에 있어서, 상기 DRAM은 제1 및 제2뱅크를 포함하고 있으며, 상기 비정렬된 셀과 관련된 데이터 워드를 판독하는 단계(b)가 (c) 2차원 그리드 패턴내의 어떤 셀이 비정렬된 셀과 관련된 데이터 워드를 포함하고 있는가를 식별하는 단계와, (d) 소정의 셀의 순서로 비정렬된 셀과 관련된 데이터 워드를 포함하는 것으로 식별된 그리드 패턴으로된 각 셀과 관련된 데이터 워드를 판독하는 단계를 포함하고 있으며, 상기 소정의 셀의 순서는 그 결과 계속되는 셀들로부터 판독된 데이터 워드가 교대로 있는 뱅크로부터 판독되게 되는 것을 특징으로 하는 DRAM 액세스 방법.

청구항 13

제12항에 있어서, 상기 소정의 순서는 비정렬된 셀과 관련된 데이터 워드를 포함하는 것으로 식별된 그리드 패턴으로된 셀의 시계 방향 회전인 것을 특징으로 하는 DRAM 액세스 방법.

청구항 14

제12항에 있어서, 상기 소정의 순서는 비정렬된 셀과 관련된 데이터 워드를 포함하는 것으로 식별된 그리드 패턴으로된 셀의 반시계 방향 회전인 것을 특징으로 하는 DRAM 액세스 방법.

청구항 15

메모리 어드레싱 방법에 있어서, 가변 폭 데이터를 어드레싱하는데 사용되는 소정의 고정 비트수를 갖는 고정폭 워드를 제공하는 단계와, 폭 정의 필드 및 어드레스 필드를 갖는 고정 폭 워드를 정의하는 단계와, 폭 정의 필드에 종료 마커로서 역할을 하는 적어도 한 비트를 제공하는 단계와, 데이터의 어드레스를 정의하는 복수의 비트를 갖는 어드레스 필드를 정의하는 단계와, 가변 폭 데이터의 크기에 역비례 관계로 어드레스 필드 내의 비트의 크기를 변경시키는 단계와, 가변 폭 데이터의 크기에 정비례 관계로 폭 정의 필드내의 비트의 수를 변경시키는 단계 및 폭 정의 필드 및 어드레스 필드의 폭을 변경시키는 동안 가변 폭 데이터를 어드레싱하기 위한 고정 폭 워드를 유지시키는 단계를 구비한 것을 특징으로 하는 메모리 어드레싱 방법.

청구항 16

메모리 어드레싱 방법에 있어서, 데이터를 어드레싱하는데 사용되는 소정의 고정 비트수를 갖는 고정 폭 워드를 제공하는 단계와, 어드레스 필드와 교체 필드를 갖는 고정 폭 워드를 정의하는 단계와, 데이터의 어드레스를 정의하는 복수의 비트를 갖는 어드레스 필드를 정의하는 단계와, 적어도 하나의 교체 비트를 갖는 가변 폭 교체 필드를 정의하는 단계로서 이 교체 필드는 어드레스 필드와 교체 필드사이에서 종료 마커로서 역할을 하는 적어도 하나의 비트를 가지게 되는 단계와, 별도의 어드레싱 소스로부터의 교체 비트를 나타내기 위하여 교체 필드를 사용하는 단계 및 어드레스 필드의 폭과 교체 필드의 폭을 역으로 변경시키는 동안 가변 폭 데이터를 어드레싱하기 위해 고정 폭 워드를 유지시키는 단계를 구비한 것을 특징으로 하는 메모리 어드레싱 방법.

청구항 17

메모리내의 가변 폭 데이터의 어드레싱 방법에 있어서, 소정의 폭의 워드를 가지며 부분 워드로 구성되어 있는 메모리를 제공하는 단계와, 최하위 비트 자리맞춤에 액세스되도록 부분 워드를 회전시키는 단계와, 액세스된 워드가 부분 워드로서 인식되도록 워드의 나머지 부분을 확장시키는 단계와, 워드의 나머지 부분을 복원하는 단계 및 부분 워드가 원래의 위치로 복원될 때까지 워드를 회전시키는 단계를 구비한 것을 특징으로 하는 메모리내의 가변 폭 데이터의 어드레싱 방법.

청구항 18

프레임으로 구성된 인코드된 비디오 데이터의 버퍼링을 제어하는 방법에 있어서, 프레임의 화상 번호를 결정하는 단계와, 프레임의 소망의 프레젠테이션 번호를 결정하는 단계 및 화상 번호가 소망의 프레젠테이션 번호상에 있거나 그 이후에 있는 경우 버퍼가 준비되어 있다고 표시하는 단계를 구비한 것을 특징으로 하는 비디오 데이터 버퍼링 제어 방법.

청구항 19

버스를 RAM에 접속하는 RAM 인터페이스에 있어서, 복수의 데이터 워드를 버스로부터 수신하여 이 수신된 데이터 워드를 버퍼링하는 수단과,

복수의 데이터 워드와 관련된 어드레스를 버스로부터 수신하는 수단과, 버퍼링된 데이터 워드가 기록될 상기 RAM에서의 상기 수신된 어드레스로부터 도출된 일련의 어드레스를 발생하는 수단과, 발생된 어드레스에서 상기 RAM으로 버퍼링된 데이터 워드를 기록하는 수단을 구비하고, 데이터 워드 수신 및 버퍼링 수단은 스윙버퍼(swing buffer)를 포함하는 것을 특징으로 하는 RAM 인터페이스.

청구항 20

제19항에 있어서, 상기 RAM은 페이지 어드레싱 모드로 동작하며 상기 어드레스 발생 수단은 상기 수신된 어드레스에 근거하여 행 어드레스를 발생하는 수단 및 열 어드레스를 발생하는 수단을 포함하고 있는 것을 특징으로 하는 RAM 인터페이스.

청구항 21

제21항에 있어서, 상기 RAM은 DRAM이고, 상기 버스는 2선식 인터페이스를 포함하고 있으며, 상기 데이터 워드 수신 및 버퍼링 수단은 2선식 인터페이스를 포함하고 있으며, 상기 어드레스 수신 수단은 2선식 인터페이스를 포함하고 있으며, 복수의 데이터 워드는 토큰의 형태로 되어 있으며 수신된 어드레스는 토큰의 형태로 되어 있는 것을 특징으로 하는 RAM 인터페이스.

청구항 22

제19항에 있어서, 상기 데이터 워드 수신 수단이 복수의 데이터 워드를 수신 및 버퍼링하였는지의 여부를 결정하는 수단을 더 구비한 것을 특징으로 하는 RAM 인터페이스.

청구항 23

버스를 RAM에 접속시키는 RAM 인터페이스에 있어서, 소정의 어드레스에서 상기 RAM에 저장된 복수의 데이터 워드와, 버스로부터 복수의 데이터 워드와 관련된 RAM 어드레스를 수신하기 위한 수단과, 상기 RAM 내의 복수의 데이터 워드를 어드레싱하기 위하여 수신된 어드레스로부터 도출된 일련의 RAM 어드레스를 발생하는 수단과, 상기 RAM으로부터 판독한 데이터 워드를 버퍼링하는 수단 - 상기 데이터 워드 버퍼링 수단은 스윙 버퍼(swing buffer)를 포함함과, 어드레스 발생 수단에 의해 발생된 일련의 RAM 어드레스를 사용하여 복수의 데이터 워드를 상기 RAM으로부터 판독하여 이 데이터 워드를 상기 버퍼 수단에 기록하는 수단을 구비한 것을 특징으로 하는 RAM 인터페이스.

청구항 24

제23항에 있어서, 상기 RAM은 페이지 어드레싱 모드로 동작하며, 상기 어드레스 발생 수단은 상기 수신된 어드레스에 근거하여 행 어드레스를 발생하는 수단 및 열 어드레스를 발생하는 수단을 포함하고 있는 것을 특징으로 하는 RAM 인터페이스.

청구항 25

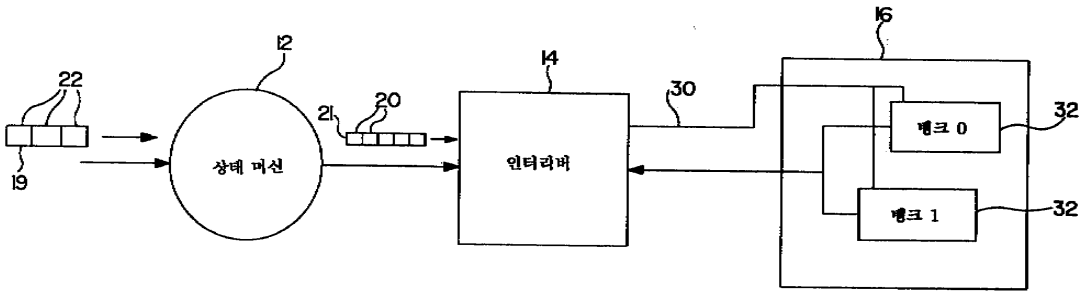
제26항에 있어서, 상기 RAM은 DRAM이고, 상기 버스는 2선식 인터페이스를 포함하고 있으며, 상기 데이터 워드 버퍼링 수단은 2선식 인터페이스를 포함하고 있으며, 상기 어드레스 수신 수단은 2선식 인터페이스를 포함하고 있으며, 상기 수신된 어드레스는 토큰의 형태로 되어 있는 것을 특징으로 하는 RAM 인터페이스.

청구항 26

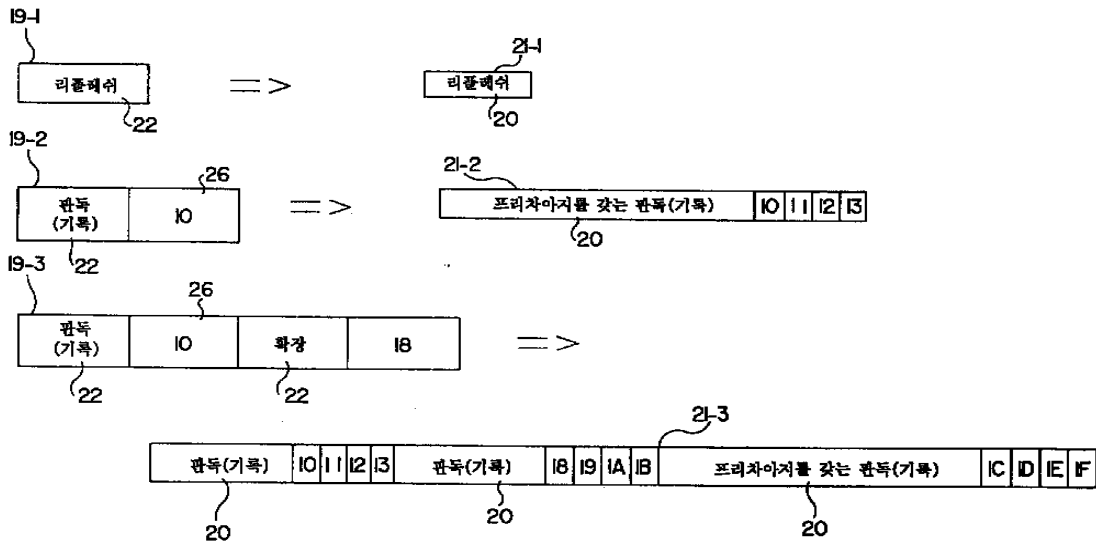
제24항에 있어서, 상기 데이터 워드 수신 수단이 복수의 데이터 워드를 수신 및 버퍼링하였는지의 여부를 결정하는 수단을 더 구비한 것을 특징으로 하는 RAM 인터페이스.

도면

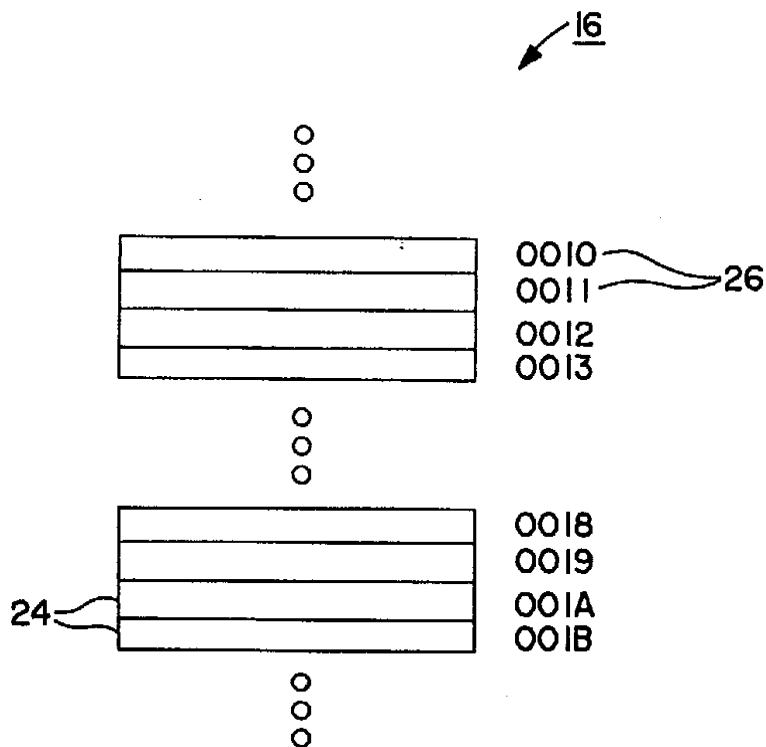
도면1



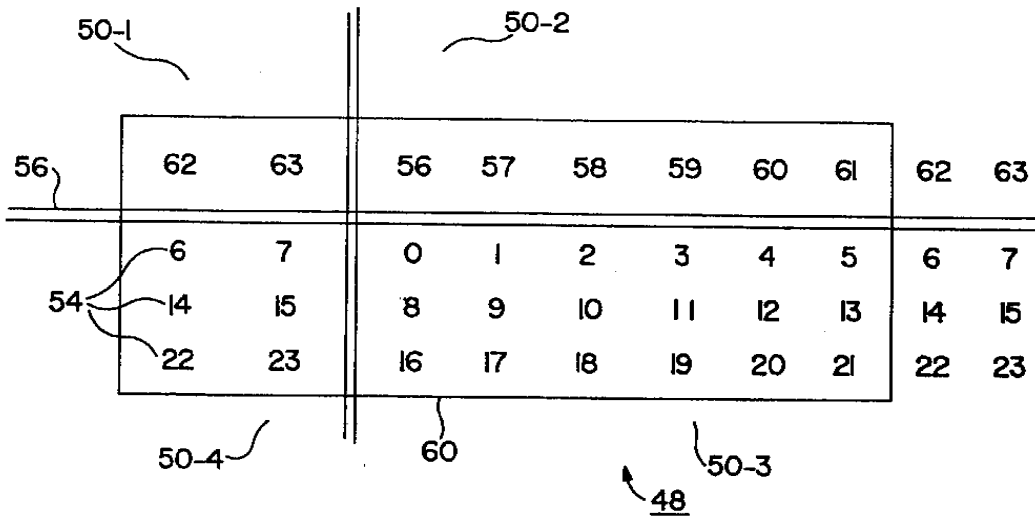
도면2



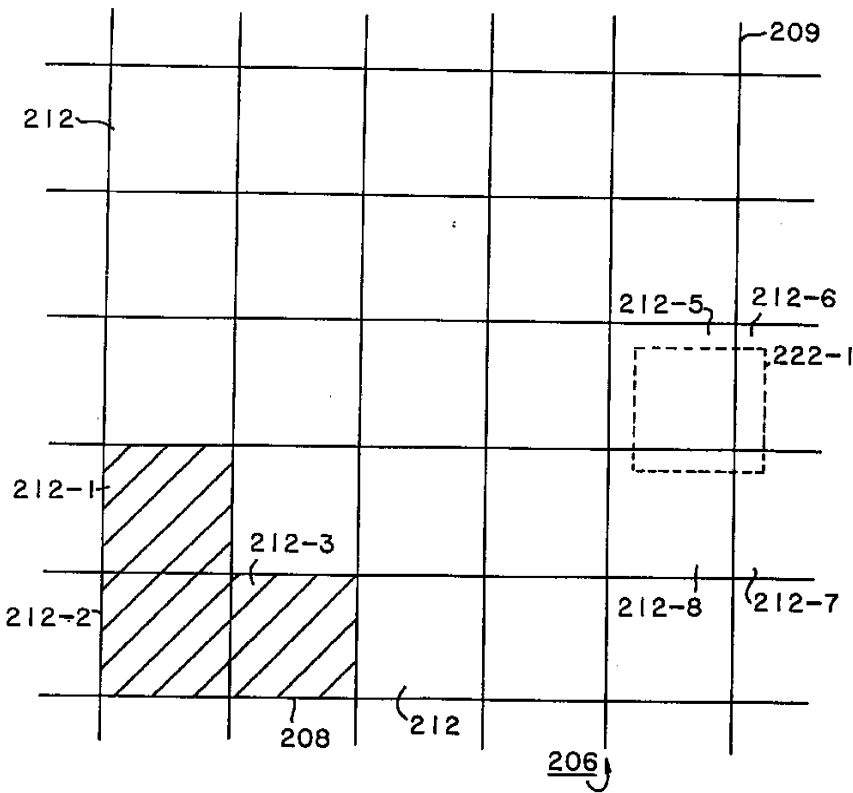
도면3



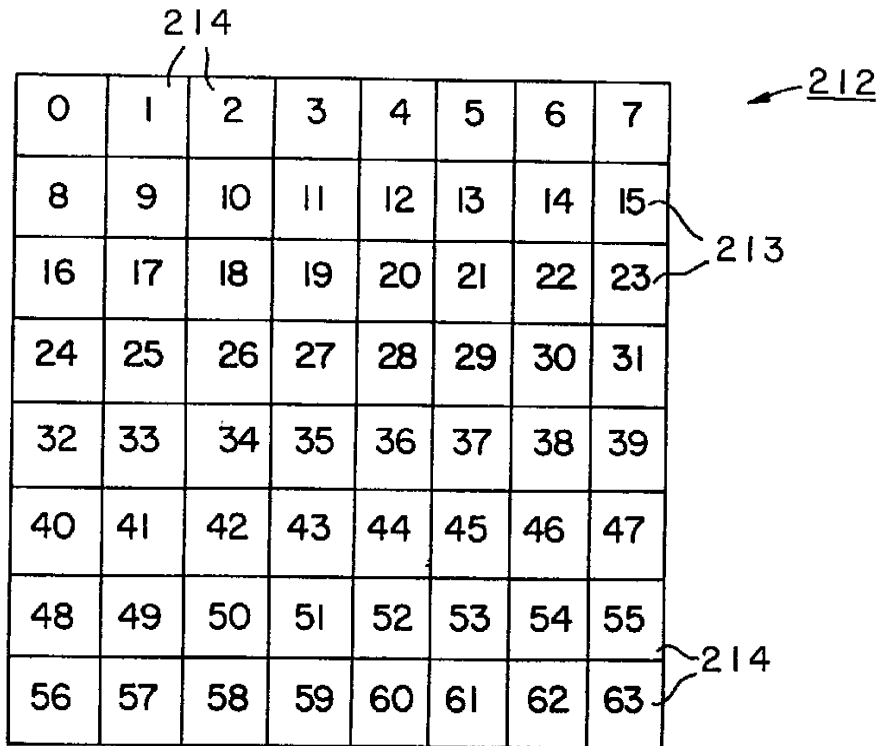
도면4



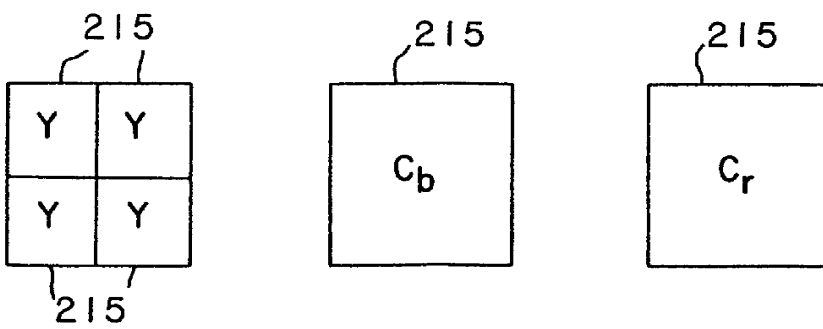
도면5



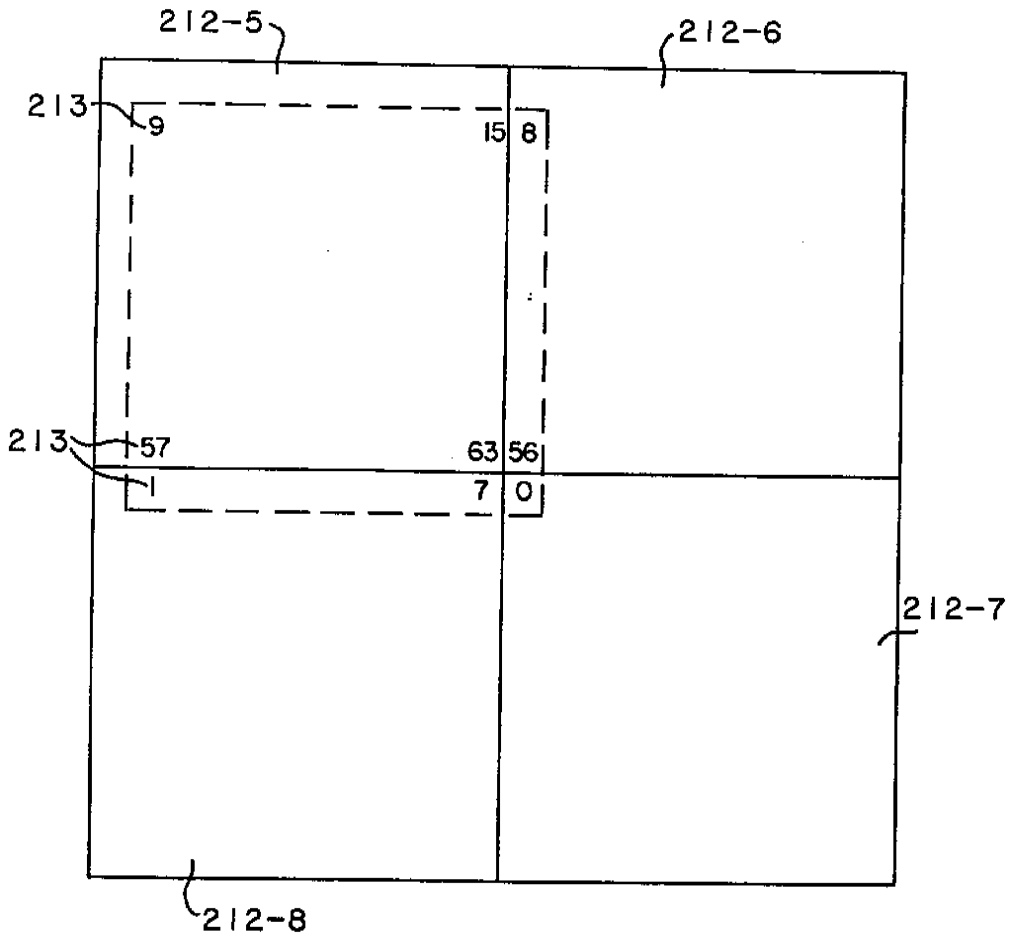
도면6



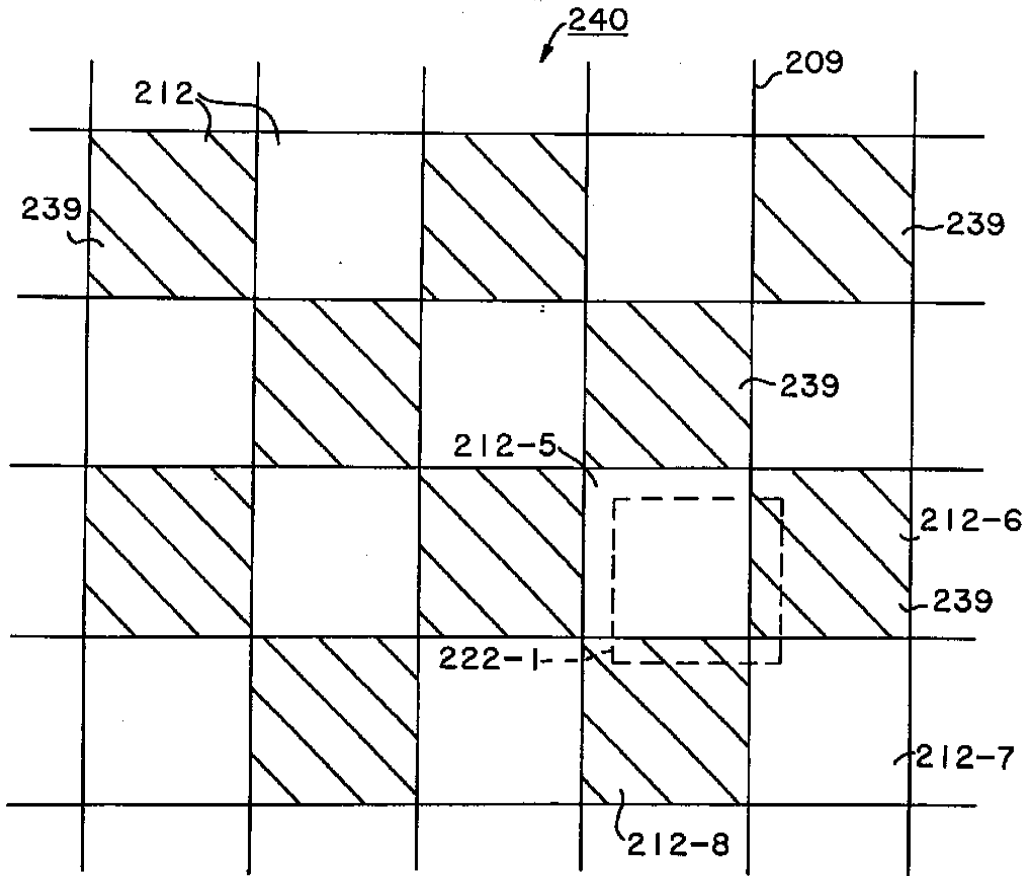
도면7



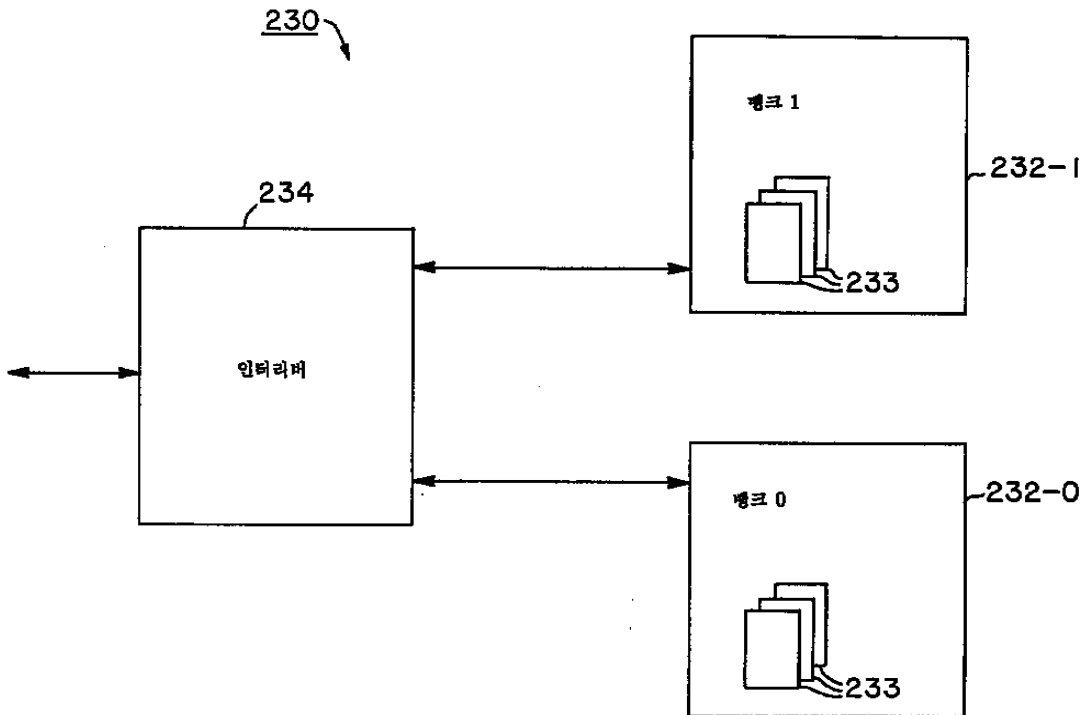
도면8



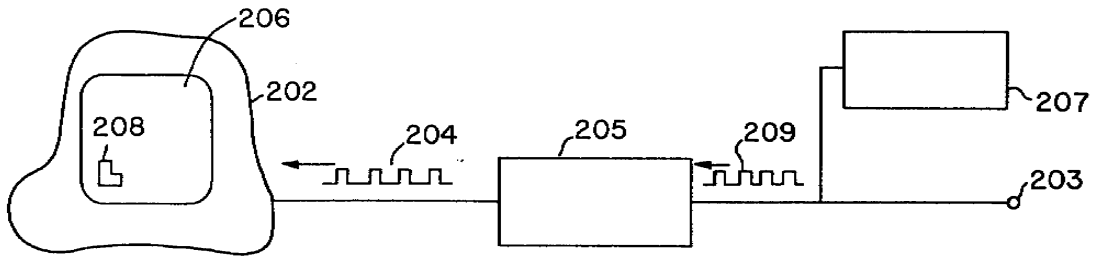
도면9



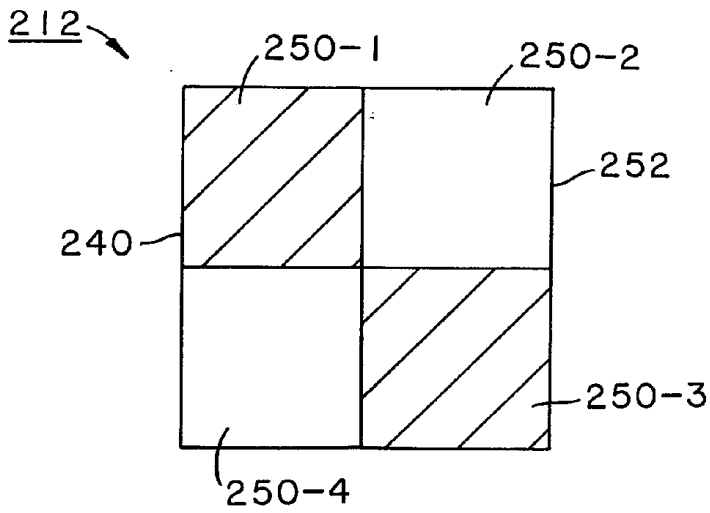
도면10



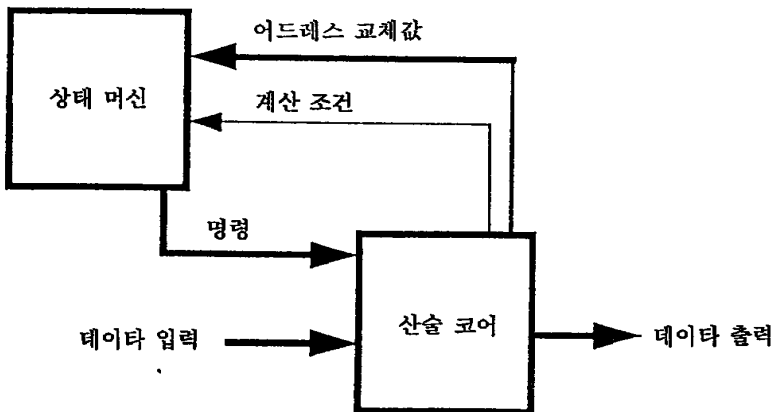
도면11



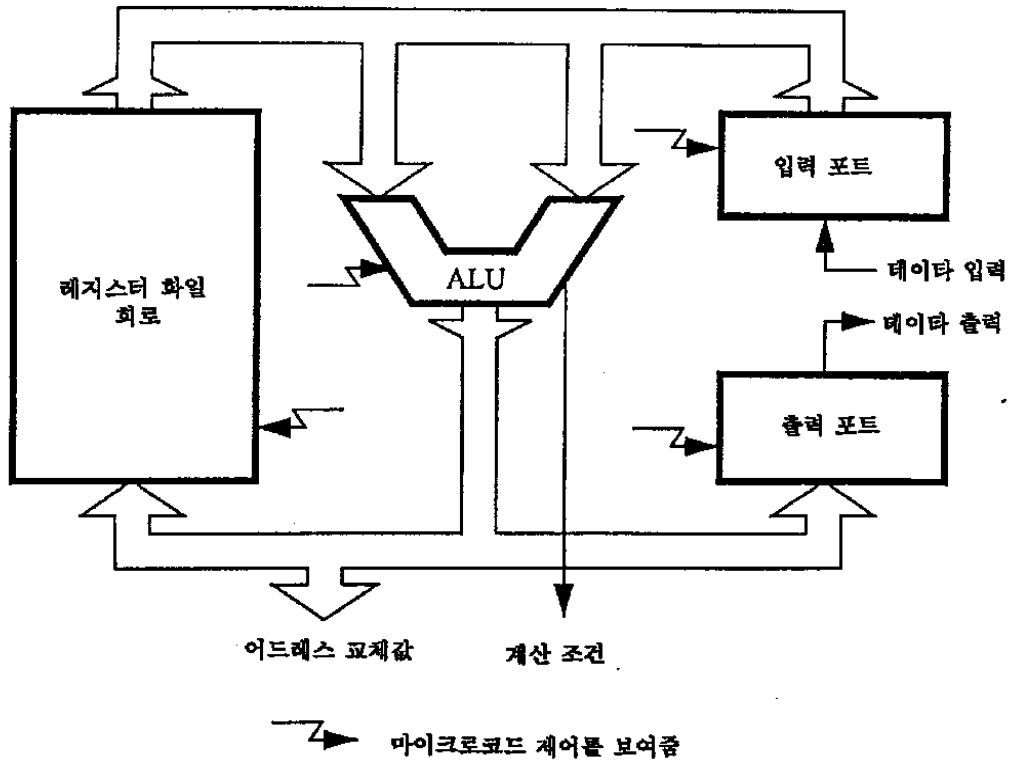
도면12



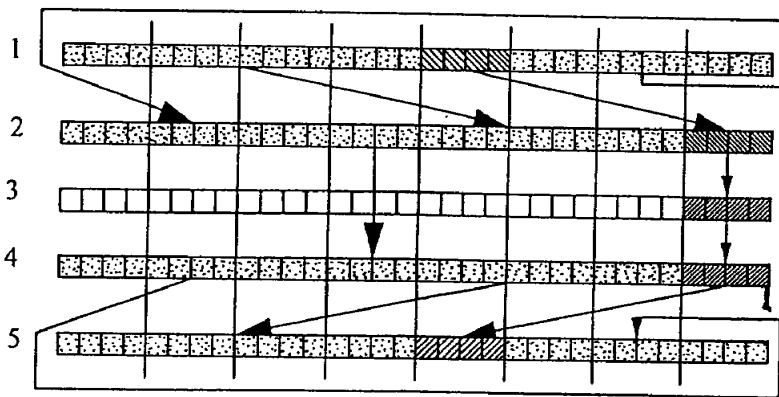
도면13



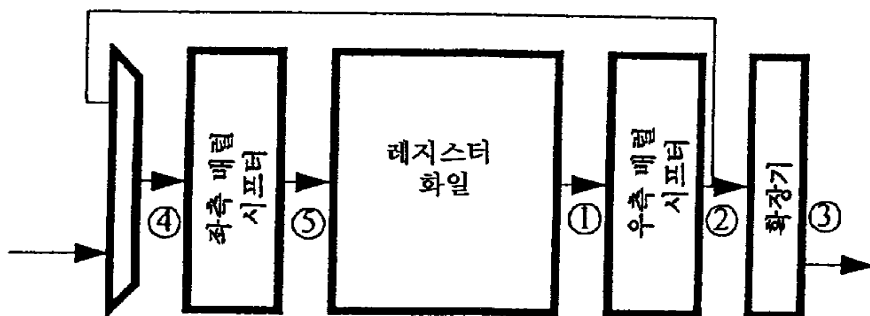
도면 14



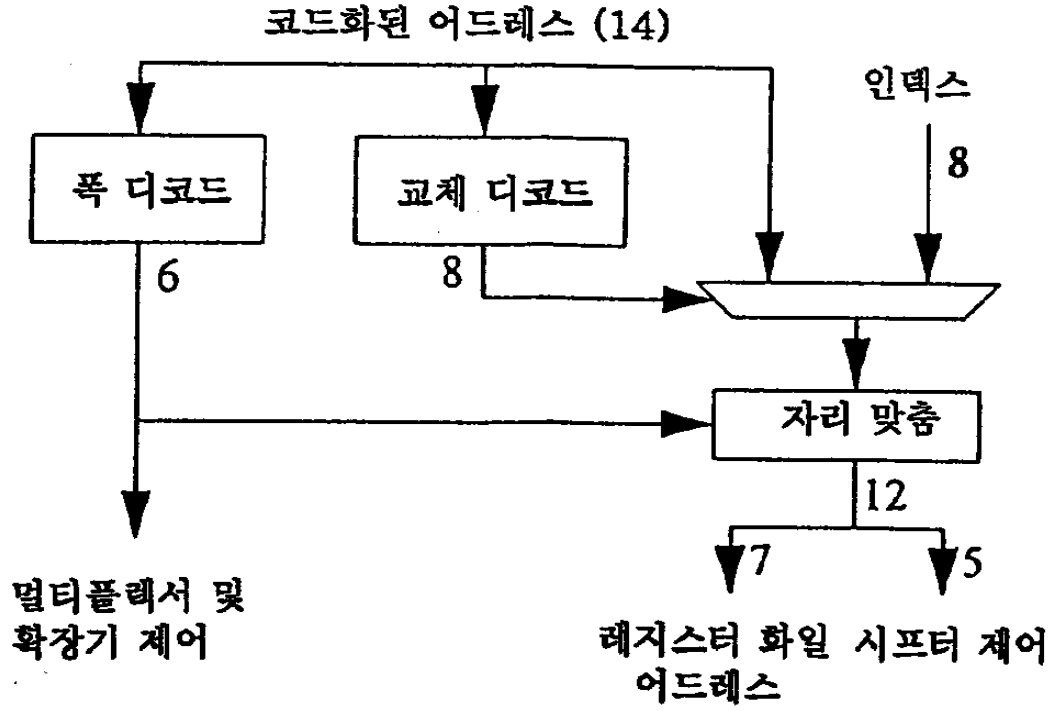
도면 15



도면 16



도면17



도면18

어드레싱을 위한 고정 폭 워드		
폭정의 필드		어드레스 필드
연속 마커	종료 마커	-
uu.....uu	vv.....vv	aa.....aa

도면19

어드레싱을 위한 고정 폭 워드			
어드레스 필드			교체 표시자
교체 필드		종료 마커	
aa.....aa	yy.....yy		xx.....xx

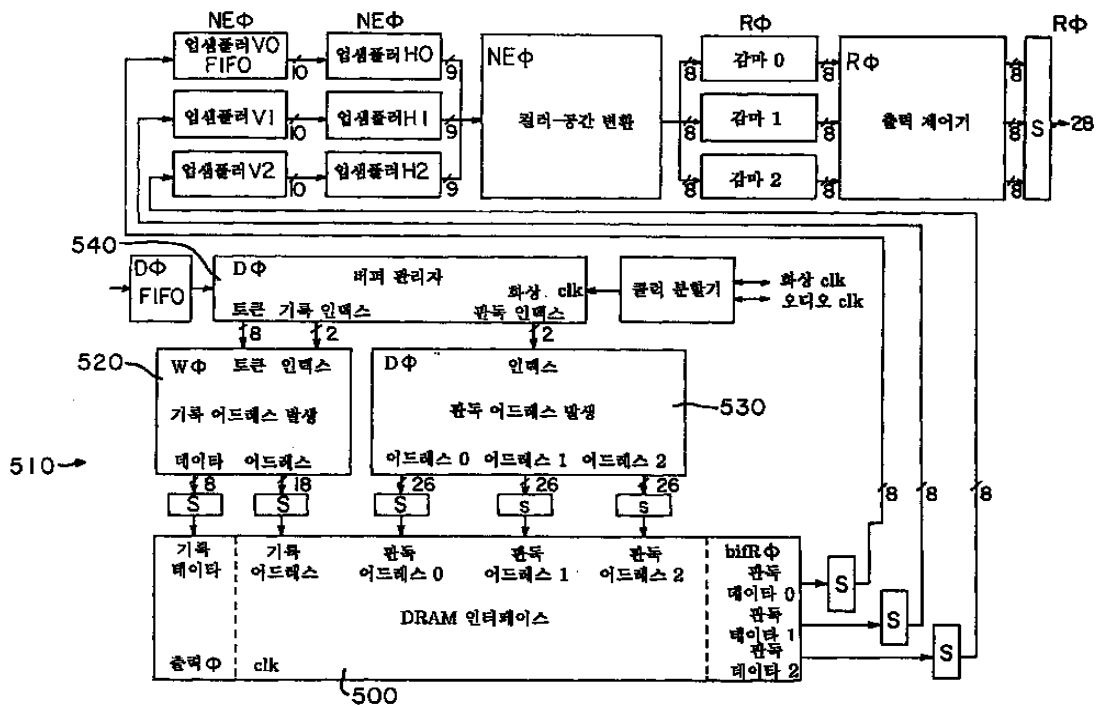
도면20

어드레싱을 위한 고정 폭 워드					
폭정의 필드		어드레스 필드			교체 표시자
		교체 필드		종료 마커	
연속 마커	종료 마커		종료 마커		연속 마커
uu.....uu	vv.....vv	aa.....aa	yy.....yy	xx.....xx	ww....ww
000	1	1101	1	000	0
111	0	1101	0	111	1

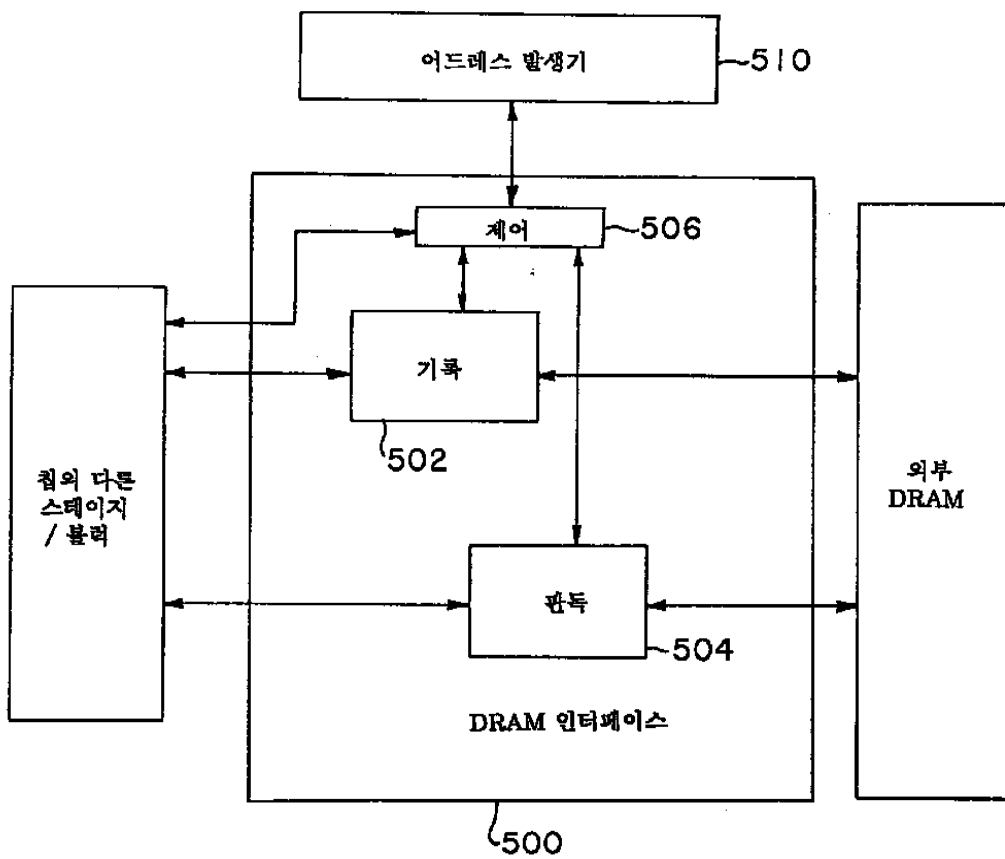
도면21

가변 필드를 갖는 고정 폭 워드		
제 1 필드	제 2 필드	
	종료 마커	연속 마커
aa.....aa	yy.....yy	xx.....xx

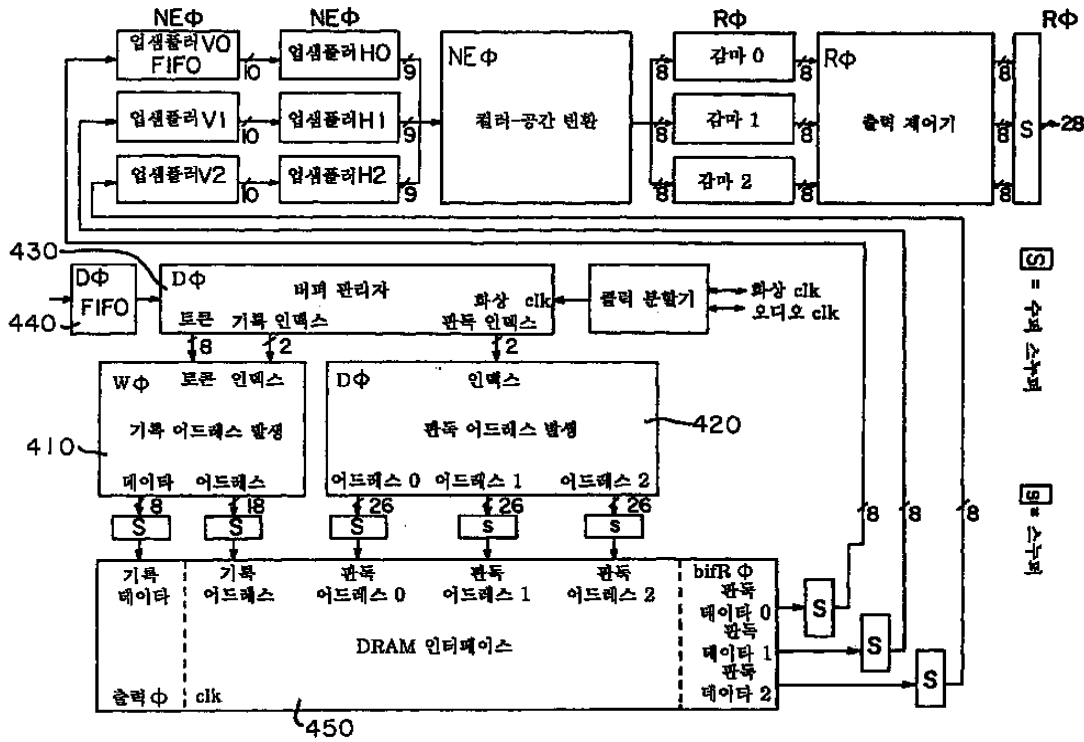
도면22



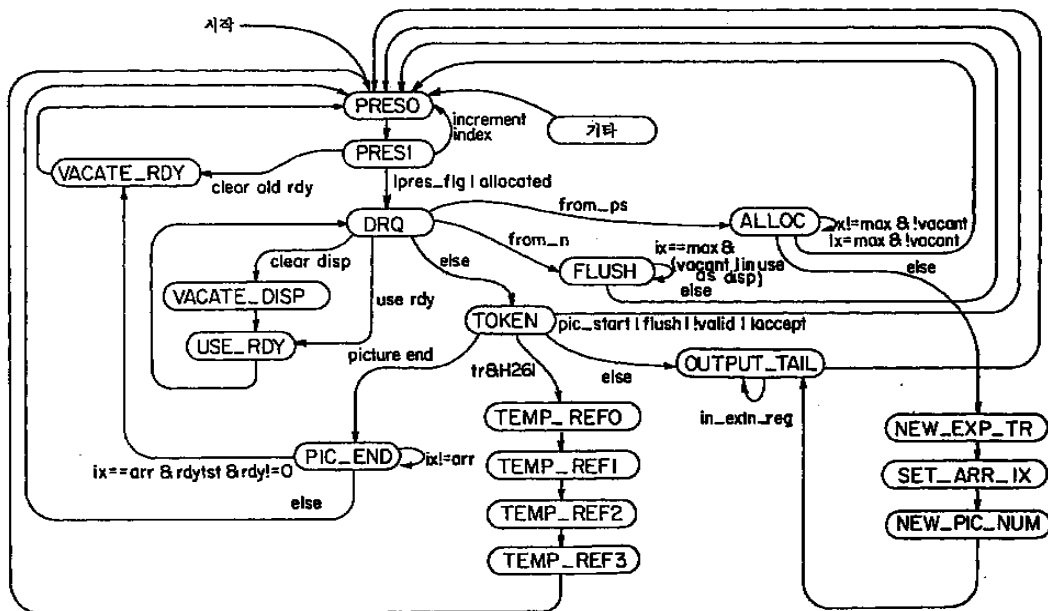
도면23



도면24



도면25



도면26

