



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 103 36 876 B4** 2006.08.24

(12)

Patentschrift

(21) Aktenzeichen: **103 36 876.0**
 (22) Anmeldetag: **11.08.2003**
 (43) Offenlegungstag: **17.03.2005**
 (45) Veröffentlichungstag
 der Patenterteilung: **24.08.2006**

(51) Int Cl.⁸: **H01L 27/105** (2006.01)
H01L 21/8239 (2006.01)
H01L 27/115 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(73) Patentinhaber:
Infineon Technologies AG, 81669 München, DE

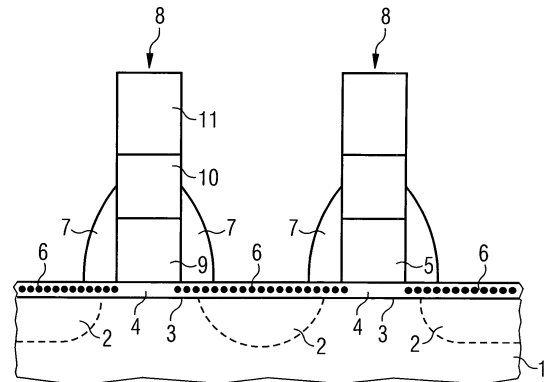
(74) Vertreter:
Epping Hermann Fischer,
Patentanwalts-gesellschaft mbH, 80339 München

(72) Erfinder:
Pinnow, Cay-Uwe, Dr., 81677 München, DE;
Gutsche, Martin, Dr., 84405 Dorfen, DE;
Symanczyk, Ralf, Dr., 81673 München, DE; Willer,
Josef, Dr., 85521 Riemerling, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:
DE 100 36 911 C2
DE 101 44 700 A1
DE 101 40 758 A1
US2003/00 42 534 A1
US 60 54 349 A
US 58 77 523 A
US 57 14 766 A
US 63 35 554 B1
J. Borany u.a.: "Memory properties of Si+implanted
gate oxides..." in: Sol.-Stat. El. 2002, Bd 46,
S. 1729-1737;

(54) Bezeichnung: **Speicherzelle mit Nanokristallen oder Nanodots und Verfahren zu deren Herstellung**

(57) Hauptanspruch: Speicherzelle, bei der Source-/Drain-Bereiche (2) an einer Oberseite eines Halbleiterkörpers (1) oder Substrates durch Einbringen von Dotierstoff ausgebildet sind, zwischen den Source-/Drain-Bereichen (2) ein Kanalbereich (3) vorgesehen ist, auf dem ein Gate-Dielektrikum (4) und eine Gate-Elektrode (5) angeordnet sind, eine Speicherschicht (6) jeweils über einem Bereich vorhanden ist, in dem der Kanalbereich (3) an einen Source-/Drain-Bereich (2) anstößt, und über einem dazwischen vorhandenen mittleren Anteil des Kanalbereiches (3) unterbrochen ist und die Speicherschicht (6) durch ein Material des Gate-Dielektrikums (4) planar gebildet ist und Nanokristalle oder Nanodots enthält, dadurch gekennzeichnet, dass die Gate-Elektrode (5) sourceseitige und drainseitige Flanken besitzt, an denen elektrisch leitfähige Spacer (7) angeordnet und elektrisch leitend mit der Gate-Elektrode (5) verbunden sind, und zumindest ein Anteil der Speicherschicht (6) unterhalb der elektrisch leitfähigen Spacer (7) vorhanden ist.



Beschreibung

Stand der Technik

[0001] In der US 5,877,523 A ist eine Halbleiterspeicherzelle beschrieben, die für das Abspeichern mehrerer Bits geeignet ist. Bei dieser Zelle befinden sich zwei voneinander getrennte Floating-Gate-Elektroden an den Enden eines Kanalbereiches oberhalb zweier daran angrenzender LDD-Bereiche von Source und Drain. Zur Ansteuerung ist eine Control-Gate-Elektrode vorhanden. In den beiden Floating-Gate-Elektroden können getrennt Ladungen gespeichert werden, um so den betreffenden Programmierungszustand der Zelle zu ändern. In einem mittleren Anteil des Kanalbereichs befindet sich nur die Control-Gate-Elektrode über einer dielektrischen Schicht auf dem Halbleitermaterial.

[0002] In der DE 100 36 911 C2 ist ein Verfahren zur Herstellung einer Multi-Bit-Speicherzelle beschrieben, die über getrennte Anteile einer Speicherschicht verfügt, die für Charge-Trapping vorgesehen sind und jeweils an den Grenzen zwischen Source bzw. Drain und dem Kanalbereich vorhanden sind. Bei diesem Verfahren werden ein Source-Bereich und ein Drain-Bereich durch Einbringen von Dotierstoff in einem Halbleiterkörper ausgebildet, über diesen Bereichen eine für das Speichern von Ladungsträgern vorgesehene Speicherschicht zwischen Begrenzungsschichten angeordnet, wobei die Speicherschicht insbesondere ein Nitrid und die Begrenzungsschichten jeweils Oxid sein können, und die Speicherschicht mit Ausnahme von Bereichen, die sich an der Grenze zwischen dem Kanalbereich und dem Source-Bereich bzw. an der Grenze zwischen dem Kanalbereich und dem Drain-Bereich befinden, entfernt. Über einem mittleren Anteil des Kanalbereiches ist daher die Speicherschicht unterbrochen. Diese Struktur wird hergestellt, indem eine Hilfsschicht hergestellt wird, die im Bereich der Speicherschicht eine Ausparung aufweist, und an den Flanken der Hilfsschicht Spacer hergestellt werden. Zwischen diesen Spacern werden dann die mittleren Anteile der Speicherschicht entfernt. Erst danach wird die Gate-Elektrode hergestellt und strukturiert.

[0003] In der US 5,714,766 A ist ein Speicherbauelement mit einer Transistorstruktur mit Source-/Drain-Bereichen, einem dazwischen angeordneten Kanal und einer Speicherschichtstruktur zwischen dem Kanal und einer Gate-Elektrode beschrieben, bei dem die Speicherschichtstruktur obere und untere Barrierschichten und dazwischen angeordnete Nanokristalle umfasst. Als Material für die Nanokristalle sind Silizium, Germanium, Silizium-Germanium, Siliziumcarbid, Galliumarsenid, Indiumarsenid und andere IV-, III-V- sowie II-VI-Halbleitermaterialien sowie daraus gebildete Verbindungshalbleiter angegeben.

[0004] In der Veröffentlichung von J. von Borany et al.: "Memory properties of Si⁺ implanted gate oxides: from MOS capacitors to nvSRAM" in Solid-State Electronics 46, 1729–1737 (2002) sind die Eigenschaften von Speicherbauelementen beschrieben, bei denen durch eine Si⁺-Implantation in das Gate-Oxid als Nanoclusters beschriebene Siliziumbereiche hergestellt wurden. Die Gate-Elektrode ist direkt auf einer derartigen Schicht aufgebracht.

[0005] In der US 6,335,554 B1 ist eine Speicherzelle mit einer Charge-Trapping-Schicht beschrieben, die über den Junctions zwischen LDD-Bereichen und dem Kanalbereich und an den Flanken der Gate-Elektrode vorhanden ist. Über der Charge-Trapping-Schicht sind jeweils spacerartig ausgebildete zweite Gate-Elektroden vorhanden, die über eine oberseitige leitfähige Schicht mit der ersten Gate-Elektrode verbunden sind.

[0006] In der DE 101 40 758 A1 ist ein Speicherelement für eine Halbleiterspeichereinrichtung beschrieben, bei dem ein gattungsgemäße Speicherzelle mit einer Transistorstruktur und einem als Gateoxid vorgesehenen Materialbereich ausgebildet ist, der als Speichermedium vorgesehen und mit eingebetteten Nanodots versehen ist. Die Nanodots sind jeweils sourceseitig und drainseitig vorhanden, während das Speichermedium über einem mittleren Kanalbereich unterbrochen ist. Damit wird erreicht, dass pro Speicherzelle zwei Bits gespeichert werden können.

[0007] In der DE 101 44 700 A1 sind ein nichtflüchtiger Halbleiterspeicher und dazugehörige Verfahren zum Betreiben und zum Herstellen beschrieben. In dem Halbleiterspeicher ist eine Ladungsspeicherschicht vorhanden, die aus dielektrischen gestapelten Schichten besteht und pro Speicherzelle zwei Speicherbereiche aufweist. Die angegebenen Ausführungsbeispiele umfassen Ausgestaltungen als MONOS-Transistoren oder MNOS-Transistoren sowie Ausgestaltungen mit einer Ladungsspeicherschicht aus elektrisch leitfähigem Material oder einem Material, das feine Partikelleiter, insbesondere Siliziumnanokristalle, enthält.

Aufgabenstellung

[0008] Aufgabe der vorliegenden Erfindung ist es, eine verbesserte und verkleinerte Multibit-Speicherzelle anzugeben, die sich mit STI-Isolationen in einem Virtual-Ground-Array mit sublithographischen, lokal begrenzten und bezüglich der Gate-Elektrode selbstjustierten Speicherbereichen herstellen lässt. Außerdem soll ein hierzu geeignetes Herstellungsverfahren angegeben werden.

[0009] Diese Aufgabe wird mit der Speicherzelle mit den Merkmalen des Anspruchs 1 bzw. mit dem Verfahren mit den Merkmalen des Anspruchs 9 gelöst.

Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

[0010] Bei der Speicherzelle ist eine Speicherschicht, die Nanokristalle oder Nanodots enthält, jeweils über einem Bereich vorhanden, in dem der Kanalbereich an einen Source-/Drain-Bereich anstößt, und über einem dazwischen vorhandenen mittleren Anteil des Kanalbereichs unterbrochen. Die Speicherschicht ist planar und durch ein Material des Gate-Dielektrikums gebildet. Vorzugsweise handelt es sich dabei um eine Siliziumdioxidschicht, in der durch Ionenimplantation Nanokristalle aus Silizium oder Germanium hergestellt sind. Die Speicherschicht reicht dabei ein geringes Stück unter die Gate-Elektrode, was dadurch erreicht ist, dass zur Verlängerung der Gate-Elektrode an sourceseitigen und drainseitigen Flanken der eigentlichen Gate-Elektrode elektrisch leitende Spacer angebracht sind, die elektrisch leitend mit der Gate-Elektrode verbunden sind. Die Spacer sind gleichzeitig dafür vorgesehen, bei der Implantation von Dotierstoff zur Ausbildung der Source-/Drain-Bereiche eine selbstjustierte Anordnung der kanalseitigen Grenzen dieser Source-/Drain-Bereiche in Bezug auf die Gate-Elektrode herzustellen. Diese so genannten Junctions befinden sich daher unterhalb der Speicherschicht und unterhalb der elektrisch leitfähigen Spacer, jedoch angrenzend an die eigentliche Gate-Elektrode.

[0011] Die eigentliche Gate-Elektrode kann durch eine Schicht eines Wortleitungssteges gebildet sein, der insbesondere ein Stack aus einer oder mehreren leitfähigen Schichten und einer Hartmaskenschicht zur Strukturierung des Wortleitungssteges sein kann. Eine unterste Schicht, die die Gate-Elektrode bildet, kann z. B. Polysilizium sein. Darüber kann eine weitere Schicht, z. B. aus Wolframsilizid, zur Erniedrigung des Bahnwiderstandes der Wortleitungen vorhanden sein. Die sourceseitigen und drainseitigen Flanken der Gate-Elektrode können mit einem Überhang versehen sein, unter dem jeweils ein elektrisch leitfähiger Spacer angeordnet ist, so dass die Gate-Elektrode bzw. der Wortleitungssteg insgesamt senkrechte oder zumindest ebene Flanken aufweist. Der Überhang kann dadurch gebildet sein, dass die unterste Schicht sich zu dem Halbleiterkörper hin verjüngt oder dass die unterste Schicht schmaler ist als eine darüber vorhandene weitere Schicht, die den Überhang bildet.

[0012] Bei dem Verfahren zur Herstellung einer solchen Speicherzelle wird auf dem Halbleitermaterial eine für das Gate-Dielektrikum vorgesehene Schicht aufgebracht. Darauf wird die Gate-Elektrode aufgebracht und strukturiert, wobei die Gate-Elektroden eines Speicherzellenfeldes vorzugsweise zu Wortleitungsstegen strukturiert werden. Durch eine Ionenimplantation werden dann seitlich der Gate-Elektrode

Nanokristalle oder Nanodots hergestellt, wobei als Material hierfür Silizium und Germanium sowie speziell Siliziumoxinitrid (durch Implantation von Stickstoff herstellbar), Indium, Gallium, Zinn, Arsen und Wolfram in Frage kommen.

Ausführungsbeispiel

[0013] Es folgt eine genauere Beschreibung von Beispielen der Speicherzellen und des Verfahrens anhand der [Fig. 1](#) bis [Fig. 12](#).

[0014] Die [Fig. 1](#) zeigt in Aufsicht ein Schema der Anordnung der aktiven Bereiche.

[0015] Die [Fig. 2](#) zeigt das Schema gemäß der [Fig. 1](#) mit der Anordnung der Wortleitungen.

[0016] Die [Fig. 3](#) zeigt das Schema gemäß der [Fig. 2](#) mit der Anordnung der Transistorstrukturen und Bitleitungsanschlüsse.

[0017] Die [Fig. 4](#) zeigt im Querschnitt ein Zwischenprodukt einer Speicherzellenanordnung nach dem Herstellen der elektrisch leitfähigen Spacer.

[0018] Die [Fig. 5](#) zeigt im Querschnitt ein Zwischenprodukt einer Speicherzellenanordnung nach dem Herstellen der Source-/Drain-Bereiche.

[0019] Die [Fig. 6](#) zeigt die Anordnung gemäß der [Fig. 5](#) nach dem Herstellen dielektrischer Isolations-Spacer.

[0020] Die [Fig. 7](#) zeigt ein weiteres Zwischenprodukt im Querschnitt nach dem Herstellen der Source-/Drain-Kontakte.

[0021] Die [Fig. 8](#) zeigt eine alternative Ausgestaltung zu dem Zwischenprodukt des Querschnitts der [Fig. 7](#).

[0022] Die [Fig. 9](#) zeigt einen Querschnitt eines Zwischenproduktes eines weiteren Ausführungsbeispiels vor der Strukturierung der elektrisch leitfähigen Spacer.

[0023] Die [Fig. 10](#) zeigt das Ausführungsbeispiel der [Fig. 9](#) nach der Strukturierung der elektrisch leitfähigen Spacer.

[0024] Die [Fig. 11](#) zeigt das Zwischenprodukt entsprechend der [Fig. 9](#) für ein weiteres Ausführungsbeispiel.

[0025] Die [Fig. 12](#) zeigt das Zwischenprodukt entsprechend der [Fig. 10](#) für das Ausführungsbeispiel der [Fig. 11](#).

[0026] Die [Fig. 1](#) zeigt in der Aufsicht einen Halblei-

terkörper, in dem aktive Gebiete AA (active areas) durch parallel im Abstand zueinander angeordnete streifenförmige Isolationsbereiche STI (shallow trench isolations) voneinander getrennt sind. In den aktiven Gebieten AA sind die Transistorstrukturen der Speicherzellen ausgebildet. Quer zu den Streifen der aktiven Gebiete AA verlaufen ebenfalls parallel im Abstand zueinander angeordnet die streifenförmigen Wortleitungen WL.

[0027] Die [Fig. 2](#) zeigt die Anordnung der Wortleitungen WL relativ zu den aktiven Gebieten AA auf der Oberseite des Halbleiterkörpers. Die über die aktiven Gebiete AA führenden Anteile der Wortleitungen WL bilden gleichzeitig die Gate-Elektroden der Speicherzellentransistoren.

[0028] Die [Fig. 3](#) zeigt das Schema gemäß der [Fig. 2](#), wobei noch randseitige Spacer längs der Flanken der Wortleitungen WL eingezeichnet sind. In den Zwischenräumen zwischen diesen Spacern sind zwischen den Wortleitungen WL jeweils elektrisch leitende Querverbindungen LI (local interconnects) angebracht, auf denen die Bitleitungen BL, die längs der aktiven Gebiete AA über den Isolationsbereichen STI verlaufen, kontaktiert sind. Die Speicherzellen befinden sich jeweils in einem aktiven Gebiet AA, wobei der Kanalbereich unterhalb einer jeweiligen Wortleitung angeordnet ist und die Source-/Drain-Bereiche oberseitig durch beidseitig dieser Wortleitung WL angeordnete Querverbindungen LI angeschlossen sind. Die Ansteuerung einer Speicherzelle erfolgt daher jeweils über eine Wortleitung und zwei zueinander benachbarte Bitleitungen. Die Speicherzelle ist insbesondere für ein Speicherzellenfeld mit der Struktur gemäß der [Fig. 3](#) geeignet.

[0029] Es folgt eine Beschreibung der bevorzugten Ausführungsbeispiele der Speicherzelle anhand von Beispielen bevorzugter Herstellungsverfahren. Ein Halbleiterkörper oder Substrat wird mit einer für die Transistoren vorgesehenen dotierten Wanne versehen. Die in der [Fig. 1](#) dargestellten Isolationsbereiche STI werden wie üblich durch Ausätzen parallel zueinander angeordneter Gräben, die anschließend mit dielektrischem Material gefüllt werden, hergestellt. Dazwischen bleiben die aktiven Gebiete AA aus Halbleitermaterial stehen. Es wird dann ganzflächig eine Schicht aus dem für das Gate-Dielektrikum vorgesehenen Material hergestellt. Das kann vorzugsweise dadurch geschehen, dass ein thermisches Gate-Oxid von zum Beispiel etwa 6 nm bis 30 nm Dicke hergestellt wird. In diesem Verfahrensschritt können auch Gate-Oxide für die Transistoren einer Ansteuerperipherie (z. B. CMOS) hergestellt werden. Die Gate-Elektroden werden auf dieser Schicht vorzugsweise als Teil eines jeweiligen Wortleitungssteges hergestellt. Der Wortleitungssteg wird vorzugsweise als Stack ausgebildet, der mindestens eine erste Wortleitungsschicht und eine zweite Wort-

leitungsschicht umfasst, die mit einer Hartmaskenschicht bedeckt sind.

[0030] Die [Fig. 4](#) zeigt im Querschnitt die Anordnung aus dem Halbleiterkörper **1**, dem Gate-Dielektrikum **4** und der darauf angeordneten strukturierten Gate-Elektrode **5**. Die Gate-Elektrode **5** ist vorzugsweise ein Teil einer streifenförmig strukturierten, elektrisch leitfähigen ersten Wortleitungsschicht **9**, die z. B. Polysilizium sein kann. Zur Verminderung des elektrischen Bahnwiderstandes kann eine zweite Wortleitungsschicht **10** vorgesehen sein, die z. B. Wolframsilizid ist. Darauf befindet sich in dem dargestellten Beispiel bereits die Hartmaskenschicht **11**, die z. B. Nitrid ist. Mittels einer Lackmaske und einer geeigneten Lithographie wird zunächst die Hartmaske streifenförmig strukturiert. Die strukturierte Hartmaskenschicht **11** dient dann zur Strukturierung des gesamten Wortleitungssteges bis herunter auf die Schicht des Gate-Dielektrikums **4**.

[0031] In der [Fig. 4](#) ist ergänzend noch ein zweischichtiger Liner **12** dargestellt, der z. B. eine dünne Nitridschicht und darauf eine dünne Oxidschicht umfasst. Dieser Liner **12** erleichtert die gleichzeitige Herstellung von Transistoren der Ansteuerschaltung in der Peripherie eines Speicherzellenfeldes. Bei den Transistoren der Peripherie trennt dieser Liner **12** die Gate-Elektrode **5** von nachfolgend angebrachten elektrisch leitfähigen Spacern **7**. Da diese elektrisch leitfähigen Spacer **7** innerhalb des Speicherzellenfeldes bei jeder einzelnen Speicherzelle in elektrisch leitendem Kontakt zu der Gate-Elektrode **5** aufgebracht werden sollen, wird der Liner **12** innerhalb des Speicherzellenfeldes entfernt. Das kann vorzugsweise nasschemisch geschehen, zunächst teilweise unter Verwendung von HF zum Entfernen des Oxids, danach mit heißer Phosphorsäure, um das Nitrid des Liners **12** vollständig zu entfernen. Im Bereich der Peripherie bildet der Liner **12** jedoch eine Trennung zwischen den Gate-Elektroden und dem elektrisch leitfähigen Spacer, der somit selektiv zu dem Material des Liners **12** z. B. in einem Trockenätzprozess mittels SF_6 entfernt werden kann. Dabei wird das Speicherzellenfeld z. B. mit einem aufgetragenen Lack geschützt.

[0032] Nachdem der gegebenenfalls vorhandene Liner **12** im Bereich des Speicherzellenfeldes entfernt worden ist, wird ein Material zur Ausbildung von Nanokristallen oder Nanodots in der Schicht des Gate-Dielektrikums **4** durch eine Ionenimplantation eingebracht. Dabei handelt es sich vorzugsweise um Silizium- oder Germanium-Atome. Nanodots können in einer Siliziumdioxidschicht auch durch Einbringen von Stickstoffatomen hergestellt werden, mit denen Bereiche von SiON gebildet werden. Da die Gate-Elektrode **5** bzw. der Wortleitungssteg dabei als Maske dient, bleibt der Bereich unterhalb der Gate-Elektrode **5**, eventuell abgesehen von den ä-

ßeren Randbereichen, von den Nanokristallen bzw. Nanodots frei. Im Fall von Siliziumatomen ist die Implantationsenergie zum Beispiel 6 keV und die Dosis zum Beispiel $5 \times 10^{15} \text{ cm}^{-2}$. Die Implantationsenergie von typisch 1 keV bis 20 keV wird an die Dicke des zuvor hergestellten Gate-Oxids geeignet angepasst. Die Position der Nanokristalle in der Schicht des Gate-Dielektrikums **4** fällt in etwa mit dem Ort des Implantationsmaximums zusammen. Je nach der Wahl der Implantationsparameter können die Nanokristalle in der Schicht vorwiegend in einem mittleren Schichtanteil konzentriert sein, so dass näherungsweise eine dreilagige Schicht hergestellt wird, in der ein mittlerer Schichtanteil Nanokristalle enthält, der nach oben und unten von Schichtanteilen begrenzt wird, in denen fast keine Nanokristalle feststellbar sind. Statt dessen können eine näherungsweise homogene Verteilung der Nanokristalle über die gesamte implantierte Schicht sowie Zwischenstufen der beiden genannten Grenzfälle hergestellt werden.

[0033] Nach der Reinigung der Oberfläche wird konform eine für die Spacer vorgesehene Schicht, vorzugsweise aus Polysilizium, in einer Dicke von typisch etwa 30 nm abgeschieden. Diese Schicht wird anisotrop rückgeätzt, so dass die in der Figur im Querschnitt dargestellten Spacer **7** übrig bleiben.

[0034] Die [Fig. 5](#) zeigt zwei nebeneinander angeordnete Speicherzellen eines Speicherzellenfeldes im Querschnitt, in dem auch die mögliche Ausdehnung der Speicherschicht **6** erkennbar ist. Die Speicherschicht **6** wird gebildet durch die implantierten Bereiche der für das Gate-Dielektrikum **4** vorgesehenen Schicht. Die Nanokristalle oder Nanodots sind in den [Fig. 5](#) bis [Fig. 12](#) durch Punkte in der Speicherschicht **6** angedeutet. An den Flanken der Wortleitungsstege **8** befinden sich jetzt die elektrisch leitenden Spacer **7** in elektrischem Kontakt zu den Gate-Elektroden **5**. Mit einer Implantation von Dotierstoff, im Falle einer p-dotierten Wanne einer n⁺-Implantation, werden die Source-/Drain-Bereiche **2** hergestellt. Die Implantate werden in der üblichen Weise ausgeheilt, um den Dotierstoff zu aktivieren. Wie in der [Fig. 5](#) erkennbar ist, reichen die Source-/Drain-Bereiche **2** etwas unter die elektrisch leitfähigen Spacer **7**, so dass der Übergang von dem Source-/Drain-Bereich **2** zum Kanalbereich **3** jeweils von den Nanokristallen oder Nanodots der Speicherschicht **6** und einem jeweiligen elektrisch leitfähigen Spacer **7** überdeckt wird.

[0035] Die [Fig. 7](#) zeigt den Querschnitt gemäß der [Fig. 6](#) nach weiteren Verfahrensschritten, in denen eine Seitenwandoxidation zur Ausbildung einer dünnen Oxidschicht **13** erfolgt und eine dielektrische Schicht, z. B. ein Nitrid, zur Herstellung der dielektrischen Spacer **14** aufgebracht wird. Für die Transistoren der Ansteuerperipherie werden zur selbstjustierten Implantation der Source-/Drain-Bereiche breitere

Spacer benötigt, die im Bereich des Speicherzellenfeldes unter Verwendung zuvor aufgebrachtener weiterer Liner **15** leicht entfernt werden können. Zwischen den dielektrischen Spacern **14** wird die Speicherschicht **6** entfernt, so dass die Kontaktbereiche **16** gebildet werden, in denen die Oberseiten der Source-/Drain-Bereiche freiliegen. Die Kontaktbereiche **16** können nach oben mit Kontaktlochfüllungen **17** elektrisch leitend kontaktiert und angeschlossen werden. Dazu wird ein leitfähiges Material, z. B. Polysilizium, eingefüllt. Die Kontaktlochfüllung **17** dient auch als Querverbindung LI gemäß der Darstellung der [Fig. 3](#). Die Strukturierung kann dadurch erfolgen, dass nach dem Einbringen und Planarisieren des elektrisch leitfähigen Materials der Kontaktlochfüllung **17** die Kontaktlochfüllung **17** auf die Bereiche der Querverbindungen LI rückgeätzt wird. Statt dessen ist es möglich, den Bereich zwischen den dielektrischen Spacern **14** mit einem dielektrischen Material, z. B. Borphosphorsilikatglas (BPSG), zu füllen, darin Kontaktlöcher herzustellen und diese Kontaktlöcher mit dem elektrisch leitfähigen Material der Kontaktlochfüllung **17** zu füllen. Dazu wird die übliche Maskentechnik verwendet. Es folgen weitere Schritte zur Herstellung eines Intermetaldielektrikums und einer Bitleitungsverdrahtungsebene samt Kontakten auf den Kontaktlochfüllungen **17**, die wie an sich bekannt in Minimal-Pitch ausgeführt werden. Es schließen sich weitere Verfahrensschritte zur vollständigen Herstellung eines Speicherzellenfeldes an.

[0036] Die [Fig. 8](#) zeigt den Querschnitt der [Fig. 7](#) für ein alternatives Ausführungsbeispiel, bei dem die Speicherschicht **6** nach der Herstellung der elektrisch leitfähigen Spacer **7** etwas abgetragen wird. Der Bereich der Nanokristalle oder Nanodots ist so jeweils auf einen schmaleren Bereich über den Grenzen zwischen den Source-/Drain-Bereichen und dem Kanalbereich eingeschränkt.

[0037] In den [Fig. 9](#) bis [Fig. 12](#) sind Ausführungsbeispiele dargestellt, bei denen die elektrisch leitfähigen Spacer **7** nicht außen am Rand einer senkrechten Flanke der Gate-Elektrode hergestellt werden, sondern unter einem Überhang der ersten Wortleitungsschicht oder der nachfolgenden Schichten angeordnet werden, so dass senkrechte oder zumindest weitgehend planare Flanken der Wortleitungsstege **8** einschließlich der elektrisch leitfähigen Spacer **7** ausgebildet sind. Die [Fig. 9](#) zeigt die Anordnung im Querschnitt nach dem Aufbringen einer für die elektrisch leitfähigen Spacer vorgesehenen und kantenkonform isotrop abgeschiedenen Schicht aus elektrisch leitfähigem Material, vorzugsweise einer Polysiliziumschicht **19**. Der Stack des Wortleitungssteiges **8** wurde in diesem Ausführungsbeispiel zuvor modifiziert, indem die erste Wortleitungsschicht **9** seitlich so rückgeätzt wurde, dass sich diese Schicht zum Halbleiterkörper **1** hin verjüngt und somit im Querschnitt die überhängende Trapezform erscheint.

An den Flanken der Wortleitungsstege **8** sind so jeweils Überhänge **18** vorhanden, unter denen die elektrisch leitfähigen Spacer angeordnet werden. Da die erste Wortleitungsschicht **9** im unteren Bereich schmaler ausgebildet ist als der Rest der Wortleitungsstege **8**, wird dementsprechend die Speicherschicht **6** durch die Ionenimplantation auch teilweise unterhalb der Ränder des Wortleitungssteiges ausgebildet, so dass die elektrisch leitfähigen Spacer auch bei diesem Ausführungsbeispiel die Speicherschicht teilweise überlappen.

[0038] Die [Fig. 10](#) zeigt die Anordnung gemäß der [Fig. 9](#), nachdem die Polysiliziumschicht **19** anisotrop rückgeätzt wurde. Von der Polysiliziumschicht **19** verbleiben nur die unter dem jeweiligen Überhang **18** vorhandenen elektrisch leitfähigen Spacer **7**. Die elektrisch leitfähigen Spacer **7** bedecken die der jeweiligen Gate-Elektrode zugewandten randseitigen Anteile der Speicherschicht **6**. Anschließend wird der Dotierstoff für die Source-/Drain-Bereiche **2** eingebracht, der auch bei diesem Ausführungsbeispiel ein Stück weit unter die elektrisch leitfähigen Spacer **7** gelangt, so dass die Grenze zwischen den Source-/Drain-Bereichen **2** und den Kanalbereichen **3** jeweils unterhalb der elektrisch leitfähigen Spacer **7** angeordnet ist.

[0039] Die [Fig. 11](#) zeigt den Querschnitt eines weiteren Ausführungsbeispiels, bei dem die erste Wortleitungsschicht **9** seitlich gleichmäßig rückgeätzt wird, so dass beidseitig ein Überhang **18** durch die zweite Wortleitungsschicht **10** gebildet ist. Auch bei diesem Ausführungsbeispiel werden unter den Überhängen **18** angeordnete elektrisch leitfähige Spacer **7** hergestellt, die in der [Fig. 12](#) im Querschnitt dargestellt sind. Die Spacer können hergestellt werden, indem zunächst ganzflächig konform eine Schicht aus elektrisch leitfähigem Material, vorzugsweise eine Polysiliziumschicht **19**, wie sie in der [Fig. 11](#) dargestellt ist, abgeschieden und zu den Spacern **7** rückgeätzt wird. Eine Polysiliziumschicht **19** lässt sich mittels Trockenätzung mit sehr hoher Selektivität zu dem Material der Speicherschicht **6**, deren Grundmaterial vorzugsweise Oxid ist, entfernen. Statt dessen können die Spacer **7** an den Flanken der ersten Wortleitungsschicht **9** durch selektive Epitaxie hergestellt werden, wobei Polysilizium das bevorzugte Material ist. Die Anordnung der nachfolgend implantierten Source-/Drain-Bereiche **2** entspricht dem Ausführungsbeispiel der [Fig. 10](#).

[0040] Typische Spannungen zum Programmieren, Lesen und Löschen der Speicherzelle sind:
Source 3 V, Gate 6 V, Drain 0 V zum Programmieren;
Source 0 V, Gate 4 V, Drain 1,5 V zum Lesen;
Source 4 V, Gate -5 V, Drain 0 V zum Löschen.

[0041] Das zweite speicherbare Bit wird entsprechend durch gegensinnige Polung von Source und

Drain programmiert, gelesen bzw. gelöscht.

[0042] Die Speicherzelle und das Herstellungsverfahren haben die folgenden Vorteile: Es ist möglich, durch STI-Gräben begrenzte Speicherzellen eines Virtual-Ground-Arrays anzugeben, für die die aktiven Gebiete leicht lithographisch strukturierbar sind. Man erreicht einen engsten Zwischenraum zwischen den Wortleitungen und benötigt zur Herstellung nur ein allgemein übliches thermisches Gate-Oxid, ohne dass eine komplexe Struktur der Speicherschicht aufgebracht werden müsste. Für die Wortleitungen ist ein konventioneller Schichtaufbau, die STI-Gräben kreuzend, möglich. Die Speicherbereiche können sublithographisch lokal begrenzt und bezüglich der Gate-Elektrode selbstjustiert ausgebildet werden. Die Speicherschichten werden dazu erst nach der Strukturierung der Gate-Elektrode bzw. Wortleitungen selbstjustiert dazu hergestellt. Die Implantation der Nanokristalle bzw. Nanodots ermöglicht es, auf einfache Weise lokal fixierte und voneinander getrennte Speicherbereiche für Multibit-Speicherzellen herzustellen. Somit genügt eine Fläche von 3 F² pro Bit bei einer Groundrule von 90 nm. Die Gate-Elektrode wird nach der Herstellung der Speicherschichten durch das Anbringen elektrisch leitfähiger Spacer selbstjustiert verbreitert. Die Speicherschicht endet selbstjustiert zur Gate-Kante und zu den Junctions zwischen den Source-/Drain-Bereichen und den Kanalbereichen. Die Verbreiterung der Gate-Elektrode erfolgt nur bei den Speicherzellen des Speicherzellenfeldes, nicht jedoch bei den Transistoren der Ansteuerperipherie. Damit ist auf einfache Weise eine Optimierung sowohl der Speichertransistoren als auch der Ansteuertransistoren möglich.

Bezugszeichenliste

1	Halbleiterkörper
2	Source-/Drain-Bereich
3	Kanalbereich
4	Gate-Dielektrikum
5	Gate-Elektrode
6	Speicherschicht
7	elektrisch leitender Spacer
8	Wortleitungssteg
9	erste Wortleitungsschicht
10	zweite Wortleitungsschicht
11	Hartmaskenschicht
12	Liner
13	Oxidschicht
14	dielektrischer Spacer
15	weiterer Liner
16	Kontaktbereich
17	Kontaktlochfüllung

18	Überhang
19	Polysiliziumschicht
AA	aktives Gebiet
BL	Bitleitung
L2	Querverbindung
STI	Isolationsbereich
WL	Wortleitung

Patentansprüche

1. Speicherzelle, bei der Source-/Drain-Bereiche (2) an einer Oberseite eines Halbleiterkörpers (1) oder Substrates durch Einbringen von Dotierstoff ausgebildet sind, zwischen den Source-/Drain-Bereichen (2) ein Kanalbereich (3) vorgesehen ist, auf dem ein Gate-Dielektrikum (4) und eine Gate-Elektrode (5) angeordnet sind, eine Speicherschicht (6) jeweils über einem Bereich vorhanden ist, in dem der Kanalbereich (3) an einen Source-/Drain-Bereich (2) anstößt, und über einem dazwischen vorhandenen mittleren Anteil des Kanalbereiches (3) unterbrochen ist und die Speicherschicht (6) durch ein Material des Gate-Dielektrikums (4) planar gebildet ist und Nanokristalle oder Nanodots enthält, **dadurch gekennzeichnet**, dass die Gate-Elektrode (5) sourceseitige und drainseitige Flanken besitzt, an denen elektrisch leitfähige Spacer (7) angeordnet und elektrisch leitend mit der Gate-Elektrode (5) verbunden sind, und zumindest ein Anteil der Speicherschicht (6) unterhalb der elektrisch leitfähigen Spacer (7) vorhanden ist.

2. Speicherzelle nach Anspruch 1, bei der die Speicherschicht (6) einlagig aus einem Grundmaterial ausgebildet ist, in das Material der Nanokristalle oder Nanodots durch eine Ionen-implantation in homogener Verteilung über die gesamte Speicherschicht eingebracht ist.

3. Speicherzelle nach Anspruch 1, bei der die Speicherschicht (6) derart dreilagig ausgebildet ist, dass Material der Nanokristalle oder Nanodots durch eine Ionen-implantation in einem mittleren Schichtanteil der Speicherschicht (6) konzentriert eingebracht ist.

4. Speicherzelle nach einem der Ansprüche 1 bis 3, bei der das Material der Nanokristalle oder Nanodots ein Material aus der Gruppe von Siliziumoxinitrid, Indium, Gallium, Zinn, Arsen und Wolfram ist.

5. Speicherzelle nach einem der Ansprüche 1 bis 4, bei der die elektrische Verbindung zwischen den elektrisch leitfähigen Spacern (7) und der Gate-Elektrode (5) durch zumindest Anteile der sourceseitigen beziehungsweise drainseitigen Flanke der Gate-Elektrode (5) gebildet ist.

6. Speicherzelle nach einem der Ansprüche 1 bis 5, bei der die Bereiche, in denen der Kanalbereich (3) an einen Source-/Drain-Bereich (2) anstößt, jeweils unterhalb eines elektrisch leitfähigen Spacers (7) angeordnet sind.

7. Speicherzelle nach einem der Ansprüche 1 bis 6, bei der die elektrisch leitfähigen Spacer (7) Polysilizium sind.

8. Speicherzelle nach einem der Ansprüche 1 bis 7, bei der die Gate-Elektrode (5) in einem Wortleitungssteg (8) angeordnet ist, der mindestens zwei Wortleitungsschichten (9, 10) umfasst, und die elektrisch leitfähigen Spacer (7) an den Flanken einer zu unterst angeordneten ersten Wortleitungsschicht (9) des Wortleitungssteges (8) angeordnet sind und mindestens von einer darauf angeordneten zweiten Wortleitungsschicht (10) des Wortleitungssteges (8) überragt werden.

9. Verfahren zur Herstellung einer Speicherzelle, bei dem auf einem Halbleiterkörper (1) oder Substrat eine Speicherschicht (6) und ein Gate-Dielektrikum (4) sowie eine Gate-Elektrode (5) angeordnet werden und selbstjustiert zu der Gate-Elektrode (5) Source-/Drain-Bereiche (2) ausgebildet werden, bei dem in einem ersten Schritt auf dem Halbleiterkörper (1) oder Substrat eine Schicht hergestellt wird, die ein für das Gate-Dielektrikum (4) vorgesehenes Material ist, in einem zweiten Schritt mindestens eine für eine Gate-Elektrode (5) vorgesehene Schicht und eine Hartmaskenschicht (11) aufgebracht und wie für die Gate-Elektrode (5) oder einen Wortleitungssteg (8) vorgesehen strukturiert werden, wobei die in dem ersten Schritt hergestellte Schicht verbleibt, in einem dritten Schritt eine Implantation erfolgt, mit der seitlich der Gate-Elektrode (5) Nanokristalle oder Nanodots in der in dem ersten Schritt hergestellten Schicht ausgebildet werden, in einem vierten Schritt elektrisch leitfähige Spacer (7) an den Flanken der Gate-Elektrode (5) hergestellt werden, die mit der Gate-Elektrode (5) elektrisch leitend verbunden sind und einen Anteil der Nanokristalle oder Nanodots überdecken, in einem fünften Schritt eine Implantation von Dotierstoff selbstjustiert bezüglich der elektrisch leitfähigen Spacer (7) zur Ausbildung von Source-/Drain-Bereichen (2) erfolgt und in einem sechsten Schritt die die Nanokristalle oder Nanodots enthaltende Schicht über den Source-/Drain-Bereichen (2) zumindest in einem vorgesehenen Kontaktbereich (16) soweit entfernt wird, dass ein oberseitiger elektrischer Anschluss der Source-/Drain-Bereiche (2) aufgebracht werden kann.

10. Verfahren nach Anspruch 9, bei dem in dem zweiten Schritt die für die Gate-Elektrode (5) vorgesehene Schicht oder eine für die Gate-Elektrode (5) oder einen Wortleitungssteg (8) vorgesehene

Schichtfolge so strukturiert wird, dass ein Überhang (**18**) gebildet wird und in dem vierten Schritt die elektrisch leitfähigen Spacer (**7**) unterhalb dieses Überhangs (**18**) angeordnet werden.

Es folgen 6 Blatt Zeichnungen

FIG 1

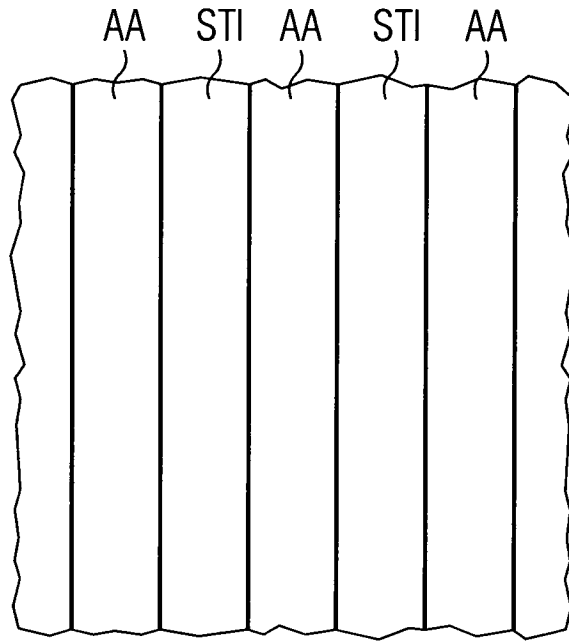


FIG 2

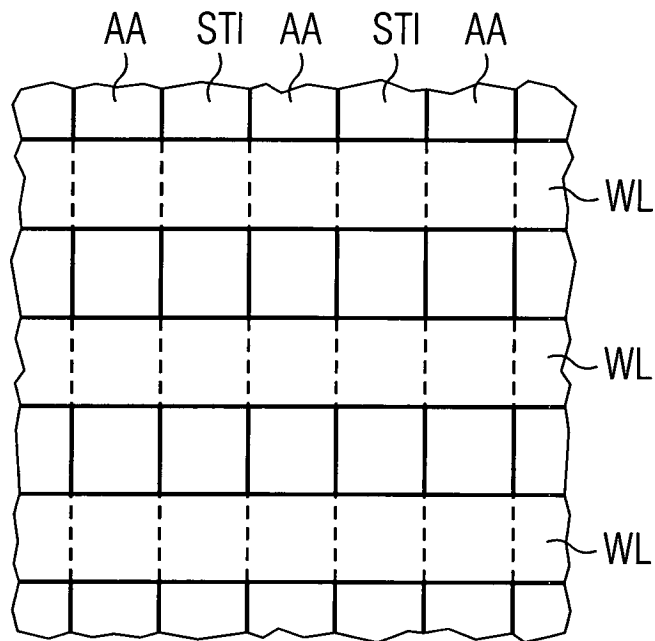


FIG 3

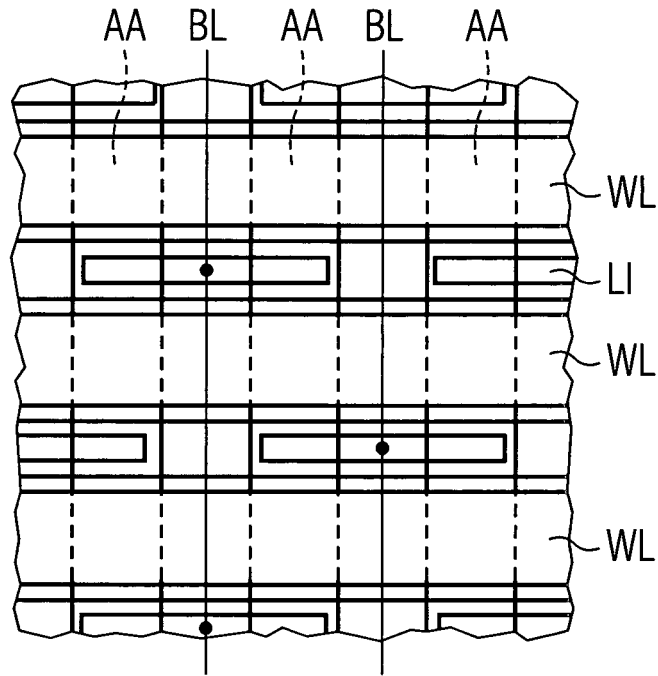


FIG 4

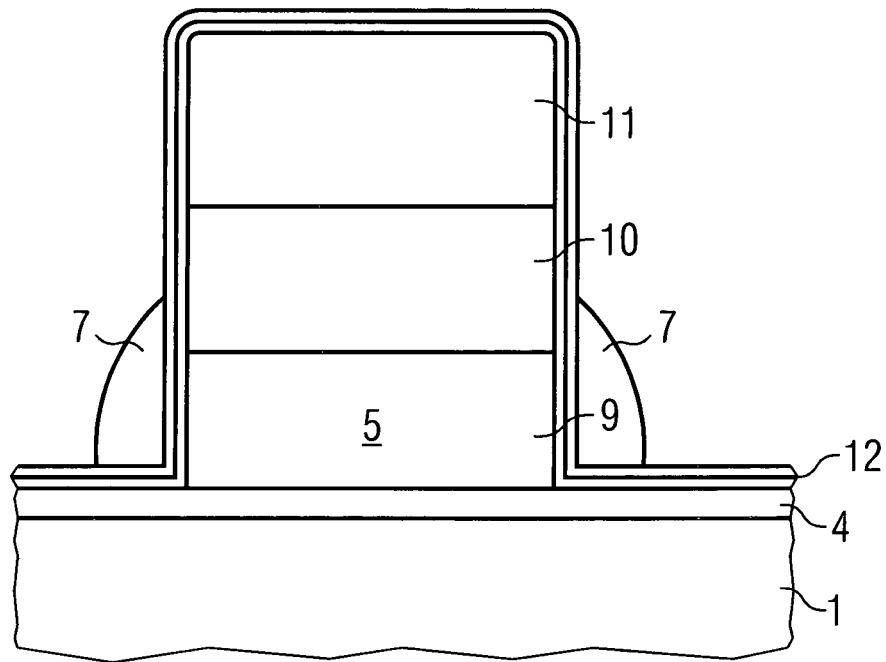


FIG 5

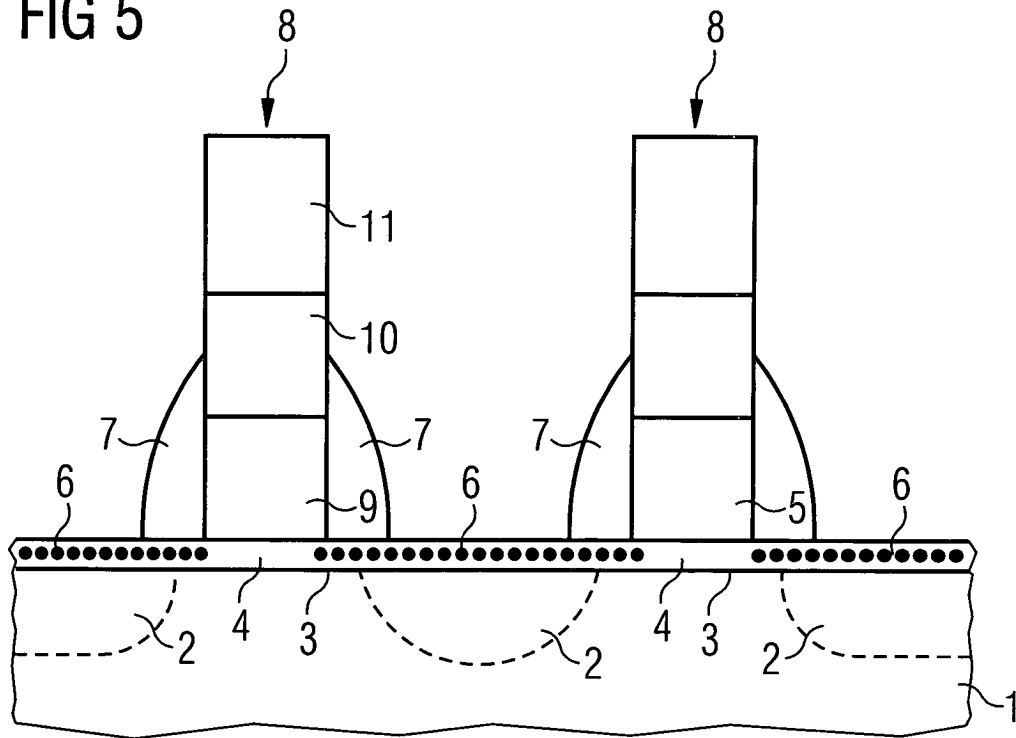


FIG 6

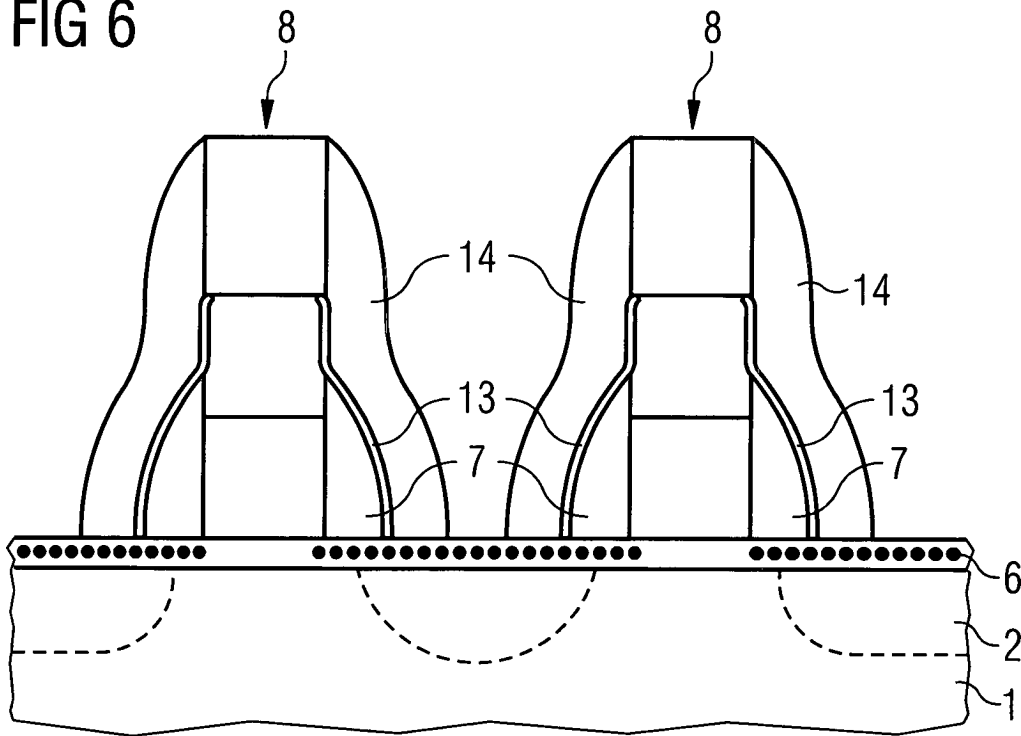


FIG 7

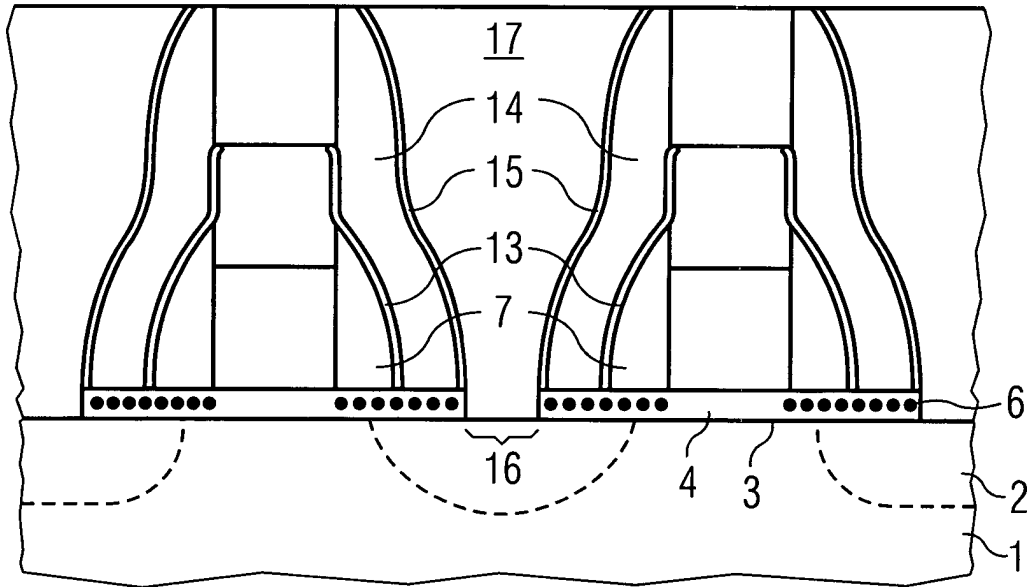


FIG 8

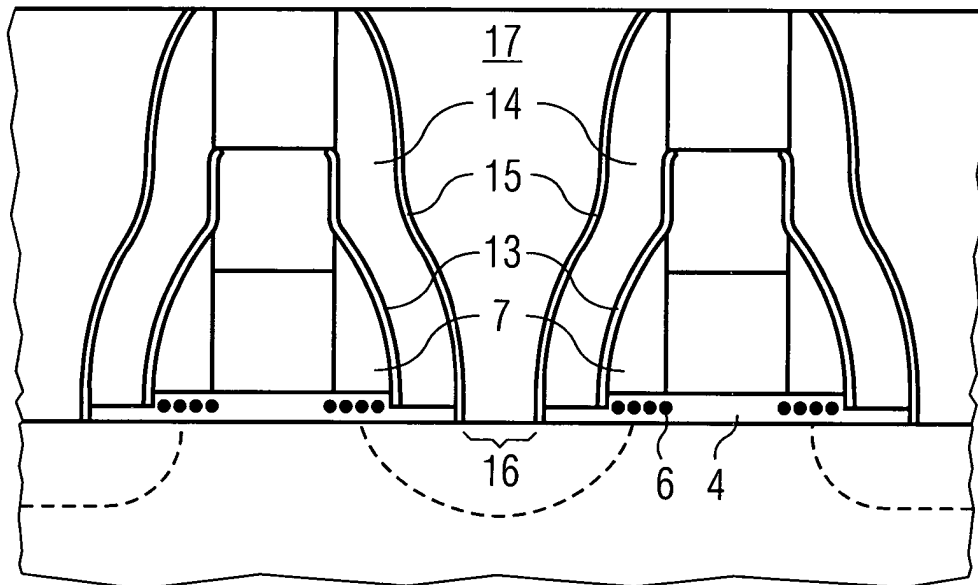


FIG 9

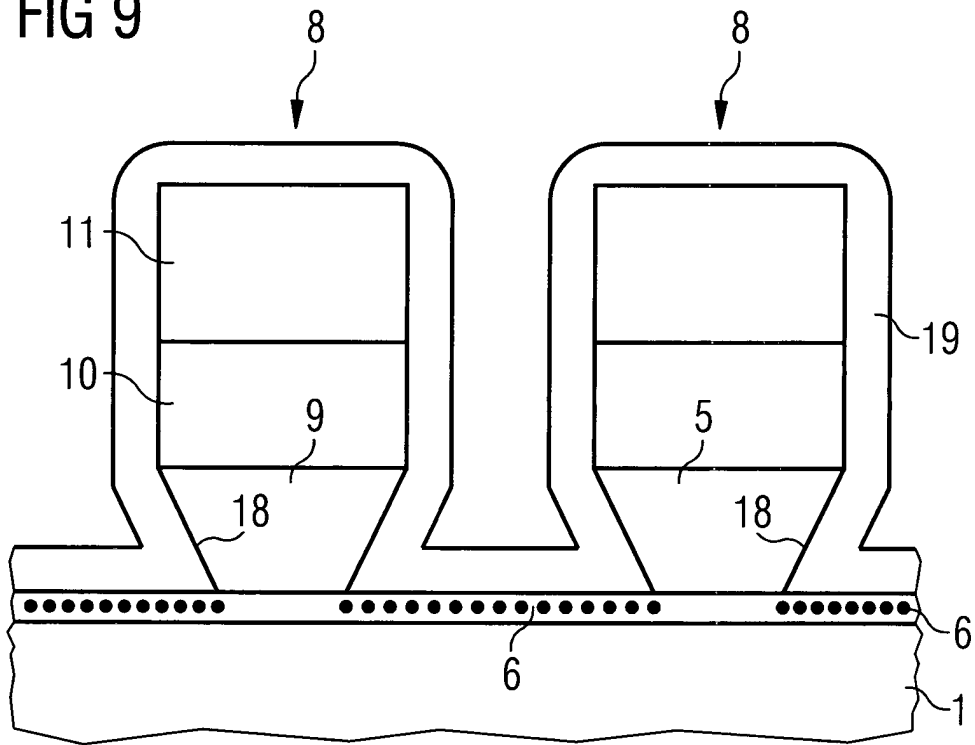


FIG 10

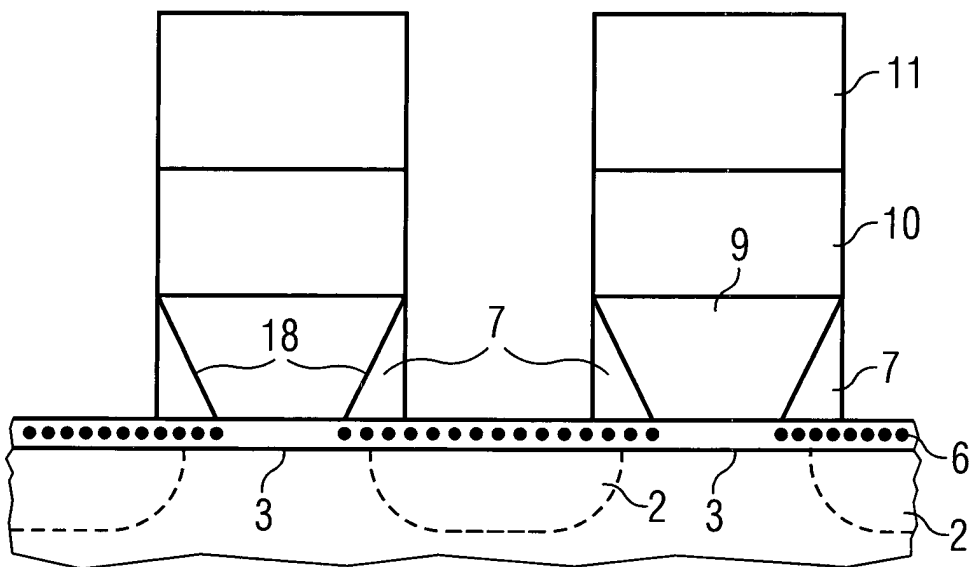


FIG 11

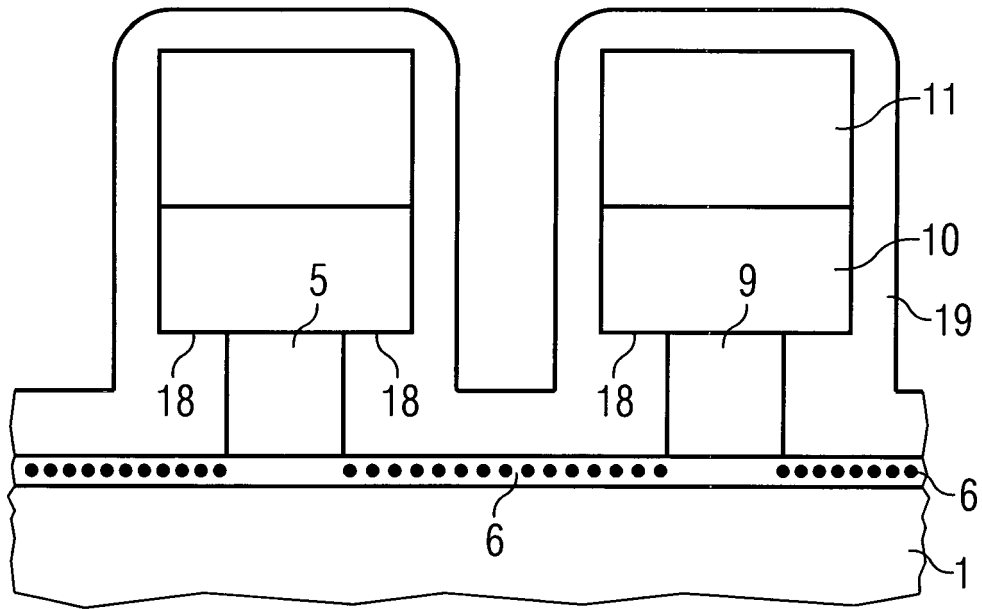


FIG 12

