



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I687811 B

(45) 公告日：中華民國 109 (2020) 年 03 月 11 日

(21) 申請案號：107116350

(22) 申請日：中華民國 107 (2018) 年 05 月 14 日

(51) Int. Cl. : **G06F12/08 (2016.01)**

(71) 申請人：慧榮科技股份有限公司 (中華民國) SILICON MOTION, INC. (TW)

新竹縣竹北市台元街 36 號 8 樓之 1

(72) 發明人：陳勁克 CHEN, CHING-KE (TW)；周柏昇 CHOU, PO-SHENG (TW)；沈揚智 SHEN, YANG-CHIH (TW)

(74) 代理人：祁明輝；林素華；涂綺玲

(56) 參考文獻：

TW 200741464A

TW 201015328A

TW 201717026A

US 2017/0024149A1

US 2017/0315736A1

WO 2015/100434A2

審查人員：李國福

申請專利範圍項數：18 項 圖式數：3 共 25 頁

(54) 名稱

資料儲存裝置及系統資訊的編程方法

(57) 摘要

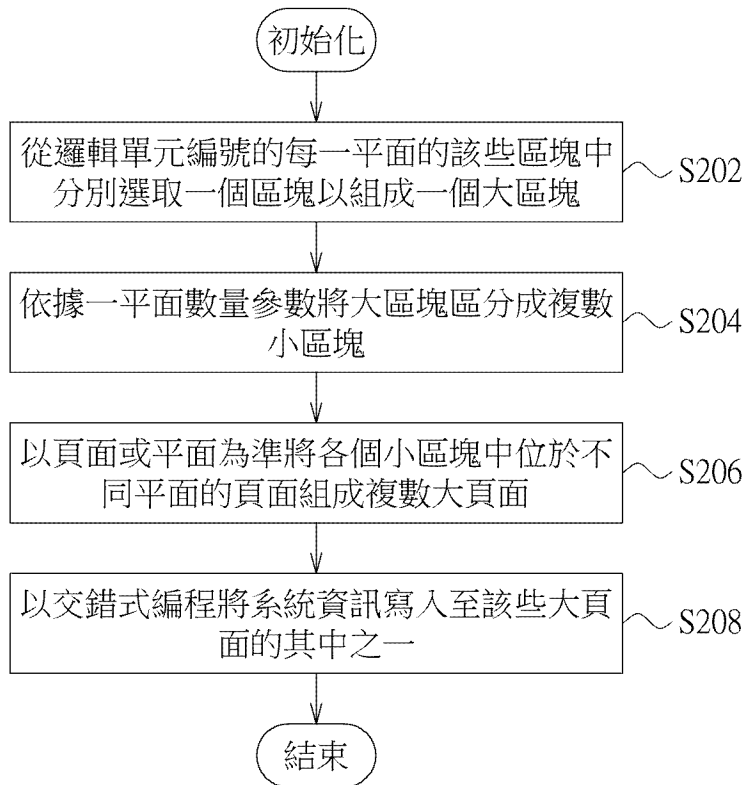
本發明揭露一種資料儲存裝置及系統資訊的編程方法。資料儲存裝置包括一非揮發性記憶體及一記憶體控制器。非揮發性記憶體包括一邏輯單元編號，邏輯單元編號包括複數個平面，各平面包括複數個區塊，各區塊包括複數個頁面。記憶體控制器從邏輯單元編號的每一平面的複數區塊中選取複數個成員區塊以組成一大區塊，並依據平面數量參數將大區塊區分成複數個小區塊，並依據頁面或平面將小區塊中位於不同平面的頁面組成複數個大頁面，以交錯式編程將系統資訊寫入至大頁面的其中之一。

The invention discloses a data storage apparatus and system information programming method. The data storage apparatus includes a non-volatile memory and a memory controller. The non-volatile memory includes a logical unit number (LUN). The LUN includes a plurality of planes. Each of the planes includes a plurality of blocks. Each of the blocks includes a plurality of pages. The memory controller is configured to select a plurality of member blocks from the blocks of each of the planes of the LUN to compose a big block, and to divide the big block into a plurality of small block according to a plane amount parameter, and to compose a plurality of big pages from the pages at different planes of each of the small blocks according to a page or plane orientation, and to write system information into one of the big pages by performing an inter-leaving programming.

指定代表圖：

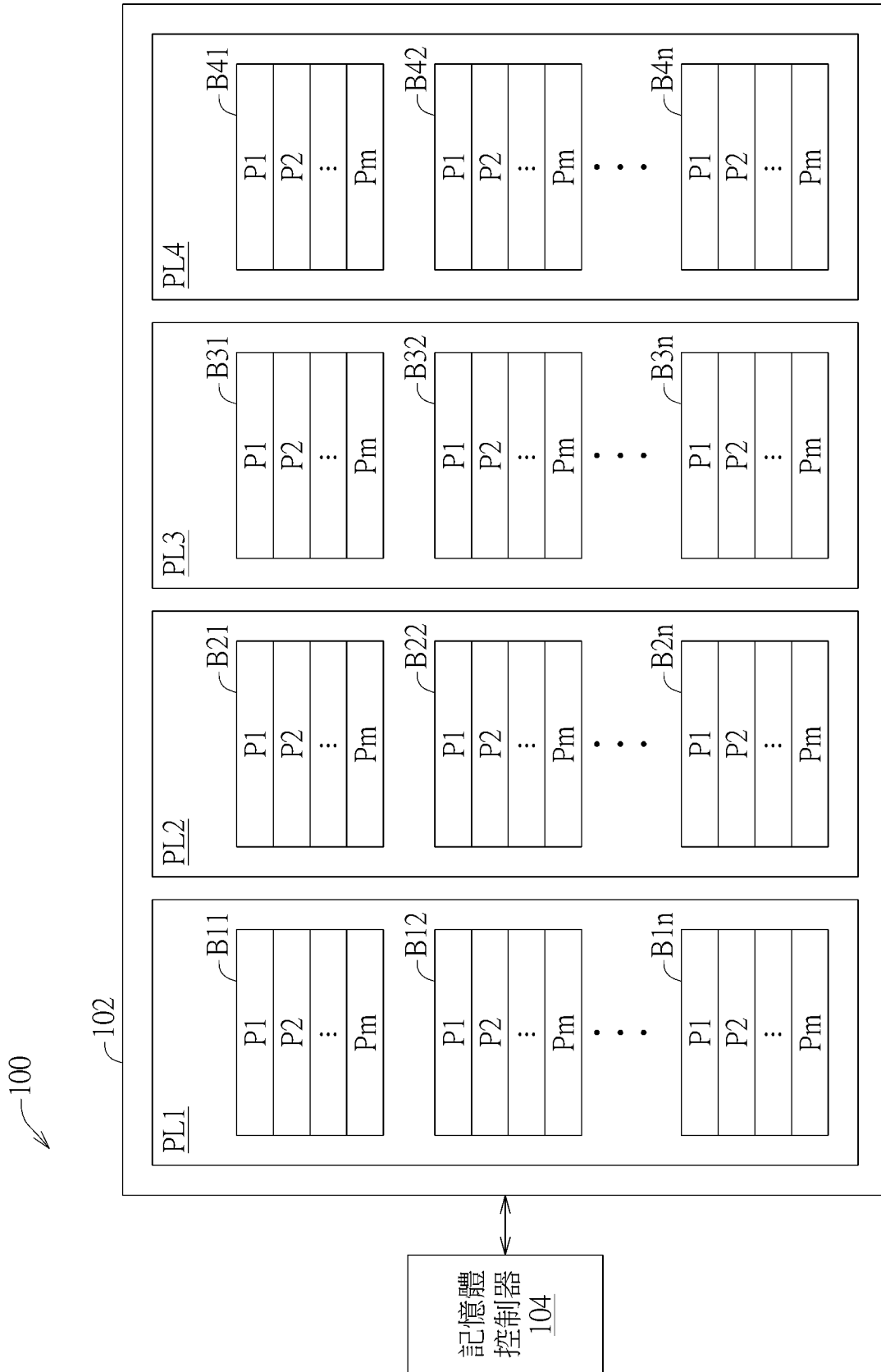
符號簡單說明：

S202~208:步驟

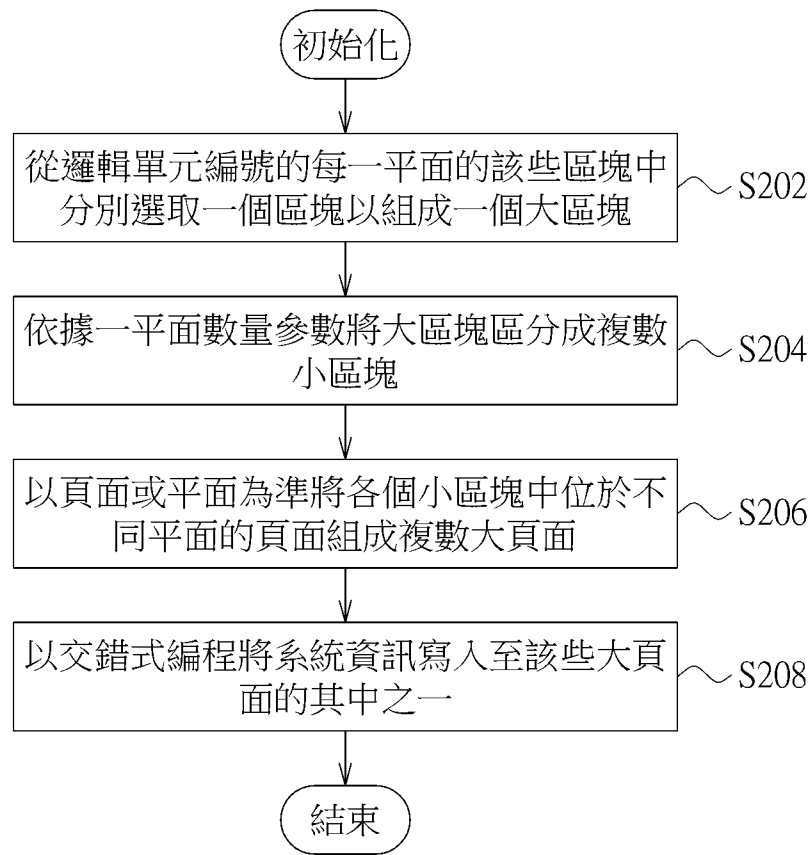


第 2A 圖

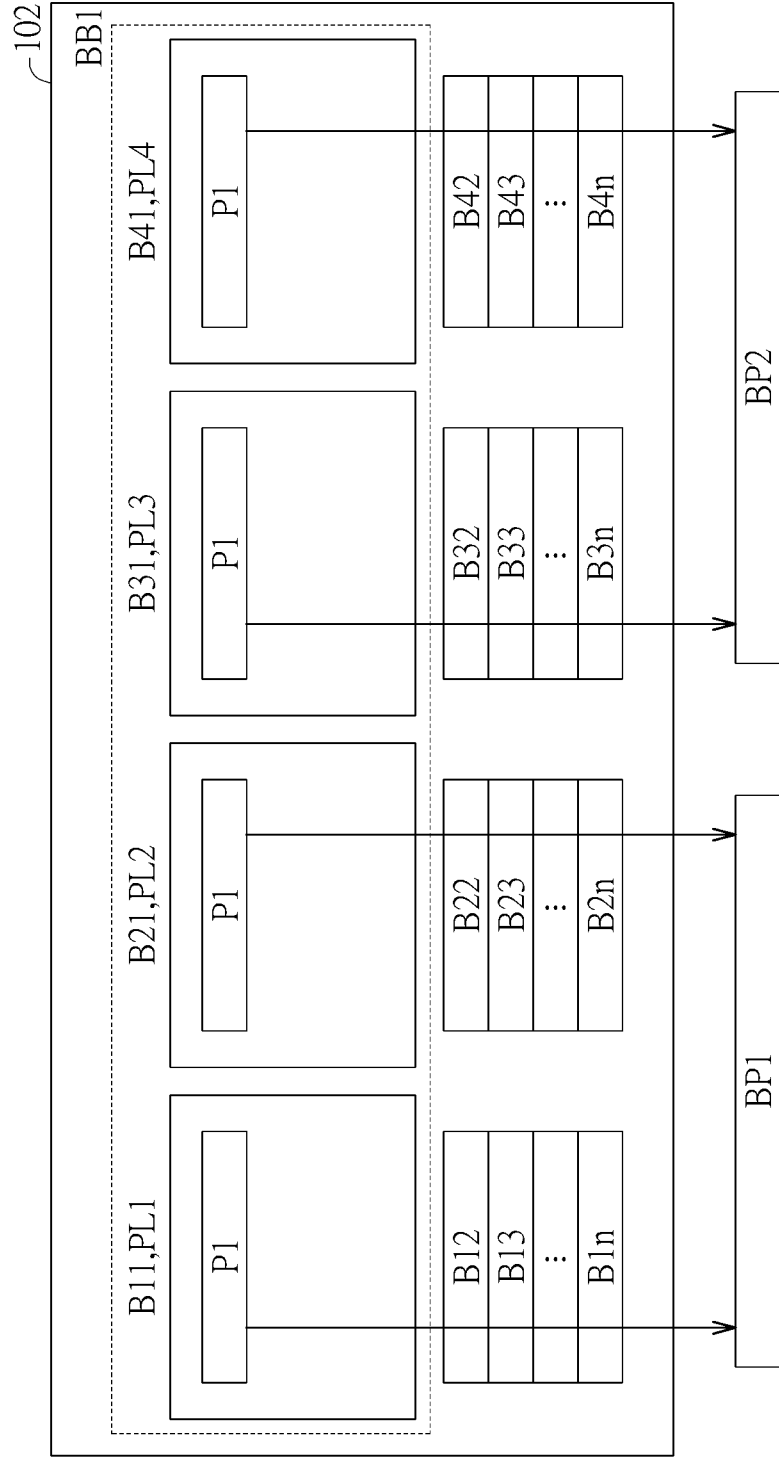
【發明圖式】



第 1 圖



第 2A 圖

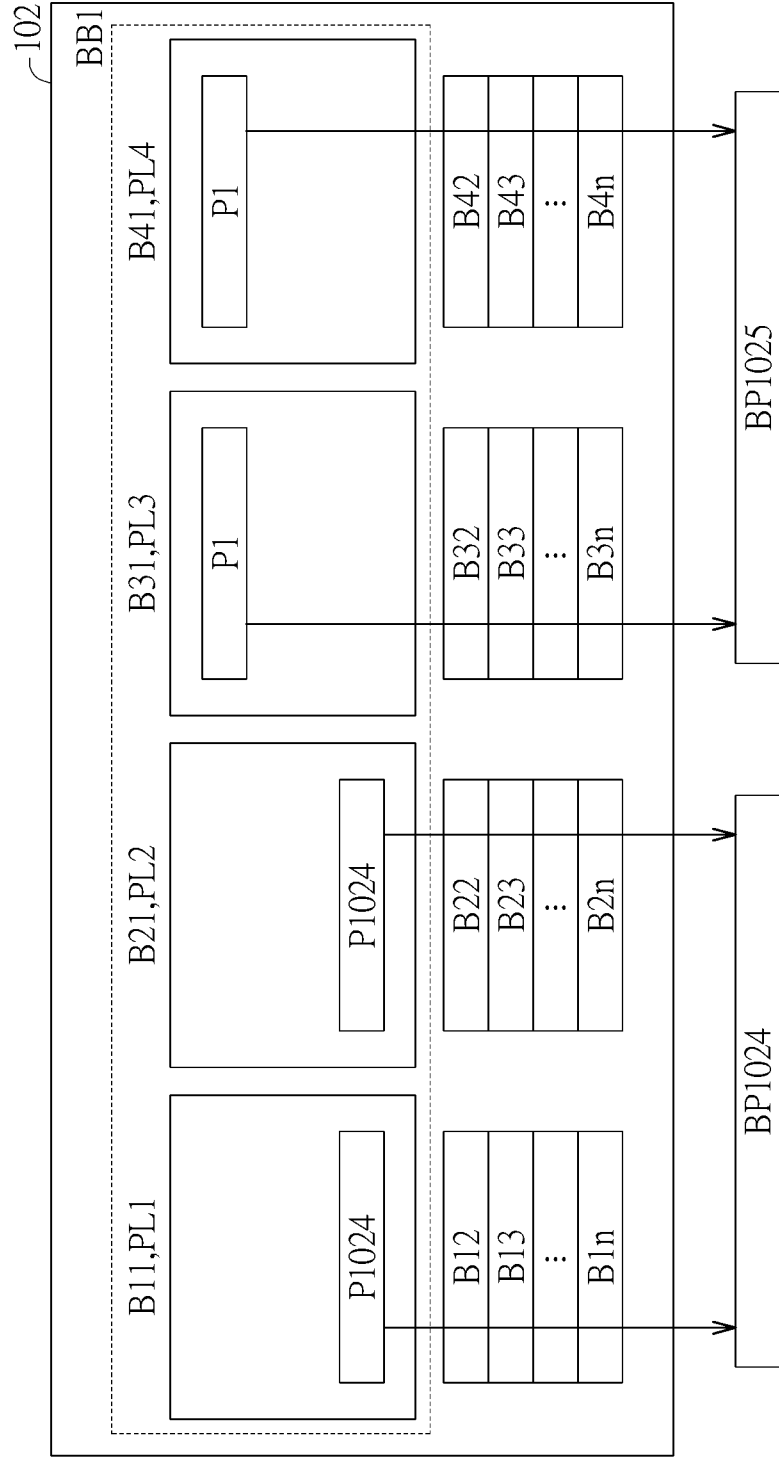


第2B圖

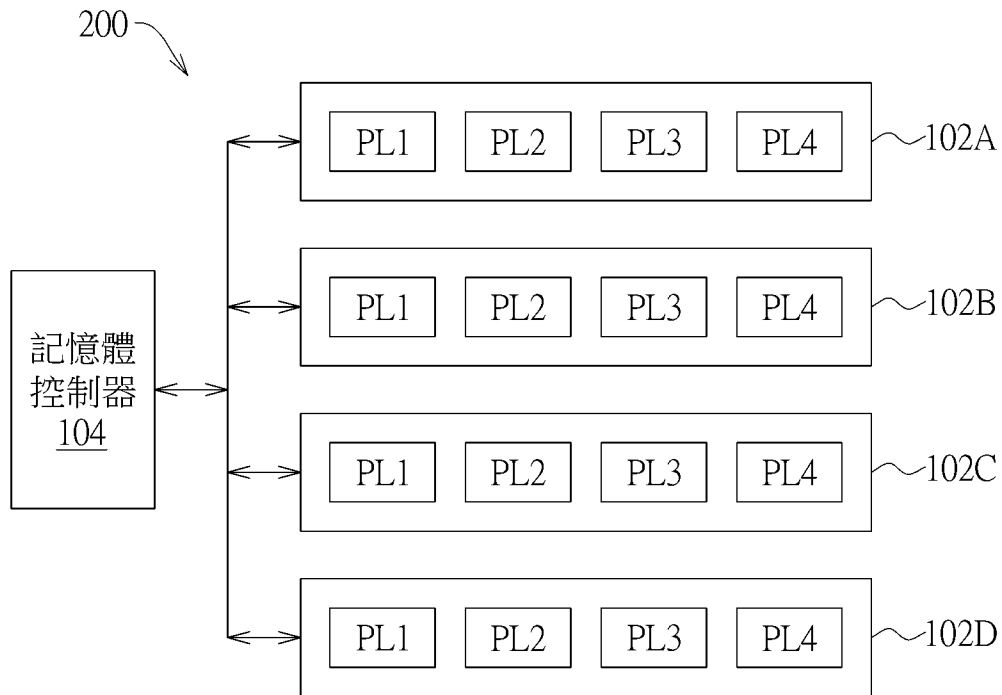
BB1

BP1
BP2
BP3
⋮
BP1024
BP1025
BP1026
⋮
BP2048

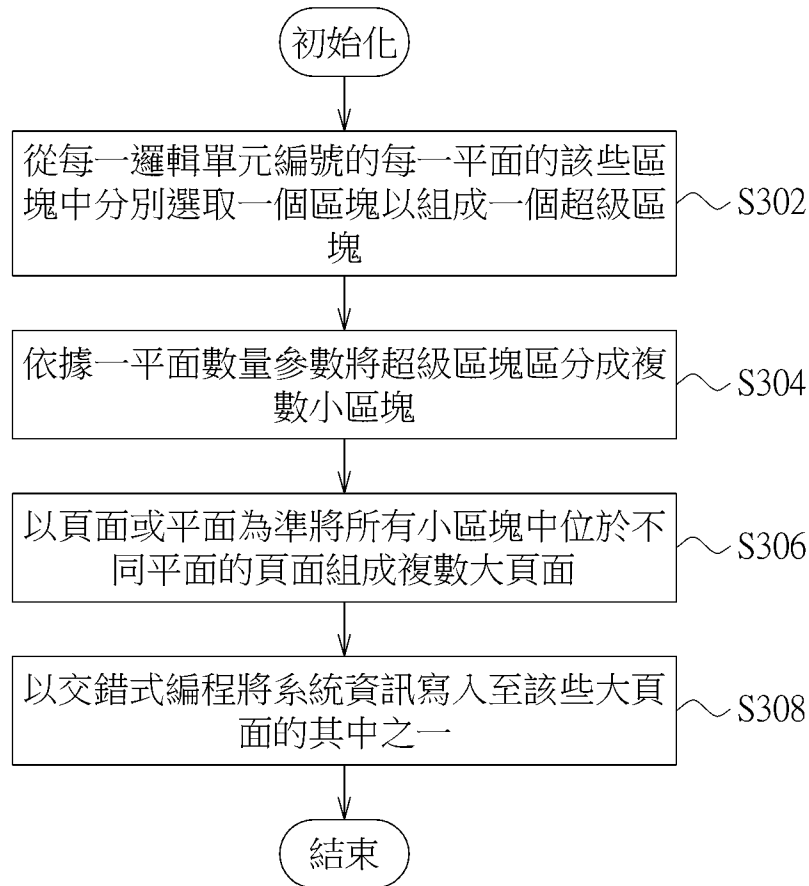
第 2C 圖



第 2D 圖



第 3A 圖



第 3B 圖

【發明說明書】

【中文發明名稱】 資料儲存裝置及系統資訊的編程方法

【英文發明名稱】 DATA STORAGE APPARATUS AND SYSTEM
INFORMATION PROGRAMMING MEHTOD

【技術領域】

【0001】 本發明是有關於一種資料儲存裝置及系統資訊的編程方法。

【先前技術】

【0002】 隨著記憶體製造工藝的進步，記憶體的單位儲存容量越來越大。在近年來記憶體內部結構的發展趨勢中，每個區塊的儲存容量不斷提高，而區塊的總數則是不斷減少。換言之，現今的記憶體是朝向「少區塊數量，大區塊容量」的方向在演變。這樣的結構配置在操作上若不加改變，將會在寫入資料量較小的資料時填入過多的偽資料(dummy data)，導致浪費不必要的儲存空間。

【發明內容】

【0003】 本發明的目的係為提出一種資料儲存裝置及其系統資訊的編程方法。

【0004】 本發明的一方面揭露一種資料儲存裝置，包括非揮發性記憶體及記憶體控制器。非揮發性記憶體包括邏輯單元編號，邏輯單元編號包括複數個平面，各平面包括複數個區塊，各

區塊包括複數個頁面。記憶體控制器耦接至記憶體，從該邏輯單元編號的每一該些平面的複數區塊中選取複數個成員區塊以組成一大區塊，並依據平面數量參數將大區塊區分成複數個小區塊，並依據頁面或平面將小區塊中位於不同平面的頁面組成複數個大頁面；以交錯式編程將系統資訊寫入至大頁面的其中之一。

【0005】 本發明的另一方面揭露一種資料儲存裝置，包括一非揮發性記憶體及一記憶體控制器。非揮發性記憶體包括複數個邏輯單元編號，邏輯單元編號包括複數個平面，各平面包括複數個區塊，各區塊包括複數個頁面。記憶體控制器耦接至記憶體，從邏輯單元編號的每一平面的複數區塊中選取複數個成員區塊以組成超級區塊，並依據平面數量參數將超級區塊區分成複數個小區塊，並依據頁面或平面將小區塊中位於不同平面的頁面組成複數個大頁面，以交錯式編程將系統資訊寫入至大頁面的其中之一。

【0006】 本發明的又一方面揭露一種系統資訊的編程方法，適用於資料儲存裝置，編程方法包括從非揮發性記憶體的邏輯單元編號的每一平面的複數個區塊中分別選取成一個員區塊以組成一個大區塊，依據平面數量參數將大區塊區分成複數個小區塊，依據頁面或平面將小區塊中位於不同平面的複數個頁面組成複數個大頁面，以交錯式編程將系統資訊寫入至大頁面的其中之一。

【0007】 本發明的又一方面揭露一種系統資訊的編程方法。適用於資料儲存裝置，編程方法包括從非揮發性記憶體的複數個

邏輯單元編號的每一平面的複數個區塊中分別選取一個成員區塊以組成一個超級區塊，依據平面數量參數將超級區塊區分成複數個小區塊，依據頁面或平面將小區塊中位於不同平面的複數個頁面組成複數個大頁面，以交錯式編程將該系統資訊寫入至該些大頁面的其中之一。

【0008】藉由本發明提供的資料儲存裝置及系統資訊的編程方法，能夠有效避免填入過多的偽資料於記憶體中，進而增加記憶體內部儲存空間的使用效率。

【0009】為了對本發明之上述及其他方面有更佳的瞭解，下文特舉實施例，並配合所附圖式詳細說明如下：

【圖式簡單說明】

【0010】

第1圖繪示依據本發明一實施例的資料儲存裝置的方塊圖。

第2A圖繪示依據本發明一實施例的系統資訊的編程方法的流程圖。

第2B圖繪示依據本發明一實施例組成大區塊及大頁面的示意圖。

第2C圖繪示依據本發明一實施例大區塊及大頁面的示意圖。

第2D圖繪示依據本發明另一實施例組成大區塊及大頁面的示意圖。

第3A圖繪示依據本發明另一實施例的資料儲存裝置的方塊圖。

第3B圖繪示依據本發明另一實施例的系統資訊的編程方法的流程圖。

【實施方式】

【0011】 請參照第1圖，第1圖繪示依據本發明一實施例的資料儲存裝置的方塊圖。資料儲存裝置100主要包括非揮發性記憶體102以及記憶體控制器104，資料儲存裝置100更可包括揮發性記憶體以暫存使用者資料或記憶體控制器104運作所需之韌體或映射表(Mapping Table)。記憶體控制器104耦接至非揮發性記憶體102，並可用於執行本揭露實施例所描述的系統資訊的編程方法。

【0012】 非揮發性記憶體102可例如是反及閘快閃記憶體(NAND flash)。記憶體控制器104可實現成一或多個控制器晶片，其可與非揮發性記憶體102相互傳送/接收資料與指令，以實現對非揮發性記憶體102的操作，例如讀取(read)、編程(program)、抹除(erase)等操作。

【0013】 非揮發性記憶體102較佳具有一或多個邏輯單元編號(Logical Unit Number, LUN)，可由一晶片致能(Chip Enable, CE)訊號而選取/致能。每一邏輯單元編號包括例如4個平面(Plane)，即平面PL1~PL4，每一平面PL1~PL4包括例如2048個區塊(Block)，即區塊Bk1~Bkn，其中 $k=1,2,3,4$ ， $n=2048$ 。每一區塊Bk1~Bkn包括例如1024個頁面(Page)，即頁面P1~Pm，其中 $m=1024$ 。每一頁面可由一個字線(Word line)所控制，而一個字線可控制一個以上頁面。每一字線包括例如16KB個

記憶胞(未繪示)。記憶胞可以被規劃成四階式記憶胞(Quad Level Cell, QLC)、三階式記憶胞(Triple Level Cell, TLC)、雙階式記憶胞(Multiple Level Cell, MLC)或是單階式記憶胞(Single Level Cell, SLC)。需要注意的是，本實施例係為示例性的，晶片、平面、區塊、頁面、字線及記憶胞的數量皆可依實際需要進行設計與配置。

【0014】 資料儲存裝置100更可耦接至一主機(未繪示)。主機可輸出資料存取指令(例如讀出或寫入)至資料儲存裝置100以存取資料儲存裝置100的使用者資料(讀出或寫入使用者資料)。舉例來說，資料儲存裝置100中的記憶體控制器104可回應來自主機的資料讀取指令，對非揮發性記憶體102中的一或多個特定實體位址進行讀取操作。主機可以為個人電腦、手機、平板電腦、車載系統、導航裝置等。

【0015】 此外，非揮發性記憶體102可用以儲存有關於資料儲存裝置100的系統資訊，例如系統規格、操作參數、壞塊資訊、區塊連結表(Linking Table)、區塊屬性表(例如用以記錄抹除次數或有效頁面數)、除錯資訊表(例如SMART資訊表)及/或邏輯對實體(Logical to Physical, L2P)映射表等資料。上述資料通常具有較小的資料量，例如：30KB，且記憶體控制器104會不斷對系統資訊進行更新。

【0016】 由於邏輯單元編號包括有四個平面，為了使資料儲存裝置100的效能最大化，在進行資料(使用者資料或系統資訊)寫入時，記憶體控制器104通常會以交錯式編程(interleaved

programming)將資料寫入非揮發性記憶體102中，例如：將資料同時寫入至所有平面的區塊(的頁面)中，例如，將資料同時寫入至平面PL1的區塊B11、平面PL2的區塊B21、平面PL3的區塊B31及平面PL4的區塊B41，以達到較高的資料寫入速度。

【0017】 以交錯式編程將使用者資料寫入至所有平面的區塊的確可以達到預期的效果。然而，以交錯式編程將系統資訊寫入至所有平面的區塊卻可能會造成可用空間的浪費。以上述例子為例，傳統交錯式編程使用來自四個平面的四個區塊的四個頁面將可儲存64KB(16KB的四倍)的資料。而系統資訊卻只有30KB。因此，為了執行交錯式編程，記憶體控制器104會產生34KB的偽資料(dummy data)，並將34KB的偽資料與30KB的系統資訊組成64KB的資料，再將64KB的資料以交錯式編程將系統資訊寫入至所有平面的區塊。因此，每更新/寫入一筆系統資訊，非揮發性記憶體102就儲存了34KB的偽資料，隨著系統資訊更新次數的增加，非揮發性記憶體102就儲存了大量的偽資料，占用非揮發性記憶體102許多可用的資料儲存空間。有鑑於此，記憶體控制器104係採用下文所述的操作方法來進行系統資訊的寫入操作。

【0018】 值得注意的是，為簡化說明，第1圖僅顯示與本揭露相關的元件。然應知本揭露的實施並不以第1圖所示的架構為限。

【0019】 請參照第2A圖，第2A圖繪示依據本發明一實施例的系統資訊的編程方法的流程圖，本發明系統資訊的編程方法最

佳由記憶體控制器104所執行，亦可由主機所執行，並輸出指令至資料儲存裝置100。在下述說明中將以記憶體控制器104為例進行說明，但不以此為限。

【0020】 在步驟S202中，記憶體控制器104從邏輯單元編號的每一平面的該些區塊中分別選取一個區塊以組成一個大區塊。被選取的區塊又可稱為成員區塊(member block)，用以表示大區塊中所包含的區塊。請參照第2B圖，記憶體控制器104選取非揮發性記憶體102的邏輯單元編號的平面PL1~PL4的區塊B11~B41組成一個大區塊BB1，以此類推。亦即，區塊B11~B41為大區塊BB1的成員區塊。記憶體控制器104較佳選取的平面PL1~PL4中具有相同區塊編號的區塊以組成一個大區塊。如果應選取的區塊為壞塊時，記憶體控制器104可選取該壞塊所屬的平面的另一個區塊(非壞塊)以替代該壞塊。另外，記憶體控制器104較佳記錄大區塊BB中每一區塊的區塊編號(以及平面編號)。

【0021】 在步驟S204中，記憶體控制器104依據一平面數量參數將大區塊區分成複數小區塊。假設平面數量參數為2，則記憶體控制器104依據平面數量參數將大區塊BB1分成二個小區塊。位於平面PL1~PL2的區塊B11~B21設為第一個小區塊，位於平面PL3~PL4的區塊B31~B41設為第二個小區塊。當然，記憶體控制器104亦可將大區塊BB1中位於平面PL1以及PL3的區塊B11以及B31設為第一個小區塊，位於平面PL2以及PL4的區塊B21以及B41設為第二個小區塊，並不以上述為限。

【0022】 在步驟S206中，記憶體控制器104以頁面或平面為準(例如但不限於依序)將各個小區塊中位於不同平面的頁面組成複數大頁面。第2B圖即為記憶體控制器104以平面為準而依序將各個小區塊中位於不同平面的頁面組成大頁面的示意圖。以上述為例，記憶體控制器104將第一個小區塊中位於平面PL1~PL2的頁面P1組成大頁面BP1(屬於大區塊BB1)，接著將第二個小區塊中位於平面PL3~PL4的頁面P1組成大頁面BP2，接著將第一個小區塊中位於平面PL1~PL2的頁面P2組成大頁面BP3，以下類推。最後可產生2048個大頁面。大頁面編號分別為BP1~BP2028，如第2C圖所示。另外，記憶體控制器104較佳將小區塊中位於平面PL1~PL2的相同頁面編號的頁面組成大頁面。如果其中一個頁面無法使用時，記憶體控制器104可將小區塊中位於平面PL1~PL2或PL3~PL4的不同頁面編號的頁面組成大頁面，或者，跳過此大頁面的組成(這將造成大頁面的總數比預期總數少1)。

【0023】 在另一實施例中，第2D圖即為記憶體控制器104以頁面為準而依序將各個小區塊中位於不同平面的頁面組成大頁面的示意圖。以上述為例，記憶體控制器104將第一個小區塊中位於平面PL1~PL2的頁面P1組成大頁面BP1，接著將第一個小區塊中位於平面PL1~PL2的頁面P2組成大頁面BP2，以下類推，待第一個小區塊的所有頁面皆組成大頁面之後，接著將第二個小區塊中位於平面PL3~PL4的頁面P1組成大頁面BP1025，第二個小區塊中位於平面PL3~PL4的頁面P2組成大頁面BP1026，以下類推。最終亦可產生2048個大頁面。

【0024】 在步驟S208中，記憶體控制器104以交錯式編程將系統資訊寫入至該些大頁面的其中之一。當大頁面組成後，記憶體控制器104可以利用大頁面儲存系統資訊。大頁面的資料儲存量為32KB，系統資訊的大小為30KB，因此，記憶體控制器104僅需產生2KB的偽資料，並將2KB的偽資料與30KB的系統資訊組成32KB的資料後，以交錯式編程將系統資訊寫入至大頁面，例如：大頁面BP1。當系統資訊更新時，以交錯式編程將更新後的系統資訊寫入至大頁面BP2。另外，為了達到保護系統資訊的目的，記憶體控制器104較佳以非預設模式將系統資訊寫入至大頁面，例如：使用SLC模式將系統資訊寫入至大頁面，其中，在非預設模式下，單一字線的資料儲存量少於預設模式。另外，當本發明提出的系統資訊的編程方法是由主機所執行，則主機輸出指令以指示記憶體控制器104以交錯式編程將系統資訊寫入至該些大頁面的其中之一。

【0025】 相較於一般的作法，記憶體控制器104僅能以交錯式編程將一筆系統資訊寫入至所有平面的區塊，採用本發明系統資訊的編程方法之後，記憶體控制器104可以以交錯式編程將二筆系統資訊寫入至所有平面的區塊。換句話說，可以節省一半的系統資訊的資料儲存量。

【0026】 請參照第3A圖，第3A圖繪示依據本發明另一實施例的資料儲存裝置的方塊圖。資料儲存裝置200的非揮發性記憶體可包括四個邏輯單元編號102A~102D以及記憶體控制器104，每一邏輯單元編號102A~102D具有與非揮發性記憶體102相同或類似的結構，每一邏輯單元編號102A~102D具有獨立的通道

(Channel)而連結至記憶體控制器104，記憶體控制器104可以相同的晶片致能訊號或不同的晶片致能訊號同時致能每一邏輯單元編號102A~102D，並進行資料的存取。理論上而言，記憶體控制器104可同時存取邏輯單元編號102A~102D。因此，資料儲存裝置200的內部資料傳輸量(Data Throughput)為資料儲存裝置100的四倍。

【0027】請參照第3B圖，第3B圖繪示依據本發明另一實施例的系統資訊的編程方法的流程圖。在步驟S302中，記憶體控制器104從每一邏輯單元編號的每一平面的該些區塊中分別選取一個區塊以組成一個超級區塊。被選取的區塊又可稱為成員區塊(member block)，用以表示超級區塊(或大區塊)中所包含的區塊。類似步驟S202，記憶體控制器104選取每一邏輯單元編號102A~102D的每一平面PL1~PL4的區塊B11~B41組成一個大區塊或稱為超級區塊SB1，以此類推，其中，記憶體控制器104較佳選取邏輯單元編號102A~102D的平面PL1~PL4中具有相同區塊編號的區塊以組成一個超級區塊。如果應選取的區塊為壞塊時，記憶體控制器104可選取該壞塊所屬的平面的另一個區塊(非壞塊)以替代該壞塊。另外，記憶體控制器104較佳記錄超級區塊中每一區塊的區塊編號、平面編號、邏輯單元編號或上述的組合。

【0028】在步驟S304中，記憶體控制器104依據一平面數量參數將超級區塊區分成複數小區塊。假設平面數量參數為2，則記憶體控制器104可將超級區塊SB1中位於邏輯單元編號102A的平面PL1~PL2的區塊B11~B21設為第一個小區塊，位於邏輯單元編

號102A的平面PL3~PL4的區塊B31~B41設為第二個小區塊，位於邏輯單元編號102D的平面PL3~PL4的區塊B31~B41設為第八個小區塊。當然，記憶體控制器104亦可將超級區塊SB1中位於邏輯單元編號102A的平面PL1以及PL3的區塊B11以及B31設為第一個小區塊，位於平面PL2以及PL4的區塊B21以及B41設為第二個小區塊，並不以上述為限。

【0029】 在步驟S306中，記憶體控制器104以頁面或平面為準(例如但不限於依序)將所有小區塊中位於不同平面的頁面組成複數大頁面。以平面為準時，記憶體控制器104將第一個小區塊中位於平面PL1~PL2的頁面P1組成大頁面BP1，接著將第二個小區塊中位於平面PL3~PL4的頁面P1組成大頁面BP2，接著將第三個小區塊中位於平面PL1~PL2的頁面P1組成大頁面BP3，以下類推，最後可產生8192個大頁面，大頁面編號分別為BP1~BP8192。在另一實施例中，以頁面為準時，記憶體控制器104將第一個小區塊中位於平面PL1~PL2的頁面P1組成大頁面BP1，接著將第一個小區塊中位於平面PL1~PL2的頁面P2組成大頁面BP2，以下類推，待第一個小區塊的所有頁面皆組成大頁面之後，接著將第二個小區塊中位於平面PL3~PL4的頁面P1組成大頁面BP1025，第二個小區塊中位於平面PL3~PL4的頁面P2組成大頁面BP1026，以下類推，一樣可產生8192個大頁面。

【0030】 在步驟S308中，記憶體控制器104以交錯式編程將系統資訊寫入至該些大頁面的其中之一。當大頁面組成後，記憶

體控制器104可以利用大頁面儲存系統資訊。大頁面的資料儲存量為32KB，系統資訊的大小為30KB，因此，記憶體控制器104僅需產生2KB的偽資料，並將2KB的偽資料與30KB的系統資訊組成32KB的資料後，以交錯式編程將系統資訊寫入至大頁面，例如：大頁面BP1。當系統資訊更新時，以交錯式編程將更新後的系統資訊寫入至大頁面BP2。相較於一般的作法，記憶體控制器104僅能以交錯式編程將一筆系統資訊寫入至所有平面的區塊。採用本發明系統資訊的編程方法之後，記憶體控制器104可以以交錯式編程將八筆系統資訊寫入至所有平面的區塊，換句話說，可以節省八分之七的系統資訊的資料儲存量。

【0031】藉由本發明提供的資料儲存裝置及系統資訊的編程方法，能夠有效避免填入過多的偽資料於非揮發性記憶體中，進而增加非揮發性記憶體內部儲存空間的使用效率。

【0032】綜上所述，雖然本發明已以實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0033】

100：資料儲存裝置

102：非揮發性記憶體

104：記憶體控制器

PL1~PL4：平面

B11~B4n：區塊

P1~Pm：頁面

BB1：大區塊

BP1~BP2048：大頁面

SB1：超級區塊

S202~S208：步驟

S302~S308：步驟

I687811

【發明摘要】**【中文發明名稱】** 資料儲存裝置及系統資訊的編程方法**【英文發明名稱】** DATA STORAGE APPARATUS AND SYSTEM
INFORMATION PROGRAMMING MEHTOD**【中文】**

本發明揭露一種資料儲存裝置及系統資訊的編程方法。資料儲存裝置包括一非揮發性記憶體及一記憶體控制器。非揮發性記憶體包括一邏輯單元編號，邏輯單元編號包括複數個平面，各平面包括複數個區塊，各區塊包括複數個頁面。記憶體控制器從邏輯單元編號的每一平面的複數區塊中選取複數個成員區塊以組成一大區塊，並依據平面數量參數將大區塊區分成複數個小區塊，並依據頁面或平面將小區塊中位於不同平面的頁面組成複數個大頁面，以交錯式編程將系統資訊寫入至大頁面的其中之一。

【英文】

The invention discloses a data storage apparatus and system information programming method. The data storage apparatus includes a non-volatile memory and a memory controller. The non-volatile memory includes a logical unit number (LUN). The LUN includes a plurality of planes. Each of the planes includes a plurality of blocks. Each of the blocks includes a plurality of pages. The memory controller is configured to select a plurality of member blocks from the blocks of each of the planes of the LUN to compose a big block, and to divide

the big block into a plurality of small block according to a plane amount parameter, and to compose a plurality of big pages from the pages at different planes of each of the small blocks according to a page or plane orientation, and to write system information into one of the big pages by performing an inter-leaving programming.

【指定代表圖】第(2A)圖。

【代表圖之符號簡單說明】

S202~208：步驟

【特徵化學式】

無

【發明申請專利範圍】

【第1項】一種資料儲存裝置，包括：

一非揮發性記憶體，包括一邏輯單元編號，該邏輯單元編號包括複數個平面，各該平面包括複數個區塊，各該區塊包括複數個頁面；以及

一記憶體控制器，耦接至該記憶體，從該邏輯單元編號的每一該些平面的該些區塊中選取複數個成員區塊以組成一大區塊，並依據一平面數量參數將該大區塊區分成複數個小區塊，並依據頁面或平面將各該小區塊中位於不同平面的該些頁面組成複數個大頁面，以及以交錯式編程將一系統資訊寫入至該些大頁面的其中之一。

【第2項】如申請專利範圍第1項所述之資料儲存裝置，其中該些成員區塊具有相同的一區塊編號。

【第3項】如申請專利範圍第1項所述之資料儲存裝置，其中於依據頁面或平面將各該小區塊中位於不同平面的該些頁面組成複數個大頁面時，該記憶體控制器係依據頁面或平面依序將各該小區塊中位於不同平面的該些頁面組成該些大頁面。

【第4項】如申請專利範圍第1項所述之資料儲存裝置，其中以一非預設模式執行交錯式編程而將該系統資訊寫入至該些大頁面的其中之一。

【第5項】一種資料儲存裝置，包括：

一非揮發性記憶體記憶體，包括複數個邏輯單元編號，各該邏輯單元編號包括複數個平面，各該平面包括複數個區塊，各該區塊包括複數個頁面；以及

一記憶體控制器，耦接至該記憶體，從該些邏輯單元編號的每一該些平面的該些區塊中選取複數個成員區塊以組成一超級區塊，並依據一平面數量參數將該超級區塊區分成複數個小區塊，並依據頁面或平面將各該小區塊中位於不同平面的該些頁面組成複數個大頁面，以及以交錯式編程將一系統資訊寫入至該些大頁面的其中之一。

【第6項】如申請專利範圍第5項所述之資料儲存裝置，其中該些成員區塊且具有相同的區塊編號。

【第7項】如申請專利範圍第5項所述之資料儲存裝置，其中於依據頁面或平面將各該小區塊中位於不同平面的該些頁面組成複數個大頁面時，該記憶體控制器係依據頁面或平面依序將各該小區塊中位於不同平面的該些頁面組成該些大頁面。

【第8項】如申請專利範圍第5項所述之資料儲存裝置，其中以一非預設模式執行交錯式編程而將該系統資訊寫入至該些大頁面的其中之一。

【第9項】一種系統資訊的編程方法，適用於一資料儲存裝置，該編程方法包括：

從一非揮發性記憶體的一邏輯單元編號的每一平面的複數個區塊中分別選取一成員區塊以組成一大區塊；

第2 頁面，共 4 頁面(發明申請專利範圍)

依據一平面數量參數將該大區塊區分成複數個小區塊；

依據頁面或平面將各該小區塊中位於不同平面的複數個頁面組成複數個大頁面；及

以交錯式編程將該系統資訊寫入至該些大頁面的其中之一。

【第10項】如申請專利範圍第9項所述之編程方法，其中該些成員區塊具有相同的一區塊編號。

【第11項】如申請專利範圍第9項所述之編程方法，其中於依據頁面或平面將各該小區塊中位於不同平面的該些頁面組成複數個大頁面的步驟中，係依據頁面或平面依序將各該小區塊中位於不同平面的該些頁面組成該些大頁面。

【第12項】如申請專利範圍第9項所述之編程方法，其中該平面數量參數為二。

【第13項】如申請專利範圍第9項所述之編程方法，其中以一非預設模式執行交錯式編程而將該系統資訊寫入至該些大頁面的其中之一。

【第14項】一種系統資訊的編程方法，適用於一資料儲存裝置，該編程方法包括：

從一非揮發性記憶體的複數個邏輯單元編號的每一平面的複數個區塊中分別選取一成員區塊以組成一超級區塊；

依據一平面數量參數將該超級區塊區分成複數個小區塊；

依據頁面或平面將各該小區塊中位於不同平面的複數個頁面組成複數個大頁面；及

以交錯式編程將該系統資訊寫入至該些大頁面的其中之一。

【第15項】如申請專利範圍第14項所述之編程方法，其中該些成員區塊具有相同的區塊編號。

【第16項】如申請專利範圍第14項所述之編程方法，其中於依據頁面或平面將各該小區塊中位於不同平面的該些頁面組成複數個大頁面的步驟中，係依據頁面或平面依序將各該小區塊中位於不同平面的該些頁面組成該些大頁面。

【第17項】如申請專利範圍第14項所述之編程方法，其中該平面數量參數為二。

【第18項】如申請專利範圍第14項所述之編程方法，其中以一非預設模式執行交錯式編程而將該系統資訊寫入至該些大頁面的其中之一。