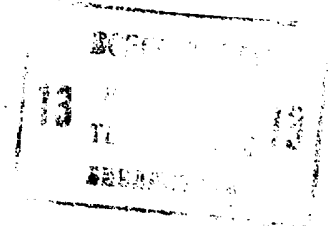




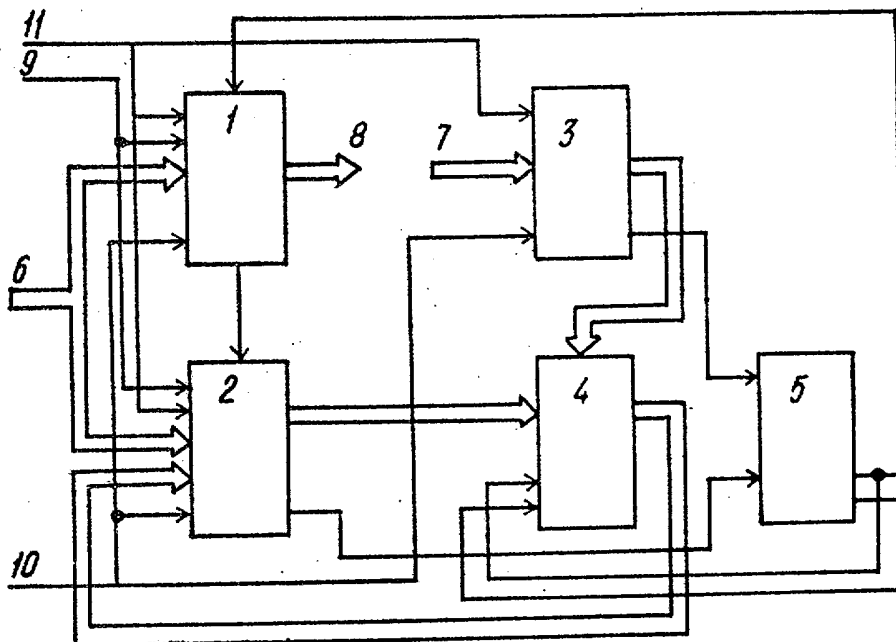
ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4219942/24-24
 (22) 31.03.87
 (46) 15.11.88. Бюл. № 42
 (71) Институт проблем моделирования
 в энергетике АН УССР
 (72) А.Ф.Катков и А.В.Литвинов
 (53) 621.325(088.8)
 (56) Авторское свидетельство СССР
 № 551642, кл. G 06 F 7/52, 1975.
 Авторское свидетельство СССР
 № 817706, кл. G 06 F 7/52, 1979.
 (54) УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ ДВОИЧНЫХ
 ЧИСЕЛ В ДОПОЛНИТЕЛЬНОМ КОДЕ

(57) Изобретение относится к области
 вычислительной техники и может быть
 использовано в арифметических устрой-
 ствах. Целью изобретения является
 сокращение аппаратных затрат. Пос-
 тавленная цель достигается за счет
 новой организации связей в устройст-
 ве для деления двоичных чисел в до-
 полнительном коде, содержащем регист-
 ры 1 и 2 делимого соответственно
 младшего и старшего форматов, регистр
 3 делителя, сумматор-вычитатель 4,
 схему 5 сравнения. 1 ил.



Изобретение относится к цифровой вычислительной технике и может быть использовано в арифметических устройствах, где подготовка операндов делимого и делителя осуществляется в двойном и одинарном форматах соответственно.

Целью изобретения является сокращение аппаратных затрат.

На чертеже представлена схема устройства для деления двоичных чисел в дополнительном коде.

Устройство содержит регистр 1 делимого младшего формата, регистр 2 делимого старшего формата, регистр 3 делителя, сумматор-вычитатель 4, схему 5 сравнения, вход 6 делимого устройства, вход 7 делителя устройства, выход 8 частного устройства, тактовый вход 9 устройства, вход 10 синхронизации устройства, вход 11 начальной установки устройства.

Устройство для деления двоичных чисел в дополнительном коде работает следующим образом.

Перед началом вычисления регистр 1 делимого младшего формата, регистр 2 делимого старшего формата и регистр 3 делителя переводятся в режим параллельной записи с входов 6, 7 делимого и делителя. Делимое представляет собой операнд двойного формата, содержащий младшую и старшую части одинаковой разрядности. Делитель представляет собой положительный операнд одинарного формата, равный по количеству разрядов формату старшей части делимого. Абсолютная величина делимого меньше абсолютной величины делителя. Делитель нормализован.

С выхода регистра 2 делимого старшего формата старшая часть делимого параллельно поступает на первый вход сумматора-вычитателя 4, на второй вход которого параллельно поступает делитель с выхода регистра 3 делителя. С выходов знаковых разрядов регистра 3 делителя и регистра 2 делимого старшего формата информация поступает на первый и второй входы соответственно схемы 5 сравнения, на выходах "Равно" и "Не равно" которой формируются сигналы, поступающие на управляющие входы сумматора-вычитателя 4. На выходе "Равно" схемы 5 сравнения формируется знаковый разряд частного и поступает на вход младшего разряда регистра 1 делимого

младшего формата. На выходе сумматора-вычитателя 4 формируется первый остаток, который параллельно поступает на второй информационный вход регистра 2 делимого старшего формата со сдвигом на один разряд в сторону старшего. Далее все регистры переводятся в режим, реализующий вычислительный цикл, а именно: регистр 1 делимого младшего формата - в режим последовательного сдвига информации в сторону старшего разряда, регистр 2 делимого старшего формата переключается на прием остатков со своего второго информационного входа и прием на вход младшего разряда информации, поступающей из регистра 1 делимого младшего формата, регистр делителя 3 переключается в режим хранения. По следующему синхротакту первый остаток записывается в регистр 2 делимого старшего формата со сдвигом на один разряд в сторону старшего. Из регистра 1 делимого младшего формата в младший разряд регистра 2 делимого старшего формата записывается очередной разряд цифры делимого, а в освободившийся младший разряд регистра 1 делимого младшего формата вдвигается знак частного. На схему 5 сравнения поступает знак очередного остатка, в результате чего формируется очередной разряд цифры частного и код операции сумматора-вычитателя 4, на выходе которого формируется следующий остаток. По следующему синхротакту полученный остаток записывается в регистр 2 делимого старшего формата, в младший разряд которого вдвигается очередной разряд цифры делимого, а в младший разряд регистра 1 делимого младшего формата вдвигается очередной разряд цифры частного из схемы 5 сравнения. Указанные операции повторяются в течение всего вычислительного цикла. Длительность вычислительного цикла определяется разрядностью регистра 1 делимого младшего формата. После того как все разряды младшей части делимого последовательно перепишутся в регистр 2 делимого старшего формата, а регистр 1 делимого младшего формата заполнится частным, которое поступает на выход 8 устройства, процесс вычисления заканчивается, регистр 1 делимого младшего формата, регистр 2 делимого старшего формата и регистр 3 делите-

ля переводятся в режим параллельной записи с входов 6 и 7 устройства.

Ф о р м у л а и з о б р е т е н и я

Устройство для деления двоичных чисел в дополнительном коде, содержащее регистр делимого младшего формата, регистр делимого старшего формата, регистр делителя, сумматор-вычитатель и схему сравнения, причем вход делителя устройства соединен с информационным входом регистра делителя, вход синхронизации которого соединен с входами синхронизации регистров делимого младшего и старшего форматов и с входом синхронизации устройства, вход начальной установки которого соединен с входами разрешения приема регистра делителя и регистра делимого младшего формата, с первым входом разрешения приема регистра делимого старшего формата, входы старших и младших разрядов входа делимого устройства соединены соответственно с входами разрядов первого информационного входа регистра делимого старшего формата и с входами разрядов информационного входа регистра делимого младшего формата, выходы знаковых разрядов регистра де-

лителя и регистра делимого старшего формата соединены соответственно с первым и вторым входами схемы сравнения, выходы "Равно" и "Не равно" которой соединены соответственно с входами разрешения вычитания и сложения сумматора-вычитателя, выход которого соединен со сдвигом на один разряд в сторону старших разрядов с вторым информационным входом регистра делимого старшего формата, второй вход разрешения приема которого соединен с тактовым входом устройства, выходы регистра делимого старшего формата и регистра делителя соединены соответственно с первым и вторым информационными входами сумматора-вычитателя, отличающееся тем, что, с целью сокращения аппаратных затрат, выход "Равно" схемы сравнения соединен с входом младшего разряда регистра делимого младшего формата, выход младшего и выход старшего разрядов которого соединены соответственно с выходом частного устройства и с входом младшего разряда регистра делимого старшего формата, тактовый вход устройства соединен с входом разрешения сдвига регистра делимого младшего формата.

Редактор О.Слесивых

Составитель А.Клюев
Техред Л.Сердюкова

Корректор В.Романенко

Заказ 5895/49

Тираж 704

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4