



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년03월20일
(11) 등록번호 10-1717648
(24) 등록일자 2017년03월13일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) G02F 1/1343 (2006.01)
G02F 1/1368 (2006.01)
(21) 출원번호 10-2010-0025474
(22) 출원일자 2010년03월22일
심사청구일자 2015년02월16일
(65) 공개번호 10-2011-0079434
(43) 공개일자 2011년07월07일
(30) 우선권주장
1020090135698 2009년12월31일 대한민국(KR)
(56) 선행기술조사문헌
KR1019990063460 A*
KR1020040020604 A*
KR1020050042994 A*
KR1020090131060 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
고영주
경기도 파주시 후곡로 50, 후곡마을아파트 406동
1405호 (금촌동)
(74) 대리인
박장원

전체 청구항 수 : 총 15 항

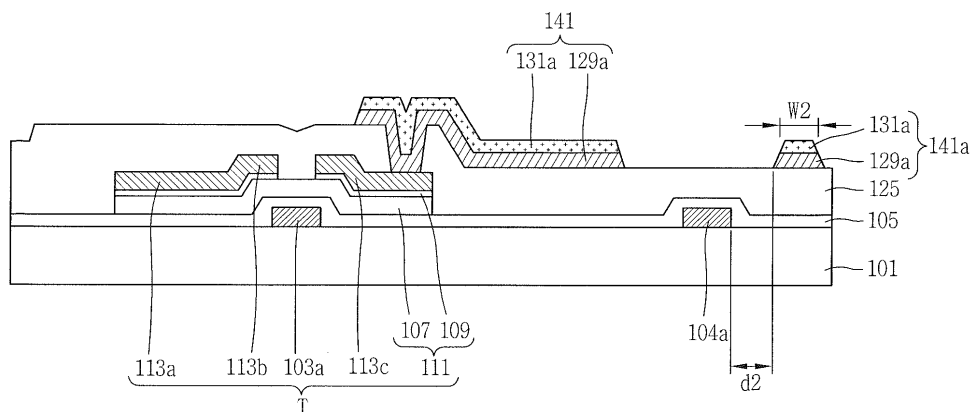
심사관 : 신창우

(54) 발명의 명칭 표시장치 및 그 제조방법

(57) 요약

본 발명은 표시장치 및 제조방법에 관한 것으로서, 본 발명에 따른 표시장치는, 기판상에 매트릭스 형태로 형성된 게이트배선; 상기 기판 상에 형성되고, 상기 게이트배선과 교차하여 화소영역을 정의하는 데이터배선; 상기 게이트배선과 나란히 배치되는 공통배선; 상기 게이트배선과 데이터배선의 교차지점에 형성되고, 상기 게이트배선에서 분기한 게이트전극과, 게이트절연막, 액티브층, 오믹콘택층, 상기 데이터배선에서 분기한 소스전극 및 상기 소스전극에 이격되어 대응하도록 형성된 드레인전극을 포함하여 구성되는 박막트랜지스터; 상기 박막트랜지스터 상부에 형성되고, 상기 드레인전극의 일부분을 노출시키는 콘택홀을 포함하는 보호층; 및 상기 보호층 상부에 형성된 도전층과 도전성을 가진 금속산화막으로 이루어지며, 상기 콘택홀을 통해 상기 드레인전극과 전기적으로 연결되는 화소전극;을 포함하여 구성되는 것을 특징으로 한다.

대표도 - 도4



명세서

청구범위

청구항 1

기관상에 매트릭스 형태로 형성된 게이트배선;

상기 기관 상에 형성되고, 상기 게이트배선과 교차하여 화소영역을 정의하는 데이터배선;

상기 게이트배선과 데이터배선의 교차지점에 형성되고, 상기 게이트배선에서 분기한 게이트전극과, 게이트절연막, 액티브층, 상기 데이터배선에서 분기한 소스전극 및 상기 소스전극에 이격되어 대응하도록 형성된 드레인전극을 포함하여 구성되는 박막트랜지스터;

상기 박막트랜지스터 상부에 형성되고, 상기 드레인전극의 일부분을 노출시키는 콘택홀을 포함하는 보호층; 및

상기 보호층 상부에 형성된 도전층과 상기 도전층상에 형성된 도전성을 가진 금속산화막을 포함하며, 상기 콘택홀을 통해 상기 드레인전극과 전기적으로 연결되는 화소전극;을 포함하는 표시장치.

청구항 2

제1 항에 있어서, 상기 도전층은 몰리브덴 티타늄합금(MoTi), 알루미늄(Al), 알루미늄합금, 크롬(Cr), 텅스텐(W), 구리(Cu)가 포함된 도전성 금속 그룹 중에서 적어도 어느 하나를 포함하거나, ITO, AZO, ZnO, IZO 중 적어도 어느 하나를 포함하는 표시장치.

청구항 3

제1 항에 있어서, 상기 금속산화막은 구리(Cu), 알루미늄(Al), 알루미늄 합금, 크롬(Cr), 텅스텐(W) 또는, 몰리브덴티타늄(MoTi)합금 중 적어도 어느 하나를 포함하는 표시장치.

청구항 4

제1 항에 있어서, 상기 게이트배선, 공통배선, 데이터배선, 또는 소스 및 드레인전극 중 적어도 어느 하나는 도전층과 금속산화막의 이중막 구조인 표시장치.

청구항 5

제4 항에 있어서, 상기 도전층은 몰리브덴 티타늄합금(MoTi), 알루미늄(Al), 알루미늄합금, 크롬(Cr), 텅스텐(W), 구리(Cu)가 포함된 도전성 금속 그룹 중에서 적어도 어느 하나를 포함하거나, ITO, AZO, ZnO, IZO 를 포함하는 투명 금속물질 중에서 적어도 어느 하나를 포함하는 표시장치.

청구항 6

제1 항에 있어서, 상기 도전층은 금속층과 투명 도전층의 이중 막으로 구성된 표시장치.

청구항 7

제6 항에 있어서, 상기 금속층은 몰리브덴티타늄(MoTi)합금, 알루미늄(Al), 알루미늄합금, 크롬(Cr), 텅스텐(W), 구리(Cu)가 포함된 도전성 금속그룹 중 적어도 하나가 사용되며, 상기 투명도전층은 ITO, AZO, ZnO, IZO 중에서 적어도 하나가 사용되는 표시장치.

청구항 8

기관상에 게이트전극을 구비한 게이트배선을 형성하는 단계;

상기 게이트전극의 상부에 게이트절연막을 형성하는 단계;

상기 게이트전극의 상부에 상기 게이트절연막을 사이에 두고 액티브층을 형성하는 단계;

상기 액티브층 상부에 상기 게이트배선과 교차하여 화소영역을 정의하는 데이터배선과, 이 데이터배선에서 분기

한 소스전극과, 이 소스전극과 이격된 드레인전극을 형성하는 단계;

상기 소스전극, 드레인전극 및 데이터배선을 포함한 기판 전면에 보호층을 형성하는 단계;

상기 보호층을 패터닝하여 상기 드레인전극 일부분을 노출시키는 콘택홀을 형성하는 단계;

상기 보호막의 상부에 상기 콘택홀을 통해 상기 드레인전극과 접촉하는 도전층을 형성하고, 상기 도전층상에 도전성을 가진 금속산화막을 적층하는 단계; 및

상기 금속산화막과 도전층을 순차적으로 식각하여 화소전극을 형성하는 단계;를 포함하는 표시장치 제조방법.

청구항 9

삭제

청구항 10

삭제

청구항 11

제8 항에 있어서, 상기 게이트배선, 공통배선, 데이터배선, 또는 소스 및 드레인전극은 금속층과 금속산화막의 이중막 구조로 형성된 것을 특징으로 하는 표시장치 제조방법.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

제4 항에 있어서, 상기 금속산화막은 구리(Cu), 알루미늄(Al), 알루미늄합금, 크롬(Cr), 텅스텐(W) 또는 몰리브덴티타늄(MoTi)합금 중 적어도 어느 하나를 포함하는 표시장치.

청구항 16

기판상에 매트릭스 형태로 형성된 게이트배선;

상기 기판 상에 형성되고, 상기 게이트배선과 교차하여 화소영역을 정의하는 데이터배선;

상기 게이트배선과 데이터배선의 교차지점에 형성되고, 상기 게이트배선에서 분기한 게이트전극과, 게이트절연막, 액티브층, 상기 데이터배선에서 분기한 소스전극 및 상기 소스전극에 이격되어 대응하도록 형성된 드레인전극을 포함하는 박막트랜지스터;

상기 박막트랜지스터 상부에 형성되고, 상기 드레인전극의 일부분을 노출시키는 콘택홀을 포함하는 보호층; 및

상기 보호층 상부에 형성된 도전층과 상기 도전층상에 형성된 도전성을 가진 금속질화막으로 이루어지며, 상기 콘택홀을 통해 상기 드레인전극과 전기적으로 연결되는 화소전극;을 포함하여 구성되는 것을 특징으로 하는 표시장치.

청구항 17

제16 항에 있어서, 상기 금속질화막은 구리 (Cu), 알루미늄(Al), 알루미늄합금, 크롬(Cr), 텅스텐 (W) 또는, 몰리브덴티타늄 (MoTi)합금 중 적어도 어느 하나를 포함하는 표시장치.

청구항 18

제1 항에 있어서, 상기 금속 산화막은 상기 도전층보다 부식 전위가 높은 표시장치.

청구항 19

제4 항에 있어서, 상기 금속 산화막은 상기 도전층보다 부식 전위가 높은 표시장치.

청구항 20

제8 항에 있어서, 상기 금속산화막은 상기 도전층보다 식각 속도가 빠른 표시장치 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 표시장치에 관한 것으로서, 보다 상세하게는 표시장치의 화소전극을 포함하는 전극배선 형성시에 미세 패터화를 통해 개구율 확대 및 미세화 공정에 따른 공정 시간을 줄일 수 있는 표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 일반적으로 박막트랜지스터(TFT; Thin Film Transistor)는 반도체장치 및 표시장치인 박막 트랜지스터 액정표시장치(TFT LCD) 등에서 스위칭 소자로서 널리 이용되고 있다.

[0003] 표시장치 중에서, 박막 트랜지스터 액정표시장치는 소비전력이 낮고, 휴대성이 양호한 기술 집약적이며, 부가가치가 높은 차세대 첨단 디스플레이 소자로 각광받고 있다.

[0004] 이러한 표시장치 중에서도 각 화소(pixel) 별로 전압의 온(on), 오프(off)를 조절할 수 있는 스위칭 소자인 박막트랜지스터가 구비된 액티브 매트릭스형 액정표시장치가 해상도 및 동영상 구현 능력이 뛰어나 가장 주목받고 있다.

[0005] 이러한 표시장치는 물론 반도체장치에서 스위칭소자로 널리 이용되는 박막트랜지스터와 전기적으로 접속되는 화소전극을 미세화하려면 공정 시간 및 식각 균일도 등의 많은 기술적 문제가 발생하게 된다. 특히, 고 개구율을 만드는데 많은 어려움이 따르게 되어 이로 인한 휘도 상승의 한계를 보이게 된다.

[0006] 이러한 관점에서, 도 1을 참조하여 표시장치 중 종래기술에 따른 액정표시장치를 예로 들어 설명하면 다음과 같다.

[0007] 도 1은 종래기술에 따른 액정표시장치 구조에 대해 개략적으로 나타낸 단면도이다.

[0008] 종래기술에 따른 액정표시장치는, 도 1에 도시된 바와 같이, 컬러필터를 가지고 있는 컬러필터기판(미도시)과 박막트랜지스터 어레이 기판(11)이 서로 대향하고 있으며, 이러한 컬러필터 기판(미도시)과 박막트랜지스터 어레이기판(11) 사이에는 액정층(미도시)이 개재되어 있다.

[0009] 여기서, 상기 박막트랜지스터 어레이 기판(11) 상에는 게이트배선(미도시)과 이 게이트배선에서 분기한 게이트전극(13a)과 함께 게이트배선과 나란하게 서로 이격된 다수 개의 공통전극(13b)이 형성되어 있다.

[0010] 또한, 상기 게이트전극(13a)을 포함한 어레이기판(11) 전면에 게이트절연막 (15)이 형성되어 있으며, 그 위에는 순차적으로 섬 형태의 액티브층(17)과 오믹콘택층(19)으로 구성된 반도체층(21)이 형성되어 있다. 이때, 상기 액티브층(17)은 순수 비정질실리콘 (a-Si:H)으로 형성되며, 상기 오믹콘택층(19)은 불순물 비정질 실리콘(n+ a-Si)으로 형성된다.

[0011] 그리고, 상기 오믹콘택층(19) 위로는 상기 게이트배선(미도시)과 교차되게 배열되어 화소영역을 정의하는 데이터배선(23)과, 이 데이터배선(23)에서 분기한 소스전극(23a) 및, 상기 게이트전극(13a)을 중심으로 상기 소스전극(23a)으로부터 소정간격 이격하여 마주 대하고 있는 드레인전극(23b)이 형성되어 있다. 이때, 상기 게이트전극(13a)과 반도체층(21), 및 소스전극(23a)과 드레인전극(23b)은 박막 트랜지스터(T)를 구성한다.

[0012] 더욱이, 상기 소스 및 드레인전극(23a, 23b)과 노출된 액티브층(17) 위로 전면에 상기 드레인전극(23b) 일부를 노출시키는 콘택홀(미도시)을 포함하는 보호층 (25)이 형성되어 있다.

[0013] 또한, 상기 보호층(25) 상부에는 각 화소영역 별로 독립되며, 상기 콘택홀(미도시)을 통해 상기 드레인전극(23b)과 접촉하는 화소전극(31a)이 형성되어 있다. 이때, 상기 화소전극(31a)은 투명성 도전물질인 ITO로 형성

되어 있으며, 단위 화소영역 별로 일정 간격을 두고 다수 개가 이격되게 배열되어 있다.

- [0014] 따라서, 박막트랜지스터 어레이기판(11) 상에 형성된 다수 개의 공통전극 (13b)과 다수 개의 화소전극(31a)이 서로 이격되어 수평적으로 배치되어 있어, 이들에 인가되는 전압에 따라 수평적 전기장을 형성하고, 이때 이러한 수평적 전기장 사이에 있는 액정분자들이 영향을 받아 구동하게 된다.
- [0015] 한편, 상기 구성으로 이루어지는 종래기술에 따른 액정표시장치 제조방법에 대해 도 2a 내지 도 2e를 참조하여 설명하면 다음과 같다.
- [0016] 도 2a 내지 도 2e는 종래기술에 따른 액정표시장치 제조방법을 개략적으로 나타낸 공정 단면도이다.
- [0017] 도 2a에 도시된 바와 같이, 투명한 기판(11) 상에 다수의 게이트배선(미도시)과 함께 이 게이트배선으로 수직되게 연장된 게이트전극(13a)을 형성한다. 이때, 상기 기판(11) 상에는 상기 게이트배선(미도시)과 게이트배선에서 분기한 게이트전극(13a)와 함께, 상기 게이트배선(미도시)과 나란하게 배치되며, 일정 간격만큼 이격된 다수 개의 공통전극(13b)이 분기된 공통배선(미도시)을 형성한다.
- [0018] 그 다음, 상기 게이트전극(13a)을 포함한 기판(11) 전면에 게이트절연막(15)을 형성하고, 그 위에는 순차적으로 섬 형태의 액티브층(17)과 오믹콘택층(19)으로 구성된 반도체층(21)을 형성한다. 이때, 상기 액티브층(17)은 순수 비정질실리콘(a-Si:H)으로 형성되며, 상기 오믹콘택층(19)은 불순물 비정질 실리콘(n+ a-Si)으로 형성된다.
- [0019] 이어서, 상기 오믹콘택층(19) 위로는 상기 게이트배선(미도시)과 교차되게 배열되는 데이터배선(23)과 함께, 이 데이터배선(23)에서 분기한 소스전극(23a)과, 상기 게이트전극(13a)을 중심으로 상기 소스전극(23a)으로부터 소정간격 이격되는 드레인전극(23b)을 형성한다. 이때, 상기 게이트전극(13a)과 반도체층(21), 및 소스전극(23a)과 드레인전극(23b)은 박막 트랜지스터(T)를 구성한다.
- [0020] 그 다음, 상기 데이터배선(23), 소스전극(23a) 및 드레인전극(23b)을 포함한 기판(11) 전면에 무기 절연물질로 이루어진 보호층(25)을 형성한다.
- [0021] 이어서, 도 2b에 도시된 바와 같이, 포토리소그라피 공정기술을 이용한 노광 공정 및 패터닝공정을 통해 상기 보호층(25)을 선택적으로 식각하여 상기 드레인전극(23b)을 노출시키는 콘택홀(27)을 형성한다.
- [0022] 이어서, 도 2c에 도시된 바와 같이, 상기 콘택홀(27)을 포함한 보호막(25) 상에 투명성 도전물질인 ITO(Indium Tin Oxide)을 증착하여 단일 막 구조의 투명도전층(31)을 형성한다.
- [0023] 그 다음, 상기 투명도전층(31) 상에 감광성 물질을 도포한 후, 화소전극으로 정의될 위치를 한정하는 노광마스크(미도시)를 상기 감광성 물질층(미도시) 상측에 배치시킨 다음, 상기 노광마스크(미도시)를 통해 상기 감광성 물질층에 자외선 광을 조사하는 노광공정 및 현상공정을 진행하여 감광막패턴(33)을 형성한다.
- [0024] 이어서, 도 2d에 도시된 바와 같이, 상기 감광막패턴(33)을 차단막으로 상기 투명도전층(31)을 습식 식각(wet etch) 공정을 통해 선택적으로 식각하여 화소전극 (31a)을 형성한다. 이때, 상기 화소전극(31a)은, 도면에는 도시하지 않았지만, 각 화소영역 별로 서로 일정간격 이격된 다수 개의 전극 형태로 배열된다. 또한, 상기 다수 개의 화소전극(31a)은 다수 개의 공통전극(13b)들과 서로 엇갈려 일정간격 이격되어 대응된다.
- [0025] 그 다음, 도 2e에 도시된 바와 같이, 이렇게 습식 식각 공정을 통해 상기 투명 도전층(31)을 선택적으로 제거하여 화소전극(31a)을 형성한 후, 잔류하는 감광막패턴(33)을 제거함으로써 박막트랜지스터 어레이기판을 제조하는 공정을 완성한다.
- [0026] 이후, 도면에는 도시하지 않았지만, 블랙매트릭스층(미도시)과 칼라필터층(미도시)을 포함한 칼라필터 어레이기판 제조공정과 함께 상기 칼라필터 어레이기판과 박막트랜지스터 어레이기판(11) 사이에 액정층(미도시)을 형성하는 공정을 진행함으로써 표시장치를 제조하는 공정을 완료한다.
- [0027] 상기한 바와 같이, 종래기술에 따른 표시장치 및 그 제조방법에 의하면 다음과 같은 문제점이 있다.
- [0028] 종래기술에 따른 표시장치 및 그 제조방법에 의하면, 기존의 화소전극 형성시에 사용하는 단일 금속층, 예를 들어 ITO, 폴리브덴티타늄합금 또는 알루미늄 식각시에 금속 특성에 따른 식각 능력을 고려하여 식각 공정을 진행해야 하므로 공정 진행이 복잡해지게 된다. 즉, 금속 종류에 따라 식각액(etchant) 변동이 크게 됨으로써 한계 이상의 균일도(uniformity) 구현이 어려울 수 있으며, 그로 인해 식각 공정성이 저하되고 신규 금속 물질에 대한 적용이 어려워진다.
- [0029] 또한, 종래기술에 따른 표시장치 및 그 제조방법은 단일 막의 금속막의 경우에 상하, 좌우의 식각 균일도(etch

uniformity)가 불량하여 미세배선 구현이 어렵다.

- [0030] 그리고, 종래기술에 따른 표시장치 및 그 제조방법은, 단일 막의 금속막 식각시에 금속막이 외부로 노출되어 있기 때문에 금속막이 데미지(damage)를 받게 되어 균일한 배선을 형성하는 것이 어렵게 되며, 금속막 식각공정 시간이 증가함으로써 생산성이 떨어진다.
- [0031] 더욱이, 종래기술에 따른 표시장치 및 그 제조방법은 화소전극 또는 그 이외의 금속배선, 예를 들어 게이트라인 또는 데이터라인 등을 미세 선폭(w1)을 갖는 미세전극으로 형성하기 위해서는 식각 공정 시간, 식각 균일도, 금속 데미지 등의 많은 기술적 문제가 발생할 수 있어, 특히 고 개구율을 요구하는 디스플레이 공정에서 많은 어려움이 따르게 되고, 이로 인해 휘도 상승을 기대하기에는 한계가 따른다.
- [0032] 또한, 종래기술의 표시장치에 사용하는 투명 도전물질인 ITO(Indium Tin Oxide)는 투과율이 우수하지만 대조비(contrast ratio)가 떨어지고, 약 3.0 μ m 이하의 선폭(w1) 구현이 어려운 문제점이 있다.
- [0033] 한편, 이러한 문제점을 개선할 수 있는 재질로 몰리브덴티타늄합금(MoTi)을 사용하는 경우에, 대조비(contrast ratio)는 개선되지만, 외부의 빛이 금속전극에 반사되어 편광축 (polarizer)을 거치면서 무지개 형태로 보이는 무지개 얼룩 현상이 발생할 우려가 있다. 따라서, 기존의 금속전극에 반사되어 편광축을 거치면서 발생하는 무지개 얼룩 현상을 방지하기 위해서는 전극의 반사도를 감소시킬 수 있는 저반사 전극이 절실히 요구된다.

발명의 내용

해결하려는 과제

- [0034] 이에 본 발명은 상기 종래기술에 따른 제반 문제점을 해결하기 위하여 안출한 것으로서, 본 발명의 목적은 표시 장치의 화소전극을 포함한 전극배선 형성시에 배선의 미세화를 통해 개구율 확대 및 미세 패터닝 공정에 따른 공정시간을 줄임으로써 생산성을 향상시킬 수 있는 표시장치 및 그 제조방법을 제공함에 있다.
- [0035] 또한, 본 발명의 다른 목적은 표시장치의 화소전극을 포함한 금속배선의 미세 패터닝은 물론 반도체장치의 금속 배선의 미세 패터닝 또는 기타 다른 표시장치의 금속배선의 미세 패터닝에 적용 가능한 표시장치 및 그 제조방법을 제공함에 있다.
- [0036] 그리고, 본 발명의 또 다른 목적은 반사도를 감소시킬 수 있는 저반사 전극으로 적용가능한 표시장치 및 그 제조방법을 제공함에 있다.

과제의 해결 수단

- [0037] 상기 목적을 달성하기 위한 본 발명에 따른 표시장치는, 기판상에 매트릭스 형태로 형성된 게이트배선; 상기 기판상에 형성되고, 상기 게이트배선과 교차하여 화소영역을 정의하는 데이터배선; 상기 게이트배선과 나란히 배치되는 공통배선; 상기 게이트배선과 데이터배선의 교차지점에 형성되고, 상기 게이트배선에서 분기한 게이트전극과, 게이트절연막, 액티브층, 오믹콘택층, 상기 데이터배선에서 분기한 소스전극 및 상기 소스전극에 이격되어 대응하도록 형성된 드레인전극을 포함하여 구성되는 박막트랜지스터; 상기 박막트랜지스터 상부에 형성되고, 상기 드레인전극의 일부분을 노출시키는 콘택홀을 포함하는 보호막; 및 상기 보호막 상부에 형성된 도전층과 상기 도전층상에 형성된 도전성을 가진 금속산화막 또는 금속질화막으로 이루어지며, 상기 콘택홀을 통해 상기 드레인전극과 전기적으로 연결되는 화소전극;을 포함하여 구성되는 것을 특징으로 한다.
- [0038] 상기 목적을 달성하기 위한 본 발명에 따른 표시장치 제조방법은, 기판상에 게이트전극을 구비한 게이트배선과, 이 게이트배선과 나란하게 배치되고 다수 개의 공통전극을 구비한 공통배선을 형성하는 단계; 상기 게이트전극을 포함한 기판 전면에 게이트절연막을 형성하는 단계; 상기 게이트전극의 상부에 상기 게이트절연막 사이에 두고 액티브층과 채널영역만큼 이격된 오믹콘택층으로 이루어진 반도체층을 형성하는 단계; 상기 반도체층 상부에 상기 게이트배선과 교차하여 화소영역을 정의하는 데이터배선과, 이 데이터배선에서 분기한 소스전극과, 이 소스전극과 이격된 드레인전극을 형성하는 단계; 상기 소스전극, 드레인전극 및 데이터배선을 포함한 기판 전면 에 보호막을 형성하는 단계; 상기 보호막을 패터닝하여 상기 드레인전극 일부분을 노출시키는 콘택홀을 형성하는 단계; 상기 보호막의 상부에 상기 콘택홀을 통해 상기 드레인전극과 접촉하는 도전층을 형성하고, 상기 도전층상에 도전성을 가진 금속산화막 또는 금속질화막을 적층하는 단계; 및 상기 도전층과 금속산화막 또는 금속질화막을 순차적으로 식각하여 도전층패턴과 금속산화막패턴 또는 금속질화막패턴으로 이루어진 화소전극을 형성하는 단계;를 포함하여 구성되는 것을 특징으로 한다.

발명의 효과

- [0039] 본 발명에 따른 표시장치 및 그 제조방법에 의하면 다음과 같은 효과가 있다.
- [0040] 본 발명에 따른 표시장치 및 그 제조방법은, 금속막과 도전성을 가진 금속산화막 또는 금속질화막으로 이루어진 이중 막 구조를 식각하여 화소전극으로 사용함으로써 기존의 단일 막인 금속막보다는 빠른 식각 속도를 확보하게 되고, 이로 인해 안정한 고 개구율의 미세전극 또는 미세 선폭을 갖는 미세배선을 형성할 수 있다.
- [0041] 특히, 본 발명은 식각공정 시간을 단축하여 미세 전극 형성이 가능하기 때문에, 화소전극의 미세 선폭(W2)을 기존에 비해 줄일 수 있어, 개구율을 향상시킬 수 있고, 이로 인해 전체적인 휘도를 향상시킬 수 있게 된다.
- [0042] 더욱이, 본 발명은 미세 선폭(W2)을 갖는 미세전극, 예를 들어 화소전극과 공통전극 형성이 가능하기 때문에, 단위 화소영역 내에 배치되는 화소전극과 공통전극 수를 증가시킬 수 있다.
- [0043] 이로 인해, 본 발명은 개구율은 그대로 유지하면서 화소전극과 공통전극 간 거리(d2)를 기존에 비해 좁게 유지하여 전기장의 세기를 증가시킬 수 있어, 전기장에 의해 반응하는 액정의 반응력을 높임으로써 표시장치의 반응 속도를 증가시킬 수도 있다.
- [0044] 따라서, 본 발명에 따른 표시장치의 화소전극 또는 기타 다른 금속배선 형성공정을 기존에 비해 빠르고 균일하게 수행할 수 있어, 전극의 미세화를 통해 고개구율 확보가 기대되고, 미세화 공정에 따른 공정 시간을 줄일 수 있다.
- [0045] 또한, 본 발명에 따른 표시장치 및 그 제조방법은, 표시장치의 화소전극 또는 기타 다른 금속배선 형성시에 금속막과 도전성을 가진 금속산화막 또는 금속질화막으로 구성된 이중 막 구조를 사용함으로써 기존의 단일 막 구조인 금속막보다는 빠른 식각 속도를 확보할 수 있어, 식각 공정시간이 감소된다.
- [0046] 따라서, 본 발명에 따른 표시장치 및 그 제조방법은 기존의 단일 막인 금속막보다는 빠른 식각 속도가 확보되기 때문에, 전극의 미세 선 폭을 줄일 수 있어 미세전극을 통한 개구율 증가 및 휘도를 증가시킬 수 있으며, 식각 공정시간이 감소되므로 생산성이 향상된다.
- [0047] 그리고, 본 발명에 따른 표시장치 및 그 제조방법은, 금속막과 도전성을 가진 금속산화막 또는 금속질화막의 이중 막 구조를 식각하여 패터닝함으로써 균일한 미세배선 구현이 가능하며, 금속막이 금속산화막 또는 금속질화막에 의해 외부로 노출되지 않게 됨으로써 금속막의 데미지를 감소시킬 수 있다.
- [0048] 더욱이, 본 발명에 따른 표시장치 및 그 제조방법은, 기존의 단일 막인 금속전극은 높은 반사도로 인해 무지개 얼룩 현상이 발생하였으나, 본 발명에서 사용된 금속막과 금속산화막 또는 금속질화막의 이중막 구조의 금속전극은 반사도가 낮기 때문에 저반사 전극으로도 사용이 가능하다. 즉, 금속산화막 또는 금속질화막은 광 반사율이 금속막 보다는 낮기 때문에 반사율이 높은 금속막 상부에서 반사율을 감소시키는 역할을 함으로써, 금속막과 금속산화막 또는 금속질화막의 이중 막 구조의 금속전극은 저반사 전극으로 적용이 가능하다.
- [0049] 또한, 본 발명에 따른 표시장치 및 그 제조방법은 액정표시장치의 화소전극을 포함한 다양한 금속배선은 물론 그리고 태양전지의 저반사전극, 반도체장치의 미세전극을 포함한 금속배선 또는 기타 다른 표시장치의 미세전극을 포함한 금속배선에도 적용이 가능하다.

도면의 간단한 설명

- [0050] 도 1은 종래기술에 따른 액정표시장치 구조를 개략적으로 도시한 단면도이다.
- 도 2a 내지 도 2e는 종래기술에 따른 액정표시장치 제조방법을 설명하기 위한 공정 단면도이다.
- 도 3은 본 발명에 따른 액정표시장치의 박막트랜지스터 어레이기판의 평면도이다.
- 도 4는 도 3의 IV-IV선을 따라 절단된 단면도로서, 본 발명에 따른 액정표시장치 구조를 개략적으로 도시한 단면도이다.
- 도 5a 내지 도 5n은 본 발명에 따른 액정표시장치 제조방법을 설명하기 위한 공정 단면도이다.
- 도 6은 본 발명에 따른 표시장치의 제조방법에 있어서, 금속별로 부식 전위(corrosion potential) 분포를 나타낸 그래프이다.
- 도 7은 본 발명에 따른 표시장치의 제조방법에 있어서, 금속막과 금속산화막 또는 금속질화막의 전위에 따른 전

류밀도를 나타낸 그래프로서, 금속막과 금속산화막 또는 금속질화막의 전위차를 개략적으로 도시한 그래프이다.

도 8은 본 발명에 따른 표시장치의 제조방법에 있어서, 몰리브덴티타늄합금(MoTi)과 구리질화막(CuNx)으로 구성된 이중막을 사용한 경우와 기존의 몰리브덴티타늄합금(MoTi)으로 구성된 단일막을 사용한 경우에 있어서, 식각 시간에 따른 식각 바이어스를 나타낸 그래프이다.

도 9는 본 발명에 따른 표시장치의 제조방법에 있어서, 몰리브덴티타늄합금(MoTi)과 구리질화막(CuNx)으로 구성된 이중막을 사용한 경우에 식각 시간에 따른 미세 선폭(w2)의 변화를 나타낸 그래프이다.

도 10은 본 발명에 따른 표시장치의 제조방법에 있어서, 금속막으로 이루어진 단일막과, 금속막과 금속산화막 또는 금속질화막으로 이루어진 이중막 구조의 경우에, 식각 시간에 따라 구현되는 미세 선폭(w2)의 변화 상태를 보여 주는 사진이다.

발명을 실시하기 위한 구체적인 내용

[0051] 이하, 본 발명의 바람직한 실시 예에 따른 표시장치에 대해 첨부된 도면을 참조하여 상세히 설명한다.
 이하 본 발명의 실시 예에서는 액정표시장치를 예로 들어 설명하고 있지만 본 발명에 따른 표시장치는 이에 한정되는 것은 아니며, 예컨대 유기발광표시장치 (Organic Light Emitting Device; OLED) 등과 같이 박막 트랜지스터를 스위칭 소자로 사용하는 다양한 종류의 표시장치일 수 있다.
 도 3은 본 발명에 따른 액정표시장치의 박막트랜지스터 어레이기판의 평면도이다.

[0052] 삭제

[0053] 도 4는 도 3의 IV-IV선을 따라 절단된 단면도로서, 본 발명에 따른 액정표시장치 구조를 개략적으로 도시한 단면도이다.

[0054] 본 발명에 따른 표시장치는, 도 3에 도시된 바와 같이, 표시장치용 어레이기판(미도시; 도 4의 부호 "101" 참조) 상에 소정 간격 이격되어 평행하게 가로방향으로 구성된 다수 개의 게이트배선(103)과; 상기 게이트배선(103)에 근접하여 상기 게이트배선(103)과 평행하게 구성된 공통배선(104)과; 상기 게이트배선(103)과는 교차하여 화소영역(P)을 정의하며, 세로 방향으로 연장하는 다수의 데이터배선(113a)이 형성되어 있다.

[0055] 또한, 상기 각 화소영역(P) 내의 게이트 배선(103)과 데이터 배선(113a)이 교차지점에는 상기 게이트 배선(103)에서 분기하여 형성된 게이트 전극(103a)과, 상기 게이트 전극(103a) 위로 게이트절연막(105)과, 상기 게이트절연막(105) 위로 액티브층(107)과 오믹콘택층(109)으로 구성된 반도체층(111)과, 상기 반도체층(111)과 접촉하여 형성된 소스전극(113b)과 드레인전극(113c)으로 구성된 박막트랜지스터(T)가 형성되어 있다. 이때, 상기 소스전극(113b)은 상기 데이터 배선(113a)에서 분기하여 있다.

[0056] 그리고, 상기 화소영역(P) 내에는 상기 게이트 배선(103)과 근접하여 평행하게 형성된 공통배선(104)으로부터 분기한 다수 개의 공통전극(104a)이 상기 데이터배선(113a)과 평행하게 형성되어 있으며, 상기 각 공통전극(104a) 사이로 상기 공통전극(104a)과 엇갈리도록 다수 개의 화소전극(141a)이 배치되어 있다. 이때, 상기 다수 개의 화소전극(141a)은 상기 드레인전극(113c)과 연결되어 있는 화소전극배선(141)에서 분기하여 있다.

[0057] 도 4는 도 3의 IV-IV선을 따라 절단된 단면도로서, 본 발명에 따른 액정표시장치 구조를 개략적으로 도시한 단면도이다.

[0058] 여기서는 표시장치의 화소전극 구조를 중심으로 설명하지만, 다른 금속배선, 예를 들어 게이트전극을 포함한 게이트배선 또는, 공통배선, 또는 소스 및 드레인전극을 포함한 데이터배선 구조에도 동일하게 적용될 수 있음을 밝혀 두기로 한다. 또한, 본 발명은 표시장치의 금속배선 이외에, 미세 선 폭을 갖는 금속전극 또는 금속배선이 이용되는 반도체장치 및 기타 다른 표시장치 그리고 태양전지의 저반사 전극에도 적용 가능함을 밝혀 두기로 한다.

[0059] 본 발명에 따른 표시장치는, 도 4에 도시된 바와 같이, 기판(101) 상에 게이트 전극(103a)을 포함하는 게이트 배선(미도시; 도 3의 "103" 참조)과 공통배선(미도시; 도 3의 "104" 참조) 및 상기 공통배선(미도시)에서 분기한 다수 개의 공통전극(104a)이 형성되어 있으며, 그 위로 전면에 게이트 절연막(105)이 형성되어 있으며, 상기 게이트 절연막(105) 위로 상기 게이트 전극(103a)에 대응하여 액티브층(107)과 오믹콘택층(109)을 갖는 반도체층(111)이 형성되어 있다. 이때, 이 게이트배선에서 분기한 게이트 전극(103a) 및 공통전극(104a)도 함께 형성

된다. 또한, 상기 게이트배선(미도시) 및 공통배선(미도시)의 구성으로는 단일 막, 이중 막 또는 삼중 막 구조로 형성될 수 있으나, 도면에서는 편의상 단일 막 구조로 도시하였다. 여기서, 상기 이중 막 구조는 도전층과 금속산화막 또는 금속질화막의 적층 구조를 포함하며, 삼중 막 구조는 2개의 도전층과 금속산화막 또는 금속질화막의 적층 구조를 포함한다. 이때, 상기 이중 막을 구성하는 도전층 재질로는 몰리브덴티타늄 합금(MoTi), 알루미늄(Al), 알루미늄합금, 크롬(Cr), 텅스텐(W), 구리(Cu)가 포함된 도전성 금속그룹 중 선택된 하나 또는 2 이상이 사용되거나, 또는 ITO, AZO, ZnO, IZO 또는 기타 다른 투명 금속물질 중에서 선택된 하나 또는 2 이상을 사용할 수 있다.

[0060] 그리고, 상기 금속산화막 및 금속질화막에 포함되는 금속으로는 구리(Cu), 알루미늄(Al), 알루미늄합금, 크롬(Cr), 텅스텐(W), 또는 몰리브덴티타늄(MoTi)합금 등이 사용된다. 그리고, 상기 액티브층(107)은 순수 비정질실리콘(a-Si:H)으로 형성되며, 상기 오믹콘택층(109)은 불순물 비정질 실리콘(n+ a-Si)으로 형성된다.

[0061] 또한, 상기 게이트 절연막(105) 위로 상기 게이트 배선(미도시) 및 공통배선(미도시)과 교차하며 데이터 배선(113a)이 형성되어 있으며, 상기 반도체층(111) 위로 상기 반도체층(111)과 접촉하며, 상기 데이터배선(113a)에서 분기한 소스전극(113b) 및 상기 소스전극(113c)과 이격하며 상기 반도체층(111)과 접촉하는 드레인전극(113c)이 형성되어 있다. 이때, 상기 데이터배선(113a), 소스전극(113b) 및 드레인전극(113c)의 구성으로는 이중 막 또는 삼중 막 구조로도 형성될 수 있으나, 도면에서는 편의상 단일 막 구조로 도시하였다. 여기서, 상기 이중 막 구조로는 도전층과 금속산화막 또는 금속질화막의 적층 구조를 포함하며, 삼중 층 구조는 2개의 도전층과 금속산화막 또는 금속질화막의 적층 구조를 포함한다. 이때, 상기 이중 막을 구성하는 도전층 재질로는 몰리브덴티타늄(MoTi)합금, 알루미늄(Al), 알루미늄합금, 크롬(Cr), 텅스텐(W), 구리(Cu) 등이 포함된 도전성 금속 그룹 중에서 선택된 하나 또는 2 이상이 사용하거나, 또는 ITO, AZO, ZnO, IZO 또는 기타 다른 투명 금속물질 중에서 선택된 하나 또는 2 이상을 사용할 수 있다.

[0062] 그리고, 상기 금속산화막 및 금속질화막에 포함되는 금속으로는 구리(Cu), 알루미늄(Al), 알루미늄합금, 크롬(Cr), 텅스텐(W), 또는 몰리브덴티타늄(MoTi)합금 등이 사용된다.

[0063] 그리고, 상기 소스 및 드레인전극(113b, 113c)을 포함하여 노출된 게이트 절연막(105) 위로 전면에 보호층(125)이 형성되어 있으며, 상기 보호층(125) 위로 콘택홀(127)을 통해 상기 드레인전극(113c)과 접촉하는 화소전극배선(141)에서 분기된 다수 개의 화소전극(141a)이 그 하부에 형성된 다수 개의 공통전극(104a) 사이마다 엇갈려 형성되어 있다. 이때, 상기 다수 개의 화소전극(141a)은 도시한 바와 같이 보호층(125) 상부에 형성될 수도 있으며, 도시하지 않았지만, 소스전극 및 드레인전극이 형성되는 게이트 절연막 위에 형성될 수도 있다.

[0064] 여기서, 상기 화소전극(141a)과 화소전극배선(141)은 도전층패턴(129a)과 금속산화막패턴 또는 금속질화막패턴(131a)의 적층 구조로 구성되어 있다. 이때, 상기 도전층패턴(129a) 재질로는 몰리브덴 티타늄합금(MoTi), 알루미늄(Al), 알루미늄합금, 크롬(Cr), 텅스텐(W), 구리(Cu) 등이 포함된 도전성 금속 그룹 중에서 선택된 하나 또는 2 이상이 사용되거나, 또는 ITO, AZO, ZnO, IZO 또는 기타 다른 투명 금속물질 중에서 선택된 하나 또는 2 이상을 사용할 수 있다. 또한, 상기 금속산화막 및 금속질화막에 포함되는 금속으로는 구리(Cu), 알루미늄(Al), 알루미늄합금, 크롬(Cr), 텅스텐(W), 또는 몰리브덴티타늄합금(MoTi) 등이 사용된다.

[0065] 한편, 도면에는 도시하지 않았지만, 상기 박막트랜지스터 어레이기판으로 사용되는 투명한 기판(101) 상에 일정 간격을 두고 칼라필터기판(미도시; 도 5n의 "151" 참조)이 배치되고, 이들 사이에 액정층(미도시; 도 5n의 "161" 참조)이 형성되어 있다.

[0066] 한편, 상기와 같이 구성되는 본 발명에 따른 표시장치 제조방법에 대해 도 5a 내지 5n을 참조하여 설명하면 다음과 같다.

[0067] 도 5a 내지 도 5n은 본 발명에 따른 액정표시장치 제조방법을 설명하기 위한 공정 단면도이다.

[0068] 여기서는 본 발명에 따른 표시장치의 화소전극 구조를 중심으로 설명하지만, 다른 금속배선, 예를 들어 게이트 전극을 포함한 게이트배선, 공통배선 또는, 소스 및 드레인 전극을 포함한 데이터배선 구조에도 동일하게 적용될 수 있음을 밝혀 두기로 한다. 또한, 본 발명은 표시장치의 금속배선 이외에, 미세 선폭을 갖는 미세전극 또는 금속배선이 이용되는 반도체장치, 기타 다른 표시장치 또는 태양전지의 저반사전극에도 적용 가능함을 밝혀 두기로 한다.

[0069] 도 5a에 도시된 바와 같이, 투명한 기판(101) 상에 알루미늄(Al), 알루미늄합금, 크롬(Cr), 텅스텐(W), 몰리브덴티타늄합금(MoTi), 구리(Cu) 등이 포함된 도전성 금속그룹 중에서 선택된 하나 또는 2 이상 금속물질을 증착하여 도전층(103)을 형성한다. 이때, 상기 도전층(103)의 구성으로는 단일 막, 이중 막 또는 삼중 막 구조로 형

성될 수 있으나, 도면에서는 편의상 단일 막 구조로 도시하였다.

- [0070] 여기서, 상기 이중 막 구조는 도전층과 금속산화막 또는 금속질화막의 적층 구조를 포함하며, 삼중 막 구조는 2개의 도전층과 금속산화막 또는 금속질화막의 적층 구조를 포함한다. 이때, 상기 이중 막을 구성하는 도전층 재질로는 몰리브덴티타늄 합금(MoTi), 알루미늄(Al), 알루미늄합금, 크롬(Cr), 텅스텐(W), 구리(Cu)가 포함된 도전성 금속그룹 중 선택된 하나 또는 2 이상이 사용되거나, 또는 ITO, AZO, ZnO, IZO 또는 기타 다른 투명 금속물질 중에서 선택된 하나 또는 2 이상을 사용할 수 있다.
- [0071] 그리고, 상기 금속산화막 및 금속질화막에 포함되는 금속으로는 구리(Cu), 알루미늄 (Al), 알루미늄합금, 크롬(Cr), 텅스텐(W), 또는 몰리브덴티타늄(MoTi)합금 등이 사용된다.
- [0072] 그 다음, 도면에는 도시하지 않았지만, 상기 도전층(103) 상부에 제1 감광막(미도시)을 도포한 후, 노광마스크(미도시)을 이용한 노광 공정 및 현상공정을 통해 상기 제1 감광막(미도시)을 선택적으로 제거하여 제1 감광막패턴(미도시)을 형성한다.
- [0073] 이어서, 도 5b에 도시된 바와 같이, 상기 제1 감광막패턴(미도시)을 차단막으로 하여 식각공정을 통해 상기 도전층(103)을 선택적으로 식각하여, 일 방향으로 다수의 게이트배선(미도시; 도 3의 "103" 참조)과, 상기 게이트배선에서 연장되어 돌출 형성된 게이트전극(103a)과 함께, 공통배선(미도시; 도 3의 "104" 참조) 및 상기 공통배선(미도시)에서 분기한 다수 개의 공통전극(104a)을 형성한다.
- [0074] 그 다음, 도 5c에 도시된 바와 같이, 상기 제1 감광막패턴(미도시)을 제거하고, 게이트배선 등이 형성된 기판(101)의 전면에 실리콘산화막(SiO₂) 및 실리콘질화막(SiN_x)으로 구성된 무기절연 물질그룹과 경우에 따라서는 벤조사이클로부텐 (Benzocyclobutene)과, 아크릴(Acryl)계 수지(resin)로 구성된 유기절연 물질그룹 중에서 선택된 하나를 증착 또는 도포하여 게이트절연막(105)을 형성한다.
- [0075] 이어서, 상기 게이트절연막(105) 상에 채널영역으로 사용하는 비정질 실리콘 (a-Si:H)으로 구성된 액티브층(107)과 n+ 불순물이 도핑된 불순물 비정질실리콘으로 구성된 오믹콘택층(109)을 차례로 형성한다.
- [0076] 그 다음, 상기 오믹콘택층(109) 상부에 도전물질을 스퍼터링방법으로 증착하여 도전층(113)을 형성한다. 이때, 상기 도전층(113) 재질로는 몰리브덴티타늄합금 (MoTi), 탄탈륨(Ta), 크롬 (Cr), 니켈(Ni), 인듐(In), 몰리브덴(Mo), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 알루미늄합금의 금속 군 중에서 선택된 하나 또는 2 이상을 사용하거나, 또는 ITO, AZO, ZnO, IZO 또는 기타 다른 투명 금속물질 중에서 선택된 하나 또는 2 이상을 사용할 수 있다.
- [0077] 또한, 상기 도전층(113)의 구성으로는 단일 막, 이중 막 또는 삼중 막 구조로 형성될 수 있으나, 도면에서는 편의상 단일 막 구조로 도시하였다. 여기서, 상기 이중 막 구조인 경우에, 도전층과 금속산화막 또는 금속질화막의 적층 구조를 포함하며, 삼중 막 구조는 2개의 도전층과 금속산화막 또는 금속질화막의 적층 구조를 포함한다. 이때, 상기 이중 막을 구성하는 도전층 재질로는 몰리브덴티타늄 합금(MoTi), 알루미늄(Al), 알루미늄합금, 크롬(Cr), 텅스텐(W), 구리(Cu)가 포함된 도전성 금속그룹 중 선택된 하나 또는 2 이상이 사용하거나, 또는 ITO, AZO, ZnO, IZO 또는 기타 다른 투명 금속물질 중에서 선택된 하나 또는 2 이상을 사용할 수 있다.
- [0078] 그리고, 상기 금속산화막 및 금속질화막에 포함되는 금속으로는 구리(Cu), 알루미늄 (Al), 알루미늄합금, 크롬(Cr), 텅스텐(W), 또는 몰리브덴티타늄(MoTi)합금 등이 사용된다.
- [0079] 이어서, 도 5d 및 도 5e에 도시된 바와 같이, 상기 도전층(113) 상부에 제2 감광막(115)을 도포한 후, 회절마스크(120)을 이용한 포토리소그래피 공정기술을 통해 상기 제2 감광막(115)을 노광 및 현상하여 제2 감광막패턴(115a)을 형성한다.
- [0080] 이때, 상기 회절마스크(120)로는 슬릿마스크 또는 하프톤마스크(Half-tone mask)를 사용하는데, 상기 회절마스크 이외에 일반 마스크를 사용할 수도 있다.
- [0081] 또한, 상기 회절마스크(120)는 광차단영역(120a)과 반투과영역(120b) 및 투과영역(120c)으로 구성되는데, 상기 반투과영역(120b)을 통해 노광되어 현상되고 남은 제2 감광막패턴(115a)의 두께는 상기 광차단영역(120a)을 통해 노광되어 현상되고 남은 제2 감광막패턴(115a)의 두께에 비해 얇게 형성된다. 그리고, 상기 반투과영역(120b) 아래에 위치하는 제2 감광막패턴(115a) 부분은 채널영역에 대응되며, 상기 광차단 영역(120a) 아래에 위치하는 제2 감광막패턴(115a) 부분은 소스/드레인영역에 대응된다.
- [0082] 그 다음, 도 5f에 도시된 바와 같이, 상기 제2 감광막패턴(115a)을 차단막으로 하여, 상기 도전층(113), 오믹콘

택층(109) 및 액티브층(107)을 순차적으로 식각한다.

- [0083] 이어서, 도 5g에 도시된 바와 같이, 에싱(ashing) 공정을 통해 상기 제2 감광막패턴(115a)을 일정 두께만큼 제거하여 채널영역과 대응되는 위치에 해당하는 상기 도전층(113) 상면을 노출시킨다.
 - [0084] 그 다음, 도 5h에 도시된 바와 같이, 상기 에싱처리된 제2 감광막패턴(115a)을 마스크로 상기 노출된 도전층(113) 부분을 선택적으로 식각하여 상기 게이트배선(미도시)과 수직하게 교차하여 화소영역을 정의하는 데이터 배선(113a)과, 상기 데이터배선(113a)에서 상기 게이트전극(103a)의 일측 상부로 돌출형성된 소스전극(113b)과, 상기 소스전극(113b)과 소정간격만큼 이격된 드레인전극(113c)을 형성한다. 이때, 상기 채널영역에 위치하는 도전층(113) 식각시에 그 아래의 오믹콘택층(109) 부분도 동시에 식각된다.
 - [0085] 이어서, 도 5i에 도시된 바와 같이, 상기 감광막패턴(115a)을 제거한 후 상기 데이터배선(113a)과 소스전극 및 드레인전극(113b, 113c)이 형성된 기판(101) 전면에 유기 절연물질그룹, 경우에 따라서는 무기 절연물질 그룹 중에서 하나를 선택 증착하여 보호층(125)을 형성하고, 이어 상기 보호층(125) 상에 제3 감광막(미도시)을 도포한다. 이때, 상기 보호층(125)의 형성물질로는, 전술한 실리콘산화막(SiO₂) 및 실리콘질화막(SiN_x)을 포함하는 무기절연 물질그룹과 경우에 따라서는 벤조사이클로부텐(Benzocyclobutene)과, 아크릴(Acryl)계 수지(resin)로 구성된 유기절연 물질그룹 중에서 선택된 하나를 증착 또는 도포하여 사용한다.
 - [0086] 그 다음, 포토리소그라피 공정기술을 통해 상기 제3 감광막(미도시)을 노광 및 현상 공정을 진행하여 제3 감광막패턴(미도시)을 형성한다.
 - [0087] 이어서, 도 5j에 도시된 바와 같이, 상기 제3 감광막패턴(미도시)을 마스크로 상기 보호층(125)을 선택적으로 식각하여 드레인전극(113c)을 노출시키는 콘택홀(127)을 형성한다.
 - [0088] 그 다음, 도 5k에 도시된 바와 같이, 상기 제3 감광막패턴(미도시)을 제거한 후, 상기 콘택홀(127)을 포함한 보호막(125) 상에 도전층(129)을 스퍼터링방법으로 증착한다. 이때, 상기 도전층(129)의 재질로는 몰리브덴 티타늄합금(MoTi), 알루미늄(Al), 알루미늄합금, 크롬(Cr), 텅스텐(W), 구리(Cu) 등이 포함된 도전성 금속 그룹 중에서 선택된 하나 또는 2 이상이 사용되거나, 또는 ITO, AZO, ZnO, IZO를 포함하는 투명 도전물질 중에서 하나 또는 2 이상을 선택하여 사용할 수 있다.
 - [0089] 이어서, 상기 도전층(129) 상에 화학기상증착법(CVD; chemical vapor deposition method) 또는 기타 다른 증착 방법을 이용하여 금속산화물 또는 금속질화물을 증착하여 금속산화막 또는 금속질화막(131)을 형성한다. 이때, 상기 금속산화막 및 금속질화막에 포함되는 금속으로는 구리(Cu), 알루미늄(Al), 알루미늄 합금, 크롬(Cr), 텅스텐(W), 또는 몰리브덴티타늄합금(MoTi) 중에서 어느 하나를 선택하여 사용된다. 또한, 상기 금속산화막 또는 금속질화막(131)의 증착 두께는 그 아래의 도전층(129)의 습식 식각공정이 원활하게 이루어지는 정도의 두께라면 적절하다.
 - [0090] 그 다음, 상기 금속산화막 또는 금속질화막(131) 상부에 감광성 물질을 도포하여 제4 감광막(미도시)을 형성한다.
 - [0091] 이어서, 화소전극으로 정의될 위치를 한정하는 노광마스크(미도시)를 상기 제4 감광막(미도시) 상층에 배치시킨 후 상기 노광마스크(미도시)를 통해 상기 제4 감광막(미도시)에 자외선 광을 조사하는 노광공정 및 현상공정을 진행하여 제4 감광막패턴(133)을 형성한다.
 - [0092] 그 다음, 도 5l에 도시된 바와 같이, 상기 제4 감광막패턴(133)을 차단막으로 습식 식각(wet etch) 공정에 의해 상기 금속산화막 또는 금속질화막(131)과 도전층(129)을 선택적으로 식각하여 도전층패턴(129a) 및 금속산화막패턴 또는 금속질화막패턴(131a)으로 이루어진 화소전극배선(141)과 함께 이 화소전극배선(141)에서 분기된 다수 개의 화소전극(141a)을 형성한다.
 - [0093] 이때, 상기 습식 식각공정을 진행할 때, 상기 도전층(129) 상에는 금속 성분이 함유된 금속산화막 또는 금속질화막(131)이 증착되어 있어, 상기 도전층(129)은 양전극(anode)이 되고, 금속산화막 또는 금속질화막(131)은 음전극(cathode)이 됨으로써 금속산화막 또는 금속질화막(131)에서 도전층(129)으로 전자(electron)가 이동하게 된다. 따라서, 전자를 잃은 금속산화막 또는 금속질화막(131)은, 갈바닉 현상(Galvanic Effect)에 의해 식각이 가속화되어, 도 8에 도시된 바와 같이, 도전층(129)보다 더 큰 바이어스(bias)를 나타내게 되고, 양전극인 도전층(129)이 급속하게 부식됨으로써 도전층(129)의 측면 식각이 빠르게 진행된다.
- 즉, 금속 이중 막, 예를 들어 MoTi로 구성된 금속막과 CuNx로 구성된 금속산화막 또는 금속질화막 간의 부식

전위(Corrosion Potention), 즉 기전력 (electromotive-force) 차이에 의해 전자(electron) 이동의 가속화가 이루어진다. 따라서, 도전층(129)과 금속산화막 또는 금속질화막(131)의 이중막 구조는 갈바닉 현상에 의해 빠르게 식각이 이루어지게 된다. 그러므로, 금속 이중 막, 예를 들어 도전층과 금속산화막 또는 금속질화막으로 이루어진 상기 화소전극 형성시의 식각 공정 시간이 단축되고, 미세 선 폭을 갖는 미세전극 또는 기타 미세금속 배선 형성이 가능하게 된다.

따라서, 상기 도전층(129) 상에 금속산화막 또는 금속질화막(131)을 적층한 상태에서 식각공정을 진행하는 경우에, 기존 단일 막인 도전층 만을 식각하는 경우에 비해 식각 속도가 빨라 전극 또는 배선을 형성하기 위한 패턴닝 공정이 균일하게 이루어지고, 공정시간이 단축된다.

이와 같이 상기 도전층(129)과 금속산화막 또는 금속질화막(131)의 이중 막 구조의 식각 원리에 대해 도 6 및 도 7을 참조하여 개략적으로 설명하면 다음과 같다.

[0094] 삭제

[0095] 삭제

[0096] 도 6은 본 발명에 따른 표시장치의 제조방법에 있어서, 금속별로 부식 전위(corrosion potential) 분포를 나타낸 그래프이다.

[0097] 도 7은 본 발명에 따른 표시장치의 제조방법에 있어서, 금속막과 금속산화막 또는 금속질화막의 전위에 따른 전류밀도를 나타낸 그래프로써, 금속막과 금속산화막 또는 금속질화막 간 전위차 발생을 개략적으로 도시한 그래프이다.

금속 단일막인 경우에 부식 전위(Corrosion Potetial)가 약 -0.35이고, 금속산화막 또는 금속질화막은 부식 전위(Corrosion Potetial)가 약 -0.025이다. 하지만, 본 발명에서 사용된 금속막과 금속산화막 또는 금속질화막의 이중막 구조인 경우에 부식 전위(Corrosion Potential)는 약 0.084 정도이다.

[0098] 따라서, 금속산화막 또는 금속질화막의 부식 전위(Corrosion Potential)가 높게 되면, 금속 식각이 어렵게 되고, 부식 전위(Corrosion Potential)가 낮을수록 부식이 잘 되는 경향을 갖는다. 이로 인해, 금속막과 금속산화막 또는 금속질화막의 부식 전위차가 큰 경우에는 그만큼 부식이 잘 일어날 수 있다고 볼 수 있다.

[0099] 삭제

[0100] 도 6에 도시된 바와 같이, 알루미늄(Al)이나 몰리브덴티타늄합금(MoTi)의 경우에, 몰리브덴(Mo) 또는 구리(Cu)에 비해 부식 전위가 낮기 때문에 부식이 잘 된다고 볼 수 있다.

[0101] 또한, 도 7에 도시된 바와 같이, 부식 전위가 낮은 금속막, 예를 들어 몰리브덴티타늄합금(MoTi)과 부식 전위가 높은 금속질화막(CuNx) 간의 부식 전위차가 크기 때문에 그만큼 갈바닉 효과가 잘 일어나서 금속막과 금속질화막의 식각공정이 빠르게 이루어지게 된다.

[0102] 따라서, 전극으로 사용하기 위해 금속 이중막을 식각할 때, 상기 도전층 (129)은 양전극(anode)이 되고, 금속산화막 또는 금속질화막(131)은 음전극 (cathode)이 됨으로써 금속산화막 또는 금속질화막(131)에서 도전층(129)으로 전자(electron)가 이동하게 된다. 이때, 전자를 잃은 금속산화막 또는 금속질화막(131)은 갈바닉 현상 (Galvanic Effect)에 의해 식각이 가속화되어 도전층(129)보다 더 큰 바이어스(bias)를 나타나게 되고, 양전극인 도전층(129)이 금속하게 부식됨으로써 도전층(129)의 측면 식각이 빠르게 진행된다. 즉, 금속 이중막, 예를 들어 MoTi로 구성된 금속막과 CuNx으로 구성된 금속질화막 간의 부식 전위(Corrosion Potential) 차, 즉 기전력 (electromotive-force) 차이에 의해 전자(electron) 이동의 가속화가 이루어지게 된다.

[0103] 따라서, 금속 이중막인 도전층(129)과 금속산화막 또는 금속질화막(131)의 적층구조는 갈바닉 현상에 의해 빠르게 식각이 이루어지게 됨으로써, 금속 이중막, 예를 들어 도전층과 금속산화막 또는 금속질화막으로 이루어진 상기 화소전극 형성시의 식각 공정 시간이 단축되고, 미세 선폭을 갖는 미세전극 또는 기타 미세배선 형성이 가능하게 된다.

[0104] 이와 같이, 본 발명은 식각공정 시간을 단축하여 미세 전극 형성이 가능하기 때문에, 화소전극의 미세 선폭(w

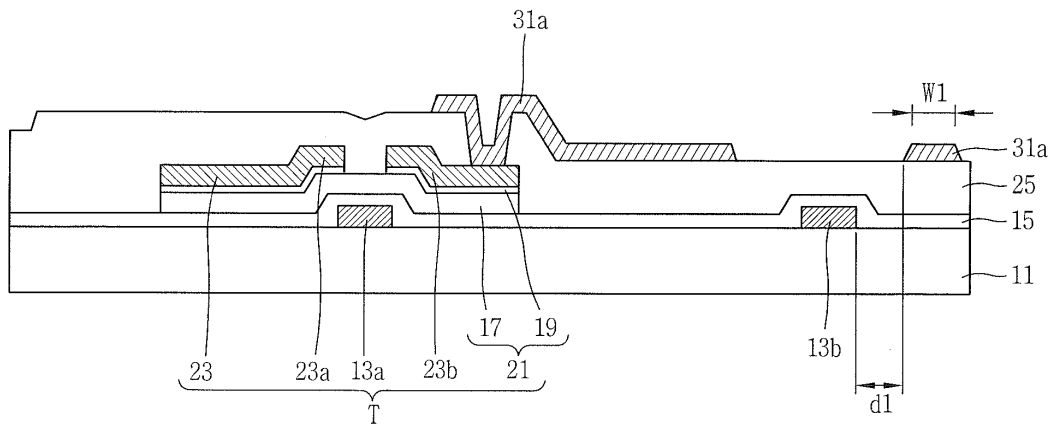
2)을 기존에 비해 줄일 수 있어, 개구율을 향상시킬 수 있고, 이로 인해 전체적인 휘도를 향상시킬 수 있게 된다.

- [0105] 더욱이, 본 발명은 미세 선폭(w2)을 갖는 미세전극, 예를 들어 화소전극과 공통전극 형성이 가능하기 때문에, 단위 화소영역 내에 배치되는 화소전극과 공통전극 수를 늘릴 수 있다.
- [0106] 이로 인해, 본 발명은 개구율은 그대로 유지하면서 화소전극과 공통전극 간 거리(d2)를 기존에 비해 좁게 하여 전기장의 세기를 증가시킬 수 있어, 전기장에 의해 반응하는 액정의 반응력을 높임으로써 표시장치의 반응 속도를 증가시킬 수도 있다.
- [0107] 한편, 단일 막인 몰리브덴티타늄합금(MoTi)의 경우, 광 반사율은 약 61% 정도이고, 광 흡수율은 31% 정도로서, 반사율이 높게 나타나는데, 본 발명에서와 같이, 상기 단일 막인 몰리브덴티타늄합금(MoTi) 상부에 구리질화막(CuNx)을 적층하여 이중 막 구조를 형성함으로써 반사율을 현저히 낮출 수 있게 된다. 즉, 구리질화막(CuNx)은 광 반사율이 약 33% 정도이고, 광 흡수율은 약 64% 정도이기 때문에 반사율이 높은 몰리브덴티타늄합금(MoTi) 상부에서 반사율을 감소시키는 역할을 함으로써, 본 발명에 따른 금속막과 금속산화막 또는 금속질화막의 이중 막 구조의 금속전극은 저반사 전극으로 적용이 가능하다.
- [0108] 또한, 상기 습식 식각공정은 도전층의 박막 재료에 따라 화학적 식각용액을 이용한 식각에 의해 제거될 수 있고, 또한 플라즈마 식각 또는 RIE (reactive ion etching)에 의해서 식각방법에 의해 수행될 수도 있다. 특히, 도전층을 제거하는 경우에는, 주어진 농도 비의 질소산, 염화수소산 및 아세트산 등의 혼합용액이 사용될 수 있다. 이때, 상기 습식 식각공정에 사용되는 식각용액으로는 전술한 용액이외에 다른 식각용액을 사용할 수도 있다.
- [0109] 그 다음, 도 5n에 도시된 바와 같이, 잔류하는 제4 감광막패턴(133)을 제거하여 도전층패턴(129a)과 금속산화막패턴 또는 금속질화막패턴(131a)으로 이루어진 화소전극배선(141) 및 이 화소전극배선(141)에서 분기한 다수 개의 화소전극(141a)을 형성함으로써 박막트랜지스터 어레이기판 제조공정을 완료한다.
- [0110] 이후, 도 5n에 도시된 바와 같이, 투명한 칼라필터 기판(151) 상에 빛을 차단하는 블랙매트릭스층(153)과 함께, 이 블랙매트릭스층(153) 사이에 위치하는 칼라필터기판(151) 상에 칼라필터층(155)을 형성한다.
- [0111] 이어서, 상기 칼라필터기판(151)과 박막트랜지스터 어레이기판(101) 사이에 액정층(161)을 형성하는 공정을 추가로 실시함으로써 표시장치를 제조하는 공정을 완료한다.
- [0112] 한편, 도 8은 본 발명에 따른 몰리브덴티타늄합금(MoTi)과 구리질화막(CuNx)으로 구성된 이중 막 구조의 화소전극을 사용한 경우와 기존의 몰리브덴티타늄합금(MoTi)으로 구성된 단일 막 구조의 화소전극을 사용한 경우에서, 식각 시간에 따른 식각 바이어스를 나타낸 그래프이다.
- [0113] 도 8에 도시된 바와 같이, 종래기술의 경우에는 몰리브덴티타늄합금(MoTi)으로 구성된 단일 막의 식각 시간이 약 100초인 경우에 식각 바이어스가 0.7 정도로 나타났지만, 본 발명의 경우에는 몰리브덴티타늄합금(MoTi)과 구리질화막(CuNx)으로 구성된 이중 막의 식각 시간이 약 35 내지 45초인 경우에 식각 바이어스가 약 1.44 내지 1.65 정도로 크게 나타남을 알 수 있다.
- [0114] 따라서, 본 발명에 따른 몰리브덴티타늄합금(MoTi)과 구리질화막(CuNx)으로 구성된 이중 막의 식각 바이어스가 약 1.44 내지 1.65 정도로 종래기술보다 크기 때문에, 종래기술의 식각 시간보다도 더 짧은 시간에 식각공정을 이루어진다는 것을 알 수 있다. 이로 인해, 본 발명은 기존에 비해 짧은 시간 동안에 식각공정이 가능하기 때문에 미세 선폭(w2)을 갖는 미세 전극 형성이 가능하게 된다.
- [0115] 또한, 도 9는 본 발명에 따른 몰리브덴티타늄합금(MoTi)과 구리질화막(CuNx)으로 구성된 이중막 구조의 화소전극을 사용한 경우에 식각 시간에 따른 미세 선폭의 변화를 나타낸 그래프이다.
- [0116] 도 9에 도시된 바와 같이, 본 발명의 일 실시 예에 따른 몰리브덴티타늄합금(MoTi)과 구리질화막(CuNx)으로 구성된 이중막 식각 시간이 약 60초 내지 84초 인 경우에, 미세 선폭이 약 2.3 내지 1.60 μm 정도로 좁게 형성됨을 알 수 있다.
- [0117] 도 10은 본 발명에 따른 금속막으로 이루어진 단일막과, 금속막과 금속산화막 또는 금속질화막으로 이루어진 이중막 구조의 경우에, 식각 시간에 따라 구현되는 미세 선폭(w)의 변화 상태를 보여 주는 사진이다.
- [0118] 도 10에 도시된 바와 같이, 기존의 경우에 10초 동안 식각공정을 진행하는 경우에, 약 2.6 μm 정도의 미세 선폭을 갖는 미세패턴이 형성되지만, 본 발명의 경우, 몰리브덴티타늄합금(MoTi)과 구리질화막(CuNx)으로 구성된

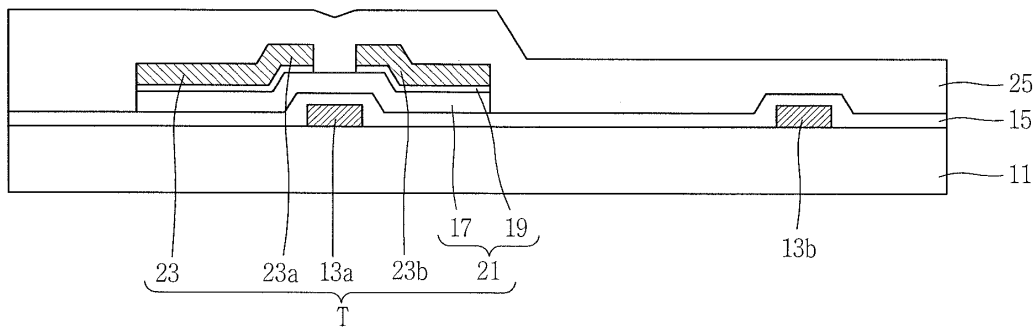
- | | |
|---------------|---------------------------|
| 103a : 게이트 전극 | 104 : 공통배선 |
| 104a : 공통전극 | 105 : 게이트절연막 |
| 107 : 액티브층 | 109 : 오믹콘택층 |
| 111 : 반도체층 | 113a : 데이터배선 |
| 113b : 소스전극 | 113c : 드레인전극 |
| 125 : 보호층 | 127 : 콘택홀 |
| 129a : 도전층패턴 | 131a : 금속산화막패턴 또는 금속질화막패턴 |
| 141 : 화소전극배선 | 141a : 화소전극 |

도면

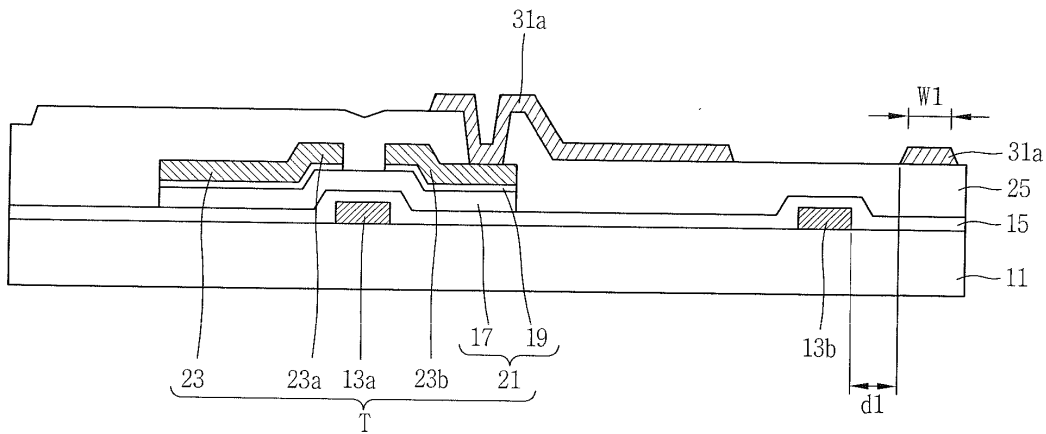
도면1



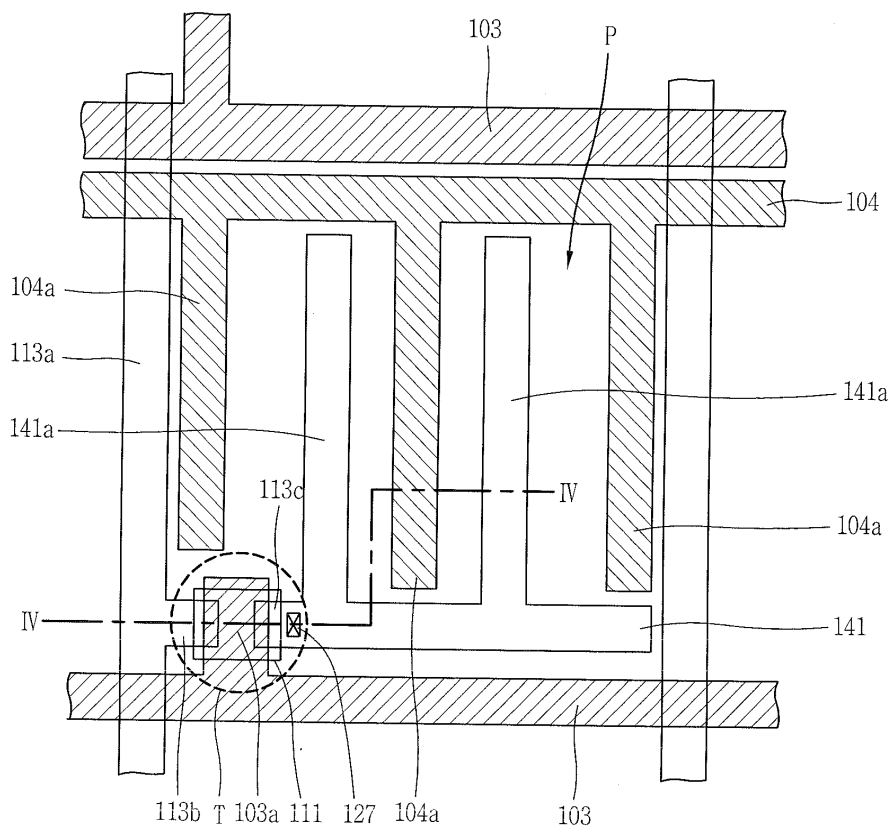
도면2a



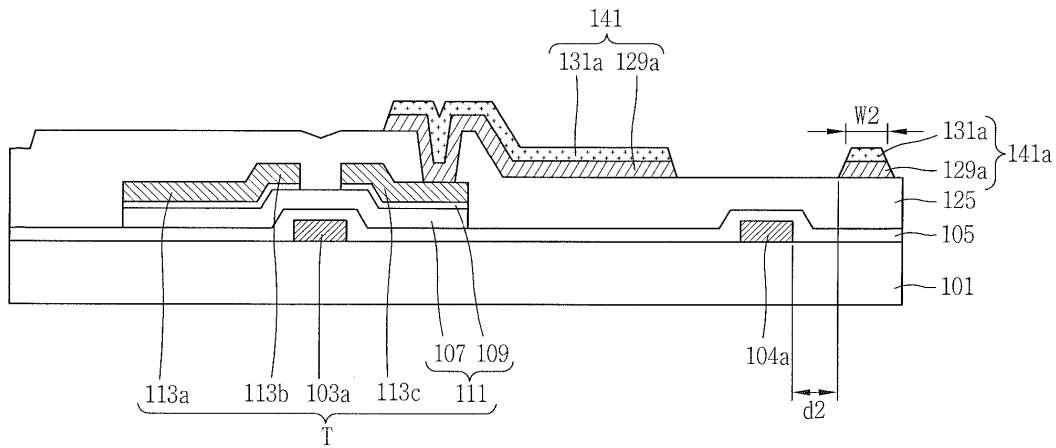
도면2e



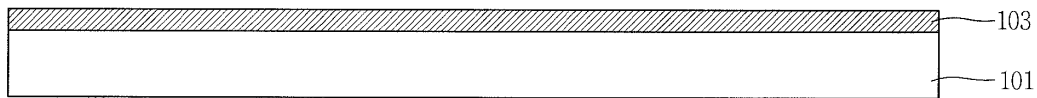
도면3



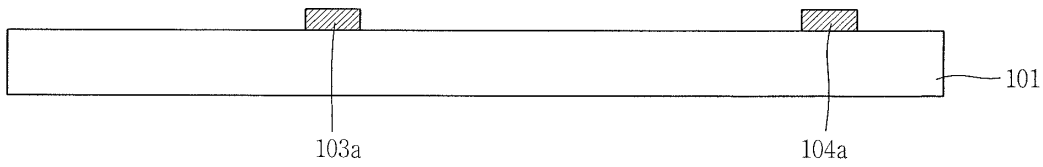
도면4



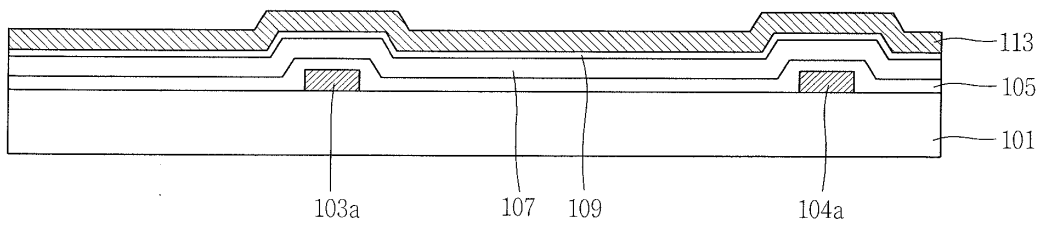
도면5a



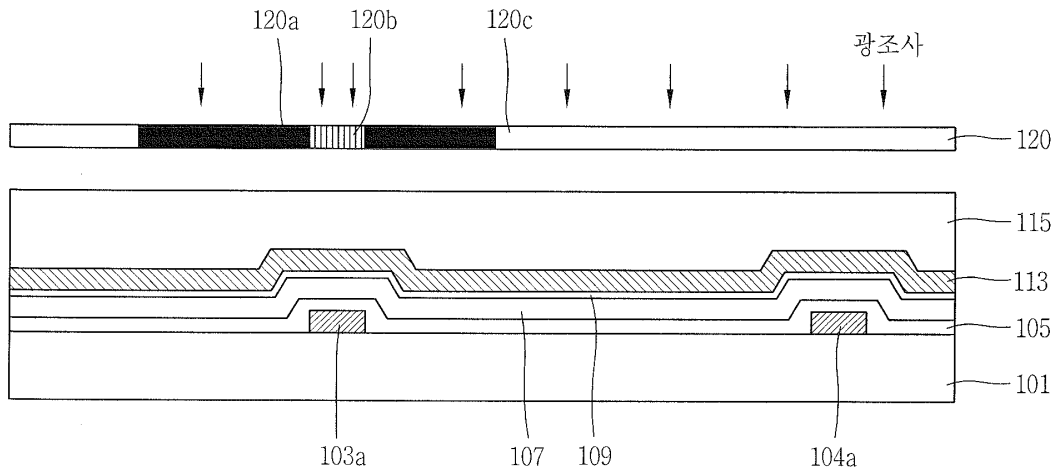
도면5b



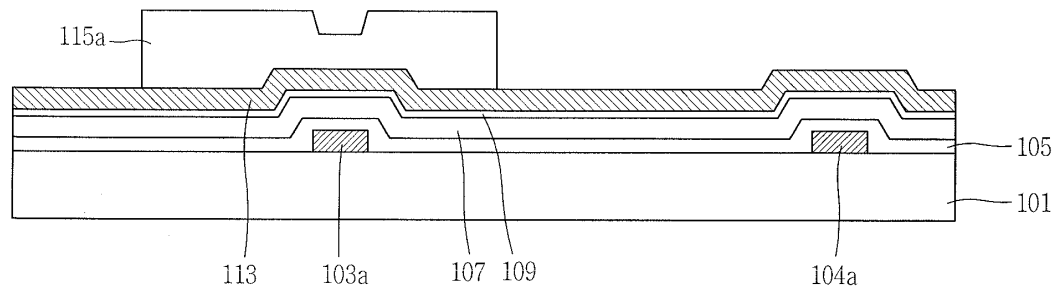
도면5c



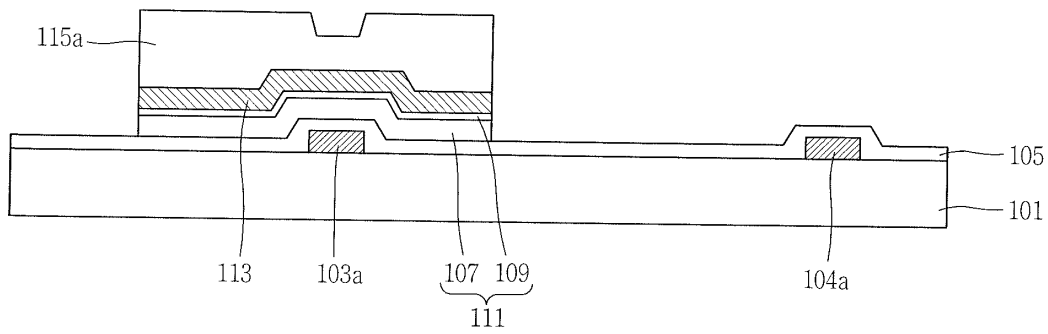
도면5d



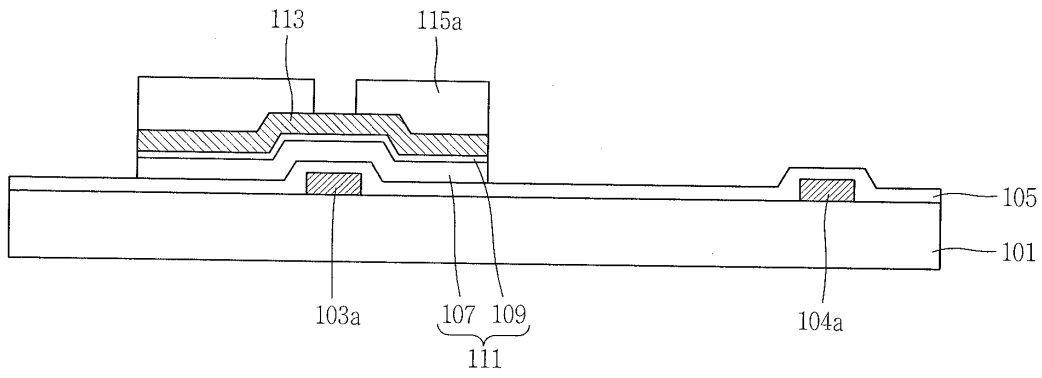
도면5e



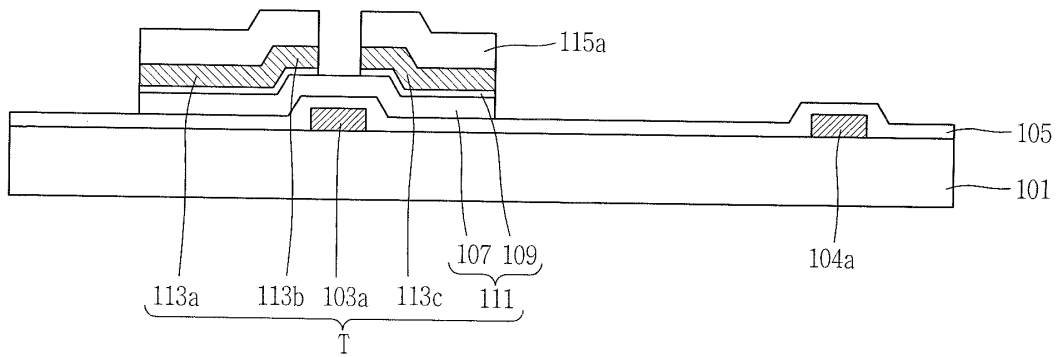
도면5f



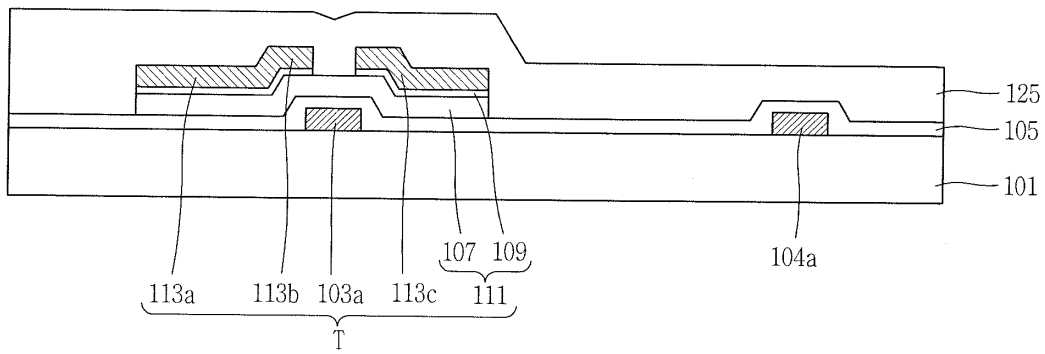
도면5g



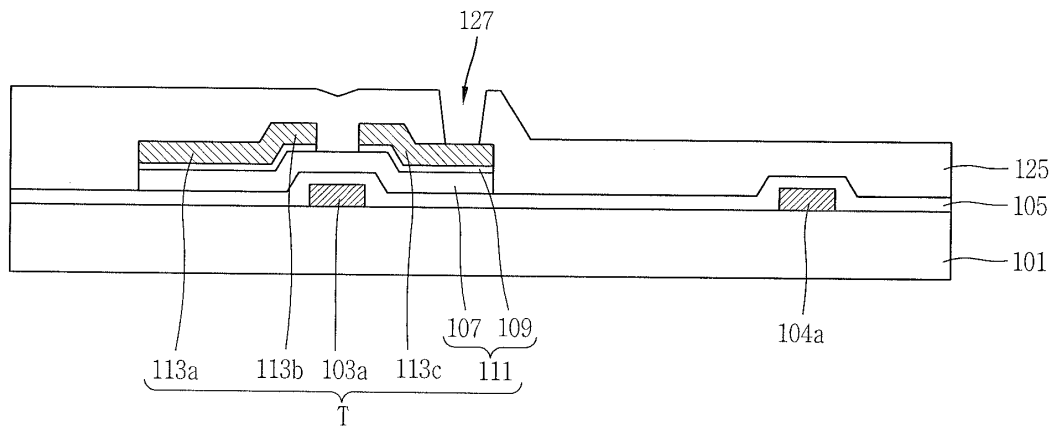
도면5h



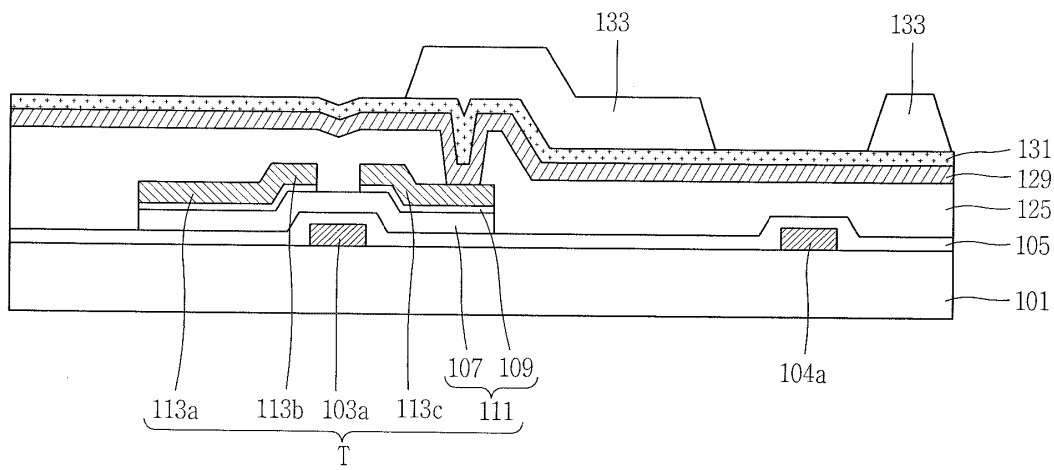
도면5i



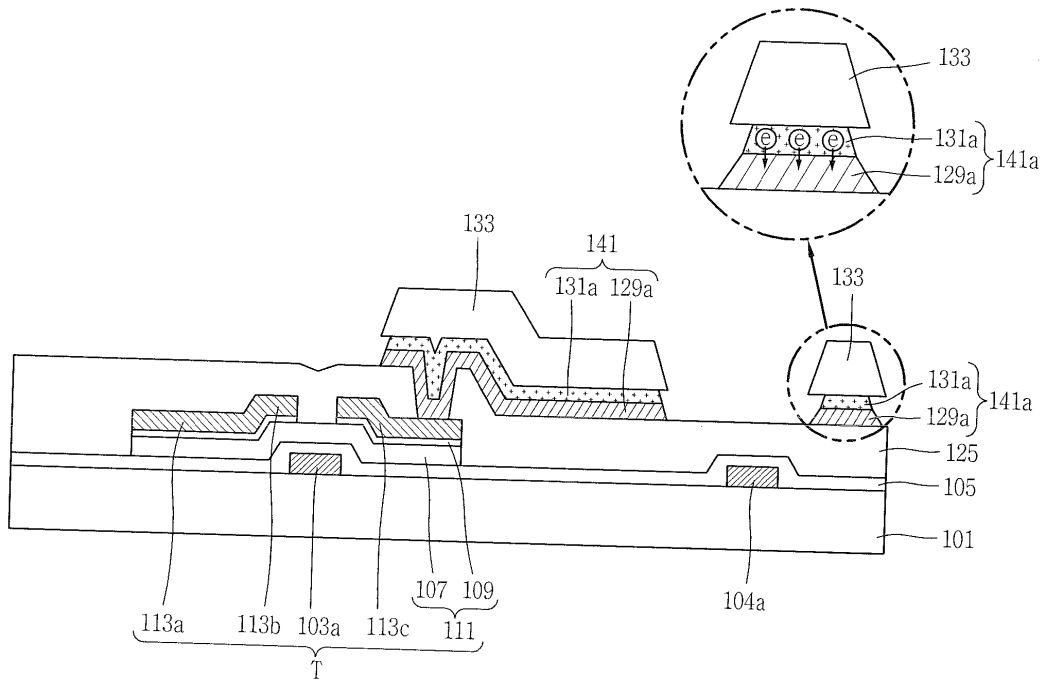
도면5j



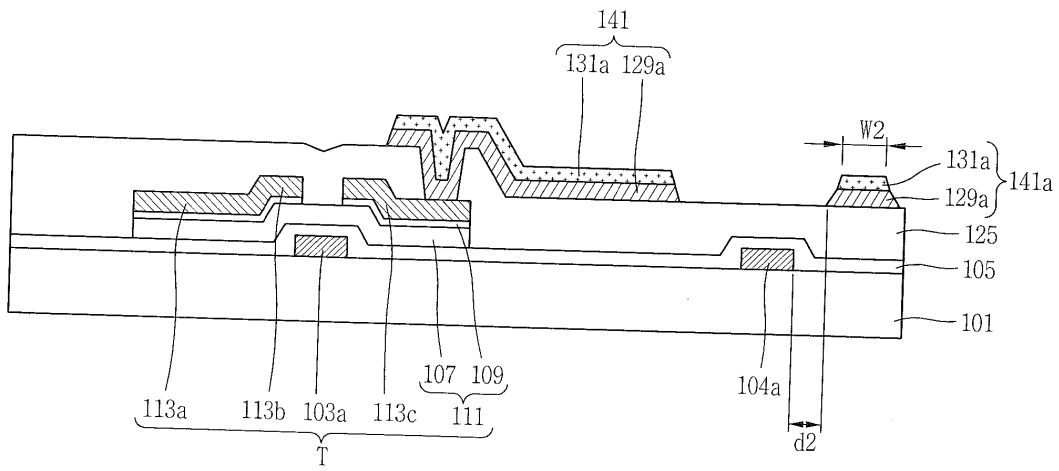
도면5k



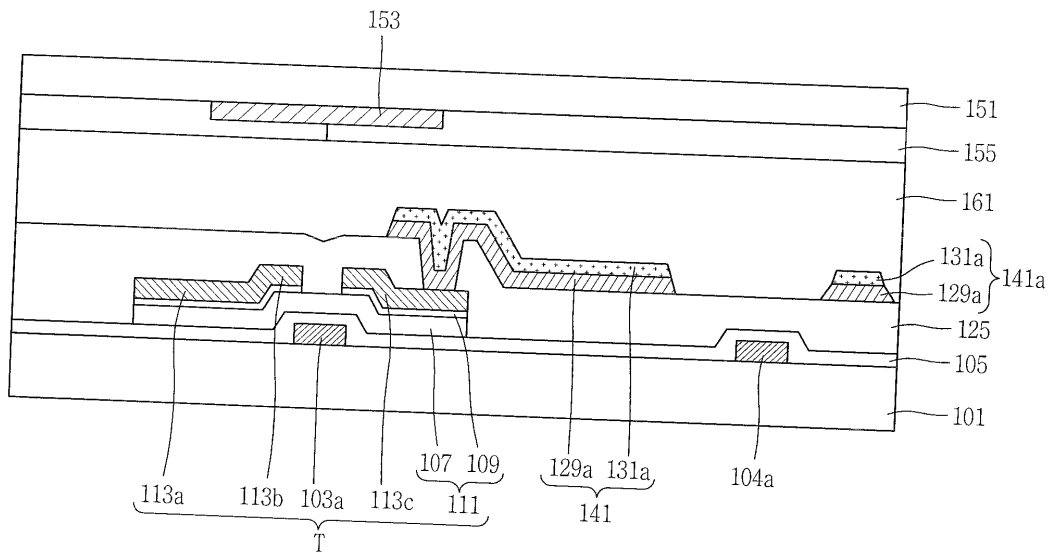
도면51



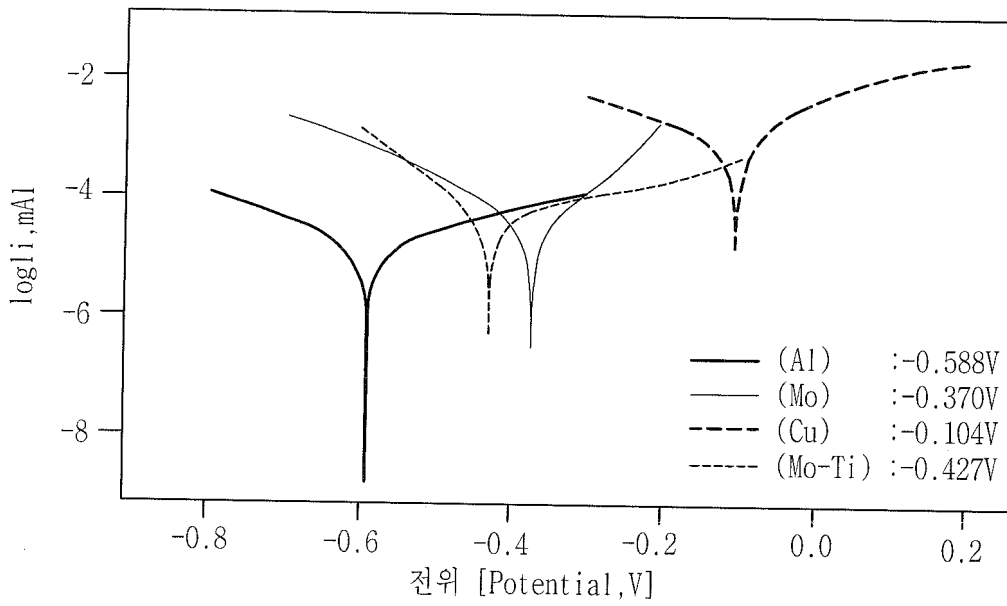
도면5m



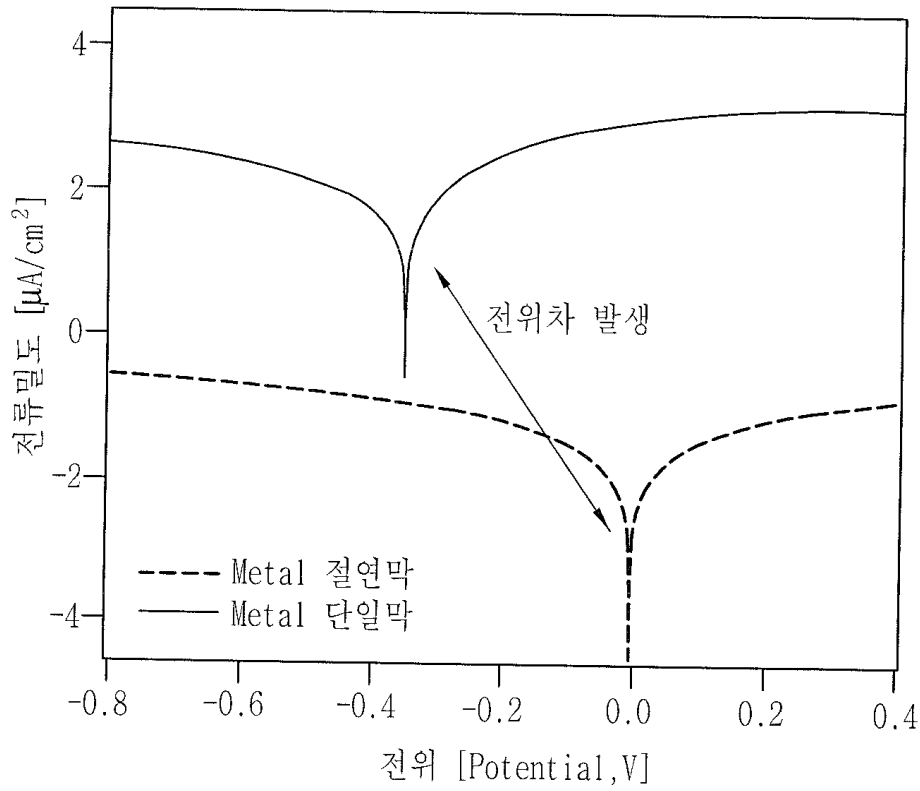
도면5n



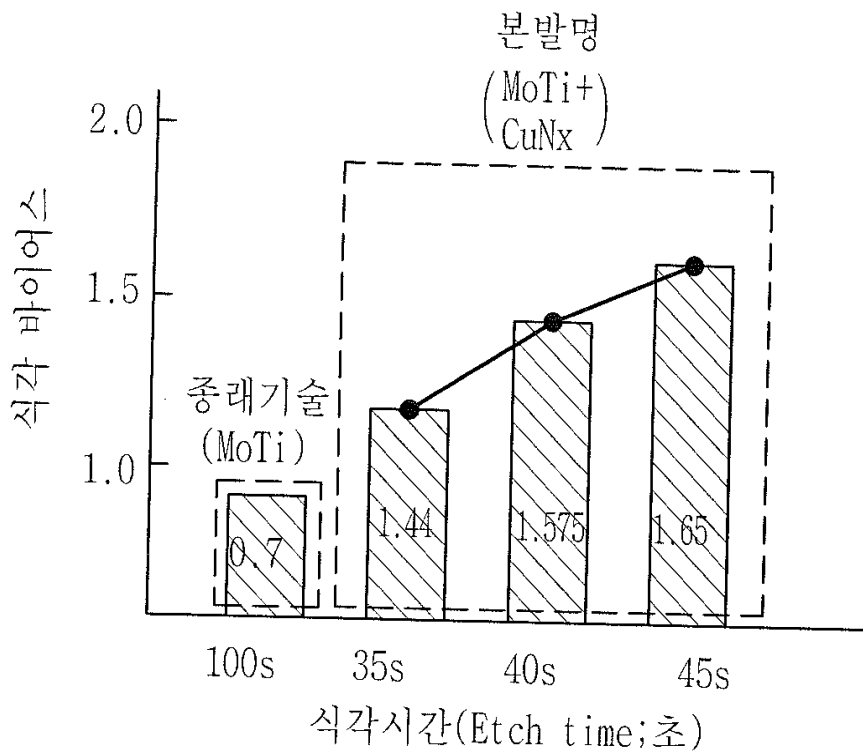
도면6



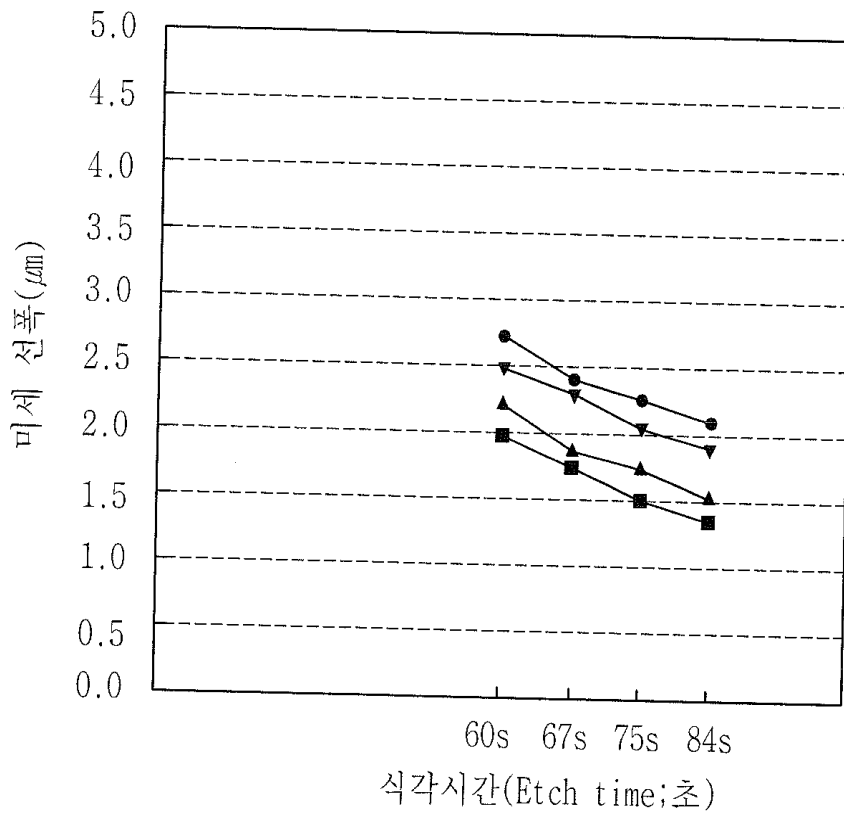
도면7



도면8



도면9



도면10

