



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0091371
(43) 공개일자 2019년08월05일

- | | |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <p>(51) 국제특허분류(Int. Cl.)
<i>G06F 13/16</i> (2006.01) <i>G06F 3/06</i> (2006.01)</p> <p>(52) CPC특허분류
<i>G06F 13/1668</i> (2013.01)
<i>G06F 3/0604</i> (2013.01)</p> <p>(21) 출원번호 10-2019-7021947(분할)</p> <p>(22) 출원일자(국제) 2014년07월31일
심사청구일자 없음</p> <p>(62) 원출원 특허 10-2018-7015376
원출원일자(국제) 2014년07월31일
심사청구일자 2018년05월30일</p> <p>(85) 번역문제출일자 2019년07월25일</p> <p>(86) 국제출원번호 PCT/US2014/049096</p> <p>(87) 국제공개번호 WO 2015/023445
국제공개일자 2015년02월19일</p> <p>(30) 우선권주장
13/965,008 2013년08월12일 미국(US)</p> | <p>(71) 출원인
마이크론 테크놀로지, 인크.
미국, 아이다호, 보이세, 사우스 페더럴 웨이 8000</p> <p>(72) 발명자
프라더, 매튜, 에이.
미국 83706 아이다호주 보이세 에이퍼티. 12 사우스 로저스 폰드 플레이스 1682</p> <p>(74) 대리인
양영준, 백만기</p> |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

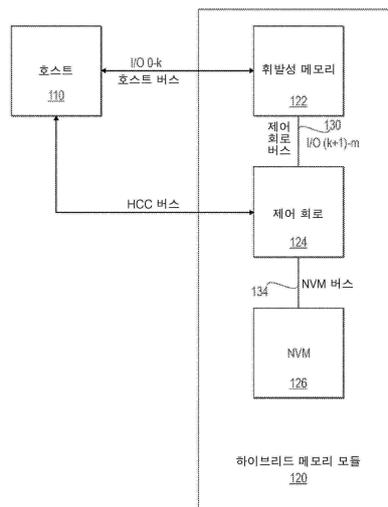
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 하이브리드 메모리 모듈들을 위한 메모리의 I/O들을 구성하기 위한 장치들 및 방법들

(57) 요약

하이브리드 메모리 모듈을 위한 메모리의 I/O들을 구성하기 위한 장치들, 하이브리드 메모리 모듈들, 메모리들, 및 방법들이 설명된다. 예시적인 장치는 비-휘발성 메모리, 비-휘발성 메모리에 결합되는 제어 회로 및 제어 회로에 결합되는 휘발성 메모리를 포함한다. 휘발성 메모리는 버스와 통신을 위해 I/O들의 제1 서브세트를 이네이블하고 제어 회로와의 통신을 위해 I/O의 제2 서브세트를 이네이블하도록 구성되며, 제어 회로는 휘발성 메모리 및 비-휘발성 메모리 간에 정보를 전달하도록 구성된다.

대표도 - 도1



(52) CPC특허분류

G06F 3/0658 (2013.01)

G06F 3/0685 (2013.01)

G06F 2212/205 (2013.01)

명세서

청구범위

청구항 1

방법으로서,

전력 고장 이벤트(power failure event)에 적어도 부분적으로 기초하는 모드에서 메모리 모듈을 동작시키기 위해 호스트 디바이스에 의해 개시되는 명령을 메모리 모듈에서 수신하는 단계 - 상기 동작 모드는 상기 전력 고장 이벤트에 대해 상기 메모리 모듈의 동기 DRAM(synchronous dynamic random-access memory; SDRAM)으로부터 상기 메모리 모듈의 비휘발성 메모리(NVM)로 데이터를 통신하는 것을 포함함 -;

상기 명령에 응답하여 상기 SDRAM으로부터 상기 메모리 모듈의 제어 회로를 통해 상기 NVM으로 상기 데이터를 전달하는 단계; 및

상기 동작 모드에 따라 동작하도록 상기 SDRAM을 구성하는 정보로 상기 SDRAM의 모드 레지스터를 상기 메모리 모듈에 의해 프로그래밍하는 단계 - 상기 프로그래밍은 상기 SDRAM으로부터 상기 NVM으로 상기 데이터를 전달하는 것에 적어도 부분적으로 기초함 -;

를 포함하는 방법.

청구항 2

제1항에 있어서, 상기 동작 모드에 있는 동안 상기 호스트로부터의 명령 시그널링을 회피하는 단계를 더 포함하는 방법.

청구항 3

제1항에 있어서, 상기 메모리 모듈에 대한 전력의 재인가(reapplication)에 적어도 부분적으로 기초하여 상기 제어 회로를 통해 상기 NVM으로부터 상기 SDRAM으로 상기 데이터를 다시 전달하는 단계를 더 포함하는 방법.

청구항 4

제1항에 있어서, 상기 메모리 모듈에 대한 전력의 재인가에 적어도 부분적으로 기초하여 또 다른 동작 모드를 재개(resuming)하는 단계를 더 포함하는 방법.

청구항 5

제4항에 있어서, 상기 다른 동작 모드는 상기 메모리 모듈에 대한 전력의 재인가에 적어도 부분적으로 기초하여 상기 제어 회로를 통해 상기 NVM으로부터 상기 SDRAM으로 상기 데이터를 복원(restoring)하는 것을 포함하는, 방법.

청구항 6

제1항에 있어서, 상기 SDRAM으로부터 상기 NVM으로 데이터를 통신하는 것을 포함하는 동작 모드와 상이한 또 다른 모드에서 상기 메모리 모듈을 동작시키기 위해 상기 호스트 디바이스에 의해 개시되는 또 다른 명령을 상기 메모리 모듈에서 수신하는 단계를 더 포함하는 방법.

청구항 7

제6항에 있어서, 상기 다른 명령은 전력이 상기 메모리 모듈에 재인가된 후에 개시되는, 방법.

청구항 8

제6항에 있어서, 상기 다른 명령 및 상기 메모리 모듈에 대한 전력의 재인가에 적어도 부분적으로 기초하여 상기 SDRAM으로부터 상기 NVM으로 상기 데이터를 복원하는 단계를 더 포함하는 방법.

청구항 9

장치로서,

동기 DRAM(synchronous dynamic random-access memory; SDRAM);

상기 SDRAM과 결합된 비휘발성 메모리(NVM);

상기 NVM과 상기 SDRAM 사이에 결합되고, 복수의 모드에서 동작하며 전력 고장 이벤트에 응답하여 상기 SDRAM으로부터 제어 회로를 통해 상기 NVM으로 데이터를 전달하도록 구성된 상기 제어 회로; 및

상기 SDRAM과 결합되며, 상기 전력 고장 이벤트에 적어도 부분적으로 기초하여 동작 모드들 중 하나에 따라 동작하도록 상기 SDRAM을 구성하는 정보로 상기 제어 회로에 의해 프로그램가능한 모드 레지스터

를 포함하는 장치.

청구항 10

제9항에 있어서, 상기 SDRAM은 상기 장치가 상기 동작 모드들 중 하나에 있는 동안 상기 전력 고장 이벤트에 적어도 부분적으로 기초하여 호스트 디바이스로부터의 명령 시그널링을 회피하도록 구성되는, 장치.

청구항 11

제9항에 있어서, 상기 제어 회로는 상기 장치에 대한 전력의 재인가에 적어도 부분적으로 기초하여 상기 NVM으로부터 상기 SDRAM으로 상기 데이터를 다시 전달하도록 구성되는, 장치.

청구항 12

제9항에 있어서, 상기 제어 회로는 상기 장치에 대한 전력의 재인가에 적어도 부분적으로 기초하여 동작의 또 다른 모드를 재개하도록 구성되는, 장치.

청구항 13

제12항에 있어서, 상기 제어 회로는 상기 메모리 모듈에 대한 상기 전력의 재인가에 적어도 부분적으로 기초하여 상기 NVM으로부터 상기 SDRAM으로 상기 데이터를 복원하도록 구성되는, 장치.

청구항 14

제9항에 있어서, 상기 제어 회로는 상기 장치에 대한 전력의 재인가에 적어도 부분적으로 기초하여 호스트 디바이스에 의해 개시되는 또 다른 명령을 수신하도록 구성되는, 장치.

청구항 15

장치로서,

전력 고장 이벤트에 적어도 부분적으로 기초하는 모드에서 동작시키기 위해 호스트 디바이스에 의해 개시되는 명령을 수신하도록 구성된 제어기 - 상기 동작 모드는 상기 전력 고장 이벤트에 대해 동기 DRAM(synchronous dynamic random-access memory)로부터 비휘발성 메모리(NVM)에 데이터를 통신하는 것을 포함함 -;

제어 로직에 결합되는 복수의 SDRAM;

상기 제어 로직을 통해 상기 복수의 SDRAM과 결합되는 NVM; 및

상기 SDRAM과 결합되고 복수의 동작 모드 중의 상기 동작 모드에 따라 동작하도록 상기 복수의 SDRAM을 구성하는 정보로 상기 제어기에 의해 프로그램가능한 복수의 모드 레지스터

를 포함하는 장치.

청구항 16

제15항에 있어서, 상기 호스트 디바이스에 대한 인터페이스를 더 포함하고, 상기 인터페이스는 상기 전력 고장 이벤트 중에 상기 호스트 디바이스와의 통신을 회피하도록 동작가능한, 장치.

청구항 17

제16항에 있어서, 상기 인터페이스는 상기 디바이스에 대한 전력의 재인가에 적어도 부분적으로 기초하여 상기 호스트 디바이스로부터 명령들을 수신하도록 동작가능한, 장치.

청구항 18

제15항에 있어서, 상기 제어기는:

상기 전력 고장 이벤트에 적어도 부분적으로 기초하여 상기 복수의 SDRAM으로부터 상기 NVM으로 상기 데이터를 전달하고; 그리고

회로에 대한 전력의 재인가에 적어도 부분적으로 기초하여 상기 NVM으로부터 상기 복수의 SDRAM 중의 하나 이상의 SDRAM에 상기 데이터를 전달하도록 구성되는, 장치.

청구항 19

제15항에 있어서, 상기 제어기는 회로에 대한 전력의 재인가에 적어도 부분적으로 기초하여 상기 복수의 동작 모드 중의 한 모드에서 동작을 재개하도록 동작가능한, 장치.

청구항 20

제19항에 있어서, 상기 SDRAM은 상기 복수의 동작 모드 중의 제1 모드에서 동작하는 동안 버스를 통해 상기 호스트와 통신하고 상기 복수의 동작 모드 중의 제2 모드에 있는 동안 상기 호스트와의 통신을 금지(refrain)하도록 구성되는, 장치.

발명의 설명

기술 분야

배경 기술

[0001] 하이브리드 메모리 모듈은 휘발성 메모리(예를 들어, 동적 랜덤 액세스 메모리(DRAM)) 및 비-휘발성 메모리(예를 들어, 플래시 메모리)를 포함하는 메모리 모듈이다. 일부 예들에서, 하이브리드 메모리 모듈은 호스트 제어기에 의해 명령될 때, 데이터를 휘발성 메모리로부터 비-휘발성 메모리에 전달하는 능력을 가지고, 정상 동작 동안 표준 휘발성 메모리로서 기능할 수 있다. 현재 설계들은 호스트 제어기 및 메모리 모듈의 휘발성 메모리 간으로부터 휘발성 메모리 및 메모리 모듈 제어기 간으로의 신호 버스의 스위칭을 가능하게 하는 멀티플렉서 집적 회로들(IC들)을 사용하며, 이는 비-휘발성 메모리에 결합된다. 메모리 모듈 제어기는 휘발성 및/또는 비-휘발성 메모리의 동작을 제어하도록 구성되어, 예를 들어, 서로 간에 데이터를 전달하기 위해 휘발성 및 비-휘발성 메모리들을 제어할 수 있다. 이들 멀티플렉서 IC들은 고가이고, 메모리 모듈 상의 추가적인 공간을 소모할 수 있으며, 전기적 부하를 호스트 제어기 및 휘발성 메모리 간 신호 버스에 추가할 수 있다.

발명의 내용

해결하려는 과제

과제의 해결 수단

[0002] 장치들의 예들이 제공된다. 예시적인 장치는 비-휘발성 메모리 및 비-휘발성 메모리에 결합되는 휘발성 메모리를 포함하는 하이브리드 메모리 모듈을 포함할 수 있다. 휘발성 메모리는 제1 동작 모드에 있는 동안 I/O들의 제1 서브세트를 사용하여 통신하도록 구성될 수 있고 제2 동작 모드에 있는 동안 I/O들의 제2 서브세트를 사용하여 통신하도록 구성될 수 있다.

[0003] 예시적인 장치는 비-휘발성 메모리, 및 비-휘발성 메모리에 결합되는 제어 회로를 포함할 수 있다. 예시적인 장치는 제어 회로에 결합되고 버스와 통신을 위해 I/O들의 제1 서브세트를 이네이블하고 제어 회로와의 통신을

위해 I/O의 제2 서브세트를 이네이블하도록 구성되는 휘발성 메모리를 더 포함할 수 있다. 제어 회로는 휘발성 메모리 및 비-휘발성 메모리 간에 정보를 전달하도록 구성될 수 있다.

[0004] 메모리들의 예들이 제공된다. 예시적인 메모리는 제1 버스에 결합되도록 구성되는 I/O들의 제1 서브세트, 및 제2 버스에 결합되는 I/O들의 제2 서브세트를 포함할 수 있다. 예시적인 메모리는 I/O들의 제1 서브세트에 대해 제1 동작 모드를 설정하기 위한 정보로 프로그래밍되고 I/O들의 제2 서브세트에 대해 제2 동작 모드를 설정하기 위한 정보로 프로그래밍되도록 구성되는 모드 레지스터를 더 포함할 수 있다. 예시적인 메모리는 모드 레지스터에 결합되고 제1 모드가 설정되는 것에 응답하여 I/O들의 제1 서브세트를 통한 통신을 이네이블하고 제2 모드가 설정되는 것에 응답하여 I/O들의 제2 서브세트를 통한 통신을 이네이블하도록 구성되는 제어 로직을 더 포함할 수 있다.

[0005] 하이브리드 메모리 모듈들의 예들이 제공된다. 예시적인 하이브리드 메모리 모듈은 동작 모드에 기초하여, I/O들의 제1 서브세트 또는 I/O들의 제2 서브세트를 사용하여 통신하도록 구성되는 복수의 휘발성 메모리를 포함할 수 있다. 예시적인 하이브리드 메모리 모듈은 I/O들의 제2 서브세트를 통해 복수의 휘발성 메모리와 통신하도록 구성되는 제어 회로를 더 포함할 수 있다.

[0006] 예시적인 방법들이 여기서 개시된다. 예시적인 방법은 휘발성 메모리가 제1 동작 모드에 있는 동안 하이브리드 메모리 모듈의 휘발성 메모리의 I/O들의 제1 서브세트를 통해 호스트로부터 정보를 전달하는 단계를 포함할 수 있다. 예시적인 방법은 휘발성 메모리가 제2 동작 모드에 있는 동안 휘발성 메모리의 I/O들의 제2 서브세트를 통해 하이브리드 메모리 모듈의 제어 회로로 정보를 전달하는 단계를 더 포함할 수 있다.

[0007] 예시적인 방법은 휘발성 메모리를 제1 동작 모드에 응답하여 I/O들의 제1 서브세트를 통해 통신하도록 구성하는 단계, 및 휘발성 메모리를 제2 동작 모드에 응답하여 I/O들의 제2 서브세트를 통해 통신하도록 구성하는 단계를 포함할 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 발명의 실시예에 따른 하이브리드 메모리 모듈을 포함하는 장치의 특정한 예시적인 실시예의 블록도이다.

도 2는 본 발명의 실시예에 따른 하이브리드 메모리 모듈을 포함하는 장치의 특정한 예시적인 실시예의 블록도이다.

도 3은 본 발명의 실시예에 따른 메모리 디바이스의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 발명의 실시예들에 대한 충분한 이해를 제공하기 위해 소정의 세부사항들이 아래에 제시된다. 그러나, 이들 특정한 세부사항들 없이 발명의 실시예들이 실시될 수 있음이 해당 기술분야의 통상의 기술자에게 명백할 것이다. 더욱이, 본 출원에 설명되는 본 발명의 특정한 실시예들은 예로서 제공되는 것일 뿐, 발명의 범위를 이들 특정한 실시예들로 제한하기 위해 사용되어서는 안된다.

[0010] 도 1을 참조하면, 본 발명의 실시예에 따른 하이브리드 메모리 모듈을 포함하는 장치의 특정한 예시적인 실시예가 개시되고 일반적으로 100으로 지정된다. 장치(100)는 집적 회로, 메모리 디바이스, 메모리 시스템, 전자 디바이스 또는 시스템, 스마트폰, 태블릿, 컴퓨터, 서버 등일 수 있다. 장치(100)는 하이브리드 메모리 모듈(120)을 포함할 수 있다. 하이브리드 메모리 모듈(120)은 호스트 버스를 통해 호스트(110)에 결합되는 휘발성 메모리(122)를 포함한다. 휘발성 메모리(122)는 하나 이상의 휘발성 메모리, 예를 들어, DRAM을 포함할 수 있다. 하이브리드 메모리 모듈(120)은 각각의 제어 회로 버스(130)를 통해 휘발성 메모리(122)에 결합되는 제어 회로(124)를 더 포함할 수 있다. 제어 회로(124)는 호스트-제어 회로(HCC; host-control circuit)를 통해 호스트(110)에 더 결합될 수 있다. 제어 회로(124)는 NVM 버스(134)를 통해 비-휘발성 메모리(NVM; non-volatile memory)(126)에 결합될 수 있다. NVM(126)은 하나 이상의 비-휘발성 메모리, 예를 들어, 플래시 메모리를 포함할 수 있다. 휘발성 메모리(122)의 메모리들은 제어 회로 버스(130)(예를 들어, I/O들의 제2 서브세트)를 통해 제어 회로(124)와 통신할 때와 상이한 I/O들의 서브세트(예를 들어, I/O들의 제1 서브세트)를 사용하는 호스트 버스를 통해 호스트(110)와 통신하도록 구성될 수 있다. 통신 동안, 정보(예를 들어, 명령들, 어드레스, 데이터 등)는 예를 들어, 휘발성 메모리(122)의 메모리들 및 호스트(110) 간 및/또는 휘발성 메모리(122)의 메모리들 및 제어 회로(124) 및 NVM(126) 간에 전달될 수 있다.

- [0011] 이전에 설명된 바와 같이, 휘발성 메모리(122)는 하나 이상의 휘발성 메모리를 포함할 수 있다. 휘발성 메모리들은 임의의 유형의 휘발성 메모리, 예를 들어, 임의의 더블 데이터 레이트(DDR; double data rate) 동기 DRAM(SDRAM) 아키텍처(예를 들어, DDR SDRAM, DDR2 SDRAM, DDR3 SDRAM, DDR4 SDRAM 등)일 수 있다. 휘발성 메모리(122)의 메모리들은 x4, x8, x16 이상의 구성(예를 들어, 각각, 4, 8, 16 이상의 I/O들을 포함한다)을 가질 수 있다. 또한, 호스트(110) 및 휘발성 메모리(122)의 메모리들 간 호스트 버스는 x4, x8, 또는 다른 구성을 지원할 수 있다. 예를 들어, 호스트 버스는 72-비트 버스일 수 있다. 휘발성 메모리(122)의 각각의 휘발성 메모리들은 호스트(110)와 통신하기 위해 호스트 버스의 일부분을 사용할 수 있다. 예를 들어, 휘발성 메모리(122)는 각각이 x8 구성을 가지는 메모리들을 포함할 수 있고, 결과적으로, 각 메모리는 통신을 위한 72-비트 호스트 버스 중 각각의 8-비트를 사용할 수 있다. 제어 회로 버스(130)는 호스트 버스보다 작을 수 있다. 예를 들어, 제어 회로 버스(130)는 40-비트일 수 있는 한편 호스트 버스는 72-비트일 수 있다.
- [0012] 일부 실시예들에서, 휘발성 메모리(122)의 각 메모리는 메모리에 대한 동작 파라미터들을 저장하도록 구성되는 각각의 모드 레지스터를 포함할 수 있다. 일부 실시예들에서, 모드 레지스터들은 개별 통신을 위한 I/O들의 서브세트들을 지정하는 동작 모드를 설정하기 위한 정보로 프로그래밍될 수 있다. 예를 들어, 메모리는 통신을 위한 I/O들(0-m)을 포함할 수 있다. 모드 레지스터는 통신을 위한 I/O들의 제1 서브세트(0-k)($k < m$)를 지정하는 제1 동작 모드를 설정하기 위한 정보로 프로그래밍될 수 있고 개별 통신을 위한 I/O들의 제2 서브세트((k+1)-m)를 지정하는 제2 동작 모드를 설정하기 위한 정보로 더 프로그래밍될 수 있다. 상이한 동작 모드들을 설정함으로써, 휘발성 메모리(122)의 메모리들은 제어 회로 버스(130)(예를 들어, I/O들의 제2 서브세트)를 통해 제어 회로(124)와 통신할 때와 상이한 I/O들의 서브세트(예를 들어, I/O들의 제1 서브세트)를 사용하는 호스트 버스를 통해 호스트(110)와 통신하도록 구성될 수 있다.
- [0013] 제어 회로(124)는 휘발성 메모리(122) 및 NVM(126) 간에 정보를 전달할 수 있다. 제어 회로(124)는 애플리케이션-특정 집적 회로(ASIC), 필드-프로그램 가능 게이트 어레이(FPGA), 또는 다른 집적 회로를 포함할 수 있다. 제어 회로(124)는 휘발성 메모리(122) 및 NVM(126) 간 데이터의 전달 동안 에러 산출들 및/또는 체크 기능들을 수행할 수 있다.
- [0014] NVM(126)은 임의의 유형의 비-휘발성 메모리를 포함할 수 있다. 예를 들어, NVM(126)은 플래시 메모리, 이를테면 NAND 플래시 메모리 및 NOR 플래시 메모리를 포함할 수 있다. 제어 회로(124) 및 NVM(126) 간 NVM 버스(134)는 휘발성 메모리(122) 및 제어 회로(124) 간 제어 회로 버스(130)보다 작을 수 있다. NVM(126)의 저장 용량은 휘발성 메모리(122)의 저장 용량보다 클 수 있다. 예를 들어, NVM(126)의 저장 용량은 휘발성 메모리(122)의 저장 용량의 적어도 두 배일 수 있다. 다른 예에서, NVM(126)의 저장 용량은 휘발성 메모리(122)의 저장 용량의 두 배 내지 네 배일 수 있다.
- [0015] 동작 시, 휘발성 메모리(122)는 동작 모드에 기초하여 I/O들의 각각의 서브세트(0-N)(예를 들어, 호스트(110)를 위한 I/O들(0-k); 제어 회로(124)를 위한 I/O들((k+1)-m))를 통해 호스트(110) 및/또는 제어 회로(124)와 선택적으로 통신할 수 있다. 예에서, 제1 동작(정상 동작) 모드 동안, 호스트(110)는 메모리 액세스 동작들을 수행하기 위해 호스트 버스를 통해 휘발성 메모리(122)와 통신한다. 호스트(110)는 제1 동작 모드를 위한 정보를 프로그래밍하기 위한 모드 레지스터 명령들을 휘발성 메모리(122)로 송신함으로써 휘발성 메모리(122)를 제1 동작 모드로 설정할 수 있다. 휘발성 메모리(122) 및 제어 회로(124) 간 통신은 제1 동작 모드 동안 디스에이블될 수 있다. 제2 동작 모드로의 전이는 호스트(110)에 의해 개시될 수 있다. 예를 들어, 호스트(110)는 제2 동작 모드로 전이하기 위해 HCC 버스를 통해 제어 회로(124)로 명령을 송신할 수 있다. 제2 모드 동안, 호스트(110)는 휘발성 메모리(122)의 제어를 제어 회로(124)로 넘긴다. 제어 회로(124)는 제2 동작모드로 설정하기 위한 정보로 모드 레지스터들을 프로그래밍하기 위해 모드 레지스터 명령들 및 정보를 휘발성 메모리(122)의 메모리로 송신함으로써 휘발성 메모리(122)의 메모리를 제2 동작 모드로 설정할 수 있다. 제2 동작 모드에 있는 동안, 휘발성 메모리(122)의 메모리는 제어 회로 버스(130)를 통해 제어 회로(124)와 통신할 수 있다. 예를 들어, 저장될 NVM(126)에 휘발성 메모리(122)의 메모리에 의해 저장되는 데이터를 제공하기 위해, 제2 동작 모드가 사용될 수 있다. 일부 실시예들에서, 정보는 정보의 전달을 관리하는 제어 회로(124)를 이용하여 휘발성 메모리의 메모리로부터 NVM으로 전달된다.
- [0016] 제2 동작 모드에 있는 동안, 제어 회로 버스(130)를 통한 제어 회로(124) 및 휘발성 메모리(122)의 메모리 간 통신은 호스트 버스를 통한 호스트(110) 및 휘발성 메모리(122)의 메모리 간 통신 동안 사용되는 I/O들의 서브세트와 상이한 I/O들의 서브세트를 사용할 수 있다. 예를 들어, 제1 동작 모드에서, 휘발성 메모리(122)의 메모리들은 메모리 액세스 동작들을 수행하기 위해 각각의 I/O들(0-k)(예를 들어, I/O들의 제1 서브세트)을 사용하는 호스트 버스를 통해 호스트(110)와 통신하도록 구성될 수 있다. 또한, 제2 동작 모드에서, 휘발성 메모리

(122)의 메모리들은 메모리 액세스 동작들을 수행하기 위해 각각의 I/O들((k+1)-m)(예를 들어, I/O들의 제2 서브세트)을 사용하는 제어 회로 버스(130)를 통해 호스트(124)와 통신하도록 구성될 수 있다.

[0017] 이전에 설명된 바와 같이, 휘발성 메모리(122)의 메모리들은 호스트(110) 또는 제어 회로(124)를 통해 모드 레지스터들에서의 정보를 프로그래밍하는 모드 레지스터 명령들을 수신할 수 있다. 휘발성 메모리(122)의 메모리들은 모드 레지스터들에 프로그래밍되는 정보에 기초하여 통신을 위한 I/O들의 서브세트(0-m)를 이네이블할 수 있다. 예를 들어, 제1 동작 모드를 위한 제1 정보로 프로그래밍되는 모드 레지스터들에 응답하여, 휘발성 메모리(122)의 메모리들은 각각의 I/O들(0-k)(예를 들어, I/O들의 제1 서브세트)을 통해 통신을 이네이블할 수 있다. 제1 동작 모드에 있는 동안 메모리 액세스 동작들은 휘발성 메모리(122)의 메모리들로부터 데이터를 검색하고 그것들에 데이터를 제공하는 호스트(110)를 포함할 수 있다. 예를 들어, 호스트(110)는 명령들, 어드레스들, 및 데이터를 I/O들(0-k)을 사용하는 호스트 버스를 통해 휘발성 메모리(122)의 메모리들에 제공할 수 있고, 휘발성 메모리(122)의 메모리들은 I/O들(0-k)을 사용하는 호스트 버스를 통해 호스트(110)에 다른 정보뿐만 아니라 데이터도 제공할 수 있다. 제1 동작 모드는 장치(100)의 정상 동작에 대응할 수 있다.

[0018] 휘발성 메모리(122)의 메모리들을 제2 동작 모드로 변경 시, 호스트(110)는 제2 동작 모드를 위한 휘발성 메모리(122)의 메모리들의 모드 레지스터들에서의 정보를 프로그래밍할 수 있다. 휘발성 메모리(122)의 메모리들은 제2 동작 모드를 위한 모드 레지스터들에서 프로그래밍되는 정보에 기초하여 각각의 I/O들((k+1)-m)을 통해 통신을 이네이블할 수 있다. 제2 동작 모드에 있는 동안 메모리 액세스 동작들은 휘발성 메모리(122)의 메모리들로부터 데이터를 검색하고 그것들에 데이터를 제공하는 제어 회로(124)를 포함할 수 있다. 예를 들어, 제어 회로(124)는 명령들, 어드레스들, 및 데이터를 I/O들((k+1)-m)을 사용하는 제어 회로 버스(130)를 통해 휘발성 메모리(122)의 메모리들에 제공할 수 있고, 휘발성 메모리(122)의 메모리들은 I/O들((k+1)-m)을 사용하는 제어 회로(130) 버스를 통해 제어 회로(124)에 다른 정보뿐만 아니라 데이터도 제공할 수 있다.

[0019] 실시예에서, 제2 동작 모드에 있는 동안, 제어 회로(124)는 정보를 휘발성 메모리(122)의 메모리들로부터 NVM(126)으로 전달할 수 있다. 예를 들어, 휘발성 메모리의 메모리들은 전력 고장 이벤트를 위한 제2 동작 모드에서 설정될 수 있다. 휘발성 메모리(122)의 메모리들에 의해 저장되는 데이터는 전원 고장 사이 데이터를 유지하기 위해 제어 회로(124)를 통해 NVM(126)에 전달될 수 있다. 전력이 재-인가되면, NVM(126)에 이전에 저장된 데이터는 제어 회로(124)를 통해 휘발성 메모리(122)로 복원될 수 있다. 전달이 완료되면, 휘발성 메모리(122)의 메모리들은 제1 동작 모드로 설정될 수 있다.

[0020] 이전에 설명된 바와 같이, 휘발성 메모리(122)의 메모리들은 x4, x8, x16 이상의 아키텍처(예를 들어, 각각, 4, 8, 16 이상의 I/O들)에 따라 구성될 수 있다. 또한, 호스트(110) 및 휘발성 메모리(122) 간 호스트 버스는 휘발성 메모리(122)의 메모리들을 위한 x4, x8, 또는 다른 아키텍처를 지원할 수 있다. 휘발성 메모리(122)의 메모리들은 호스트(110)와 통신하기 위해 이용 가능한 I/O들의 서브세트를 사용하도록 구성될 수 있다. 호스트(110)와 통신하기 위해 사용되는 I/O들의 서브세트를 재-라우팅하는 대신, 하이브리드 메모리 모듈(120)은 다른 I/O들의 일부 또는 전부를 사용하는 제어 회로 버스(130)를 통해 제어 회로(124)와 통신하도록 휘발성 메모리(122)의 메모리들을 위한 동작 모드를 설정함으로써 휘발성 메모리(122)의 메모리들의 다른 I/O들의 이점을 취할 수 있다. 예를 들어, 휘발성 메모리(122)의 메모리들의 I/O들(0-k)을 호스트 버스로부터 제어 회로 버스(130)로 전환하기 위한 스위칭 회로를 포함하는 대신, 휘발성 메모리(122)의 메모리들은 상이한 I/O들을 사용하도록 재구성(예를 들어, 상이한 동작 모드를 위해 프로그래밍)될 수 있으며, 이는 동작 속도를 개선하고, 이용 가능한 리얼 에스테이트 공간을 증가시키며, 비용을 감소시킬 수 있다.

[0021] 도 2를 참조하면, 본 발명의 실시예에 따른 하이브리드 메모리 모듈(220)을 포함하는 장치의 특정한 예시적인 실시예가 개시되고 일반적으로 200으로 지정된다. 하이브리드 메모리 모듈은 메모리들(222(0-N))을 포함할 수 있다. 메모리들(222(0-N))은 정보를 저장하도록 구성되고 정보를 판독 및 기록하기 위해 액세스될 수 있다. 메모리들(222(0-N))은 메모리 액세스 동작들에 대한 명령들 및 어드레스들을 제공함으로써 액세스될 수 있다. 메모리들(222(0-N))의 일부 또는 전부는 각각의 I/O들(0-m(0-N))을 가질 수 있으며, 이는 통신을 위해 사용될 수 있다. 하이브리드 메모리 모듈(220)은 제어 회로 버스를 통해 메모리들(222(0-N))과 통신할 수 있는 제어 회로(224)를 더 포함할 수 있다. 제어 회로 버스는 제어 회로 버스들(240(0-N))을 포함하고, 그 각각은 메모리들(222(0-N))의 각각의 메모리에 결합된다. 제어 회로(224)는 NVM 버스(244)를 통해 NVM(126)에 결합될 수 있다. 제어 회로(224)는 또한 호스트-제어 회로(HCC) 버스를 통해 호스트(110)에 결합될 수 있다. 메모리들(222(0-N))은 각각의 I/O들(0-k(0-N))(230(0-N))을 사용하는 호스트 버스를 통해 호스트(110)와 통신하도록 구성될 수 있고/있거나 I/O들((k+1)-m(0-N))(232(0-N))을 사용하는 각각의 제어 회로 버스(240(0-N))를 통해 제어 회로(224)와 선택적으로 통신할 수 있다. 하이브리드 메모리 모듈(220)은 도 1의 하이브리드 메모리 모듈(120)에 포

함될 수 있다. 장치(200)는 도 1의 장치(100)에 대해 이전에 설명되었던 요소들을 포함한다. 그러한 요소들은 도 1에서 사용된 동일한 참조 부호들을 사용하여 도 2에 도시되었고, 공통 요소들의 동작은 이전에 설명된 바와 같다. 결과적으로, 이들 요소들의 동작의 상세한 설명은 간결함을 위하여 반복되지 않을 것이다.

[0022] 메모리들(222(0-N))은 일부 실시예들에서 휘발성 메모리들일 수 있고, 하이브리드 메모리 모듈(220)의 휘발성 메모리 공간을 나타낼 수 있다. 메모리들은 임의의 더블 데이터 레이트(DDR) 동기 DRAM(SDRAM) 아키텍처(예를 들어, DDR SDRAM, DDR2 SDRAM, DDR3 SDRAM, DDR4 SDRAM 등)를 포함하는, 임의의 유형의 메모리 아키텍처일 수 있다. 각각의 메모리들(222(0-N))은 x4, x8, x16 이상의 아키텍처(예를 들어, 각각, 4, 8, 16 이상의 I/O들을 포함한다)에 따라 구성될 수 있다. 각각의 메모리들(222(0-N))의 각각은 메모리들(222(0-N))에 대한 작동 파라미터들을 저장하도록 구성되는 각각의 모드 레지스터(250(0-N))를 포함할 수 있다. 일부 실시예들에서, 모드 레지스터들은 통신을 위해 I/O들의 서브세트들(0-m(0-N))을 지정하는 동작 모드들을 위한 정보로 프로그래밍될 수 있다. 예를 들어, 모드 레지스터는 통신(예를 들어, 호스트 버스를 통한 통신)을 위해 각각의 I/O들(0-k(0-N))(230(0-N))을 지정하는 제1 동작 모드를 위한 정보로 프로그래밍 될 수 있고 통신(예를 들어, 제어 회로 버스(240)를 통한 통신)을 위해 각각의 I/O들((k+1)-m(0-N))(232(0-N))을 지정하는 제2 동작 모드를 위한 정보로 프로그래밍될 수 있다.

[0023] 제어 회로(224)는 메모리들(222(0-N)) 및 NVM(126) 간에 정보를 전달할 수 있다. 제어 회로(224)는 애플리케이션-특정 집적 회로(ASIC), 필드-프로그램 가능 게이트 어레이(FPGA), 또는 다른 회로를 포함할 수 있다. 제어 회로(224)는 메모리들(222(0-N)) 및 NVM(126) 간 정보의 전달 동안 에러 체크 기능들을 수행할 수 있다.

[0024] 동작 시, 메모리들(222(0-N))은 동작 모드에 기초하여 I/O들(0-k(0-N))(230(0-N)) 및 I/O들((k+1)-m)(232(0-N))의 각각의 서브세트를 통해 호스트(110) 및/또는 제어 회로(224)와 선택적으로 통신할 수 있다. 호스트(110)는 제1 동작 모드를 위한 정보를 프로그래밍하기 위해 모드 레지스터 명령들을 메모리들(222(0-N))로 송신함으로써 메모리들(222(0-N))을 제1 동작 모드로 설정할 수 있다. 일부 실시예들에서, 메모리들(222(0-N)) 및 제어 회로(224) 간 통신은 제1 모드 동작에 있을 때 디스에이블될 수 있다. 호스트(110)는 제2 모드로의 전이를 위해 명령을 HCC 버스를 통해 제어 회로(224)로 송신함으로써 제2 동작 모드로의 전이를 개시할 수 있다. 제2 모드에서, 호스트(110)는 메모리들(222(0-N))의 제어를 제어 회로(224)로 넘긴다. 제어 회로(224)는 제2 동작 모드를 위한 정보를 프로그래밍하기 위해 모드 레지스터 명령들을 메모리들(222(0-N))로 송신함으로써 하이브리드 메모리 모듈(220)의 메모리들(222(0-N))을 제2 동작 모드로 설정할 수 있다. 제2 동작 모드에 있는 동안, 메모리들(222(0-N))은 제어 회로 버스(244)를 통해 제어 회로(224)와 통신할 수 있다. 제2 동작 모드에서, 메모리들(222(0-N))에 의해 저장되는 정보 및 NVM(126)에 의해 저장되는 정보는 둘 간에 전달될 수 있으며, 제어 회로(224)는 메모리들(222(0-N)) 및 NVM(126) 간 정보의 전달을 관리한다.

[0025] 제2 동작 모드에 있는 동안, 메모리들(222(0-N)) 및 제어 회로(224) 간 통신은 호스트 버스를 통한 호스트(110)와의 통신을 위해 메모리들(222(0-N))에 의해 사용되는 I/O들의 서브세트와 상이한 I/O들의 서브세트를 사용할 수 있다. 예를 들어, 제1 동작 모드에서, 메모리들(222(0-N))은 각각의 I/O들(0-k)(230(0-N))(예를 들어, I/O들의 제1 서브세트)을 사용하는 호스트를 통해 호스트(110)와 통신하도록 구성될 수 있다. 또한, 제2 동작 모드에서, 메모리들(222(0-N))은 각각의 I/O들((k+1)-m)(232(0-N))(예를 들어, I/O들의 제2 서브세트)을 사용하는 제어 회로 버스를 통해 제어 회로(224)와 통신하도록 구성될 수 있다.

[0026] 이전에 설명된 바와 같이, 메모리들(222(0-N))은 호스트(110) 또는 제어 회로(224)로부터 모드 레지스터들에서의 정보를 프로그래밍하기 위한 모드 레지스터 명령들을 수신할 수 있다. 메모리들(222(0-N))은 모드 레지스터들에서 프로그래밍되는 정보에 기초하여 통신을 위해 상이한 I/O들의 서브세트(0-m)를 사용할 수 있다. 예를 들어, 모드 레지스터들(250(0-N))은 제1 동작 모드를 위한 정보로 프로그래밍 될 수 있고, 각각의 메모리들(222(0-N))은 각각의 I/O들(0-k)(230(0-N))을 통해 통신을 이네이블할 수 있다. 제1 동작 모드에 있는 동안 메모리 액세스 동작들은 메모리들(222(0-N))로부터 데이터를 검색하고 그것들에 데이터를 제공하는 호스트(110)를 포함할 수 있다. 모드 레지스터들(250(0-N))은 제2 동작 모드를 위한 정보로 프로그래밍 될 수 있고, 각각의 DRAM들(222(0-N))은 각각의 I/O들((k+1)-m)(232(0-N))을 통해 통신을 이네이블할 수 있다. 제2 동작 모드에서, 메모리 액세스 동작들은 메모리들(222(0-N))로부터 데이터를 검색하고 그것들에 데이터를 제공하는 제어 회로(224)를 포함할 수 있다. 예를 들어, 제2 동작 모드에서, 제어 회로(224)는 메모리들(222(0-N))로부터 NVM(126)으로 데이터를 전달할 수 있다.

[0027] 휘발성 메모리(122)의 메모리들 및 메모리들(222(0-N))을 위한 제1 및 제2 모드들은 별개로 이네이블되고 디스에이블될 수 있다. 일부 실시예들에서, 제1 및 제2 동작 모드들은 상호 배타적인 동작 모드들일 수 있다, 즉,

제1 동작 모드 또는 제2 동작 모드 어느 하나가 설정될 수 있고 그에 의해 휘발성 메모리(122)의 메모리들이 I/O들의 제1 서브세트(예를 들어, I/O들(0-k)) 또는 I/O들의 제2 서브세트(예를 들어, I/O들((k+1)-m)) 중 어느 하나를 사용하여 통신할 수 있다. 일부 실시예들에서, 제1 및 제2 동작 모드들은 하나 이상의 I/O들의 서브세트를 통해 통신하기 위해 휘발성 메모리(122)의 메모리들에 대해 동시에 설정될 수 있다. 휘발성 메모리(122)의 메모리들 및 메모리들(222(0-N))은 상이한 동작 모드들에 있을 수 있다. 예를 들어, 메모리들의 일부는 제1 동작 모드에 있을 수 있는 한편, 다른 메모리들은 제2 동작 모드에 있을 수 있다. 결과적으로, 메모리들의 일부는 상이한 I/O들의 서브세트를 통해 통신할 수 있다. 두 개의 동작 모드 및 두 개의 I/O들의 서브세트가 이전에 설명되었지만, 본 발명의 실시예들은 이와 같이 제한되지 않는다. 메모리들은 두 개보다 많은 I/O들의 서브세트를 통해 통신하기 위한 두 개보다 많은 동작 모드를 갖도록 구성될 수 있다. 일부 실시예들에서, 하이브리드 메모리 모듈의 메모리들의 일부는 통신을 위한 멀티플렉서 회로를 통해 멀티플렉싱되는 I/O들을 가질 수 있다. 즉, 메모리들 중 하나 이상의 I/O들(0-m)은 상이한 버스에 결합되는 I/O들의 일부 또는 전부를 가지고 동작 모드들을 통해 이네이블될 수 있으며, 다른 I/O들은 멀티플렉서 회로를 통해 상이한 버스에 결합될 수 있다.

[0028] 도 3은 본 발명의 실시예에 따른 메모리(300)의 일부분을 예시한다. 메모리(300)는 메모리 셀들의 메모리 어레이(302)를 포함하며, 이는 예를 들어, 휘발성 메모리 셀들(예를 들어, DRAM 메모리 셀들, SRAM 메모리 셀들), 비-휘발성 메모리 셀들(예를 들어, 플래시 메모리 셀들, 상 변경 메모리 셀들), 또는 일부 다른 유형들의 메모리 셀들일 수 있다. 메모리(300)는 다양한 메모리 작동을 수행하기 위해 명령 버스(308)를 통해 메모리 명령들을 수신하고 메모리(300) 내에 대응하는 제어 신호들을 발생시키는 제어 로직(344)을 포함한다. 제어 로직(344)은 수신된 명령들을 디코딩하는 명령 디코더(306)를 포함할 수 있고, 제어 로직(344)은 내부 제어 신호들을 발생시키기 위해 디코딩된 명령들을 사용한다. 예를 들어, 제어 로직(344)은 메모리 어레이(302)로부터 데이터를 판독하고 그것에 데이터를 기록하기 위한 또는 메모리(300)를 위한 동작 모드를 설정하기 위한 내부 신호들을 발생시키기 위해 사용될 수 있다.

[0029] 제어 로직(344)은 모드 레지스터(314)에 결합될 수 있다. 모드 레지스터(314)는 메모리(300)의 동작을 구성하기 위해 제어 로직(344)에 의해 사용되는 정보로 프로그래밍될 수 있다. 일부 실시예들에서, 모드 레지스터(314)는 동작 모드를 표시하는 정보로 프로그래밍될 수 있다. 예시적인 동작 모드들은 메모리(300)가 모드 레지스터(314)에서 프로그래밍되는 정보에 기초하여 외부 회로와 통신하기 위해 사용하는 I/O 버퍼들(334 및 335)을 구성하는 것을 포함한다. 예를 들어, 모드 레지스터(314)는 I/O 버퍼들(0-k)(334)이 통신을 위해 사용되게 이네이블하는 제1 동작 모드를 위한 정보로 프로그래밍될 수 있다. 또한, 모드 레지스터(314)는 I/O 버퍼들((k+1)-m)(335)이 통신을 위해 사용되게 이네이블하는 제2 동작 모드를 위한 정보로 프로그래밍될 수 있다. 모드 레지스터(314)는 또한 I/O 버퍼들(0-k)(334) 및/또는 I/O 버퍼들((k+1)-m)(335)을 디스에이블하기 위해 제어 로직(344)에 표시하는 정보로 프로그래밍될 수 있다. 메모리(300)는 도 1의 휘발성 메모리(122)의 메모리들 중 하나 및/또는 도 2의 메모리들(222(0-N)) 중 하나에 포함될 수 있다.

[0030] 로우 및 컬럼 어드레스 신호들이 어드레스 버스(320)를 통해 메모리(300)에 인가되고, 어드레스 래치(310)에 제공된다. 그 후 어드레스 래치는 별도의 컬럼 어드레스 및 별도의 로우 어드레스를 출력한다. 로우 및 컬럼 어드레스들은 어드레스 래치(310)에 의해 각각, 로우 디코더(322) 및 컬럼 어드레스 디코더(328)에 제공된다. 컬럼 어드레스 디코더(328)는 각각의 컬럼 어드레스들에 대응하는 어레이(302)를 통해 연장되는 비트 라인들을 선택한다. 로우 디코더(322)는 수신되는 로우 어드레스들에 대응하는 메모리 어레이(302) 내 메모리 셀들의 각각의 로우들을 활성화시키는 워드 라인 드라이버(324)에 연결된다. 수신된 컬럼 어드레스에 대응하는 선택된 디지털 라인(예를 들어, 비트 라인 또는 비트 라인들)은 입력-출력 데이터 버스(340)를 통해 I/O 버퍼들(0-k)(334) 및/또는 I/O 버퍼들((k+1)-m)(335)에 판독 데이터를 제공하기 위해 판독/기록 회로(330)에 결합된다.

[0031] 이전에 설명된 바와 같이, 제어 로직(344)은 모드 레지스터(314) 내로 정보를 프로그래밍하기 위한 모드 레지스터 명령들을 수신할 수 있고, 모드 레지스터(314)에서의 정보는 메모리(300)의 동작 모드를 제어할 수 있다. 제어 로직(344)은 모드 레지스터(314)에서 프로그래밍되는 정보에 기초하여 동작 모드를 결정한다. 제1 동작 모드에 있는 동안, 제어 로직(344)은 I/O 버퍼들(0-k)(334)이 판독 데이터를 제공하고 기록 데이터를 수신하게 이네이블할 수 있다. 제2 동작 모드에 있는 동안, 제어 로직(344)은 I/O 버퍼들((k+1)-m)(335)이 판독 데이터를 제공하고 기록 데이터를 수신하게 이네이블할 수 있다.

[0032] 다양한 예시적 구성요소, 블록, 구조, 모듈, 회로, 및 단계가 일반적으로 그 기능 측면에서 상기에서 설명되었다. 통상의 기술자들은 각 특정한 애플리케이션을 위해 방식들을 달리하면서 설명된 기능을 구현할 수 있으나,

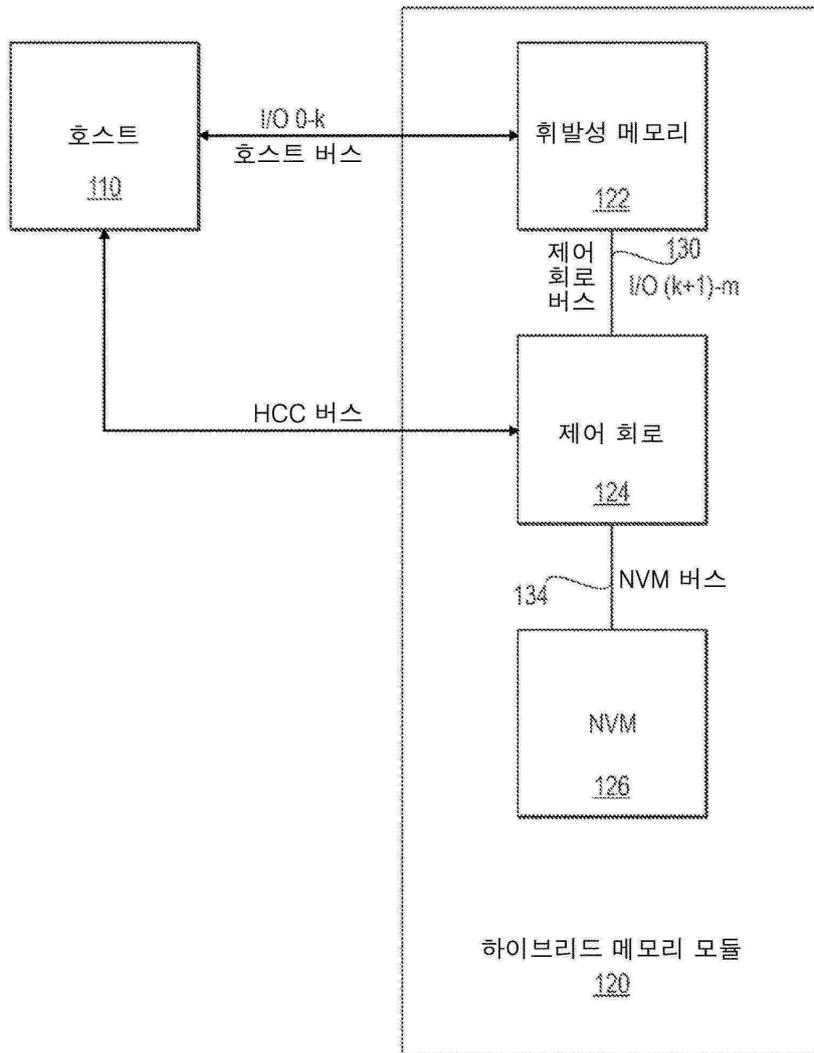
그러한 구현에 결정들이 본 발명의 범위로 부터 벗어나는 것으로 해석되어서는 안된다.

[0033]

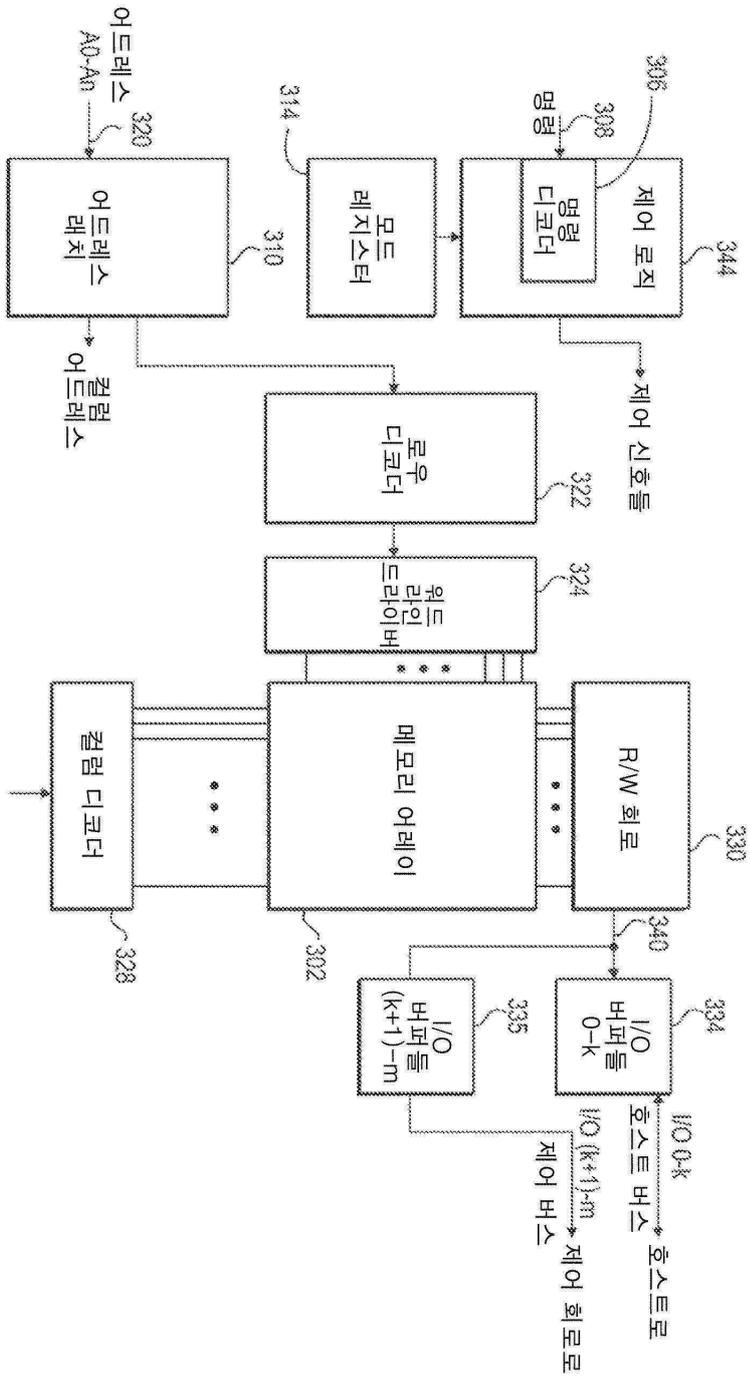
개시된 실시예들의 이전 설명은 해당 기술분야의 통상의 기술자가 개시된 실시예들을 실시 또는 이용할 수 있도록 하기 위해 제공된다. 이들 실시예들에 대한 다양한 변형예들이 해당 기술분야의 통상의 기술자들에게 용이하게 명백해질 것이며, 본 출원에서 규정되는 원리들이 본 발명의 범위에서 벗어나지 않고 다른 실시예들에 적용될 수 있다. 따라서, 본 발명은 본 출원에 제시된 실시예들에 제한되도록 의도되는 것이 아니며, 이전에 설명된 원리들 및 신규한 특징들에 맞게 가능한 가장 넓은 범위에 따라야 한다.

도면

도면1



도면3



300