



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I613664 B

(45) 公告日：中華民國 107 (2018) 年 02 月 01 日

(21) 申請案號：103104293

(22) 申請日：中華民國 103 (2014) 年 02 月 10 日

(51) Int. Cl. : G11C29/04 (2006.01)

G11C8/06 (2006.01)

(30) 優先權：2013/06/28 南韓

10-2013-0075498

(71) 申請人：愛思開海力士有限公司 (南韓) SK HYNIX INC. (KR)

南韓

(72) 發明人：宋清基 SONG, CHOUNG-KI (KR)

(74) 代理人：陳長文

(56) 參考文獻：

US 5251177

US 6327209B1

US 6940774B2

US 7215589B2

US 7688662B2

US 2011/0141836A1

US 2013/0016574A1

審查人員：蕭明椿

申請專利範圍項數：15 項 圖式數：10 共 39 頁

(54) 名稱

記憶體及包含其之記憶體系統

MEMORY AND MEMORY SYSTEM INCLUDING THE SAME

(57) 摘要

本發明揭示一種記憶體，其包含：複數個字線，其各自與至少一個記憶體胞元耦合；一位址儲存單元，其可儲存對應於該等字線中之至少一者之至少一個目標位址；及一控制單元，其回應於以一設定間隔輸入之一再新命令而按順序啟動該複數個字線且每當輸入該再新命令等於或多於兩次之設定次數時可啟動基於該目標位址而選擇之該字線。

A memory includes a plurality of word lines each coupled with at least one memory cell, an address storing unit that may store at least one target address corresponding to at least one of the word lines, and a control unit that may sequentially activate the plurality of word lines in response to a refresh command that is inputted at a set interval, and may activate the word line selected based on the target address whenever the refresh command is inputted a set number of times that is equal to or more than two times.

指定代表圖：

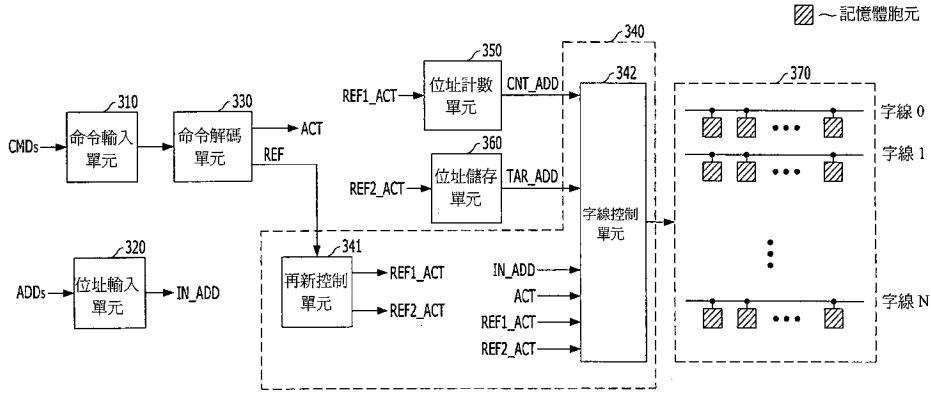


圖 3

符號簡單說明：

- 310 . . . 命令輸入單元
- 320 . . . 位址輸入單元
- 330 . . . 命令解碼單元
- 340 . . . 控制單元
- 341 . . . 再新控制單元
- 342 . . . 字線控制單元
- 350 . . . 位址計數單元
- 360 . . . 位址儲存單元
- 370 . . . 胞元陣列
- ACT . . . 有效命令
- ADDs . . . 位址
- CMDs . . . 命令
- CNT_ADD . . . 計數位址
- IN_ADD . . . 輸入位址/位址
- REF . . . 再新命令
- REF1_ACT . . . 第一再新有效信號
- REF2_ACT . . . 第二再新有效信號
- TAR_ADD . . . 目標位址/位址
- WL0 . . . 字線
- WL1 . . . 字線
- WLN . . . 字線

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

記憶體及包含其之記憶體系統

MEMORY AND MEMORY SYSTEM INCLUDING THE SAME

相關申請案之交叉參考

本申請案主張於2013年6月28日提出申請之韓國專利申請案第10-2013-0075498號之優先權，該專利申請案之全文以引用方式併入本文中。

【技術領域】

本發明之例示性實施例係關於一種記憶體及一種包含該記憶體之記憶體系統，且更特定而言係關於一種用於一記憶體及一記憶體系統之再新技術。

【先前技術】

一記憶體之一記憶體胞元包含用作一切換器之一電晶體及用於儲存電荷(即，一資料)之一電容器。儲存於一記憶體胞元中之資料之邏輯位準可根據記憶體胞元之電容器中是否存在一電荷(即，電容器之端部處之電壓係高還是低)而在「高(邏輯1)」與「低(邏輯0)」之位準之間區分。

一資料可儲存且留存於一記憶體胞元中，只要電荷累積於一電容器中藉此原則上不消耗電力即可。然而，由於儲存於電容器中之電荷之初始量可由於一金屬氧化物半導體(MOS)電晶體之一PN接合/接面中所產生之洩漏電流而減小，因此可丟失資料。為防止資料之丟失，在記憶體胞元中之資料丟失之前讀取該資料且可根據讀取之資訊將記憶體胞元再充電以維持電荷之初始量。週期性地重複此操作以留

5

存資料，且將記憶體胞元再充電之操作稱作一再新操作。

每當自一記憶體控制器至一記憶體地施加一再新命令時執行一再新操作。慮及記憶體之資料留存時間，記憶體控制器每隔預定時間將一再新命令施加至記憶體。舉例而言，當一記憶體之資料留存時間係64 ms且僅在施加一再新命令8000次之後再新記憶體中之所有記憶體胞元時，記憶體控制器在64 ms之期限期間將一再新命令施加至記憶體8000次。當其出現於記憶體中所包含之某些記憶體胞元之資料留存時間不超過一預定參考時間之一記憶體測試過程中時，記憶體被視為一有缺陷的記憶體且被拋棄。

【發明內容】

本發明之一實施例係關於一種記憶體及一種包含該記憶體之記憶體系統，該記憶體甚至在該記憶體包含具有一不充足資料留存時間之一記憶體胞元時亦適當地操作。

本發明之另一實施例係關於一種記憶體及一種包含該記憶體之記憶體系統，該記憶體甚至在該記憶體包含其資料由於字線干擾而具有一惡化風險之一記憶體胞元時亦適當地操作。

根據本發明之一實施例，一種記憶體包含：複數個字線，其各自與至少一個記憶體胞元耦合；一位址儲存單元，其可儲存對應於該等字線中之至少一者之至少一個目標位址；及一控制單元，其可回應於以一設定間隔輸入之一再新命令而按順序啟動該複數個字線且每當輸入該再新命令等於或多於兩次之設定次數時啟動基於該目標位址而選擇之該字線。

根據本發明之另一實施例，一種記憶體包含：複數個字線，其各自與至少一個記憶體胞元耦合；一位址輸入單元，其可接收一外部輸入位址；一位址計數單元，其可執行一計數操作且可在輸入一再新命令時基於一計數操作結果而產生一計數位址；一位址儲存單元，其

可儲存對應於該等字線中之至少一者之至少一個目標位址；及一控制單元，其可在輸入一有效命令時啟動對應於該外部輸入位址之至少一字線、可回應於該再新命令而啟動對應於該計數位址之至少一字線且每當輸入該再新命令等於或多於兩次之設定次數時可啟動基於該目標位址而選擇之該字線。

根據本發明之又一實施例，一種記憶體系統包含：一記憶體，其包含各自與至少一個記憶體胞元耦合之複數個字線且可回應於一再新命令而按順序啟動該複數個字線且每當輸入該再新命令等於或多於兩次之設定次數時可啟動該複數個字線當中基於一所儲存目標位址而選擇之一字線；及一記憶體控制器，其可在一再新操作期間以一設定間隔將該再新命令輸入至該記憶體。

基於該目標位址而選擇之字線可包含以下各項當中之至少一者：一第一字線，其與具有比一參考時間短之一資料留存時間之一記憶體胞元耦合；一第二字線，其回應於一有效命令而啟動一參考次數以上；一第三字線，其毗鄰於該第二字線；一第四字線，其以滿足一設定條件之一頻率回應於該有效命令而啟動；及一第五字線，其毗鄰於該第四字線。

該記憶體控制器可在一有效操作期間將一有效命令及一位址輸入至該記憶體。且，該記憶體可回應於該有效命令而啟動對應於自該記憶體控制器輸入之位址之至少一字線。

該記憶體可在輸入一有效命令時啟動對應於一外部輸入位址之一字線，且在輸入該再新命令時啟動對應於藉由每當輸入該再新命令時執行一計數操作而產生之一計數位址之一字線，且每當以該次數輸入該再新命令時啟動基於該目標位址而選擇之該字線。

該記憶體可每當輸入該再新命令時啟動至少一個字線，且每當輸入該再新命令N次時啟動多於該至少一個字線之至少兩個字線，其

中N係等於或大於2之一自然數，其中該至少兩個字線包含基於該目標位址而選擇之一字線。

根據本發明之又一實施例，一種記憶體包含：複數個胞元陣列，其中之每一者包含各自與至少一個記憶體胞元耦合之複數個字線；一位址儲存單元，其可儲存對應於該等胞元陣列之該等字線中之至少一者之至少一個目標位址；及一再新控制單元，其可回應於以一設定間隔輸入之一再新命令而啓動對應於該等各別胞元陣列之複數個第一再新有效信號且每當輸入該再新命令等於或多於兩次之設定次數時啓動對應於該等各別胞元陣列之複數個第二再新有效信號；及複數個字線控制單元，其可回應於該複數個第一再新有效信號當中之第一對第一再新有效信號而按順序啓動一對應胞元陣列之該複數個字線且可回應於該複數個第二再新有效信號當中之第一對第二再新有效信號而啓動基於該對應胞元陣列之該目標位址而選擇之該字線。

【圖式簡單說明】

圖1係用於闡述一再新操作之一記憶體之一方塊圖；

圖2A及圖2B圖解說明一再新操作模式中之圖1中所展示之記憶體之一再新操作；

圖3係圖解說明根據本發明之一實施例之一記憶體之一方塊圖；

圖4係圖解說明圖3中所展示之一字線控制單元342之一方塊圖；

圖5圖解說明圖3中所展示之記憶體之一操作；

圖6係圖解說明根據本發明之另一實施例之一記憶體之一方塊圖；

圖7係圖解說明本發明之又一實施例之一記憶體之一方塊圖；

圖8係圖解說明圖7中所展示之一再新控制單元740之一方塊圖；

圖9圖解說明圖7中所展示之記憶體之一操作；且

圖10係圖解說明根據本發明之一實施例之一記憶體系統之一方

塊圖。

【實施方式】

下文將參考隨附圖式更詳細地闡述本發明之例示性實施例。然而，本發明可以不同形式體現且不應將其理解為限於本文中所陳述之實施例。相反，提供此等實施例旨在使本揭示內容透徹及完整並將向熟習此項技術者全面傳達本發明之範疇。在本揭示內容通篇中，在本發明之所有各種圖及實施例中相同參考編號指代相同部分。亦應注意，在本說明書中，「連接/耦合」係指不僅直接耦合另一組件而且透過一中間組件間接耦合另一組件之一個組件。另外，一單數形式可包含一複數形式，只要其並非在一句子中特定提及即可。

下文中，當回應於一再新命令而啟動一字線時，再新與所啟動之字線耦合之記憶體胞元。因此，回應於一再新命令而啟動一字線表明：再新與該字線耦合之記憶體胞元。此外，字線之再新意指：再新與字線耦合之記憶體胞元。

圖1係用於闡述一再新操作之一記憶體之一方塊圖。

參考圖1，記憶體包含一命令輸入單元110、一位址輸入單元120、一命令解碼單元130、一再新控制單元140、一位址計數單元150、一字線控制單元160及包含複數個字線WL0至WLN之一胞元陣列170。每一字線與複數個記憶體胞元MC耦合。

命令輸入單元110接收自一記憶體控制器施加之一命令CMD_s。位址輸入單元120接收自記憶體控制器施加之一位址ADD_s。命令CMD_s及位址ADD_s中之每一者包含多位元信號。

命令解碼單元130解碼透過命令輸入單元110輸入之命令CMD_s以產生一有效命令ACT及一再新命令REF。當命令信號之輸入組合CMD_s對應於有效命令ACT時，啟動有效命令ACT。否則，當命令信號之輸入組合CMD_s表示再新命令REF時，啟動再新命令REF。另外，

命令解碼單元130解碼命令信號之輸入組合CMD,以產生如一預充電命令、一讀取命令及一寫入命令一樣之命令，但由於此等功能不與本發明直接相關，因此其並未在本文中圖解說明且闡述。

再新控制單元140回應於再新命令REF而控制記憶體之一再新操作。當輸入再新命令REF時，再新控制單元140啟動用於控制胞元陣列170之再新之一再新有效信號REF_ACT一或多次。本文中，根據如何設置一再新操作模式，當輸入再新命令REF一次時啟動再新有效信號REF_ACT之次數可係不同的。當輸入再新命令REF一次時啟動再新有效信號REF_ACT之次數與當輸入再新命令REF一次時再新之字線之數目相關。

舉例而言，當將記憶體之再新操作模式設定為一第一模式(舉例而言，啟動一第一模式信號MODE1)時，可在輸入再新命令REF一次時啟動再新有效信號REF_ACT一次。當將記憶體之再新操作模式設定為一第二模式(舉例而言，啟動一第二模式信號MODE2)時，可在輸入再新命令REF一次時啟動再新有效信號REF_ACT兩次。

位址計數單元150在輸入再新命令REF時執行一計數操作一或多次且基於計數操作結果(其在於胞元陣列170中執行一再新操作時使用)而產生一計數位址CNT_ADD。位址計數單元150藉由每當啟動再新有效信號REF_ACT時執行計數操作來產生計數位址CNT_ADD。舉例而言，當啟動再新有效信號REF_ACT時，位址計數單元150將計數位址CNT_ADD之值增加1，此意指當選擇並再新一第K字線WLK時位址變化以使得下一次選擇並再新一第(K+1)字線WLK+1。

字線控制單元160啟動基於一位址IN_ADD或CNT_ADD而選擇之一字線，接著在執行一既定操作之後，其將經啟動字線預充電(撤消啟動)。字線控制單元160在一有效操作期間回應於有效命令ACT而啟動基於自位址輸入單元120輸入之位址IN_ADD所選擇之字線，且其

在一再新操作期間回應於再新有效信號REF_ACT而啓動(亦即，再新)基於計數位址CNT_ADD所選擇之字線。

圖2A及圖2B圖解說明一再新操作模式中之圖1中所展示之記憶體之一再新操作。當自記憶體控制器輸入再新命令之頻率係恆定時，可在記憶體內使用再新操作模式來增加執行一再新操作之頻率。

圖2A圖解說明當將記憶體之再新操作模式設定成一第一操作模式時之記憶體之一再新操作。

參考圖2A，每當輸入再新命令REF時，在記憶體內啓動再新有效信號REF_ACT一次，且再新一個字線。在第一操作模式中，具有一短資料留存時間之彼等記憶體胞元可使其資料丟失，從而造成記憶體之失效。

圖2B圖解說明當將記憶體之再新操作模式設定成一第二操作模式時之記憶體之一再新操作。

參考圖2B，每當輸入再新命令REF時，在記憶體內啓動再新有效信號REF_ACT兩次，且再新兩個字線。在第二操作模式中，記憶體在相同時間期間兩倍於第一操作模式地執行再新操作，從而將記憶體之資料留存時間減少成第一操作模式中所需之資料留存時間之一半。因此，與第一操作模式相比，可在第二操作模式中適當地再新甚至具有一短資料留存時間之一記憶體胞元。

當較頻繁地再新字線時，消耗多得多的電流。因此，當在第二操作模式中執行再新操作時比當在第一操作模式中執行再新操作時消耗較多電流。

圖3係圖解說明根據本發明之一實施例之一記憶體之一方塊圖。

參考圖3，記憶體包含一命令輸入單元310、一位址輸入單元320、一命令解碼單元330、一控制單元340、一位址計數單元350、一位址儲存單元360及包含複數個字線WL0至WLN之一胞元陣列370。

該複數個字線中之每一者與複數個記憶體胞元MC耦合。圖3展示與在一記憶體中執行之一有效操作及一再新操作相關之結構，且省略不與本發明之技術(諸如一讀取操作及一寫入操作)直接相關之其他結構。

下文中，參考圖3闡述記憶體。

命令輸入單元310接收自一記憶體控制器施加之一命令 CMD_s 。位址輸入單元320接收自記憶體控制器施加之一位址 ADD_s 。命令 CMD_s 及位址 ADD_s 中之每一者包含多位元信號。

命令解碼單元330解碼透過命令輸入單元310輸入之命令 CMD_s 以產生一有效命令ACT及一再新命令REF。命令解碼單元330與上文參考圖1所闡述相同。

控制單元340回應於一命令ACT或REF而啟動胞元陣列370之複數個字線WL0至WLN當中之基於位址IN_ADD、CNT_ADD及TAR_ADD所選擇之一字線。控制單元340在於一有效操作期間輸入一有效命令ACT時啟動對應於由位址輸入單元320輸入之一輸入位址IN_ADD之一字線。控制單元340回應於在一再新操作期間以一預定間隔輸入之一再新命令REF而按順序啟動複數個字線WL0至WLN。每當輸入再新命令REF等於或多於兩次之一預定次數(下文中，其係N次)時，控制單元340啟動基於一目標位址TAR_ADD而選擇之字線。控制單元340可藉由使用目標位址TAR_ADD在對應於目標位址TAR_ADD之字線及毗鄰於對應於目標位址TAR_ADD之字線之字線當中選擇至少一個字線。

每當輸入再新命令REF時控制單元340啟動至少一個字線，且每當輸入再新命令REF N次時控制單元340啟動包含對應於目標位址TAR_ADD之一字線之至少兩個字線(其多於至少一個字線)，其中N係等於或大於2之一自然數。總之，每當輸入再新命令REF N次時，控制單元340再新比一般情形多之字線。對於操作，控制單元340可包含

一再新控制單元341及一字線控制單元342。

下文中闡述的係以下之一情形：每當輸入再新命令REF時控制單元340啓動一個字線，且每當輸入再新命令REF 8次(N=8)時其啓動兩個字線，其中該兩個字線中之一者係對應於目標位址TAR_ADD之一字線。

再新控制單元341回應於再新命令REF而控制記憶體之再新操作。再新控制單元341回應於再新命令REF而啓動一第一再新有效信號REF1_ACT，且其每當輸入再新命令REF N次時啓動一第二再新有效信號REF2_ACT，其中N係等於或大於2之一自然數。

每當輸入再新命令REF時，再新控制單元341啓動第一再新有效信號REF1_ACT一次，且每當輸入再新命令REF 8次時，其啓動第一再新有效信號REF1_ACT一次且接著另外啓動第二再新有效信號REF2_ACT一次。

字線控制單元342在輸入有效命令ACT時啓動對應於輸入位址IN_ADD之一字線、在啓動第一再新有效信號REF1_ACT時啓動對應於一計數位址CNT_ADD之一字線且在啓動第二再新有效信號REF2_ACT時啓動基於目標位址TAR_ADD而選擇之一字線。基於目標位址TAR_ADD而選擇之字線可包含對應於目標位址TAR_ADD之字線及毗鄰於對應於目標位址TAR_ADD之字線之字線當中之至少一個字線。

位址計數單元350在輸入再新命令REF時執行一計數操作一或多次且基於計數操作結果而產生一計數位址CNT_ADD。舉例而言，位址計數單元350每當啓動第一再新有效信號REF1_ACT時將計數位址CNT_ADD之值增加「1」，此意指當選擇並再新一第K字線WLK時位址變化以使得下一次選擇並再新一第(K+1)字線WLK+1。因此，藉由使用計數位址CNT_ADD來按順序再新字線WL0至WLN。

位址儲存單元360儲存對應於複數個字線WL0至WLN當中之至少一個字線之至少一個目標位址TAR_ADD。當啓動第二再新有效信號REF2_ACT時，位址儲存單元360輸出所儲存之目標位址TAR_ADD。當儲存於位址儲存單元360中之目標位址TAR_ADD之數目係2或更大時，位址儲存單元360可每當啓動第二再新有效信號REF2_ACT時逐個按順序輸出至少兩個目標位址TAR_ADD。

基於目標位址TAR_ADD而選擇之字線可係滿足以下條件中之至少一者之一字線：(1)一第一條件，字線與具有比一參考時間短之一資料留存時間之一記憶體胞元耦合；(2)一第二條件，回應於有效命令ACT或毗鄰於此一字線而啓動字線參考次數以上；及(3)一第三條件，回應於有效命令ACT以某些條件之頻率或毗鄰於此一字線啓動字線。圖3圖解說明對應於目標位址TAR_ADD之字線與其資料留存時間短於參考時間之一記憶體胞元耦合之第一條件(1)。稍後將參考圖6闡述條件(2)及(3)。

可透過在製作記憶體之進程中執行之一測試來偵測與其資料留存時間短於參考時間之一記憶體胞元MC耦合之字線。因此，可透過在製作記憶體之進程中執行之測試來偵測目標位址TAR_ADD且將其儲存於位址儲存單元360中。本文中，可根據記憶體之設計規範來決定參考時間。舉例而言，若設計規範將參考時間指定為64 ms，則另外將在64 ms之期限過去之前再新與其資料留存時間短於64 ms之一記憶體胞元耦合之字線。

圖4係圖解說明字線控制單元342之一方塊圖。

參考圖4，字線控制單元342可包含一位址傳送單元410及一字線驅動器420。

位址傳送單元410傳送輸入位址IN_ADD、計數位址CNT_ADD及目標位址TAR_ADD當中之一者作為一位址信號ATR_ADD。當啓動有

效命令ACT時，位址傳送單元410傳送輸入位址IN_ADD作為位址信號ATR_ADD，且當啟動第一再新有效信號REF1_ACT時，其傳送計數位址CNT_ADD作為位址信號ATR_ADD。當啟動第二再新有效信號REF2_ACT時，其傳送目標位址TAR_ADD作為位址信號ATR_ADD。

當啟動有效命令ACT、第一再新有效信號REF1_ACT及第二再新有效信號REF2_ACT當中之一個信號時，字線驅動器420啟動複數個字線WL0至WLN當中之對應於位址信號ATR_ADD之一字線。字線驅動器420可將基於位址信號ATR_ADD而選擇之字線驅動至啟動電壓位準。

圖5圖解說明圖3中所展示之記憶體之一操作。

下文中闡述的係以下之一情形：當輸入再新命令REF時再新一個字線，且每當輸入再新命令REF 8次時再新包含基於目標位址TAR_ADD而選擇之一個字線之兩個字線。以一預定間隔輸入再新命令REF，且可在再新命令REF之輸入之間輸入有效命令ACT。本文中作為一實例闡述的係，再新操作自字線WL0開始且字線WLK對應於目標位址TAR_ADD。

參考圖3至圖5闡述記憶體之操作。

當第一次輸入再新命令REF時，啟動第一再新有效信號REF1_ACT且傳送計數位址CNT_ADD作為位址信號ATR_ADD。計數位址CNT_ADD具有對應於字線WL0之一值，因此在複數個字線WL0至WLN當中再新字線WL0。當第二至第七次輸入再新命令REF時，傳送計數位址CNT_ADD作為位址信號ATR_ADD，正如第一次輸入再新命令REF，且按順序再新字線WL1至WL6。

當在再新命令REF之輸入之間輸入有效命令ACT時，傳送輸入位址IN_ADD作為位址信號ATR_ADD且在複數個字線WL0至WLN當中啟動對應於輸入位址IN_ADD之字線。

當第八次輸入再新命令REF時，首先啓動第一再新有效信號REF1_ACT，接著傳送計數位址CNT_ADD作為位址信號ATR_ADD以啓動字線WL7。隨後，啓動第二再新有效信號REF2_ACT並傳送目標位址TAR_ADD作為位址信號ATR_ADD且另外再新字線WLK，而不管正執行之一般再新操作如何。

隨後，當輸入再新命令REF時，傳送計數位址CNT_ADD作為位址信號ATR_ADD以再新一字線，正如第一次輸入再新命令REF，且每當輸入再新命令REF達8次之多時，另外傳送目標位址TAR_ADD作為位址信號ATR_ADD以再新字線WLK。

根據本發明之實施例，每當輸入再新命令REF時記憶體可逐個按順序再新複數個字線，且當輸入再新命令REF等於或多於兩次之一預定次數時記憶體另外再新基於目標位址TAR_ADD而選擇之一字線，以使得與具有一短資料留存時間之一記憶體胞元MC耦合之字線可用作一正常字線，同時藉由使在每一再新操作中再新之字線之數目最小化而減少記憶體之電流消耗。

上文闡述的係以下之一情形：每當輸入再新命令REF時逐個再新複數個字線，且每當輸入再新命令REF 8次時另外再新基於目標位址TAR_ADD而選擇之字線。根據例示性實施例，每當輸入再新命令REF時可啓動一或多個字線，且每當施加再新命令REF一預定次數時可啓動多於一或多個字線之字線，該預定次數並非8次而是等於或多於兩次。每當施加再新命令REF N次時，僅可再新基於目標位址TAR_ADD而選擇之字線。每當輸入再新命令REF N次時，位址計數單元350可經設計而不執行計數操作且再新控制單元341可經設計而不啓動第一再新有效信號REF1_ACT。

圖6係圖解說明根據本發明之另一實施例之一記憶體之一方塊圖。

除圖3中所展示之記憶體之結構以外，圖6之記憶體還可包含一位址偵測單元610。圖6中所展示之記憶體之結構及操作與圖3中所展示之彼等相同，惟位址偵測單元610除外。

如上文參考圖3所闡述，基於目標位址TAR_ADD而選擇之字線可係滿足條件(1)、(2)及(3)中之至少一者之一字線。可在製作記憶體之過程中儲存滿足第一條件(1)之字線之目標位址TAR_ADD。滿足條件(2)及(3)之字線之目標位址TAR_ADD可由位址偵測單元610在記憶體之操作當中偵測且儲存於位址儲存單元360中。

由於增加一記憶體之整合程度，因此減小記憶體之字線之間的空間。字線之間的空間的減小增加相鄰字線之間的耦合效應。出於此原因，當在記憶體中之一再新操作期間過多次或過於頻繁地啟動任一字線時，可損壞與毗鄰於該字線之一字線耦合之一記憶體胞元MC之資料。

因此，記憶體可將對應於滿足條件(2)或條件(3)之一字線之位址儲存於位址儲存單元360中作為目標位址TAR_ADD。為此，記憶體偵測回應於一有效命令ACT而啟動一參考次數以上之一字線或回應於有效命令ACT而以某些條件之頻率啟動之一字線。記憶體將經偵測字線之位址DET_ADD或毗鄰於經偵測字線之一字線之位址ADJ_ADD儲存於位址儲存單元360中。

位址偵測單元610計數啟動複數個字線WL0至WLN之次數，且基於計數結果而偵測複數個字線WL0至WLN當中之啟動參考次數以上之一字線。接著，位址偵測單元610將經偵測字線之位址DET_ADD或毗鄰於經偵測字線之一字線之位址ADJ_ADD儲存於位址儲存單元360中。

另外，位址偵測單元610儲存啟動複數個字線WL0至WLN之一歷史，且基於該歷史而偵測複數個字線WL0至WLN當中之其啟動頻率

滿足一預定條件之一字線。接著，位址偵測單元610將經偵測字線之位址DET_ADD或毗鄰於經偵測字線之一字線之位址ADJ_ADD儲存於位址儲存單元360中。本文中，預定條件可係以下之一條件：每當輸入有效命令ACT一第一次數時啟動一特定字線一第二次數。預定條件亦可係以下之一條件：滿足上文所闡述之條件一第三次數或更多。

舉例而言，預定條件可係以下之一條件：每當輸入有效命令ACT 10次時啟動一特定字線三次或更多次。此外，預定條件可係以下之一條件：滿足上述條件5次或更多次。可不同地設定預定條件。

本文中，由於毗鄰於由位址偵測單元610偵測之字線之字線受字線干擾之影響，因此控制單元340將在一額外再新操作期間再新毗鄰於對應於位址DET_ADD之經偵測字線之字線。

當位址儲存單元360儲存經偵測位址DET_ADD時，位址儲存單元360輸出經偵測位址DET_ADD作為目標位址TAR_ADD，且控制單元340使用目標位址TAR_ADD，且選擇並啟動毗鄰於對應於目標位址TAR_ADD之字線之字線。

即使位址儲存單元360儲存經偵測位址DET_ADD，位址儲存單元360亦可將經偵測位址DET_ADD改變成毗鄰於對應於經偵測位址DET_ADD之字線之字線之位址且輸出其作為目標位址TAR_ADD。控制單元340可選擇並啟動對應於目標位址TAR_ADD之字線。本文中，可藉由將一預定值相加至經偵測位址DET_ADD或自經偵測位址DET_ADD減去一預定值來改變位址。舉例而言，當相鄰字線使其位址彼此相差「1」時，位址儲存單元360可一值「1」相加至經偵測位址DET_ADD或自經偵測位址DET_ADD減去一值「1」並輸出結果作為目標位址TAR_ADD。

當位址儲存單元360儲存毗鄰於對應於經偵測位址DET_ADD之字線之字線之位址ADJ_ADD時，位址儲存單元360輸出毗鄰字線之位址

ADJ_ADD作為目標位址TAR_ADD，且控制單元340使用目標位址TAR_ADD來選擇並啟動對應於目標位址TAR_ADD之字線。

根據本發明之實施例，每當輸入再新命令REF時記憶體可逐個按順序再新複數個字線，且當輸入再新命令REF等於或多於兩次之一預定次數時記憶體另外再新基於目標位址TAR_ADD而選擇之一字線，以使得與具有一短資料留存時間之一記憶體胞元MC耦合之字線可用作一正常字線，同時藉由使針對每一再新操作再新之字線之數目最小化而減少記憶體之電流消耗。

圖7係圖解說明本發明之又一實施例之一記憶體之一方塊圖。

參考圖7，記憶體包含一命令輸入單元710、一位址輸入單元720、一命令解碼單元730、一再新控制單元740、複數個字線控制單元750_1至750_4、一位址計數單元760、一位址儲存單元770及複數個胞元陣列780_1至780_4 (圖7展示其中存在四個胞元陣列之一情形)。圖7圖解說明與記憶體中之一有效操作及一再新操作相關之結構且省略與如一讀取操作及一寫入操作(其不與本發明直接相關)一樣之操作相關之結構。圖7中所展示之記憶體在其執行一再新操作時再新所有胞元陣列。

參考圖7闡述記憶體。

命令輸入單元710、位址輸入單元720及命令解碼單元730與命令輸入單元310、位址輸入單元320及命令解碼單元330相同。在位址輸入單元720中接收之一輸入位址IN_ADD可包含用於在複數個胞元陣列780_1至780_4當中選擇一個胞元陣列之一胞元陣列位址SA_ADD。

再新控制單元740回應於一再新命令REF而控制記憶體之一再新操作。再新控制單元740回應於再新命令REF而按順序啟動分別對應於胞元陣列780_1至780_4之複數個第一再新有效信號REF1_ACT1至REF1_ACT4。此外，每當輸入再新命令REF N次時，再新控制單元

740啓動分別對應於胞元陣列780_1至780_4之複數個第二再新有效信號REF2_ACT1至REF2_ACT4，其中N係等於或大於2之一自然數。

每當輸入再新命令REF時，再新控制單元740啓動第一再新有效信號REF1_ACT1至REF1_ACT4一次，且每當輸入再新命令REF 8次時，再新控制單元740啓動第一再新有效信號REF1_ACT1至REF1_ACT4一次，接著另外啓動第二再新有效信號REF2_ACT1至REF2_ACT4一次。本文中，第一再新有效信號REF1_ACT1至REF1_ACT4及第二再新有效信號REF2_ACT1至REF2_ACT4以一預定間隔按順序啓動以減小由再新操作導致的峰值電流。第一再新有效信號REF1_ACT1至REF1_ACT4及第二再新有效信號REF2_ACT1至REF2_ACT4全部在再新操作之持續時間(其係一再新循環tRFC)內啓動。

當在複數個胞元陣列780_1至780_4當中選擇一對應胞元陣列時，複數個字線控制單元750_1至750_4回應於一有效命令ACT而啓動對應於輸入位址IN_ADD之一字線。當在複數個第一再新有效信號REF1_ACT1至REF1_ACT4當中啓動一第一再新有效信號REF1_ACT1時，各別字線控制單元750_1至750_4啓動對應於一計數位址CNT_ADD之一字線，且當啓動複數個第二再新有效信號REF2_ACT1至REF2_ACT4時，其啓動基於目標位址TAR_ADD1至TAR_ADD4而選擇之字線。字線控制單元750_1至750_4基於胞元陣列780_1至780_4中之目標位址TAR_ADD1至TAR_ADD4而選擇字線之一方法與上文參考圖3至圖6所闡述相同。

當輸入再新命令REF時位址計數單元760執行一計數操作一或多次，且位址計數單元760基於計數操作結果而產生計數位址CNT_ADD。每當啓動複數個第一再新有效信號REF1_ACT1至REF1_ACT4當中之一者時，位址計數單元760將計數位址CNT_ADD

之值增加「1」。圖7展示其中位址計數單元760回應於第一再新有效信號REF1_ACT4而執行計數操作之一情形。本文中，將計數位址CNT_ADD之值增加「1」表明：當選擇一第K字線WLK時，位址改變以使得下一次選擇第(K+1)字線WLK+1。因此，藉助計數位址CNT_ADD，可按順序再新複數個胞元陣列780_1至780_4之字線WL0至WLN。

位址儲存單元770儲存對應於複數個胞元陣列780_1至780_4之複數個字線WL0至WLN當中之一或多個字線之一或多個目標位址TAR_ADD1至TAR_ADD4，且當啟動複數個第二再新有效信號REF2_ACT1至REF2_ACT4時，位址儲存單元770輸出所儲存之目標位址TAR_ADD1至TAR_ADD4。本文中，當將兩個以上目標位址TAR_ADD1儲存於位址儲存單元770中時，位址儲存單元770可每當啟動第二再新有效信號REF2_ACT1時逐個按順序輸出所儲存之目標位址TAR_ADD1。當按順序啟動第二再新有效信號REF2_ACT1至REF2_ACT4時，位址儲存單元770可按順序輸出複數個目標位址TAR_ADD1至TAR_ADD4。

基於目標位址TAR_ADD1至TAR_ADD4而選擇之字線可滿足上文參考圖3所闡述之一或多個條件。

可透過在製作記憶體之進程中執行之一測試來偵測與具有比一參考時間短之一資料留存時間之一記憶體胞元MC耦合之一字線。因此，可透過在製作記憶體之進程中執行之測試來偵測目標位址TAR_ADD1至TAR_ADD4且將其儲存於位址計數單元760中。本文中，可在選用為用於設計一裝置之一標準之設計規範中決定參考時間。舉例而言，在根據設計規範將參考時間決定為64 ms時，另外將在64 ms之期限過去之前再新與具有比64 ms短之一資料留存時間之一記憶體胞元MC耦合之一字線。

為偵測滿足條件(2)及(3)之字線之目標位址 TAR_ADD1 至 TAR_ADD4，記憶體可包含圖6之位址偵測單元610 (圖7中未展示)。

圖8係圖解說明再新控制單元740之一方塊圖。

參考圖8，再新控制單元740包含一第一信號產生器810及一第二信號產生器820。

每當輸入再新命令REF時，第一信號產生器810按順序啟動複數個第一再新有效信號REF1_ACT1至REF1_ACT4。每當輸入再新命令REF 8次時，第二信號產生器820按順序啟動複數個第二再新有效信號REF2_ACT1至REF2_ACT4。

第二信號產生器820包含一計數器821及一信號產生器822。計數器821技術輸入再新命令REF之次數，且當再新命令REF經計數為輸入了8次時，計數器821啟動其自身輸出OUT。當啟動計數器821之輸出OUT時，信號產生器822按順序啟動複數個第二再新有效信號REF2_ACT1至REF2_ACT4。在計數器821啟動其輸出OUT之後，其再次自初始值執行一計數操作。

計數器821可經設計以在輸入再新命令REF之次數並非8而是其他數目時啟動其輸出OUT。

圖9圖解說明圖7中所展示之記憶體之一操作。

圖9展示一情形：當輸入再新命令REF時在胞元陣列780_1至780_4中再新一個字線，且每當輸入再新命令REF 8次時在胞元陣列780_1至780_4中再新包含基於目標位址TAR_ADD1至TAR_ADD4而選擇之一個字線之兩個字線。以一預定間隔輸入再新命令REF且可在再新命令REF之輸入之間輸入一有效命令ACT。下文中，作為一實例闡述的係，再新操作自字線WL0開始，且基於目標位址TAR_ADD1至TAR_ADD4而在胞元陣列780_1至780_4中之每一者中選擇字線WLA、WLB、WLC及WLD。

參考圖7至圖9闡述記憶體之操作。

當第一次輸入再新命令REF時，按順序啓動第一再新有效信號REF1_ACT1至REF1_ACT4，且在胞元陣列780_1至780_4中再新對應於計數位址CNT_ADD之一字線。本文中，計數位址CNT_ADD具有對應於字線WL0之一值。當第二至第七次輸入再新命令REF時，在胞元陣列780_1至780_4中按順序再新對應於計數位址CNT_ADD之字線WL1至WL6，正如第一次輸入再新命令REF。

當在再新命令REF之輸入之間輸入有效命令ACT時，在選定胞元陣列中啓動對應於輸入位址IN_ADD之一字線。

當第八次輸入再新命令REF時，首先啓動複數個第一再新有效信號REF1_ACT1至REF1_ACT4，接著啓動對應於胞元陣列780_1至780_4中之計數位址CNT_ADD之字線WL7。隨後，按順序啓動複數個第二再新有效信號REF2_ACT1至REF2_ACT4，且在胞元陣列780_1至780_4中再新基於各別目標位址TAR_ADD1至TAR_ADD4而選擇之字線WLA、WLB、WLC及WLD。

隨後，當輸入再新命令REF時，在胞元陣列780_1至780_4中再新對應於計數位址CNT_ADD之字線，正如當第一次輸入再新命令REF時之情形，且每當輸入再新命令REF達八次之多時另外在複數個胞元陣列780_1至780_4中再新基於目標位址TAR_ADD1至TAR_ADD4而選擇之字線WLA、WLB、WLC及WLD。

每當輸入再新命令REF時根據本發明之實施例之記憶體逐個按順序再新複數個字線，且當輸入再新命令REF等於或多於兩次之一預定次數時記憶體另外再新基於目標位址而選擇之字線，以使得與具有一短資料留存時間之一記憶體胞元MC耦合之字線可用作一正常字線，同時藉由使針對每一再新操作再新之字線之數目最小化而減少記憶體之電流消耗。

圖10係圖解說明根據本發明之一實施例之一記憶體系統之一方塊圖。

參考圖10，記憶體系統包含一記憶體1010及一記憶體控制器1020。

記憶體控制器1020藉由將一命令 CMD_s 及一位址 ADD_s 施加至記憶體1010來控制記憶體1010之操作，且在一讀取操作及一寫入操作期間將資料傳送並接收至記憶體1010及自記憶體1010傳送並接收資料。記憶體控制器1020可藉由傳送命令 CMD_s 將一再新命令REF或一有效命令ACT輸入至記憶體1010中。當輸入有效命令ACT時，記憶體控制器1020將位址 ADD_s 傳送至位址記憶體1010以選擇欲啟動之一胞元陣列及一字線。當輸入再新命令REF時，記憶體控制器1020不可將位址 ADD_s 傳送至記憶體1010，此乃因使用在記憶體1010中內部地產生之一位址CNT_ADD或儲存於記憶體1010內之一位址TAR_ADD。

記憶體1010 (其可係圖3、圖6及圖7之記憶體當中之二者)接收命令 CMD_s 及位址 ADD_s 。當輸入有效命令ACT時，其執行一有效操作。當輸入再新命令REF時，其執行一再新操作。本文中，記憶體1010執行有效操作或再新操作之一方法與參考圖3至圖9所闡述相同。同時，當自記憶體控制器1020施加一讀取命令及一寫入命令時，記憶體1010將資料傳送並接收至記憶體控制器1020且自記憶體控制器1020傳送並接收資料。

根據本發明之一實施例，一記憶體可藉由週期性地對具有一不充足資料留存時間之一記憶體胞元及包含該記憶體之一記憶體系統執行一額外再新操作而適當地操作(儘管記憶體包含具有一不充足資料留存時間之記憶體胞元)。

根據本發明之另一實施例，一記憶體可藉由週期性地對其資料由於字線干擾而具有一惡化風險之一記憶體胞元及包含該記憶體之一

記憶體系統執行一額外再新操作(甚至在字線干擾發生於記憶體中時)。

雖然已關於特定實施例闡述了本發明，但熟習此項技術者將明瞭，可在不背離如以下申請專利範圍中所界定之本發明之精神及範疇之情況下做出各種改變及修改。

【符號說明】

| | |
|-----|--------|
| 110 | 命令輸入單元 |
| 120 | 位址輸入單元 |
| 130 | 命令解碼單元 |
| 140 | 再新控制單元 |
| 150 | 位址計數單元 |
| 160 | 字線控制單元 |
| 170 | 胞元陣列 |
| 310 | 命令輸入單元 |
| 320 | 位址輸入單元 |
| 330 | 命令解碼單元 |
| 340 | 控制單元 |
| 341 | 再新控制單元 |
| 342 | 字線控制單元 |
| 350 | 位址計數單元 |
| 360 | 位址儲存單元 |
| 370 | 胞元陣列 |
| 410 | 位址傳送單元 |
| 420 | 字線驅動器 |
| 610 | 位址偵測單元 |
| 710 | 命令輸入單元 |

| | |
|---------|---------|
| 720 | 位址輸入單元 |
| 730 | 命令解碼單元 |
| 740 | 再新控制單元 |
| 750_1 | 字線控制單元 |
| 750_2 | 字線控制單元 |
| 750_3 | 字線控制單元 |
| 750_4 | 字線控制單元 |
| 760 | 位址計數單元 |
| 770 | 位址儲存單元 |
| 780_1 | 胞元陣列 |
| 780_2 | 胞元陣列 |
| 780_3 | 胞元陣列 |
| 780_4 | 胞元陣列 |
| 810 | 第一信號產生器 |
| 820 | 第二信號產生器 |
| 821 | 計數器 |
| 822 | 信號產生器 |
| 1010 | 記憶體 |
| 1020 | 記憶體控制器 |
| ACT | 有效命令 |
| ADDs | 位址 |
| ADJ_ADD | 位址 |
| ATR_ADD | 位址信號 |
| CMDs | 命令 |
| CNT_ADD | 計數位址 |
| IN_ADD | 輸入位址/位址 |

| | |
|-----------|----------|
| REF | 再新命令 |
| REF_ACT | 再新有效信號 |
| REF1_ACT | 第一再新有效信號 |
| REF1_ACT1 | 第一再新有效信號 |
| REF1_ACT2 | 第一再新有效信號 |
| REF1_ACT3 | 第一再新有效信號 |
| REF1_ACT4 | 第一再新有效信號 |
| REF2_ACT | 第二再新有效信號 |
| REF2_ACT1 | 第二再新有效信號 |
| REF2_ACT2 | 第二再新有效信號 |
| REF2_ACT3 | 第二再新有效信號 |
| REF2_ACT4 | 第二再新有效信號 |
| TAR_ADD | 目標位址/位址 |
| TAR_ADD1 | 目標位址 |
| TAR_ADD2 | 目標位址 |
| TAR_ADD3 | 目標位址 |
| TAR_ADD4 | 目標位址 |
| WL0 | 字線 |
| WL1 | 字線 |
| WL15 | 字線 |
| WL7 | 字線 |
| WL8 | 字線 |
| WLK | 字線 |
| WLN | 字線 |

發明摘要

※ 申請案號：103104293

※ 申請日：103/02/10

※IPC 分類：G11C 29/04 (2006.01)
G11C 8/06 (2006.01)

【發明名稱】

記憶體及包含其之記憶體系統

MEMORY AND MEMORY SYSTEM INCLUDING THE SAME

【中文】

本發明揭示一種記憶體，其包含：複數個字線，其各自與至少一個記憶體胞元耦合；一位址儲存單元，其可儲存對應於該等字線中之至少一者之至少一個目標位址；及一控制單元，其回應於以一設定間隔輸入之一再新命令而按順序啟動該複數個字線且每當輸入該再新命令等於或多於兩次之設定次數時可啟動基於該目標位址而選擇之該字線。

【英文】

A memory includes a plurality of word lines each coupled with at least one memory cell, an address storing unit that may store at least one target address corresponding to at least one of the word lines, and a control unit that may sequentially activate the plurality of word lines in response to a refresh command that is inputted at a set interval, and may activate the word line selected based on the target address whenever the refresh command is inputted a set number of times that is equal to or more than two times.

圖式

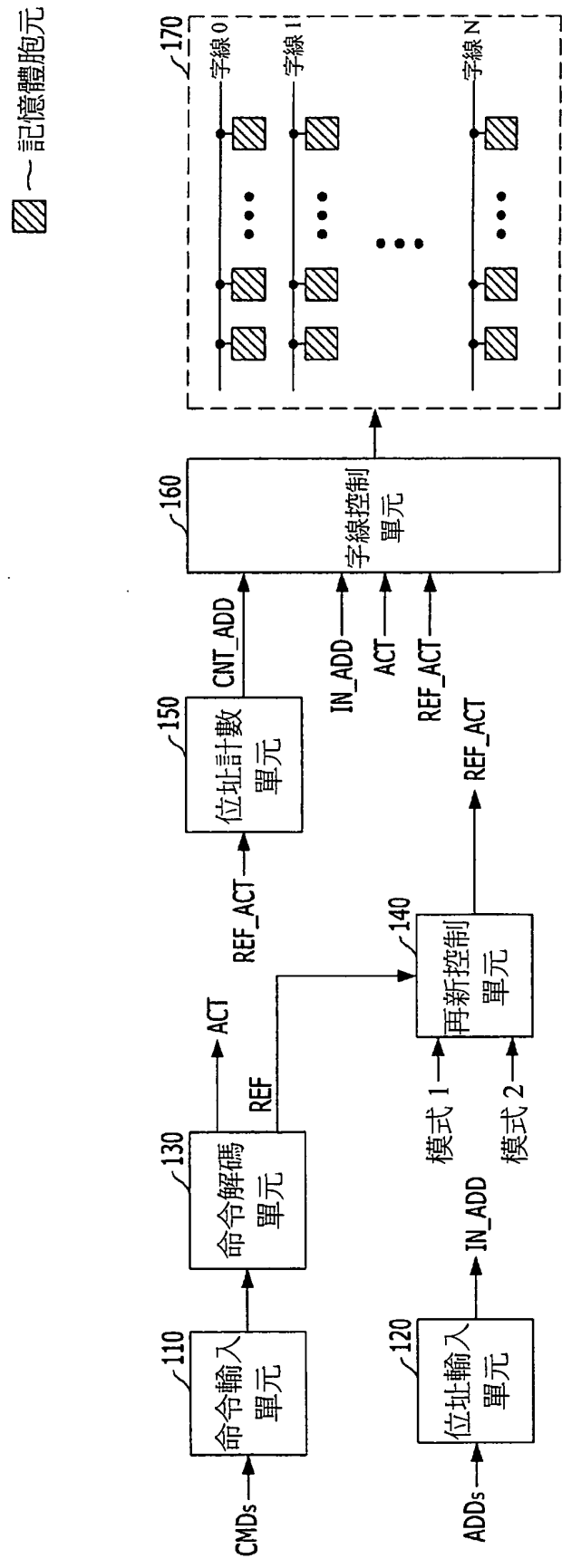


圖 1

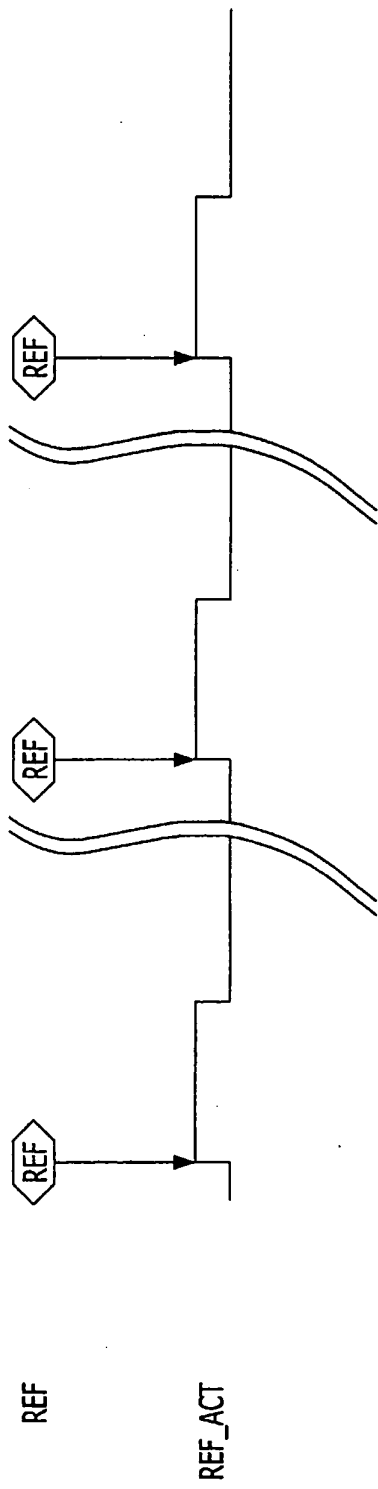


圖 2A

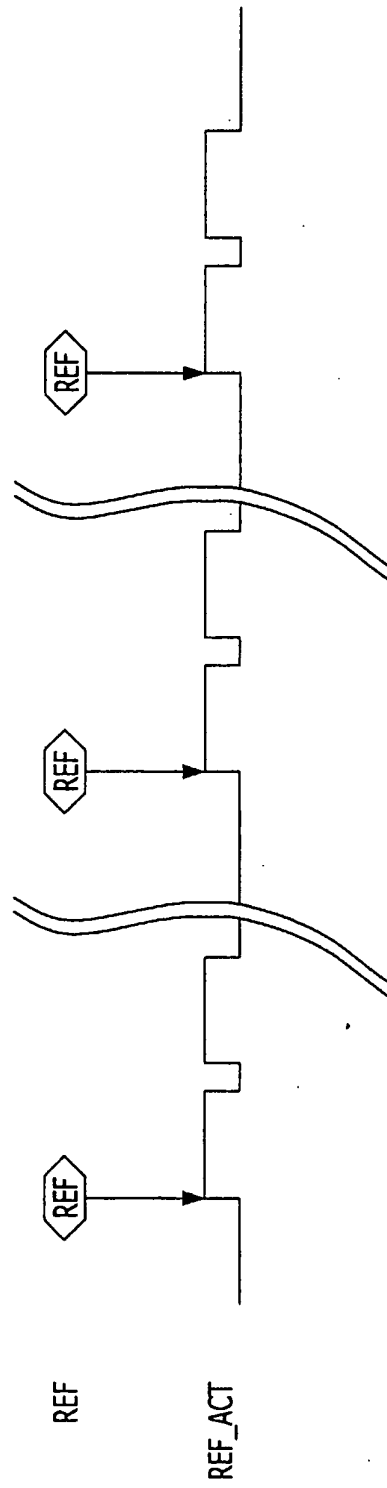


圖 2B

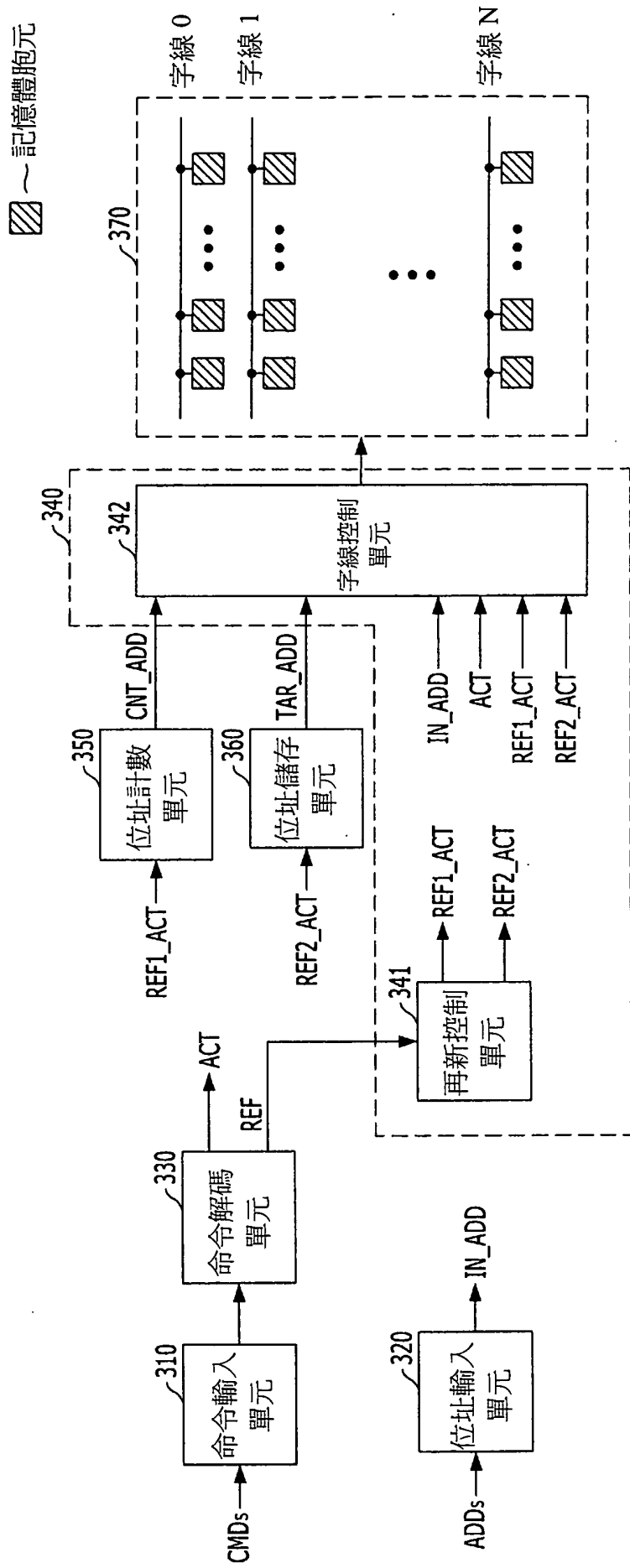


圖 3

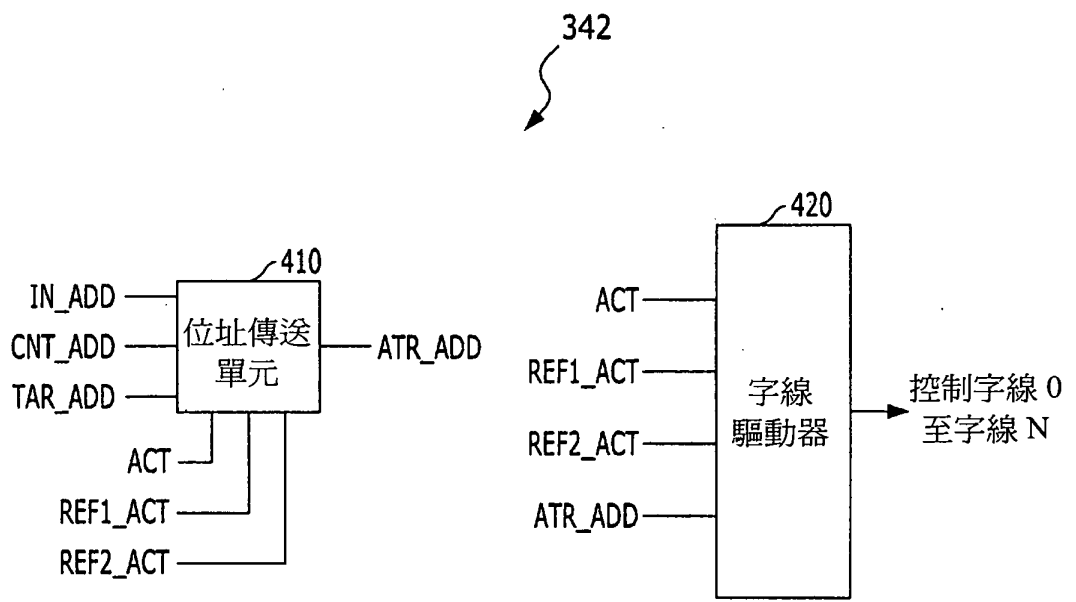


圖 4



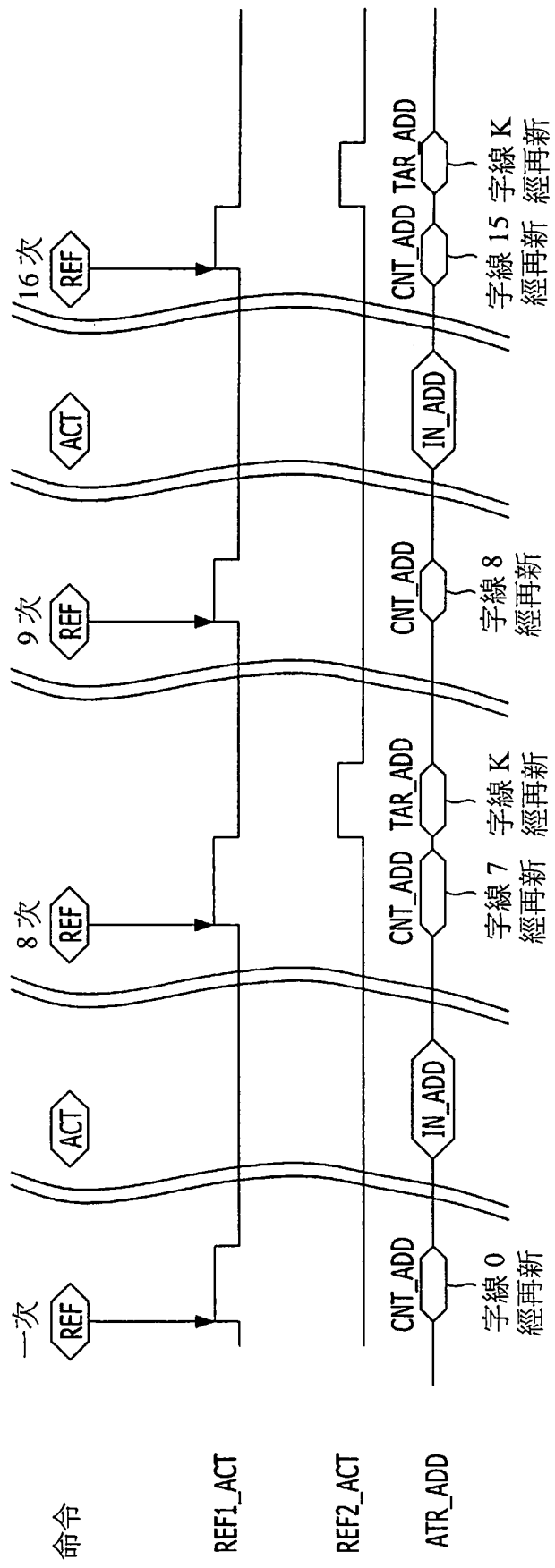


圖 5

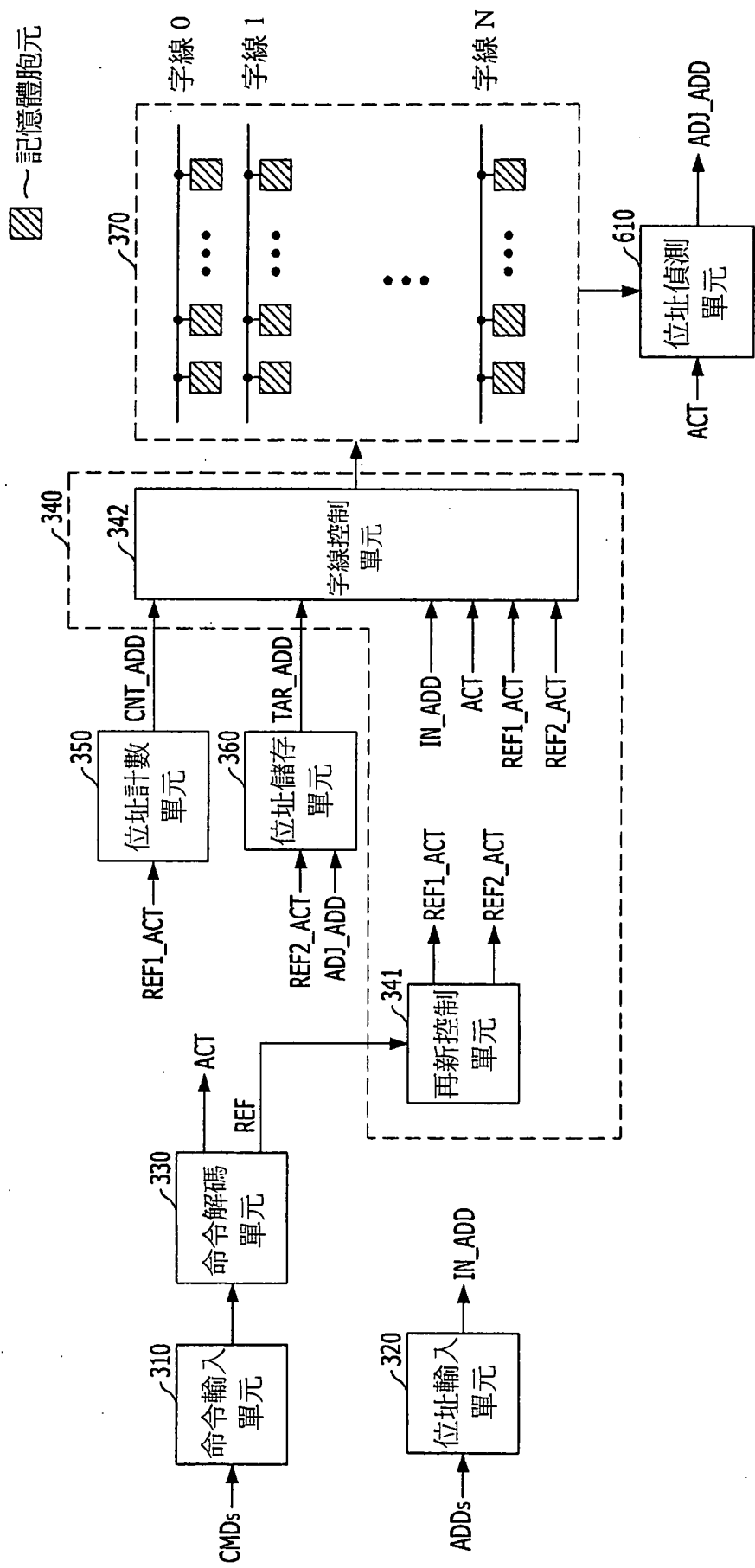


圖 6



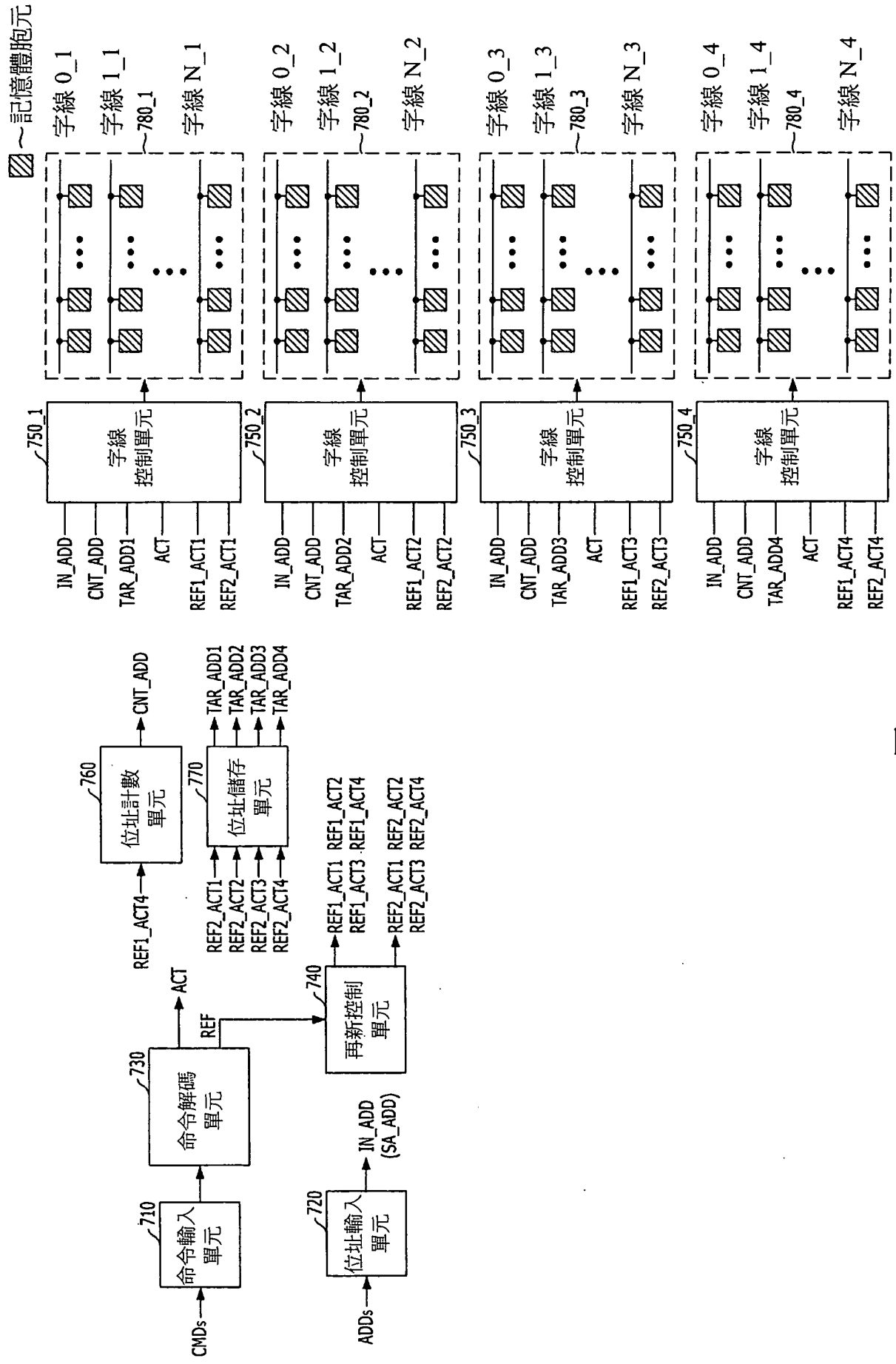


圖 7

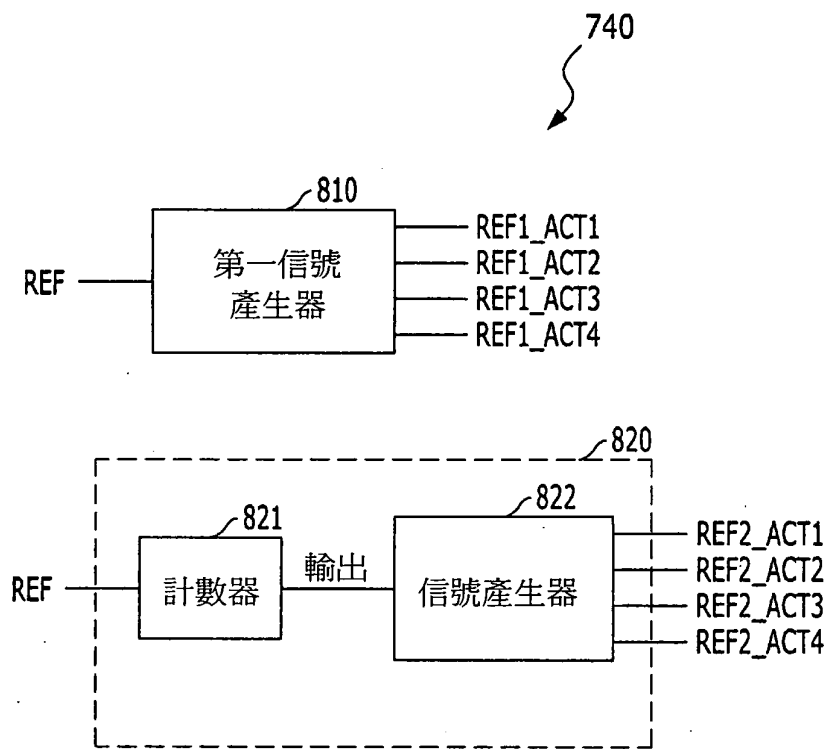


圖 8

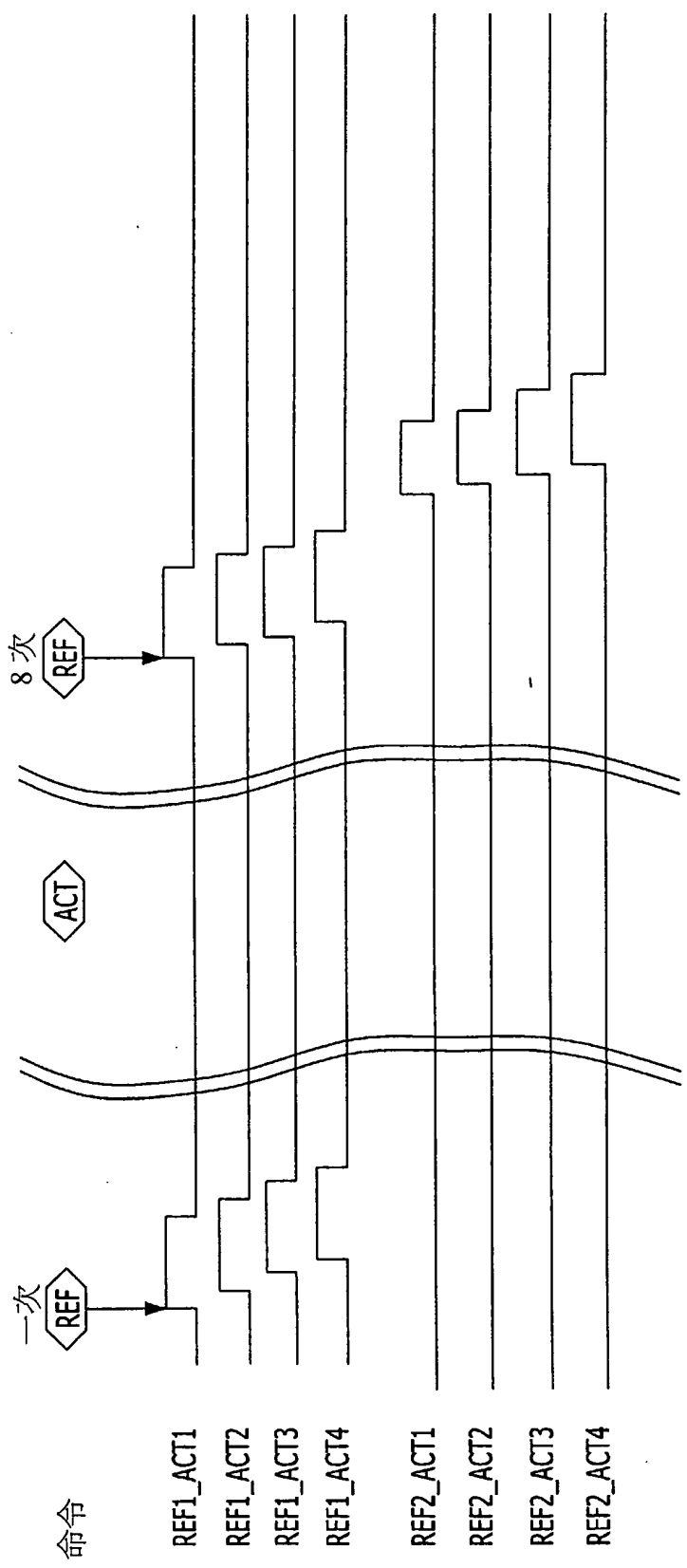


圖 9

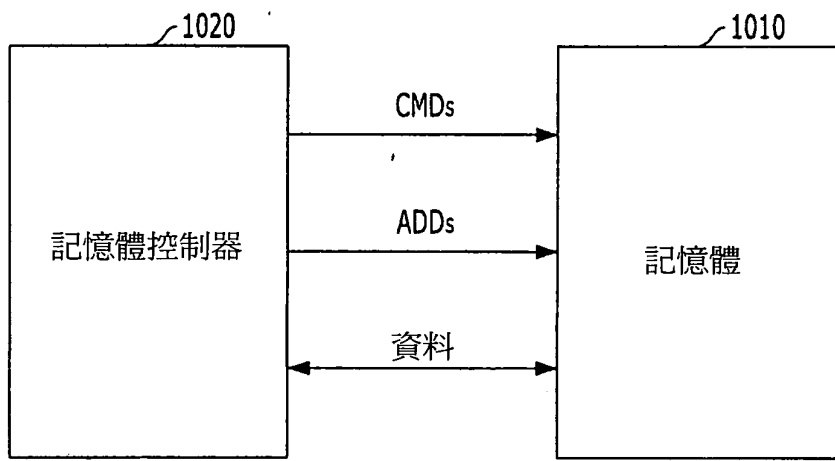


圖 10

【代表圖】

【本案指定代表圖】：第（3）圖。

【本代表圖之符號簡單說明】：

| | |
|----------|----------|
| 310 | 命令輸入單元 |
| 320 | 位址輸入單元 |
| 330 | 命令解碼單元 |
| 340 | 控制單元 |
| 341 | 再新控制單元 |
| 342 | 字線控制單元 |
| 350 | 位址計數單元 |
| 360 | 位址儲存單元 |
| 370 | 胞元陣列 |
| ACT | 有效命令 |
| ADDs | 位址 |
| CMDs | 命令 |
| CNT_ADD | 計數位址 |
| IN_ADD | 輸入位址/位址 |
| REF | 再新命令 |
| REF1_ACT | 第一再新有效信號 |
| REF2_ACT | 第二再新有效信號 |
| TAR_ADD | 目標位址/位址 |
| WL0 | 字線 |
| WL1 | 字線 |
| WLN | 字線 |

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

（無）

申請專利範圍

1. 一種記憶體，其包括：
 - 一複數個字線，其各自與至少一個記憶體胞元耦合；
 - 一位址儲存單元，其適合於儲存對應於該等字線中之至少一者之至少一個目標位址；及
 - 一控制單元，其適合於回應於以一設定間隔輸入之一再新命令而按順序啟動該複數個字線且每當輸入該再新命令等於或多於兩次之設定次數時啟動基於該目標位址而選擇之該字線。
2. 如請求項1之記憶體，其中對應於該目標位址之該字線包含以下各項當中之至少一者：
 - 一第一字線，其與具有比一參考時間短之一資料留存時間之一記憶體胞元耦合；
 - 一第二字線，其回應於一有效命令而啟動一參考次數以上；
 - 一第三字線，其毗鄰於該第二字線；
 - 一第四字線，其以滿足一設定條件之一頻率回應於該有效命令而啟動；及
 - 一第五字線，其毗鄰於該第四字線。
3. 如請求項1之記憶體，其中該控制單元適合於在輸入一有效命令時啟動對應於一外部輸入位址之一字線，且在輸入該再新命令時啟動對應於藉由每當輸入該再新命令時執行一計數操作而產生之一計數位址之一字線，且每當以該設定次數輸入該再新命令時啟動基於該目標位址而選擇之該字線。
4. 如請求項1之記憶體，其中該控制單元適合於每當輸入該再新命令時啟動至少一個字線且每當輸入該再新命令N次時啟動多於該至少一個字線之至少兩個字線，其中N係等於或大於2之一自然

數，其中該至少兩個字線包含基於該目標位址而選擇之該字線。

5. 如請求項4之記憶體，其中該控制單元包含：

一再新控制單元，其適合於回應於該再新命令而啟動一第一再新有效信號且每當輸入該再新命令N次時啟動一第二再新有效信號至少一次；及

一字線控制單元，其適合於在輸入該有效命令時啟動對應於該外部輸入位址之該字線，在啟動該第一再新有效信號時啟動對應於該計數位址之該字線且在啟動該第二再新有效信號時啟動基於該目標位址而選擇之該字線。

6. 如請求項5之記憶體，其中該位址儲存單元適合於在啟動該第二再新有效信號時輸出該目標位址。

7. 如請求項2之記憶體，其進一步包括：

一位址偵測單元，其適合於偵測該第二字線及該第四字線且儲存在該經偵測字線之一位址與毗鄰於該經偵測字線安置之一字線之一位址之間之至少一個位址。

8. 一種記憶體，其包括：

複數個字線，其各自與至少一個記憶體胞元耦合；

一位址輸入單元，其適合於接收一外部輸入位址；

一位址計數單元，其適合於執行一計數操作且在輸入一再新命令時基於一計數操作結果而產生一計數位址；

一位址儲存單元，其適合於儲存對應於該等字線中之至少一者之至少一個目標位址；及

一控制單元，其適合於在輸入一有效命令時啟動對應於輸入至該位址輸入單元之該外部輸入位址之至少一字線，回應於該再新命令而啟動對應於該計數位址之至少一字線且每當輸入該

再新命令等於或多於兩次之設定次數時啟動基於該目標位址而選擇之該字線。

9. 如請求項8之記憶體，其中基於該目標位址而選擇之該字線包含以下各項當中之至少一者：

一第一字線，其與具有比一參考時間短之一資料留存時間之一記憶體胞元耦合；

一第二字線，其回應於該有效命令而啟動一參考次數以上；

一第三字線，其毗鄰於該第二字線；

一第四字線，其以滿足一設定條件之一頻率回應於該有效命令而啟動；及

一第五字線，其毗鄰於該第四字線。

10. 如請求項8之記憶體，其中該控制單元適合於每當輸入該再新命令時啟動至少一個字線，且每當輸入該再新命令N次時啟動多於該至少一個字線之至少兩個字線，其中N係等於或大於2之一自然數，其中該至少兩個字線包含基於該目標位址而選擇之該字線。

11. 一種記憶體，其包括：

複數個胞元陣列，其中之每一者包含各自與至少一個記憶體胞元耦合之複數個字線；

一位址儲存單元，其適合於儲存對應於該等胞元陣列之該等字線中之至少一者之至少一個目標位址；及

一再新控制單元，其適合於回應於以一設定間隔輸入之一再新命令而啟動對應於該等各別胞元陣列之複數個第一再新有效信號且每當輸入該再新命令等於或多於兩次之設定次數時啟動對應於該等各別胞元陣列之複數個第二再新有效信號；及

複數個字線控制單元，其適合於回應於該複數個第一再新有

效信號當中之第一對應第一再新有效信號而按順序啟動一對應胞元陣列之該複數個字線且回應於該複數個第二再新有效信號當中之第一對應第二再新有效信號而啟動基於該對應胞元陣列之該目標位址所選擇之該字線。

12. 如請求項11之記憶體，其中基於該目標位址而選擇之該字線包含以下各項當中之至少一者：
 - 一第一字線，其與具有比一參考時間短之一資料留存時間之一記憶體胞元耦合；
 - 一第二字線，其回應於一有效命令而啟動一參考次數以上；
 - 一第三字線，其毗鄰於該第二字線；
 - 一第四字線，其以滿足一設定條件之一頻率回應於該有效命令而啟動；及
 - 一第五字線，其毗鄰於該第四字線。
13. 如請求項11之記憶體，其進一步包括：
 - 一位址輸入單元，其適合於接收一外部輸入位址；及
 - 一位址計數單元，其適合於執行一計數操作且在輸入該再新命令時基於一計數操作結果而產生一計數位址。
14. 如請求項13之記憶體，其中該複數個字線控制單元適合於在輸入該有效命令並選擇一對應胞元陣列時啟動對應於輸入至該位址輸入單元之該外部輸入位址之一字線，在啟動該對應第一再新有效信號時啟動對應於該計數位址之該字線且在啟動該對應第二再新有效信號時啟動基於該目標位址而選擇之該字線。
15. 如請求項11之記憶體，其中該再新控制單元每當輸入該再新命令時按順序啟動該等第一再新有效信號且每當輸入該再新命令該設定次數時按順序啟動該等第二再新有效信號。