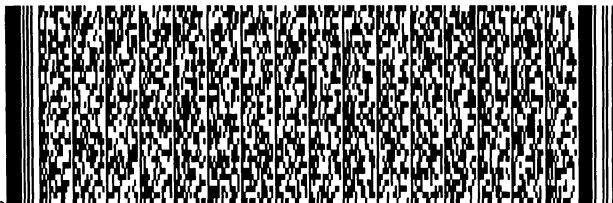


申請日期: 93-2-5	IPC分類
申請案號: 93102571	H01L21/32, 27/186

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	薄膜電晶體陣列基板及其修補方法
	英文	THIN FILM TRANSISTOR ARRAY SUBSTRATE AND REPAIRING METHOD OF THE SAM
二、 發明人 (共3人)	姓名 (中文)	1. 來漢中
	姓名 (英文)	1. LAI, HAN CHUNG
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 桃園縣中壢市內壢成功路122巷63弄20號
	住居所 (英文)	1. NO. 20, ALLEY 63, LANE 122, CHENGKUNG RD., CHUNGLI, TAOYUAN HSIEN, TAIWAN, R. O. C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 友達光電股份有限公司
	名稱或姓名 (英文)	1. AU OPTRONICS CORPORATION
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. NO. 1, LI-HSIN RD. II, SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1. LEE, KUN YAO

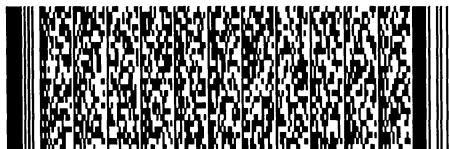


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共3人)	姓名 (中文)	2. 蘇俊豪
	姓名 (英文)	2. SU, CHUN-HAO
	國籍 (中英文)	2. 中華民國 TW
	住居所 (中文)	2. 台北縣中和市華順街131號4F
	住居所 (英文)	2. 4F., NO.131, HUASHUN ST., JHONGHE CITY, TAIPEI COUNTY 235, TAIWAN (R.O.C.)
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	

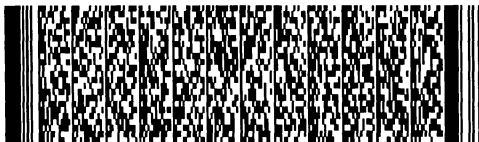


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共3人)	姓名 (中文)	3. 陳文智
	姓名 (英文)	3. CHEN, WEN CHIH
	國籍 (中英文)	3. 中華民國 TW
	住居所 (中文)	3. 高雄縣仁武鄉文武村新庄巷77-3號
	住居所 (英文)	3. NO. 77-3, LANE SHINJUANG, WENWU TSUEN., RENWU TOWNSHIP, KAOHSIUNG COUNTY 814, TAIWAN (R. O. C.)
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

無

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

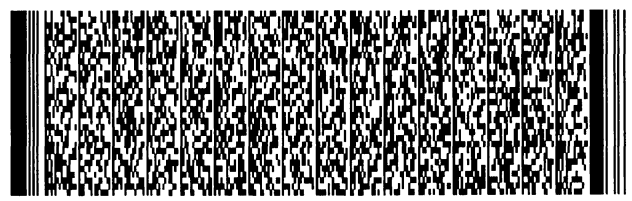
【發明所屬之技術領域】

本發明是有關於一種薄膜電晶體陣列基板(TFT array substrate)及其修補方法，且特別是有關於一種能夠確保修補良率之薄膜電晶體陣列基板及其修補方法。

【先前技術】

針對多媒體社會之急速進步，多半受惠於半導體元件或人機顯示裝置的飛躍性進步。就顯示器而言，陰極射線管(Cathode Ray Tube, CRT)因具有優異的顯示品質與其經濟性，一直獨佔近年來的顯示器市場。然而，對於個人在桌上操作多數終端機/顯示器裝置的環境，或是以環保的觀點切入，若以節省能源的潮流加以預測，陰極射線管因空間利用以及能源消耗上仍存在很多問題，而對於輕、薄、短、小以及低消耗功率的需求無法有效提供解決之道。因此，具有高畫質、空間利用效率加、低消耗功率、無輻射等優越特性之薄膜電晶體液晶顯示器(Thin Film Transistor Liquid Crystal Display, TFT LCD)已逐漸成為市場之主流。

一般的液晶顯示器都有可能會面臨點瑕疵(dot defect)或是線瑕疵(line defect)等問題。一般的點瑕疵通常指的是因畫素電容中的上、下電極因粒子(particle)而異常導通，或是因為掃瞄配線與資料配線交錯處因粒子而異常導通所導致的亮點或是暗點；而一般線瑕疵通常是因為掃瞄配線或是資料配線斷掉所導致。當液晶顯示器發生上述之點瑕疵或是線瑕疵時，若不進行針對異常導通的



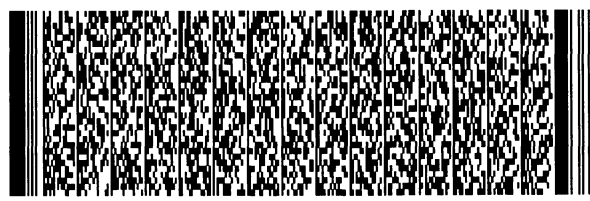
五、發明說明 (2)

部分修補，將使得液晶面板的製程量率大幅下降。以下將針對習知技術的修補技術進行說明。

第1圖繪示為習知技術中以雷射化學氣相沈積方式(Laser CVD)進行修補的示意圖。請參照第1圖，習知畫素結構100主要係由一掃描配線102、一信號配線104、一薄膜電晶體106以及一畫素電極108所構成。其中，薄膜電晶體106具有一閘極106a、一通道層106b以及一源極/汲極106c，且閘極106係與掃描配線102電性連接，源極/汲極106c係與信號配線104、畫素電極108電性連接。

由於掃描配線102屬於第一金屬層M1的一部份，而信號配線104屬於第二金屬層M2的一部份，因此掃描配線102與信號配線104之間會以一第一介電層(閘極絕緣層)彼此電性隔絕，而在信號配線104上方亦會覆蓋一第二介電層(保護層)。然而，掃描配線102與信號配線104交錯的區域上常會因介電層的品質不良(如雜質、微粒等污染)而發生短路的現象，此時便必須進行修補的動作。一般常見的修補係先將短路區域兩端的信號配線104沿著虛線切斷，接著再以雷射照射的方式於第二介電層中形成一修補開口110，並以雷射化學氣相沈積(laser CVD)的方式形成一修補配線112，此修補配線112可藉由修補開口110將切斷的信號配線104再度連接起來，進而達到修補的目的。

第2圖繪示為習知技術在進行雷射修補之後修補處之剖面圖。請參照第2圖，在修補的過程中，資料配線104在形成修補開口110的同時常會被雷射所損壞，由於一般的



五、發明說明 (3)

資料配線104為鉬/鋁/鉬(Mo/Al/Mo)之多層金屬結構所構成，且鋁金屬的熔點較鉬金屬的熔點低，因此資料配線104被雷射破壞後鋁金屬層會先被氣化而形成翹曲輪廓A。值得注意的是，藉由雷射化學氣相沈積所形成的修補配線112十分容易在此翹曲輪廓A附近產生斷裂的現象，進而導致整個雷射修補動作失效。

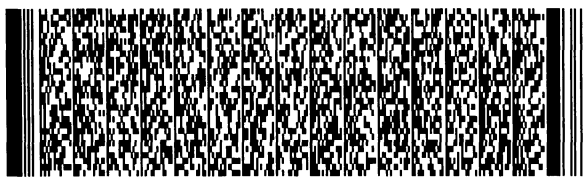
【發明內容】

本發明的目的係提供一種能夠有效確保修補良率，以避免修補配線形成開路之薄膜電晶體陣列基板。

本發明的目的另一目的係提供一種能夠有效確保修補良率，以避免修補配線形成開路之薄膜電晶體陣列基板的修補方法。

為達上述或其他目的，本發明提出一種薄膜電晶體陣列基板，主要係由一基板、多個掃描配線、多個資料配線、多個薄膜電晶體、多個畫素電極，以及多對修補墊所構成。其中，掃描配線以及資料配線係配置於基板上，以區分出多個畫素區域。薄膜電晶體係分別位於各畫素區域內，並且藉由對應之掃描配線以及對應之資料配線驅動。畫素電極係分別位於各畫素區域內，以與對應之薄膜電晶體電性連接。每一對修補墊係配置於掃描配線與資料配線之交會處的兩側，且各對修補墊係位於資料配線下方。

本實施例中，薄膜電晶體陣列基板例如更包括至少一修補配線，此修補配線係橫跨掃描配線中的至少一瑕疵掃描配線，並藉由各對修補墊中的至少一對待熔接修補墊來



五、發明說明(4)

修補資料配線中的至少一瑕疵資料配線。值得注意的是，瑕疵資料配線包括位於瑕疵掃瞄配線上方的一瑕疵配線以及位於瑕疵掃瞄配線兩側的二正常配線，正常配線係與該對待熔接修補墊相熔接，並且藉由修補配線相連接。

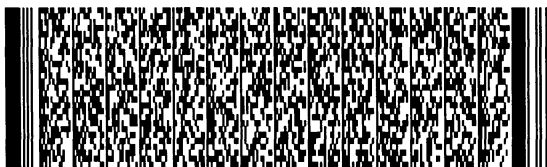
本實施例之薄膜電晶體陣列基板中，資料配線例如為第一金屬層/第二金屬層/第三金屬層之多層金屬結構，且第一金屬層的熔點係高於第二金屬層的熔點。另外，本實施例之資料配線例如為鉬/鋁/鉬(Mo/Al/Mo)之多層金屬結構或是其他多層金屬結構。

本實施例之薄膜電晶體陣列基板中，修補墊之材質例如與掃瞄配線之材質相同。修補墊例如係完全或是部分位於資料配線下方。

本實施例之薄膜電晶體陣列基板中，畫素電極之材質例如為銦錫氧化物(ITO)、銦鋅氧化物(IZO)或是其他導電材質。

值得注意的是，本實施例上述之薄膜電晶體陣列基板中，薄膜電晶體例如為底閘極型態之非晶矽薄膜電晶體、頂閘極型態之非晶矽薄膜電晶體、底閘極型態之多晶矽薄膜電晶體，或是頂閘極型態之多晶矽薄膜電晶體。

為達上述或其他目的，本發明提出一種薄膜電晶體陣列基板的修補方法，適於對上述之薄膜電晶體陣列基板進行修補，當資料配線中的至少一瑕疵資料配線與將該些掃瞄配線中的至少一瑕疵掃瞄配線異常導通時，此薄膜電晶體陣列基板的修補方法包括下列步驟。首先，於瑕疵掃瞄



五、發明說明 (5)

配線兩側處，將瑕疵資料配線切斷成位於瑕疵掃描配線上方之一瑕疵配線以及位於瑕疵掃描配線兩側之二正常配線。接著將瑕疵資料配線所對應到之至少一對待熔接修補墊與上述之正常配線相熔接。之後，形成至少一修補配線，橫跨瑕疵掃描配線，以將與該對待熔接修補墊相熔接之正常配線連接。

本實施例之薄膜電晶體陣列基板的修補方法中，瑕疵資料配線例如係藉由雷射切割(laser cutting)的方式切斷。另外修補配線例如是藉由雷射化學氣相沈積的方式形成。

由於本發明於各資料配線下方設計多對修補墊，並令每一對修補墊配置於掃描配線與資料配線之交會處的兩側，因此本發明在進行修補動作時，可先將被切斷的瑕疵資料配線(正常配線)與對應到之一對待熔接修補墊相熔接，接著再形成修補配線以確實達成修補之目的。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

第3圖繪示為依照本發明一較佳實施例薄膜電晶體陣列基板的示意圖。請參照第3圖，本實施例之薄膜電晶體陣列基板200主要係由一基板210(繪示於第5圖)、多個掃描配線220、多個資料配線230、多個薄膜電晶體240、多個畫素電極250，以及多對修補墊260所構成。其中，掃



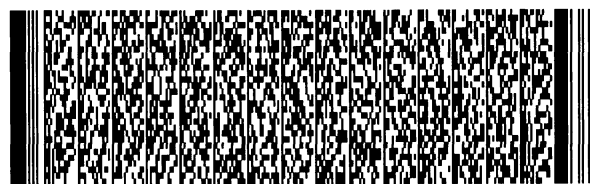
五、發明說明 (6)

瞄配線220以及資料配線230係配置於基板210上，以將基板210區分出多個畫素區域212。薄膜電晶體240係分別位於各畫素區域212內，並且藉由對應之掃瞄配線220以及對應之資料配線230驅動。畫素電極250係分別位於各畫素區域212內，以與對應之薄膜電晶體240電性連接。每一對修補墊260係配置於掃瞄配線220與資料配線230之交會處的兩側，且各對修補墊260係位於資料配線230下方。此外，修補墊260係與薄膜電晶體240中的閘極一併形成，故各對修補墊260之材質例如係與掃瞄配線之材質相同。

本實施例之薄膜電晶體陣列基板200中，基板210之材質例如為玻璃、石英、塑膠，或是其他透明絕緣材質。掃瞄配線220以及資料配線230之材質例如為鋁、鉻、鈦、鎢、鈹、鉬，或是該等材質所組成之多層結構

(multi-layer structure)或合金(alloy)。薄膜電晶體240例如為底閘極型態之非晶矽薄膜電晶體(bottom gate type a-Si TFT)、頂閘極型態之非晶矽薄膜電晶體(top gate type a-Si TFT)、底閘極型態之多晶矽薄膜電晶體(bottom gate type LTPS-TFT)，或是頂閘極型態之多晶矽薄膜電晶體(top gate type LTPS-TFT)，本實施例中僅以底閘極型態之非晶矽薄膜電晶體為例進行詳細之說明。

同樣請參照第3圖，本實施例中，畫素電極250之材質例如為銦錫氧化物(ITO)、銦鋅氧化物(IZO)等透明材料，或是具有光反射特性之導電材質(例如金屬)。換言之，當畫素電極250採用透明材質時，在薄膜電晶體陣列基板



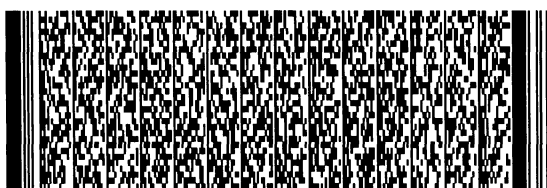
五、發明說明 (7)

200 與一對向基板組立之後，便形成穿透式的液晶面板；反之，當畫素電極250採用金屬或其他光反射材質時，在薄膜電晶體陣列基板200與一對向基板組立之後，便形成反射式的液晶面板；另外，當畫素電極250的部分區域採用透明材質，而部分區域採用金屬或其他光反射材質時，在薄膜電晶體陣列基板200與一對向基板組立之後，便形成半穿透半反射式的液晶面板。

第4圖繪示為第3圖中的薄膜電晶體陣列基板經過雷射修補之後的示意圖，而第5圖繪示為第4圖中的薄膜電晶體陣列基板沿著A-A'剖面線的剖面示意圖。

首先請參照第4圖，當掃描配線220中的一條瑕疵掃描配線220'與資料配線230中的一條瑕疵資料配線230'在二者交會處發生異常導通時，資料信號便無法正確地被寫入瑕疵掃描配線220'與瑕疵資料配線230'所控制的畫素中，造成該畫素顯示異常。此時，通常需要對上述顯示異常的畫素進行修補的動作。首先，於瑕疵掃描配線220'兩側的適當位置上，將瑕疵資料配線230'切斷成一瑕疵配線232以及二正常配線234、236。其中，瑕疵配線232係位於瑕疵掃描配線220'上方，而正常配線234與正常配線236係分別位於瑕疵掃描配線220'兩側。此外，上述之瑕疵資料配線230'例如係藉由雷射切割的方式切斷。

接著請同時參照第4圖與第5圖，在瑕疵資料配線230'被切斷成瑕疵配線232以及正常配線234、236之後，接著將瑕疵資料配線230所對應到之一對待熔接修補墊260'分



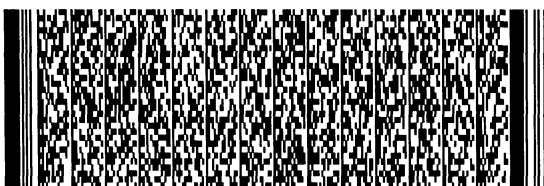
五、發明說明 (8)

別與正常配線234以及正常配線236相熔接。值得注意的是，上述之待熔接修補墊260'與正常配線234、236之間例如係藉由一雷射光束進行熔接的動作。在熔接的過程中，此雷射光束會先照射於正常配線234以及正常配線236上方的保護層280，以於照射位置上形成一開口282。接著，雷射光束會照射於正常配線234、正常配線236、開介電層270以及待熔接修補墊260'上，此時，開介電層270會被燒穿，以使正常配線234以及正常配線236分別與對應之待熔接修補墊260'相熔接。更詳細的說，正常配線234以及正常配線236與個別對應之待熔接修補墊260'之間可藉由熔接金屬285而彼此電行連接。在本實施例中，熔接金屬285係以雷射光束進行熔接之後所產生的，其例如係分佈於開口282的至少部分側壁上。

在上述熔接步驟之後，接著形成一橫跨瑕疵掃描配線220'之修補配線290，以將與待熔接修補墊260'相熔接之正常配線234及正常配線236再度連接。承上述，修補配線290例如是藉由雷射化學氣相沈積的方式形成。

本實施例之薄膜電晶體陣列基板200在經過上述之修補步驟之後，瑕疵資料配線230'中的正常配線234及正常配線236會與部分的待熔接修補墊260'相熔接，並且藉由修補配線290彼此電性連接。此外，瑕疵資料配線230'中與瑕疵掃描配線220'導通的瑕疵配線232便不會對畫素之驅動造成不良的影響。

接著請參照第5圖，本實施例中，資料配線230例如為

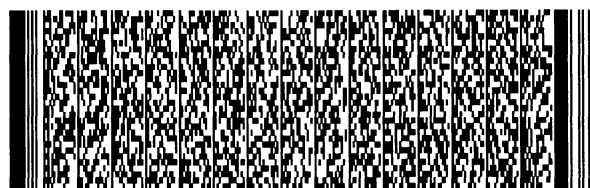


五、發明說明 (9)

第一金屬層232/第二金屬層234/第三金屬層236之多層金屬結構，且第一金屬層232的熔點係高於第二金屬層234的熔點。其中，第一金屬層232以及第三金屬層236例如皆為熔點較高的鉬金屬，而第二金屬層234例如為熔點較低的鋁金屬。當資料配線230為鉬/鋁/鉬之多層金屬結構時，若依照習知技術的薄膜電晶體陣列設計與修補方法，將會有無法有效修補之疑慮，反觀本實施例，正常配線234及正常配線236係與待熔接修補墊260'相熔接，並且藉由修補配線290彼此電性連接，不會有修補配線112在此翹曲輪廓A（繪示於第2圖）附近產生斷裂的現象，故修補良率可大幅度的提升。

第6A圖、第6B圖以及第6C圖繪示為依照本發明一較佳實施例不同尺寸之修補墊與資料配線的相對位置示意圖。請同時參照第6A圖、第6B圖以及第6C圖，本實施例中，修補墊260的尺寸X例如係小於資料配線230的寬度W（如第6A圖）、等於資料配線230的寬度W（如第6B圖），或是大於資料配線230的寬度W（如第6C圖）。此外，修補墊260的分佈位置例如係完全位於資料配線230下方（如第6A圖），或是部分位於資料配線230下方（如第6B圖與第6C圖）。當然，任何熟悉此項技術之人士在參照本發明之上揭內容後，當可將修補墊260的形狀與分佈位置作適當的變化，惟其仍應屬於本發明之範疇。

第7圖繪示為依照本發明一較佳實施例在正常配線係與待熔接修補墊相熔接之後修補處之剖面圖，而第8圖繪

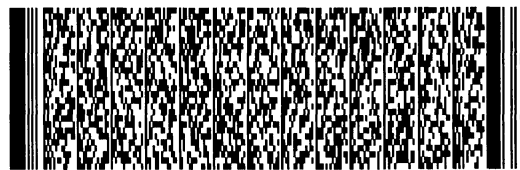
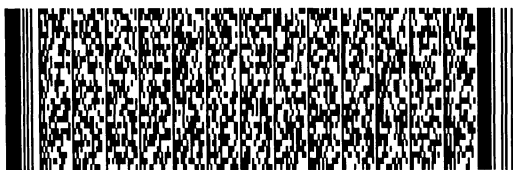


五、發明說明 (10)

示為依照本發明一較佳實施例在進行雷射修補之後修補處之剖面圖。首先請參照第7圖，正常配線係與待熔接修補墊相熔接之後，二者熔接後的表面並不會有明顯的翹曲輪廓產生。因此，藉由雷射化學氣相沈積所形成之修補配線在此修補處亦不易有斷裂的現象產生。

綜上所述，本發明之薄膜電晶體陣列基板及其修補方法與習知技術相較，並不會有修補不完全的疑慮。此外，由於修補墊可與薄膜電晶體中的閘極一併形成，故在製造成本上並不會造成負擔。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示為習知技術中以雷射化學氣相沈積方式進行修補的示意圖。

第2圖繪示為習知技術在進行雷射修補之後修補處之剖面圖。

第3圖繪示為依照本發明一較佳實施例薄膜電晶體陣列基板的示意圖。

第4圖繪示為第3圖中的薄膜電晶體陣列基板經過雷射修補之後的示意圖。

第5圖繪示為第4圖中的薄膜電晶體陣列基板沿著A-A'剖面線的剖面示意圖。

第6A圖、第6B圖以及第6C圖繪示為依照本發明一較佳實施例不同尺寸之修補墊與資料配線的相對位置示意圖。

第7圖繪示為依照本發明一較佳實施例在正常配線係與待熔接修補墊相熔接之後修補處之剖面圖。

第8圖繪示為依照本發明一較佳實施例在進行雷射修補之後修補處之剖面圖。

【圖式標示說明】

- 100：畫素結構
- 102：掃描配線
- 104：信號配線
- 106：薄膜電晶體
- 106a：閘極
- 106b：通道層
- 106c：源極/汲極



圖式簡單說明

- 108 : 畫素電極
- 110 : 修補開口
- 112 : 修補配線
- 200 : 薄膜電晶體陣列基板
- 210 : 基板
- 212 : 畫素區域
- 220 : 掃瞄配線
- 220' : 瑕疵掃瞄配線
- 230 : 資料配線
- 230' : 瑕疵資料配線
- 232 : 瑕疵配線
- 232a : 第一金屬層
- 232b : 第二金屬層
- 232c : 第三金屬層
- 234、236 : 正常配線
- 240 : 薄膜電晶體
- 250 : 畫素電極
- 260 : 修補墊
- 260' : 待熔接修補墊
- 270 : 閘介電層
- 280 : 保護層
- 282 : 開口
- 285 : 熔接金屬
- 290 : 修補配線



圖式簡單說明

A : 翹曲輪廓

M1 : 第一金屬層

M2 : 第二金屬層

W : 資料配線的寬度

X : 修補墊的尺寸

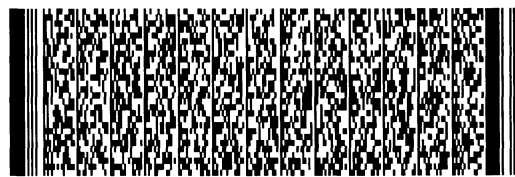
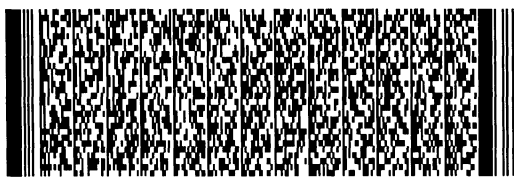


四、中文發明摘要 (發明名稱：薄膜電晶體陣列基板及其修補方法)

一種薄膜電晶體陣列基板主要係由一基板、多個掃瞄配線、多個資料配線、多個薄膜電晶體、多個畫素電極，以及多對修補墊所構成。其中，掃瞄配線以及資料配線配置於基板上以區分出多個畫素區域。薄膜電晶體分別位於各畫素區域內，並且藉由對應之掃瞄配線與資料配線驅動。畫素電極分別位於各畫素區域內，以與對應之薄膜電晶體電性連接。每一對修補墊配置於掃瞄配線與資料配線之交會處的兩側，且各對修補墊係位於資料配線下方。另外，其修補方式係先將瑕疵資料配線與對應之一對待熔接修補墊相熔接，接著再形成一修補配線以將瑕疵資料配線連接。

五、英文發明摘要 (發明名稱：THIN FILM TRANSISTOR ARRAY SUBSTRATE AND REPAIRING METHOD OF THE SAM)

A thin film transistor array substrate comprising a substrate, a plurality of scan lines, a plurality of data lines, a plurality of thin film transistors, a plurality of pixel electrodes and a plurality pairs of repairing pads is provided. The scan lines and the data lines are disposed on the substrate to define a plurality of pixel areas. Each thin film transistor is located



四、中文發明摘要 (發明名稱：薄膜電晶體陣列基板及其修補方法)

五、英文發明摘要 (發明名稱：THIN FILM TRANSISTOR ARRAY SUBSTRATE AND REPAIRING METHOD OF THE SAM)

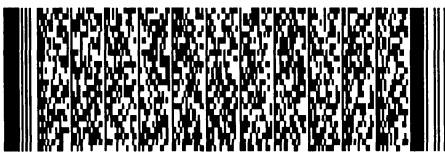
at one of the pixel areas respectively, and is driven by the corresponding scan line and data line. Each pixel electrode is located at one of the pixel areas respectively, and is electrically connected with the corresponding thin film transistor. Each pair of repairing pads under the data lines is located at one of the intersections of the scan lines and the data lines respectively.



四、中文發明摘要 (發明名稱：薄膜電晶體陣列基板及其修補方法)

五、英文發明摘要 (發明名稱：THIN FILM TRANSISTOR ARRAY SUBSTRATE AND REPAIRING METHOD OF THE SAM)

In addition, the TFT array substrate is repair by welding a pair of repairing pads corresponding with a defect data line, and then forming a repairing line to reconnect the defect data line.



六、指定代表圖

(一)、本案代表圖為：第____4____圖

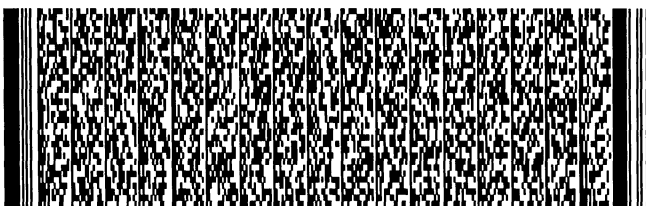
(二)、本案代表圖之元件代表符號簡單說明：

- 200：薄膜電晶體陣列基板
- 210：基板
- 212：畫素區域
- 220：掃瞄配線
- 220'：瑕疵掃瞄配線
- 230：資料配線
- 230'：瑕疵資料配線
- 232：瑕疵配線
- 234、236：正常配線
- 240：薄膜電晶體
- 250：畫素電極
- 260：修補墊
- 260'：待熔接修補墊
- 282：開口
- 290：修補配線



六、申請專利範圍

1. 一種薄膜電晶體陣列基板，包括：
 - 一基板；
 - 多數個掃瞄配線，配置於該基板上；
 - 多數個資料配線，配置於該基板上，其中該些掃瞄配線與該些資料配線係區分出多數個畫素區域；
 - 多數個薄膜電晶體，每一該些薄膜電晶體係位於該些畫素區域其中之一內，其中該些薄膜電晶體係藉由該些掃瞄配線以及該些資料配線驅動；
 - 多數個畫素電極，每一該些畫素電極係位於該些畫素區域其中之一內，以與對應之該些薄膜電晶體其中之一電性連接；以及
 - 多數對修補墊，每一該些對修補墊係配置於該些掃瞄配線與該些資料配線之多數個交會處其中之一的兩側，且該些對修補墊係位於該些資料配線下方。
2. 如申請專利範圍第1項所述之薄膜電晶體陣列基板，更包括至少一修補配線，橫跨該些掃瞄配線中的至少一瑕疵掃瞄配線，並藉由該些對修補墊中的至少一對待熔接修補墊來修補該些資料配線中的至少一瑕疵資料配線，其中該瑕疵資料配線包括位於該瑕疵掃瞄配線上方的一瑕疵配線以及位於該瑕疵掃瞄配線兩側的二正常配線，該些正常配線係與該對待熔接修補墊相熔接，並且藉由該修補配線相連接。
3. 如申請專利範圍第1項所述之薄膜電晶體陣列基板，其中該些資料配線包括第一金屬層/第二金屬層/第三



六、申請專利範圍

金屬層之多層金屬結構，且第一金屬層的熔點係高於第二金屬層的熔點。

4. 如申請專利範圍第1項所述之薄膜電晶體陣列基板，其中該些資料配線包括鉬/鋁/鉬(Mo/Al/Mo)之多層金屬結構。

5. 如申請專利範圍第1項所述之薄膜電晶體陣列基板，其中該些對修補墊與該些掃瞄配線之材質相同。

6. 如申請專利範圍第1項所述之薄膜電晶體陣列基板，其中該些對修補墊係完全位於該些資料配線下方。

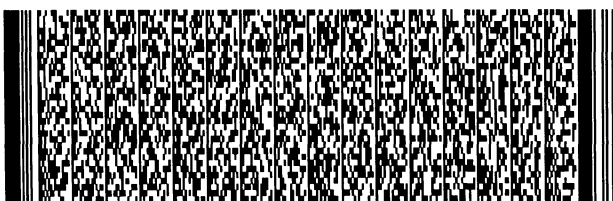
7. 如申請專利範圍第1項所述之薄膜電晶體陣列基板，其中該些對修補墊係部分位於該些資料配線下方。

8. 如申請專利範圍第1項所述之薄膜電晶體陣列基板，其中該些畫素電極之材質包括銦錫氧化物與銦鋅氧化物其中之一。

9. 如申請專利範圍第1項所述之薄膜電晶體陣列基板，其中該些薄膜電晶體包括非晶矽薄膜電晶體以及多晶矽薄膜電晶體其中之一。

10. 如申請專利範圍第1項所述之薄膜電晶體陣列基板，其中該些薄膜電晶體為底閘極型態薄膜電晶體以及頂電極型態薄膜電晶體其中之一。

11. 一種薄膜電晶體陣列基板的修補方法，適於對申請專利範圍第1項之薄膜電晶體陣列基板進行修補，當該些資料配線中的至少一瑕疵資料配線與將該些掃瞄配線中的至少一瑕疵掃瞄配線異常導通時，該薄膜電晶體陣列基



六、申請專利範圍

板的修補方法包括下列步驟：

於該瑕疵掃瞄配線兩側處，將該瑕疵資料配線切斷成位於該瑕疵掃瞄配線上方之一瑕疵配線以及位於該瑕疵掃瞄配線兩側之二正常配線；

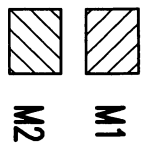
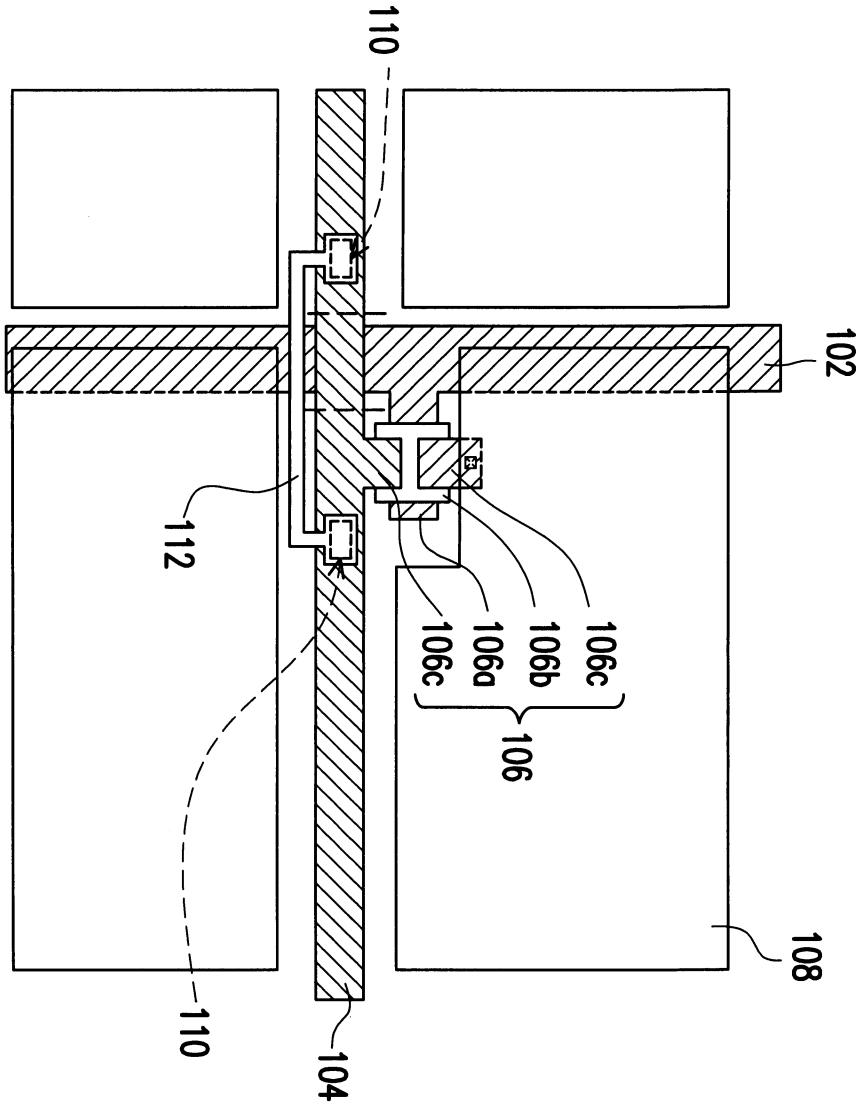
將該瑕疵資料配線所對應到之至少一對待熔接修補墊與該些正常配線相熔接；以及

形成至少一修補配線，橫跨該瑕疵掃瞄配線，以將與該對待熔接修補墊相熔接之該些正常配線連接。

12. 如申請專利範圍第11項所述之薄膜電晶體陣列基板的修補方法，其中該瑕疵資料配線的切斷方式包括雷射切割。

13. 如申請專利範圍第11項所述之薄膜電晶體陣列基板的修補方法，其中該修補配線的形成方法包括雷射化學氣相沈積。



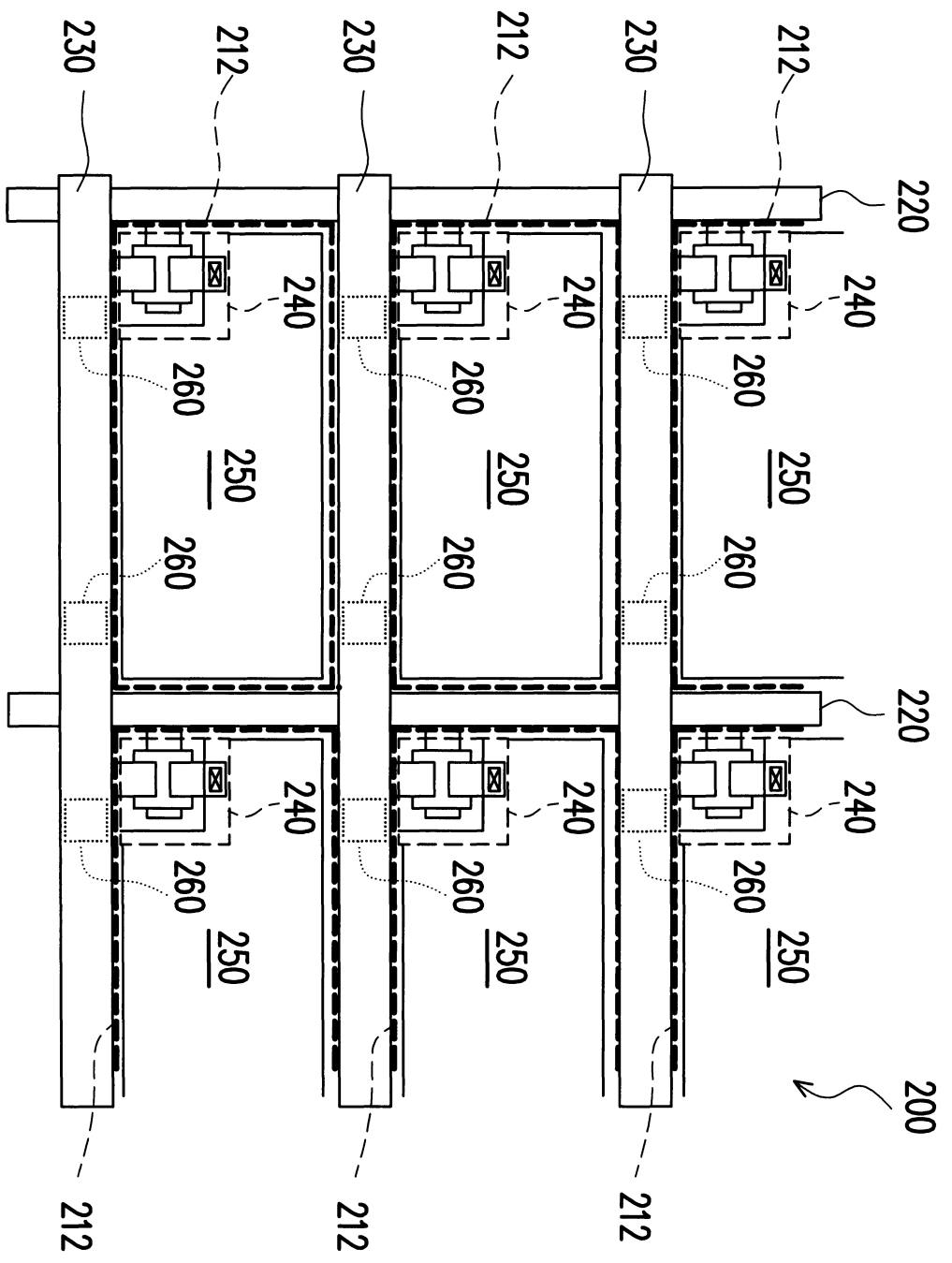


第 1 圖

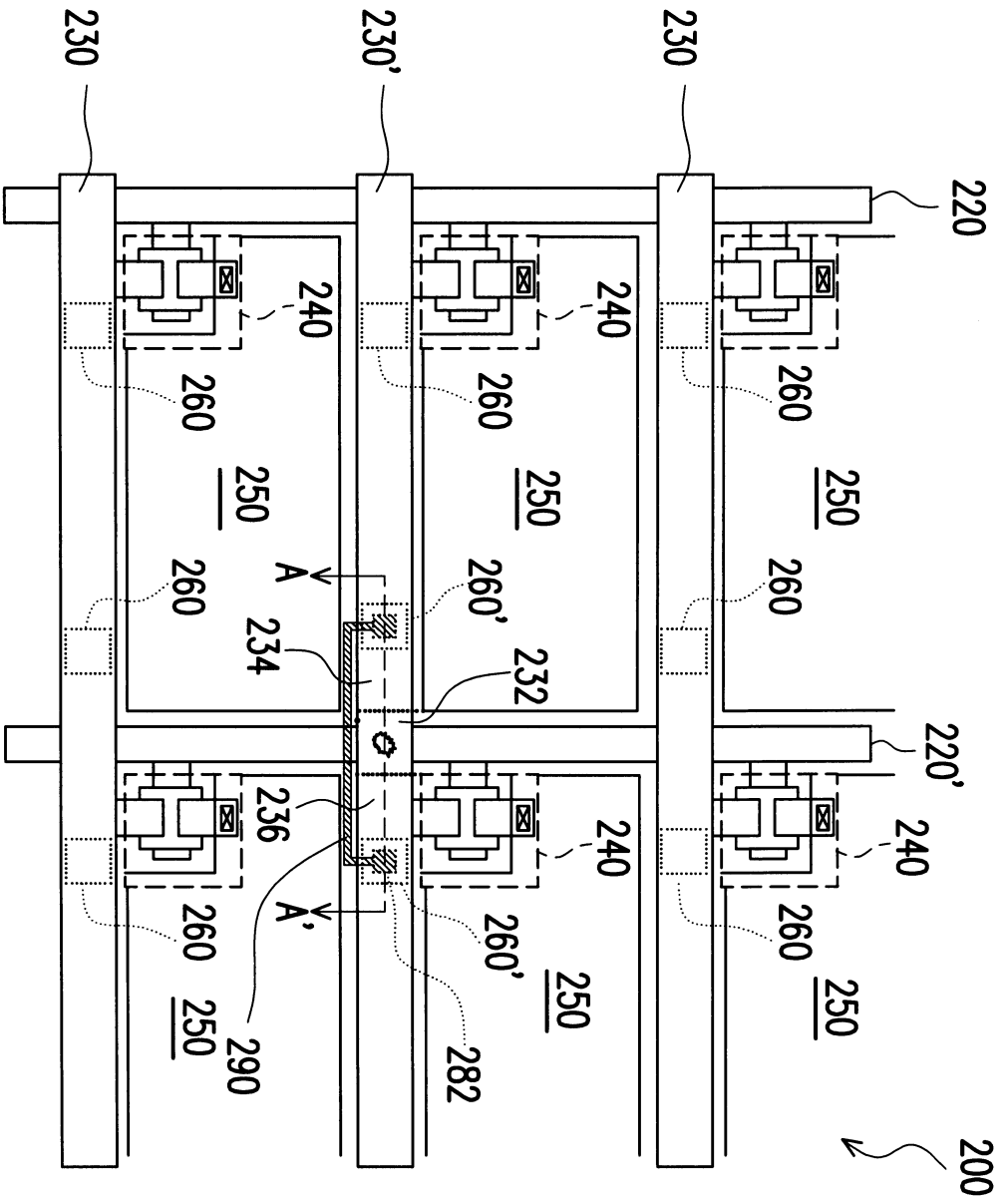
100



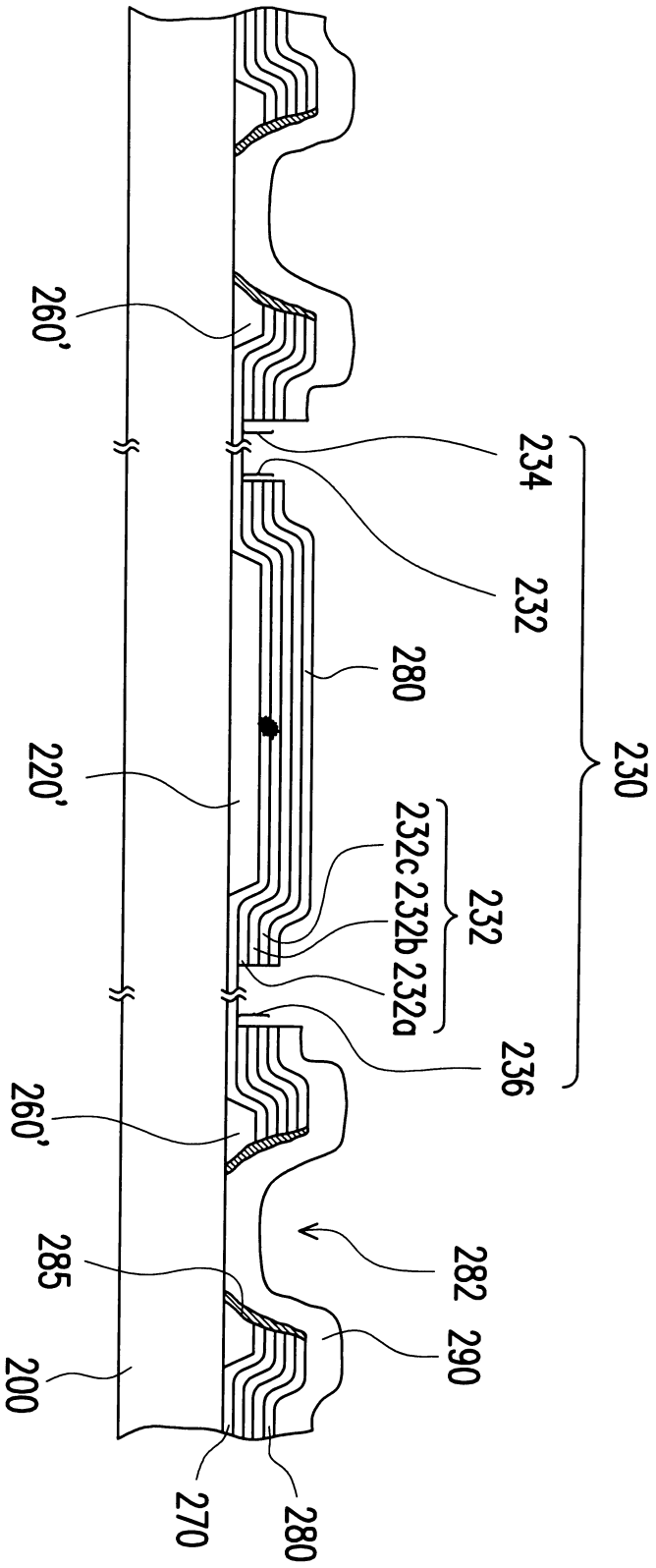
第 2 圖



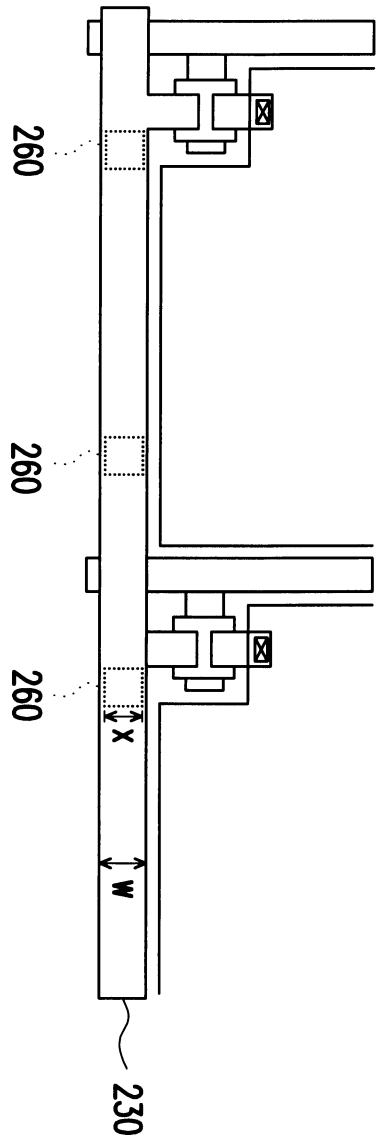
第 3 圖



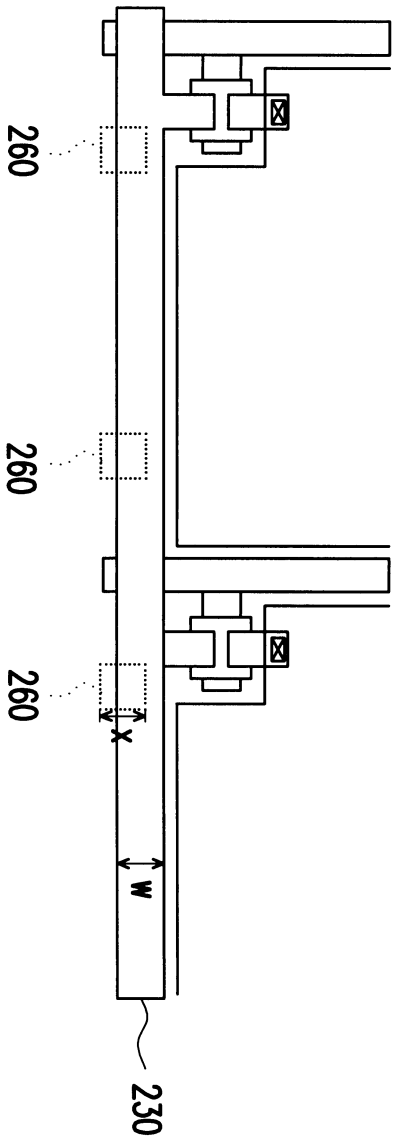
第 4 圖



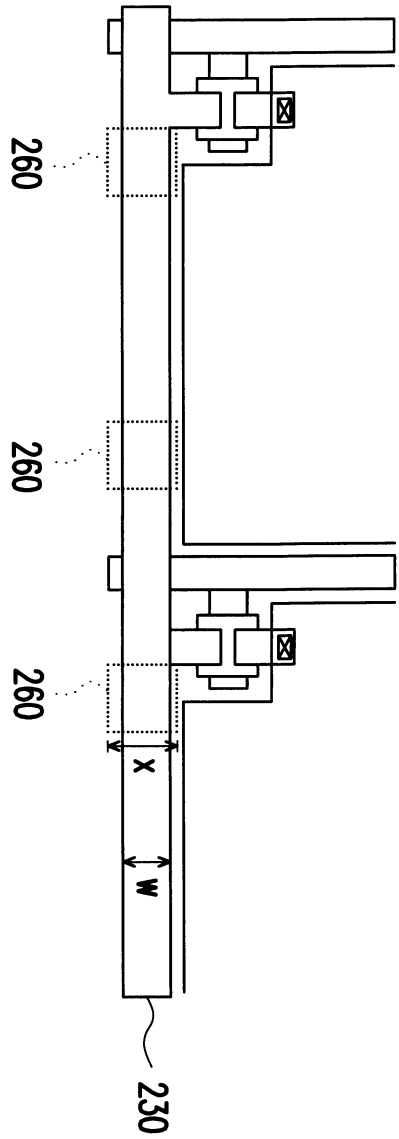
第 5 圖



第6A圖



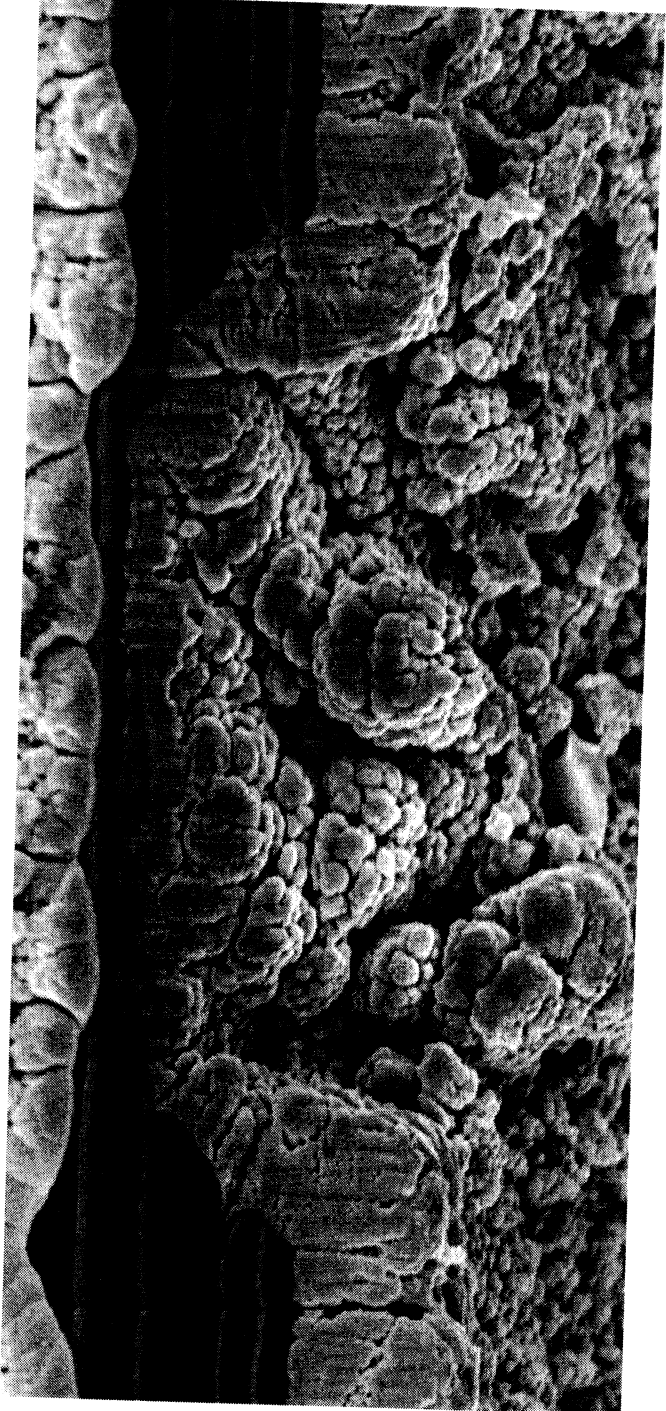
第6B圖



第6C圖



第 7 圖



第 8 圖