

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3788387号

(P3788387)

(45) 発行日 平成18年6月21日(2006.6.21)

(24) 登録日 平成18年4月7日(2006.4.7)

(51) Int. Cl.	F I
GO2F 1/1343 (2006.01)	GO2F 1/1343
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1335 (2006.01)	GO2F 1/1335 500
GO9F 9/00 (2006.01)	GO9F 9/00 338
GO9F 9/30 (2006.01)	GO9F 9/30 338
請求項の数 11 (全 20 頁) 最終頁に続く	

(21) 出願番号	特願2002-136237 (P2002-136237)	(73) 特許権者	000002369
(22) 出願日	平成14年5月10日(2002.5.10)		セイコーエプソン株式会社
(65) 公開番号	特開2003-330036 (P2003-330036A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成15年11月19日(2003.11.19)	(74) 代理人	100095728
審査請求日	平成15年7月3日(2003.7.3)		弁理士 上柳 雅誉
		(74) 代理人	100107076
			弁理士 藤綱 英吉
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	小出 清貴
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	藤田 都志行
			最終頁に続く

(54) 【発明の名称】 電気光学装置および電気光学装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上に、マトリクス状に形成される画素電極と、前記画素電極に対応して設けられた画素トランジスタと、前記画素トランジスタに電氣的に接続されるデータ線と、前記データ線と交差する走査線とを備えた電気光学装置であって、

前記画素電極に電氣的に接続される下部容量電極と、固定電位に電氣的に接続される上部容量電極と、前記下部容量電極と前記上部容量電極との間に配置される誘電体膜とによって形成されると共に前記上部容量電極を容量線として、前記画素電極に対応して配置される蓄積容量と、

前記画素トランジスタの下方に前記画素トランジスタに平面的に重なるように設けられ、格子状に形成される下側遮光膜とを具備してなり、

前記容量線は前記画素トランジスタのチャンネル領域を遮光するように、前記画素トランジスタの上方に形成され、前記上部容量電極と前記下側遮光膜とを電氣的に接続するためのコンタクトホールを有することを特徴とする電気光学装置。

【請求項2】

前記コンタクトホールは、1つ以上の層間膜を貫通して形成されることを特徴とする請求項1に記載の電気光学装置。

【請求項3】

前記上部容量電極は、上層及び下層の2層に分けて成膜され、下層は前記コンタクトホール形成前に成膜され、上層は前記コンタクトホール形成後に成

10

20

膜されていることを特徴とする請求項 1 に記載の電気光学装置。

【請求項 4】

前記下側遮光膜は、各画素の非表示領域に対応して形成されることを特徴とする請求項 1 に記載の電気光学装置。

【請求項 5】

前記容量線は、前記走査線に沿って延在し、定電位源に電氣的に接続されていることを特徴とする請求項 1 に記載の電気光学装置。

【請求項 6】

前記上部容量電極は、ポリシリコンと金属シリサイドとのポリサイドによって形成されていることを特徴とする請求項 1 に記載の電気光学装置。

10

【請求項 7】

前記上部容量電極は、タングステン、モリブデン、チタン、タンタルのいずれかのシリサイドと N 型ポリシリコンとのポリサイドによって形成されていることを特徴とする請求項 1 に記載の電気光学装置。

【請求項 8】

基板上に、マトリクス状に形成される画素電極と、前記画素電極に対応して設けられた画素トランジスタと、前記画素トランジスタに電氣的に接続されるデータ線と、前記データ線と交差する走査線とを備えた電気光学装置の製造方法であって、

基板上に前記画素トランジスタの下方に前記トランジスタに平面的に重なるように格子状の下側遮光膜を形成する工程と、

20

画素電極に電氣的に接続される下部容量電極を、前記下側遮光膜上に 1 つ以上の層間膜を介して形成する工程と、

前記下部容量電極上に誘電体膜を形成する工程と、

前記下部容量電極及び前記誘電体膜と共に蓄積容量を構成すると共に容量線として機能する上部容量電極の下層であって、前記誘電体膜上に配置される下層容量電極を形成する工程と、

前記下層容量電極の一部を開孔し、開孔した下層容量電極をマスクとして前記誘電体膜及び前記 1 つ以上の層間膜を開孔してコンタクトホールを形成する工程と、

前記下層容量電極の一部、前記誘電体膜及び前記 1 つ以上の層間膜に形成された前記コンタクトホールを含み前記下層容量電極上に前記上部容量電極の上層である上層容量電極を形成する工程とを具備してなり、

30

前記容量線は前記画素トランジスタのチャンネル領域を遮光するように、前記画素トランジスタの上方に形成され、前記上部容量電極と前記下側遮光膜とは前記コンタクトホールを介して電氣的に接続されることを特徴とする電気光学装置の製造方法。

【請求項 9】

前記コンタクトホールを形成する工程は、前記下層容量電極上にレジストを形成する工程と、

前記レジストを用いて前記下層容量電極の一部を開孔する工程と、

前記レジストを剥離する工程と、

レジスト剥離後の開孔した前記下層容量電極をマスクとして前記誘電体膜及び前記 1 つ以上の層間膜を開孔する工程とを具備したことを特徴とする請求項 8 に記載の電気光学装置の製造方法。

40

【請求項 10】

前記下層容量電極及び上層容量電極は、ポリシリコンによって形成されることを特徴とする請求項 8 に記載の電気光学装置の製造方法。

【請求項 11】

前記ポリシリコン上に金属シリサイドが積層されることを特徴とする請求項 10 に記載の電気光学装置の製造方法。

【発明の詳細な説明】

【0001】

50

【発明の属する技術分野】

本発明は、薄膜トランジスタを用いた電気光学装置及び半導体装置の製造方法に関する。

【0002】**【従来の技術】**

液晶装置は、ガラス基板、石英基板等の2枚の基板間に液晶を封入して構成される。液晶装置では、一方の基板に、例えば薄膜トランジスタ(Thin Film Transistor、以下、TFTと称す)等の能動素子をマトリクス状に配置し、他方の基板に対向電極を配置して、両基板間に封止した液晶層の光学特性を画像信号に応じて変化させることで、画像表示を可能にする。

【0003】

即ち、TFT素子によってマトリクス状に配列された画素電極(ITO)(Indium Tin Oxide)に画像信号を供給し、画素電極と対向電極相互間の液晶層に画像信号に基づく電圧を印加して、液晶分子の配列を変化させる。これにより、画素の透過率を変化させ、画素電極及び液晶層を通過する光を画像信号に応じて変化させて画像表示を行う。

【0004】

TFTはゲート電極に走査線を介して走査信号を供給することでオン状態となり、半導体層のソース領域にデータ線を介して画像信号を供給することで、画像信号はオン状態となったTFTを介して画素電極に供給される。このような画像信号の供給は、画素電極毎に極めて短時間しか行われないので、画像信号の電圧をオン状態とされた時間よりも遥かに長時間に亘って保持するために、各画素電極には蓄積容量が付加されるのが一般的である。

【0005】

液晶装置においては、画素電極を構成するITO膜等の導電膜と画素スイッチング用のTFTを構成する半導体層との間には、走査線、データ線等を構成する各種導電膜及びこれらの導電膜を相互から電氣的に絶縁するためのゲート絶縁膜や層間絶縁膜が複数積層されており、これらの画素電極と半導体層との間の距離は例えば1000nm程度に長い。従って、これらの画素電極と半導体層とを一つのコンタクトホールによって電氣的に接続するのは技術的に困難である。そこで、層間絶縁膜間に画素電極と半導体層とを電氣的に接続する中間導電層を形成する技術が開発されている。

【0006】

液晶装置においては、表示画像の高品位化という一般的な要請が強く、このためには、画素ピッチを微細化しつつ、画素開口率を高める(即ち、各画素において、表示光が透過する開口領域を広げる)と同時に、データ線、走査線、容量線等の各種配線の配線抵抗を低くすることが重要となる。

【0007】

しかしながら、微細ピッチな画素の高開口率化により、データ線や走査線の線幅自体も狭められることになるが、(i)走査線や容量線を形成後に高温の熱処理工程が必要なこと、(ii)走査線は、薄膜トランジスタのゲート電極としても使用されること等を理由に、走査線や容量線は導電性のポリシリコン膜から一般に形成されている。

【0008】

従って、このように微細ピッチな画素の高開口率化に伴い走査線幅や容量線幅が狭められたり、高精細化に伴い駆動周波数が高められたりすると、容量線における時定数の大きさが問題となってくる。即ち、容量線の配線抵抗により走査線に沿った方向である横方向のクロストークやゴーストの発生、コントラスト比の低下等の表示画像の画質劣化が、画素の高開口率化に伴って顕在化してくるという問題がある。

【0009】

また、TFTアクティブマトリクス駆動形式の液晶装置では、各画素に設けられた画素スイッチング用TFTのチャンネル領域に入射光が照射されると光による励起で光リーク電流が発生してTFTの特性が変化する。特に、液晶装置をプロジェクタの液晶ライトバルブに用いた場合には、入射光の強度が高いため、TFTのチャンネル領域やその周辺領域に対

10

20

30

40

50

する入射光の遮光を行うことは重要となる。そこで、対向基板に設けられた各画素の開口領域を規定する遮光膜によってチャンネル領域やその周辺領域を遮光するように構成されている。

【0010】

また、画素の高開口率化、即ち各画素における開口領域の比率を向上させるために、対向基板側だけでなく、TFTアレイ基板上に設けられた内蔵遮光膜により、或いはAl（アルミニウム）等の金属膜からなりTFT上を通過するデータ線により、チャンネル領域やその周辺領域を遮光する技術も開発されている。

【0011】

しかし、対向基板やデータ線とTFT素子との間の距離が比較的大きいことから、対向基板に形成した遮光膜及びデータ線だけでは十分な遮光性能が得られない。 10

【0012】

これらの問題に対し、特開2001-265253号公報においては、TFT素子に対する遮光性能を向上させると共に、十分な蓄積容量を構築し、しかも容量線の低抵抗化を図ることを可能にした電気光学装置が提案されている。

【0013】

この提案においては、TFTを構成する半導体層と画素電極とを中継接続する中間導電層を形成し、この中間導電層に遮光機能を持たせている。また、上部容量電極とこの上部容量電極に絶縁薄膜を介して対向配置された下部容量電極とによって蓄積容量を構成し、更に、上部容量電極に中間導電層と同一膜で構成される容量線を接続する構成となっている。容量線は走査線が形成された各画素の遮光領域を利用して走査線上に配線されており、画像表示領域内から画像表示領域の周囲まで至る長い容量線を太幅に形成することができ、十分な容量を得ると共に、低抵抗化を図っている。 20

【0014】

【発明が解決しようとする課題】

ところで、上述した提案においては、中間導電層を画素電極に接続する構成であり、各画素毎に蓄積容量を構築する容量線は、中間導電層と同一膜で構成することで、画素電極に対して電氣的に接続する構成となっている。ところが、中間導電層は例えばタングステンシリサイド等が採用されており応力が大きい。応力が大きく材料によって容量線が形成されていることから、容量線は極めて断線しやすい。 30

【0015】

しかも、容量線は走査線に沿って形成されていることから、容量線が断線すると、1ラインの全ての画素電極において、画像信号の電圧保持が不能となってしまふ。即ち、断線しやすい容量線によって、1ライン分の全ての画素の表示が正しく表示されずに線状の欠陥が発生して、画面品位が著しく劣化してしまう可能性が高いという問題点があった。

【0016】

本発明はかかる問題点に鑑みてなされたものであって、容量線の一層の低抵抗化を図って表示画像の画質を向上させると共に、容量線が断線した場合でも、表示の劣化を1画素に抑制して高品位の画像表示を可能にし、更に、蓄積容量を構成する誘電体の初期耐圧不良の発生を抑制することができる電気光学装置及びその製造方法を提供することを目的とする。 40

【0017】

【課題を解決するための手段】

本発明に係る電気光学装置は、基板上に、マトリクス状に形成される画素電極と、前記画素電極に対応して設けられた画素トランジスタと、前記画素トランジスタに電氣的に接続されるデータ線と、前記データ線と交差する走査線とを備えた電気光学装置であって、前記画素電極に電氣的に接続される下部容量電極と、固定電位に電氣的に接続される上部容量電極と、前記下部容量電極と前記上部容量電極との間に配置される誘電体膜とによって形成されると共に前記上部容量電極を容量線として、前記画素電極に対応して配置される蓄積容量と、前記画素トランジスタの下方に前記画素トランジスタに平面的に重なるよ 50

うに設けられ、格子状に形成される下側遮光膜とを具備してなり、前記容量線は前記画素トランジスタのチャンネル領域を遮光するように、前記画素トランジスタの上方に形成され、前記上部容量電極と前記下側遮光膜とを電氣的に接続するためのコンタクトホールを有することを特徴とする。

【0018】

このような構成によれば、画素電極は基板上にマトリクス状に形成される。画素電極には下部容量電極が接続され、固定電位は上部容量電極が接続される。これらの下部容量電極と上部容量電極との間に誘電体膜を配置することで蓄積容量が構成される。蓄積容量は上部容量電極を容量線としており、画素電極に対応して配置される。一方、基板上には下側遮光膜が形成される。コンタクトホールは、蓄積容量を構成する上部容量電極と下側遮光膜とを接続する。画素の画素電極には蓄積容量が接続される。画素に対応して設けられ蓄積容量を構成する容量線の上部容量電極は、下側遮光膜に接続されることになり、容量線に断線が生じて、下側遮光膜によって他の画素の蓄積容量の上部容量電極は接続される。即ち、下側遮光膜は容量線の冗長配線を構成する。下側遮光膜によって容量線の低抵抗化が図られ、また、容量線の断線が他の画素に与える影響は最小限に抑制される。

10

【0019】

前記コンタクトホールは、1つ以上の層間膜を貫通して形成されることを特徴とする。

【0020】

このような構成によれば、多層構造であっても、容量線と下側遮光膜との接続が可能である。

20

【0021】

前記上部容量電極は、上層及び下層の2層に分けて成膜され、下層は前記コンタクトホール形成前に成膜され、上層は前記コンタクトホール形成後に成膜されていることを特徴とする。

【0022】

このような構成によれば、上部容量電極の下層はコンタクトホール形成前に成膜される。例えば、誘電体膜の形成後に下層が形成され、次いでコンタクトホールが形成され、コンタクトホール形成後に上部容量電極の上層が形成される。コンタクトホールの形成に必要なリソグラフィ工程に際して誘電体膜は第2容量電極の下層によって被覆されて保護されており、リソグラフィ工程に際して誘電体膜がダメージを受けることを防止することができる。これにより、初期耐圧不良の発生を防止することができる。

30

【0023】

前記下側遮光膜は、各画素の非表示領域に対応して形成されることを特徴とする。

【0024】

このような構成によれば、画素に対応して形成されていることから、下側遮光膜をコンタクトホールによって接続しやすく、また、下側遮光膜が光学的に画素に与える影響は少ない。

【0029】

前記容量線は、前記走査線に沿って延在し、定電位源に電氣的に接続されていることを特徴とする。

40

また前記上部容量電極は、ポリシリコンと金属シリサイドとのポリサイドによって形成されていることを特徴とする。

【0030】

このような構成によれば、金属シリサイドは遮光機能を有し、画素電極以外に入射する光を阻止し、電気光学特性を向上させる。

【0031】

前記上部容量電極は、タングステン、モリブデン、チタン、タンタルのいずれかのシリサイドとN型ポリシリコンとのポリサイドによって形成されていることを特徴とする。

【0032】

このような構成によれば、比較的簡単に、遮光機能を有する第2容量電極を形成すること

50

ができる。

【0033】

本発明に係る電気光学装置の製造方法は、基板上に、マトリクス状に形成される画素電極と、前記画素電極に対応して設けられた画素トランジスタと、前記画素トランジスタに電氣的に接続されるデータ線と、前記データ線と交差する走査線とを備えた電気光学装置の製造方法であって、基板上に前記画素トランジスタの下方に前記トランジスタに平面的に重なるように格子状の下側遮光膜を形成する工程と、画素電極に電氣的に接続される下部容量電極を、前記下側遮光膜上に1つ以上の層間膜を介して形成する工程と、前記下部容量電極上に誘電体膜を形成する工程と、前記下部容量電極及び前記誘電体膜と共に蓄積容量を構成すると共に容量線として機能する上部容量電極の下層であって、前記誘電体膜上に配置される下層容量電極を形成する工程と、前記下層容量電極の一部を開孔し、開孔した下層容量電極をマスクとして前記誘電体膜及び前記1つ以上の層間膜を開孔してコンタクトホールを形成する工程と、前記下層容量電極の一部、前記誘電体膜及び前記1つ以上の層間膜に形成された前記コンタクトホールを含み前記下層容量電極上に前記上部容量電極の上層である上層容量電極を形成する工程とを具備してなり、前記容量線は前記画素トランジスタのチャンネル領域を遮光するように、前記画素トランジスタの上方に形成され、前記上部容量電極と前記下側遮光膜とは前記コンタクトホールを介して電氣的に接続されることを特徴とする。

10

【0034】

このような構成によれば、基板上に、下側遮光膜が形成される。この下側遮光膜上には、1つ以上の層間膜を介して、画素電極に接続される下部容量電極が形成される。この下部容量電極上には誘電体膜が形成され、下部容量電極及び誘電体膜上には、蓄積容量を構成する上部容量電極の一部である下層容量電極が形成される。即ち、この状態で、下層容量電極は、誘電体膜を被覆する。次に、下層容量電極の一部を開孔し、開孔した下層容量電極をマスクとして誘電体膜及び1つ以上の層間膜を開孔してコンタクトホールを形成する。コンタクトホールの形成前に、誘電体膜は下層容量電極によって被覆されて保護されており、コンタクトホールの形成時に誘電体膜がダメージを受けることはない。これにより、初期耐圧不良の発生を防止することができる。

20

【0035】

前記コンタクトホールを形成する工程は、前記下層容量電極上にレジストを形成する工程と、前記レジストを用いて前記下層容量電極の一部を開孔する工程と、前記レジストを剥離する工程と、レジスト剥離後の開孔した前記下層容量電極をマスクとして前記誘電体膜及び前記1つ以上の層間膜を開孔する工程とを具備したことを特徴とする。

30

【0036】

このような構成によれば、コンタクトホール形成前に、誘電体膜上に下層容量電極が形成される。コンタクトホール形成時には、先ず、下層容量電極上にレジストが形成され、レジストを用いて下層容量電極の一部が開孔される。次に、レジストが剥離される。誘電体膜上にはレジストは形成されておらず、レジストの剥離時において誘電体膜がダメージを受けることはない。レジスト剥離後の開孔した下層容量電極をマスクとして誘電体膜及び1つ以上の層間膜を開孔して、コンタクトホールが形成される。コンタクトホール形成時に必要なりソグラフィ工程において、誘電体膜がダメージを受けることはなく、初期耐圧不良の発生を防止することができる。

40

【0037】

前記下層容量電極及び上層容量電極は、ポリシリコンによって形成されることを特徴とする。

【0038】

このような構成によれば、同一材料が用いられ、製造工程が複雑となることを防止することができる。

【0039】

前記ポリシリコン上に金属シリサイドが積層されることを特徴とする。

50

【0040】

このような構成によれば、金属シリサイドは遮光機能を有し、画素電極以外に入射する光を阻止し、電気光学特性を向上させることができる。

【0041】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について詳細に説明する。本実施の形態は本発明の電気光学装置を液晶装置に適用したものである。図1は本発明の第1の実施の形態に係る電気光学装置を示す模式的な断面図である。図2は液晶装置の画素領域を構成する複数の画素における各種素子、配線等の等価回路図である。図3はTFTアレイ基板をその上に形成された各構成要素と共に対向基板側から見た平面図であり、図4はTFTアレイ基板と対向基板とを貼り合わせて液晶を封入する組立工程終了後の液晶装置を、図3のH-H'線の位置で切断して示す断面図である。図5はデータ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。図6は図5に示す各要素のうち主要な部分のみを示す平面図である。図7は図5の模式的なA-A'断面図である。なお、図1は図5のA-B(斜線)-A'の断面を示している。

10

【0042】

本実施の形態はTFTの下層に各画素に対応した格子状の導電性の遮光膜を形成すると共に、容量線を構成する上部容量電極から遮光膜まで貫通するコンタクトホールを形成して、容量線と遮光膜とを電気的に接続することにより、遮光膜を容量線の冗長配線として用いて断線の際の画素ダメージを最小限に抑制することを可能にしたものである。

20

【0043】

先ず、本発明の第1実施の形態における液晶装置の画素部における構成について、図1乃至図7を参照して説明する。

【0044】

液晶装置は、図3及び図4に示すように、透明なTFTアレイ基板10と透明な対向基板20との間に液晶50を封入して構成される。TFTアレイ基板10は、例えば石英基板、ガラス基板、シリコン基板からなり、対向基板20は、例えばガラス基板や石英基板からなる。TFTアレイ基板10上には画素を構成する画素電極等がマトリクス状に配置される。図2は画素を構成するTFTアレイ基板10上の素子の等価回路を示している。

【0045】

図2において、本実施の形態における電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素には夫々、画素電極9aと画素電極9aをスイッチング制御するためのTFT30とが形成されており、画像信号が供給されるデータ線(ソース線)6aがTFT30のソースに電気的に接続されている。データ線6aに書き込む画像信号S1、S2、...、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしてもよい。

30

【0046】

また、TFT30のゲートに走査線3aが電気的に接続されており、所定のタイミングで、走査線3aにパルスの走査信号G1、G2、...、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電気的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、...、Snを所定のタイミングで書き込む。画素電極9aを介して電気光学物質の一例としての液晶に書き込まれた所定レベルの画像信号S1、S2、...、Snは、後述する対向基板に形成された対向電極との間で一定期間保持される。

40

【0047】

液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が減少し、ノーマリーブラックモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が増加され、全体とし

50

て電気光学装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極 9 a と対向電極との間に形成される液晶容量と並列に蓄積容量 7 0 を付加する。

【 0 0 4 8 】

図 1、図 5 乃至図 7 において、ガラスや石英等の T F T アレイ基板 1 0 には、格子状に溝 1 1 が形成されている。この溝 1 1 上に下側遮光膜 1 2 及び第 1 層間絶縁膜 1 3 を介して L D D (Lightly Doped Drain) 構造をなす T F T 3 0 が形成されている。溝 1 1 によって、T F T 基板の液晶 5 0 との境界面が平坦化される。

【 0 0 4 9 】

T F T アレイ基板 1 0 上には、マトリクス状に複数の透明な画素電極 9 a (図 5 の破線部 9 a ' により輪郭が示されている) が設けられており、画素電極 9 a の縦横の境界に各々沿ってデータ線 6 a 及び走査線 3 a が設けられている。そして、下側遮光膜 1 2 は、これらのデータ線 6 a 及び走査線 3 a に沿って、各画素に対応して格子状に設けられている。

【 0 0 5 0 】

下側遮光膜 1 2 は、例えば、T i、C r、W、T a、M o、P b 等の高融点金属のうち少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等からなる。

【 0 0 5 1 】

T F T 3 0 は、チャンネル領域 1 a、ソース領域 1 d、ドレイン領域 1 e が形成された半導体層 1 a にゲート絶縁膜をなす絶縁膜 2 を介してゲート電極をなす走査線 3 a が設けられてなる。走査線 3 a は、ゲート電極となる部分において幅広に形成されており、チャンネル領域 1 a (図 5 の斜線部) は、半導体層 1 a と走査線 3 a とが対向する領域に構成される。

【 0 0 5 2 】

下側遮光膜 1 2 は、T F T 3 0 の形成領域に対応する領域、後述するデータ線 6 a 及び走査線 3 a 等の形成領域、即ち各画素の非表示領域に対応した領域に形成されている。この下側遮光膜 1 2 によって、反射光が T F T 3 0 のチャンネル領域 1 a、ソース領域 1 d 及びドレイン領域 1 e に入射することが防止される。

【 0 0 5 3 】

T F T 3 0 上には第 2 層間絶縁膜 1 4 が積層され、第 2 層間絶縁膜 1 4 上には走査線 3 a およびデータ線 6 a 方向に延びる島状の第 1 中間導電層 1 5 が形成されている。第 1 中間導電層 1 5 上には誘電体膜 1 7 を介して容量線 1 8 が対向配置されている。容量線 1 8 は、第 1 中間導電層 1 5 上に重なるようにデータ線 6 a 方向に延びる延出部と、走査線 3 a に沿って延びる本線からなる。

【 0 0 5 4 】

第 1 中間導電層 1 5 は、T F T 3 0 の高濃度ドレイン領域 1 e 及び画素電極 9 a に接続された画素電位側容量電極(下部容量電極)として作用し、容量線 1 8 の一部は固定電位側容量電極(上部容量電極 1 8 a)として作用する。容量線 1 8 は、上部容量電極 1 8 a と遮光層 1 8 b の多層構造であり、誘電体膜 1 7 を介して第 1 中間導電層 1 5 と対向配置されることで蓄積容量(図 2 の蓄積容量 7 0)を構成する。

【 0 0 5 5 】

容量線 1 8 は、例えば導電性のポリシリコン膜等からなる上部容量電極 1 8 a と高融点金属を含む金属シリサイド膜等からなる遮光層 1 8 b とが積層された多層構造である。例えば、容量線 1 8 は、タングステン、モリブデン、チタン、タンタルのいずれかのシリサイドからなる遮光層 1 8 b と N 型ポリシリコンによる上部容量電極 1 8 b とのポリサイドによって構成される。これにより、容量線 1 8 は、内蔵遮光膜を構成すると共に固定電位側容量電極としても機能する。

【 0 0 5 6 】

第 1 中間導電層 1 5 は、例えば導電性のポリシリコン膜からなり画素電位側容量電極として機能する。第 1 中間導電層 1 5 は、画素電位側容量電極としての機能の他、内蔵遮光膜

10

20

30

40

50

としての容量線 18 と T F T 3 0 との間に配置される光吸収層としての機能を持ち、更に、画素電極 9 a と T F T 3 0 の高濃度ドレイン領域 1 e とを中継接続する機能を持つ。なお、第 1 中間導電層 1 5 も、容量線 1 8 と同様に、金属又は合金を含む単一層膜若しくは多層膜から構成してもよい。

【 0 0 5 7 】

下部容量電極としての第 1 中間導電層 1 5 と上部容量電極 1 8 a を構成する容量線 1 8 との間に配置される誘電体膜 1 7 は、例えば膜厚 5 ~ 2 0 0 n m 程度の比較的薄い H T O (High Temperature Oxide) 膜、 L T O (Low Temperature Oxide) 膜等の酸化シリコン膜、あるいは窒化シリコン膜等から構成される。蓄積容量を増大させる観点からは、膜の信頼性が十分に得られる限りにおいて、誘電体膜 1 7 は薄い程よい。

10

【 0 0 5 8 】

また容量線 1 8 は、画素電極 9 a が配置された画像表示領域からその周囲に延設され、定電位源と電氣的に接続されて、固定電位とされる。かかる定電位源としては、 T F T 3 0 を駆動するための走査信号を走査線 3 a に供給するための後述の走査線駆動回路 6 3 や画像信号をデータ線 6 a に供給するサンプリング回路を制御する後述のデータ線駆動回路 6 1 に供給される正電源や負電源の定電位源でもよいし、対向基板 2 0 の対向電極 2 1 に供給される定電位でも構わない。更に、下側遮光膜 1 2 についても、その電位変動が T F T 3 0 に対して悪影響を及ぼすことを避けるために、容量線 1 8 と同様に、画像表示領域からその周囲に延設して定電位源に接続するとよい。

【 0 0 5 9 】

20

また、データ線 6 a とソース領域 1 d を電氣的に接続するために、第 1 中間導電層 1 5 と同一層で形成される第 2 中間導電層 1 5 b が形成されている。第 2 中間導電層 1 5 b は第 2 層間絶縁膜 1 4 及び絶縁膜 2 を貫通するコンタクトホール 2 4 a を介してソース領域 1 d に電氣的に接続されている。

【 0 0 6 0 】

容量線 1 8 上には第 3 層間絶縁膜 1 9 が配置され、第 3 層間絶縁膜 1 9 上にはデータ線 6 a が積層される。データ線 6 a は、第 3 層間絶縁膜 1 9 及び誘電体膜 1 7 を貫通するコンタクトホール 2 4 b を介してソース領域 1 d に電氣的に接続される。

【 0 0 6 1 】

データ線 6 a 上には第 4 層間絶縁膜 2 5 を介して画素電極 9 a が積層されている。画素電極 9 a は、第 4 層間絶縁膜 2 5 , 第 3 層間絶縁膜 1 9 , 誘電体膜 1 7 を貫通するコンタクトホール 2 6 b により第 1 中間導電層 1 5 に電氣的に接続される。そして、第 1 中間導電層 1 5 は第 2 層間絶縁膜 1 4 及び絶縁膜 2 を貫通するコンタクトホール 2 6 a を介してドレイン領域 1 e に電氣的に接続される。画素電極 9 a 上にはポリイミド系の高分子樹脂からなる配向膜 1 6 が積層され、所定方向にラビング処理されている。

30

【 0 0 6 2 】

走査線 3 a (ゲート電極) に O N 信号が供給されることで、チャネル領域 1 a が導通状態となり、ソース領域 1 d とドレイン領域 1 e とが接続されて、データ線 6 a に供給された画像信号が画素電極 9 a に与えられる。

【 0 0 6 3 】

40

一方、対向基板 2 0 には、 T F T アレイ基板のデータ線 6 a 、走査線 3 a 及び T F T 3 0 の形成領域に対向する領域、即ち各画素の非表示領域において第 1 遮光膜 2 3 が設けられている。この第 1 遮光膜 2 3 によって、対向基板 2 0 側からの入射光が T F T 3 0 のチャネル領域 1 a 、ソース領域 1 d 及びドレイン領域 1 e に入射することが防止される。第 1 遮光膜 2 3 上に、対向電極 (共通電極) 2 1 が基板 2 0 全面に亘って形成されている。対向電極 2 1 上にポリイミド系の高分子樹脂からなる配向膜 2 2 が積層され、所定方向にラビング処理されている。

【 0 0 6 4 】

そして、 T F T アレイ基板 1 0 と対向基板 2 0 との間に液晶 5 0 が封入されている。これにより、 T F T 3 0 は所定のタイミングでデータ線 6 a から供給される画像信号を画素電

50

極 9 a に書き込む。書き込まれた画素電極 9 a と対向電極 2 1 との電位差に応じて液晶 5 0 の分子集合の配向や秩序が変化して、光を変調し、階調表示を可能にする。

【 0 0 6 5 】

図 3 及び図 4 に示すように、対向基板 2 0 には表示領域を区画する額縁としての遮光膜 4 2 が設けられている。遮光膜 4 2 は例えば遮光膜 2 3 と同一又は異なる遮光性材料によって形成されている。

【 0 0 6 6 】

遮光膜 4 2 の外側の領域に液晶を封入するシール材 4 1 が、T F T アレイ基板 1 0 と対向基板 2 0 間に形成されている。シール材 4 1 は対向基板 2 0 の輪郭形状に略一致するように配置され、T F T アレイ基板 1 0 と対向基板 2 0 を相互に固着する。シール材 4 1 は、T F T アレイ基板 1 0 の 1 辺の一部において欠落しており、貼り合わされた T F T アレイ基板 1 0 及び対向基板 2 0 相互の間隙には、液晶 5 0 を注入するための液晶注入口 7 8 が形成される。液晶注入口 7 8 より液晶が注入された後、液晶注入口 7 8 を封止材 7 9 で封止するようになっている。

10

【 0 0 6 7 】

T F T アレイ基板 1 0 のシール材 4 1 の外側の領域には、データ線駆動回路 6 1 及び実装端子 6 2 が T F T アレイ基板 1 0 の一辺に沿って設けられており、この一辺に隣接する 2 辺に沿って、走査線駆動回路 6 3 が設けられている。T F T アレイ基板 1 0 の残る一辺には、画面表示領域の両側に設けられた走査線駆動回路 6 3 間を接続するための複数の配線 6 4 が設けられている。また、対向基板 2 0 のコーナー部の少なくとも 1 箇所においては、T F T アレイ基板 1 0 と対向基板 2 0 との間を電氣的に導通させるための導通材 6 5 が設けられている。

20

【 0 0 6 8 】

本実施の形態においては、容量線 1 8 は平面的に見て、走査線 3 a 及びデータ線 6 a に沿って延びており、図 1 及び図 5 , 図 6 に示すように、一端側は第 1 中間導電層 1 5 から平面的（垂直方向）には突出して延びている。即ち、この一端側においては、第 2 層間絶縁膜 1 4 上に直接誘電体膜 1 7 が形成され、誘電体膜 1 7 上に容量線 1 8 が形成されている。

【 0 0 6 9 】

本実施の形態においては、この一端側において、誘電体膜 1 7 、第 2 層間絶縁膜 1 4 、絶縁膜 2 及び第 1 層間絶縁膜 1 3 を貫通するコンタクトホール 7 1 （図 5 , 図 6 の黒丸部分）が形成されており、このコンタクトホール 7 1 によって、容量線 1 8 の上部容量電極 1 8 a が下側遮光膜 1 2 に電氣的に接続されるようになっている。

30

【 0 0 7 0 】

なお、本実施の形態においては、後述する製造方法に起因して、容量線 1 8 の上部容量電極 1 8 a は、下層ポリシリコン層 1 8 a1 及び上層ポリシリコン層 1 8 a2 に分けて形成されている。

【 0 0 7 1 】

このように構成された実施の形態においては、容量線 1 8 の上部容量電極 1 8 a は、コンタクトホール 7 1 を介して下側遮光膜 1 2 に電氣的に接続される。下側遮光膜 1 2 は、導電材料で構成されており、データ線 6 a 及び走査線 3 a に沿って、各画素に対応して格子状に設けられている。即ち、蓄積容量の上部容量電極 1 8 a を構成する容量線 1 8 は、T F T 3 0 の下層に形成された格子状の導電材料（下側遮光膜 1 2 ）に接続されることで、低抵抗化される。

40

【 0 0 7 2 】

また、容量線 1 8 が所定の 1 画素の位置で断線したとしても、この画素と同一行の各画素位置の容量線は、下側遮光膜 1 2 によって電氣的に接続されており、固定電位側容量電極としての機能を維持する。従って、容量線 1 8 の断線の影響は、断線した位置の 1 画素の表示に影響を与えるのみであり、他の画素は断線の影響を受けない。

【 0 0 7 3 】

50

このように、本実施の形態においては、コンタクトホール71によって容量線18の上部容量電極18aとTFT30の下層に形成された格子状の下側遮光膜12とを電氣的に接続することにより、下側遮光膜12を容量線18の冗長配線として用いることを可能にしている。また、下側遮光膜12によって容量線18の低抵抗化を図ることができる。

【0074】

なお、本実施の形態は、画素スイッチング用TFT30は、LDD構造を有する例を説明したが、低濃度ソース領域及び低濃度ドレイン領域に不純物の打ち込みを行わないオフセット構造を有していてもよく、また、走査線3aの一部からなるゲート電極をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型のTFTであってもよい。

10

【0075】

また本実施の形態では、画素スイッチング用TFT30のゲート電極を高濃度ソース領域1d及び高濃度ドレイン領域1e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。このようにデュアルゲート或いはトリプルゲート以上でTFTを構成すれば、チャンネルとソース及びドレイン領域との接合部のリーク電流を防止でき、オフ時の電流を低減することができる。

【0076】

なお、図5においては、データ線6aの内側領域に容量線18を形成し、容量線18の内側領域に下側遮光膜12を形成した例を示しているが、データ線6a、容量線18、下側遮光膜は同一の幅に形成したり、適宜幅を変更し得るものである。また、走査線3aに沿う中間導電膜15の内側領域に下側遮光膜12、下側遮光膜12の内側領域に走査線3aを形成しているが、中間導電膜15、下側遮光膜12、走査線3aの幅を同一の幅に形成したり、適宜幅を変更し得るものである。

20

【0077】

図8は本発明の第2の実施の形態に係る半導体装置の製造方法を示すフローチャートである。また、図9は図1の液晶装置の製造方法を示すフローチャートである。なお、図8及び図9は図1の液晶装置の製造方法に適用した例を示しており、図8は図9中の蓄積容量及びコンタクト形成工程を具体的に示すものである。図10は図8の製造方法を必要とする理由を説明するための説明図であり、図11は図8の製造方法によって製造されるコンタクトホール71を工程順に示す工程図である。

30

【0078】

先ず図9を参照して図1の液晶装置の製造方法について説明する。

【0079】

先ず、石英基板、ハードガラス、シリコン基板等のTFTアレイ基板10を用意する。好ましくは N_2 (窒素)等の不活性ガス雰囲気且つ約900~1300の高温でアニール処理し、後に実施される高温プロセスにおけるTFTアレイ基板10に生じる歪みが少なくなるように前処理しておく。

【0080】

図9のステップS1において、TFTアレイ基板10に対してエッチング等によって溝11(図1、図5乃至図7参照)を形成する。次に、図9のステップS2において、Ti、Cr、W、Ta、Mo及びPd等の金属や金属シリサイド等の金属合金膜を、スパッタリングにより、100~500nm程度の膜厚、好ましくは約200nmの膜厚に堆積させる。そしてフォトリソグラフィ及びエッチングにより、平面形状が格子状の下側遮光膜12を形成する。

40

【0081】

次に、ステップS3において、下側遮光膜12上に、例えば、常圧又は減圧CVD法等によりTEOS(テトラ・エチル・オルソ・シリケート)ガス、TEB(テトラ・エチル・ボートレート)ガス、TMOP(テトラ・メチル・オキシ・フォスレート)ガス等を用いて、NSG、PSG、BSG、BPSG等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる層間絶縁膜13を形成する。この層間絶縁膜13の膜厚は、例えば

50

約500~2000nm程度とする。

【0082】

次に、ステップS4において、層間絶縁膜13上に、約450~550、好ましくは約500の比較的低温環境中で、流量約400~600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD(例えば、圧力約20~40PaのCVD)により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約600~700にて約1~10時間、好ましくは、4~6時間のアニール処理を施することにより、ポリシリコン膜を約50~200nmの粒径、好ましくは約100nmの粒径となるまで固相成長させる。固相成長させる方法としては、RTA(Rapid Thermal Anneal)を使ったアニール処理でもよいし、エキシマレーザー等を用いたレーザーアニールでもよい。この際、画素スイッチング用のTF T30を、nチャネル型とするかpチャネル型にするかに応じて、V族元素やIII族元素のドーパントを僅かにイオン注入等によりドーブしてもよい。そして、フォトリソグラフィ及びエッチングにより、所定パターンを有する半導体層1aを形成する。

10

【0083】

次に、ステップS5において、TF T30を構成する半導体層1aを約900~1300の温度、好ましくは約1000の温度により熱酸化し、続けて減圧CVD法等により、若しくは両者を続けて行うことにより、多層の高温酸化シリコン膜(HTO膜)や窒化シリコン膜からなる(ゲート絶縁膜を含む)下層及び上層のゲート絶縁膜2を形成する。

【0084】

この結果、半導体層1aは、約30~150nmの厚さ、好ましくは約35~50nmの厚さとなり、絶縁膜2の厚さは、約20~150nmの厚さ、好ましくは約30~100nmの厚さとなる。

20

【0085】

次に、画素スイッチング用のTF T30のスレッシュホールド電圧V_{th}を制御するために、半導体層1aのうちNチャネル領域或いはPチャネル領域に、ボロン等のドーパントを予め設定された所定量だけイオン注入等によりドーブする。

【0086】

次に、ステップS6において、減圧CVD法等によりポリシリコン膜を堆積し、更にリン(P)を熱拡散し、このポリシリコン膜を導電化する。または、Pイオンをこのポリシリコン膜の成膜と同時に導入したドーブトシリコン膜を用いてもよい。このポリシリコン膜の膜厚は、約100~500nmの厚さ、好ましくは約350nm程度である。そして、フォトリソグラフィ及びエッチングにより、TF T30のゲート電極部を含めて所定パターンの走査線3aを形成する。

30

【0087】

例えば、TF T30を、LDD構造を持つnチャネル型のTF Tとする場合には、半導体層1aに、低濃度ソース領域及び低濃度ドレイン領域を形成するために、走査線3a(ゲート電極)をマスクとして、P等のV族元素のドーパントを低濃度で(例えば、Pイオンを $1\sim 3\times 10^{13}/\text{cm}^2$ のドーブ量にて)ドーブする(ステップS7)。これにより走査線3a下の半導体層1aはチャネル領域1a'となる。

40

【0088】

更に、画素スイッチング用TF T30を構成する高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、走査線3aよりも幅の広い平面パターンを有するレジスト層を走査線3a上に形成する。その後、P等のV族元素のドーパントを高濃度で(例えば、Pイオンを $1\sim 3\times 10^{15}/\text{cm}^2$ のドーブ量にて)ドーブする(ステップS8)。

【0089】

こうして、低濃度のソース・ドレイン領域と高濃度のソース・ドレイン領域とを有するLDD構造の素子を構成する。なお、例えば、低濃度のドーブを行わずに、オフセット構造のTF Tとしてもよく、走査線3aをマスクとして、Pイオン、Bイオン等を用いたイオン注入技術によりセルフアライン型のTF Tとしてもよい。この不純物のドーブにより走

50

査線 3 a は更に低抵抗化される。

【 0 0 9 0 】

次に、ステップ S 9 では、走査線 3 a 上に、例えば、常圧又は減圧 C V D 法等により T E O S ガス、T E B ガス、T M O P ガス等を用いて、N S G、P S G、B S G、B P S G 等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第 2 層間絶縁膜 1 4 を形成する。この第 2 層間絶縁膜 1 4 の膜厚は、例えば約 5 0 0 ~ 2 0 0 0 n m 程度とする。ここで好ましくは、8 0 0 の程度の高温でアニール処理し、層間絶縁膜 1 4 の膜質を向上させておく。

【 0 0 9 1 】

次に、ステップ S 10 において、第 2 層間絶縁膜 1 4 に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより、コンタクトホール 2 4 a を同時開孔する。

10

【 0 0 9 2 】

次に、本実施の形態においては、後述するステップ S 11 において、第 1 中間導電層 1 5、誘電体膜 1 7 及び容量線 1 8 によって構成される蓄積容量並びに第 2 中間導電層 1 5 b 及びコンタクトホール形成 2 4 a、2 6 a 等が行われる。

【 0 0 9 3 】

次に、ステップ S 12 において、例えば、常圧又は減圧 C V D 法や T E O S ガス等を用いて、N S G、P S G、B S G、B P S G 等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第 3 層間絶縁膜 1 9 を形成する。第 3 層間絶縁膜 1 9 の膜厚は、例えば 5 0 0 ~ 1 5 0 0 n m 程度である。

20

【 0 0 9 4 】

次に、ステップ S 13 において、第 3 層間絶縁膜 1 9 に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより、コンタクトホール 2 4 b を開孔する。

【 0 0 9 5 】

次に、ステップ S 14 において、コンタクトホール 2 4 b を埋めるように第 3 層間絶縁膜 1 9 上の全面に、スパッタリング等により、遮光性の A l 等の低抵抗金属や金属シリサイド等を金属膜として、約 1 0 0 ~ 5 0 0 n m の厚さ、好ましくは約 3 0 0 n m に堆積する。そして、フォトリソグラフィ及びエッチングにより、所定パターンを有するデータ線 6 a を形成する。

30

【 0 0 9 6 】

次に、ステップ S 15 において、データ線 6 a 上を覆うように、例えば、常圧又は減圧 C V D 法や T E O S ガス等を用いて、N S G、P S G、B S G、B P S G 等のシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第 4 層間絶縁膜 2 5 を形成する。第 4 層間絶縁膜 2 5 の膜厚は、例えば 5 0 0 ~ 1 5 0 0 n m 程度である。

【 0 0 9 7 】

次に、ステップ S 16 において、第 4 層間絶縁膜 2 5 及び第 3 層間絶縁膜 1 9 に対する反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより、コンタクトホール 2 6 b を開孔する。

40

【 0 0 9 8 】

次に、ステップ S 17 において、このコンタクトホール 2 6 b の内周面及び第 4 層間絶縁膜 2 5 上に、スパッタ処理等により、I T O 膜等の透明導電性膜を、約 5 0 ~ 2 0 0 n m の厚さに堆積する。そして、フォトリソグラフィ及びエッチングにより、画素電極 9 a を形成する。なお、液晶装置を反射型の液晶装置に用いる場合には、A l 等の反射率の高い不透明な材料から画素電極 9 a を形成してもよい。コンタクトホール 2 6 b は、第 1 中間導電層 1 5 と画素電極 9 a とを接続する。

【 0 0 9 9 】

次に、このように構成された T F T アレイ基板 1 0 と対向基板 2 0 とに対して、パネル組立工程が実施される。パネル組立工程においては、先ず、T F T アレイ基板 1 0 及び対向

50

基板 20 に対して、配向膜 16, 22 となるポリイミド (PI) を塗布する。

【0100】

次に、TFT アレイ基板 10 表面の配向膜 16 及び対向基板 20 表面の配向膜 22 に対して、ラビング処理を施す。次に、洗浄工程を行う。この洗浄工程は、ラビング処理によって生じた塵埃を除去するためのものである。洗浄工程が終了すると、シール材 41、及び導通材 65 (図 3 参照) を形成する。シール材 41 を形成した後、TFT アレイ基板 10 と対向基板 20 とを貼り合わせ、アライメントを施しながら圧着し、シール材 41 を硬化させる。最後に、シール材 41 の一部に設けた切り欠きから液晶を封入し、切り欠きを塞いで液晶を封止する。

【0101】

図 10 は一般的な半導体装置の製造方法によるコンタクトホール 71 の形成方法を工程順に説明するためのものである。

【0102】

第 2 層間絶縁膜 14 上には第 1 中間導電層 15 が形成される。そして、第 1 中間導電層 15 及び第 2 層間絶縁膜 14 上に誘電体膜 17 が形成される。誘電体膜 17 の成膜後に、誘電体膜 17 上にレジスト 75 を形成し (図 10 (a))、ドライエッチングによってコンタクトホール 72 を開孔する (図 10 (b))。

【0103】

次に、レジスタ 75 を剥離した後、誘電体膜 17 上にポリシリコン膜を堆積し、例えばリン (P) を熱拡散してポリシリコン膜を導電化し、上部容量電極 18a を形成する (図 10 (c))。更に、金属や金属シリサイド等の金属合金膜を遮光層 18b として積層形成した後、フォトリソグラフィによって所定パターンの容量線 18 を形成する。

【0104】

ところが、この手法では、レジスト 75 の剥離によって誘電体膜 17 にダメージが生じてしまう。誘電体膜 17 のこのようなダメージによって初期耐圧不良が生じやすくなってしまふという欠点がある。

【0105】

そこで、本実施の形態においては、図 8 に示す製造方法を採用する。図 8 は図 9 のステップ S11 の各工程を具体的に示したものである。また、図 11 はコンタクトホール 71 部分の模式的な断面を図 8 の工程順に示している。

【0106】

即ち、本実施の形態においては、コンタクトホール 71 を開孔する前に、容量線 18 の上部容量電極 18a の一部となるポリシリコンを誘電体膜 17 上に形成して、誘電体膜 17 をエッチングから保護する。エッチングに際して、誘電体膜 17 上に形成したポリシリコンをハードマスクとして使用すると共に、コンタクト開孔後に、更にポリシリコンを必要な厚さまで堆積させて、容量線 18 の上部容量電極 18a を構成している。

【0107】

図 8 のステップ S21 において、先ず、蓄積容量の下部容量電極となる第 1 中間導電層 15 を形成する。即ち、第 2 層間絶縁膜 14 上に、減圧 CVD 法等によりポリシリコン膜を堆積し、更にリン (P) を熱拡散し、このポリシリコン膜を導電化する。または、P イオンをこのポリシリコン膜の成膜と同時に導入したドープトシリコン膜を用いてもよい。このポリシリコン膜の膜厚は、約 100 ~ 500 nm の厚さ、好ましくは約 150 nm 程度である。そして、フォトリソグラフィ及びエッチングによりパターニングを行って、第 1 中間導電層 15 を形成する (ステップ S22)。

【0108】

次のステップ S23 において、誘電体膜 17 を形成する。即ち、画素電位側容量電極を兼ねる第 1 中間導電層 15 及び第 2 層間絶縁膜 14 上に、減圧 CVD 法、プラズマ CVD 法等により高温酸化シリコン膜 (HTO 膜) や窒化シリコン膜からなる誘電体膜 17 を膜厚 50 nm 程度の比較的薄い厚さに堆積する。

【0109】

10

20

30

40

50

なお、誘電体膜 17 は、絶縁膜 2 の場合と同様に、単層膜或いは多層膜のいずれから構成してもよく、一般に T F T のゲート絶縁膜を形成するのに用いられる各種の公知技術により形成可能である。そして、誘電体膜 17 を薄くする程、蓄積容量は大きくなるので、結局、膜破れ等の欠陥が生じないことを条件に、膜厚 50 nm 以下の極薄い絶縁膜となるように誘電体膜 17 を形成すると有利である。

【 0 1 1 0 】

本実施の形態においては、誘電体膜 17 は、一端において、第 1 中間導電層 15 よりも平面的（垂直方向）に伸びた部分を有し、この部分においては、誘電体膜 17 は第 2 層間絶縁膜 14 上に直接形成されている（図 1 及び図 11（a）参照）。

【 0 1 1 1 】

次に、誘電体膜 17 上に容量線 18 の上部容量電極 18 a を形成する。本実施の形態においては、容量線 18 の上部容量電極 18 a は、2 層に分けて構成する。即ち、先ず、ステップ S 24 において、下層ポリシリコン層 18 a1 を形成する（図 11（a））。この下層ポリシリコン層 18 a1 は、減圧 C V D 法等によりポリシリコン膜を堆積することで形成される。下層ポリシリコン層 18 a1 の膜厚は、後述する上層ポリシリコン層 18 a2 の膜厚と適宜の比率とする。例えば、容量線 18 の上部容量電極 18 a 全体の膜厚を 150 nm であるものとする、下層ポリシリコン層 18 a1 の膜厚を 50 nm とし、上層ポリシリコン層 18 a2 の膜厚を 100 nm とする。

【 0 1 1 2 】

次に、ステップ S 25 において、コンタクトホール 71 を形成するためのレジスタパターン 76 を形成する（図 11（b））。次に、エッチングによって下層ポリシリコン層 18 a1 を選択的にエッチングする（ステップ S 26）（図 11（c））。下層ポリシリコン層 18 a1 のコンタクト開孔を形成した後レジスタパターン 76 を除去する。誘電体膜 17 上にはレジスタパターン 76 は形成されておらず、レジスタの除去に際して、誘電体膜 17 がダメージを受けることはない。

【 0 1 1 3 】

次のステップ S 27 においては、下側遮光膜 12 まで貫通するコンタクトホール 71 を形成する。即ち、コンタクト部分が開孔した下層ポリシリコン層 18 a1 をハードマスクとし、ステップ S 25 と異なるエッチャーを用いることで、下層ポリシリコン層 18 a1 の開孔部分下の誘電体膜 17、第 2 層間絶縁膜 14、絶縁膜 2、第 1 層間絶縁膜 13 を開孔する（図 11（d））。

【 0 1 1 4 】

次に、ステップ S 28 において、容量線 18 に必要な厚さ（上述の例では 100 nm）まで上層ポリシリコン層 18 a2 を形成する。即ち、減圧 C V D 法等によりポリシリコン膜を堆積する。減圧 C V D 法を採用することにより、コンタクトホール 71 へのカバーレージも良好となる。更にリン（P）を熱拡散し、このポリシリコン膜を導電化して容量線 18 の上部容量電極 18 a を形成する。この上に更に、金属や金属シリサイド等の金属合金膜を遮光膜 12 としてスパッタリング及びアニール処理によって積層形成（ステップ S 29）した後、フォトリソグラフィ及びエッチングにより遮光膜 12 をパターンニングする（図 11（e））。

【 0 1 1 5 】

このように、本実施の形態においては、上部容量電極と T F T の下方に形成された下側遮光膜との間のコンタクトの形成に際して、容量線によって構成される上部容量電極を 2 層のポリシリコン層に分割し、レジスタパターン形成前に誘電体膜上に下層のポリシリコン膜を形成することで、誘電体膜をレジスタパターンから保護し、そして、コンタクトホール形成後に上層のポリシリコン層を形成して下層及び上層のポリシリコン層によって容量線を構成している。これにより、誘電体膜がレジスタの剥離時にダメージを受けることはなく、初期耐圧不良の発生を防止することができる。しかも、コンタクトホールの形成に際してフォトリソグラフィの回数を増やしておらず、簡単な工程によって高品質の容量を確保することができる。

10

20

30

40

50

【 0 1 1 6 】

【 発明の効果 】

以上説明したように本発明によれば、容量線の一層の低抵抗化を図って表示画像の画質を向上させると共に、容量線が断線した場合でも、表示の劣化を1画素に抑制して高品位の画像表示を可能にし、更に、蓄積容量を構成する誘電体の初期耐圧不良の発生を抑制することができるという効果を有する。

【 図面の簡単な説明 】

【 図 1 】 本発明の第 1 の実施の形態に係る電気光学装置を示す断面図。

【 図 2 】 液晶装置の画素領域を構成する複数の画素における各種素子、配線等の等価回路図。

【 図 3 】 T F T アレイ基板をその上に形成された各構成要素と共に対向基板側から見た平面図。

【 図 4 】 T F T アレイ基板と対向基板とを貼り合わせて液晶を封入する組立工程終了後の液晶装置を、図 3 の H - H ' 線の位置で切断して示す断面図。

【 図 5 】 データ線、走査線、画素電極等が形成された T F T アレイ基板の相隣接する複数の画素群の平面図。

【 図 6 】 図 5 に示す各要素のうち主要な部分のみを示す平面図である。

【 図 7 】 図 5 の A - A 断面図。

【 図 8 】 本発明の第 2 の実施の形態に係る半導体装置の製造方法を示すフローチャート。

【 図 9 】 図 1 の液晶装置の製造方法を示すフローチャート。

【 図 1 0 】 図 8 の製造方法を必要とする理由を説明するための説明図。

【 図 1 1 】 図 8 の製造方法によって製造されるコンタクトホール 7 1 を工程順に示す工程図。

【 符号の説明 】

1 a ... 半導体層

1 a ' ... チャンネル領域

1 d ... 高濃度ソース領域

1 e ... 高濃度ドレイン領域

2 ... 絶縁膜

3 a ... 走査線

6 a ... データ線

9 a ... 画素電極

1 0 ... T F T アレイ基板

1 2 ... 下側遮光膜

1 3 ... 第 1 層間絶縁膜

1 4 ... 第 2 層間絶縁膜

1 5 ... 第 1 中間導電層

1 7 ... 誘電体膜

1 8 ... 容量線

1 8 a ... 上部容量電極

1 8 a1... 下層ポリシリコン層

1 8 a2... 上層ポリシリコン層

1 8 b ... 遮光層

3 0 ... T F T

5 0 ... 液晶層

2 4 a , 2 6 b , 2 6 a , 7 1 ... コンタクトホール

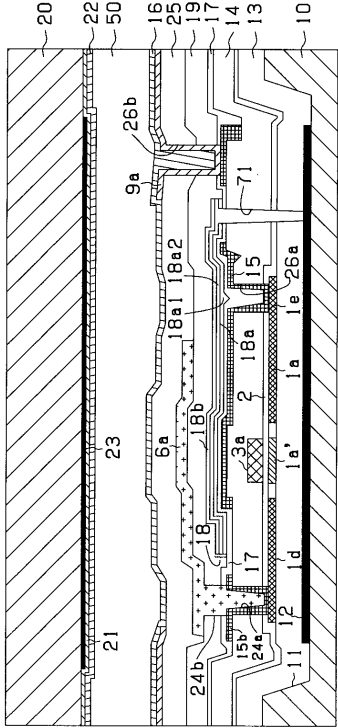
10

20

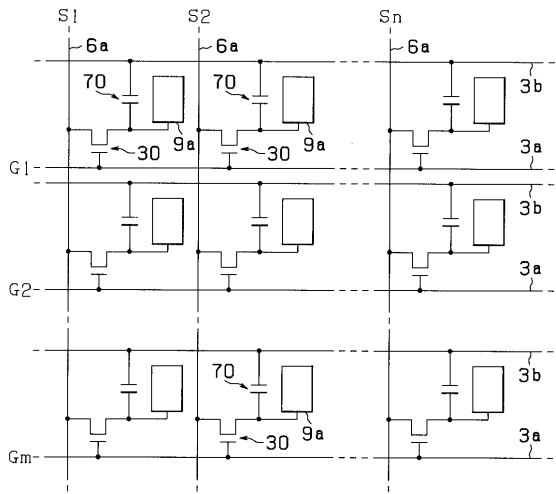
30

40

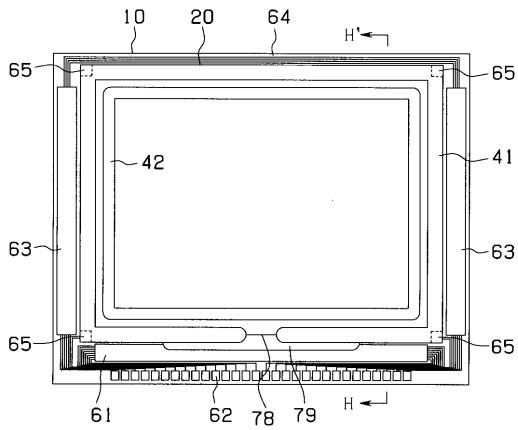
【 図 1 】



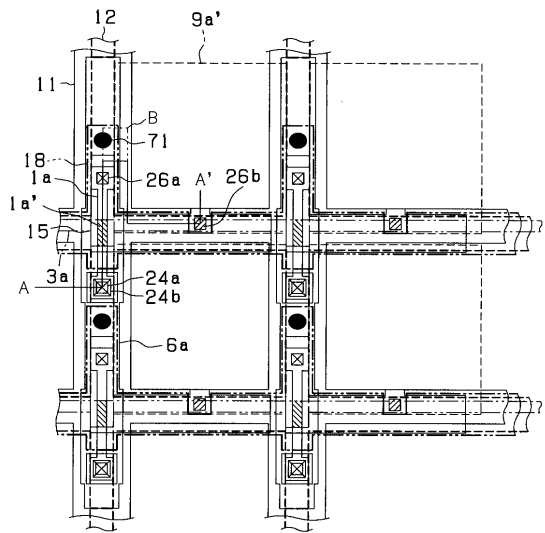
【 図 2 】



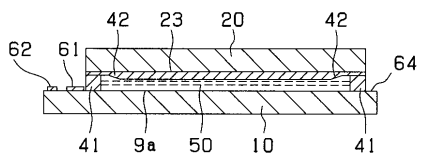
【 図 3 】



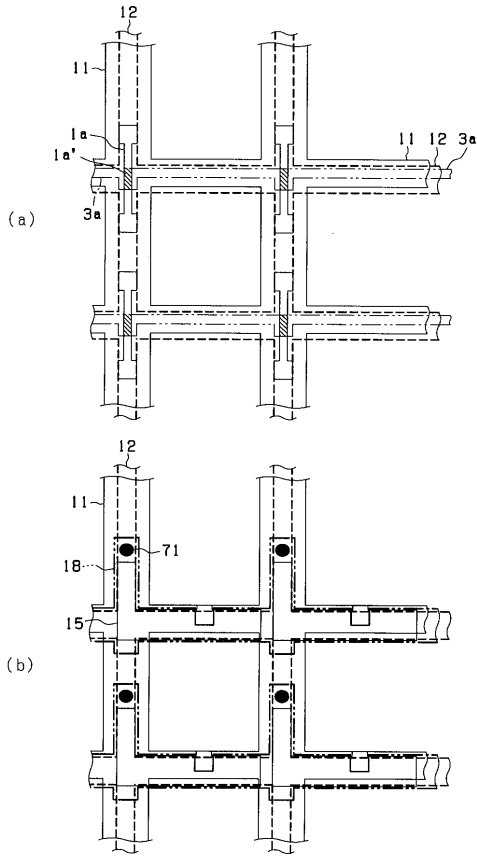
【 図 5 】



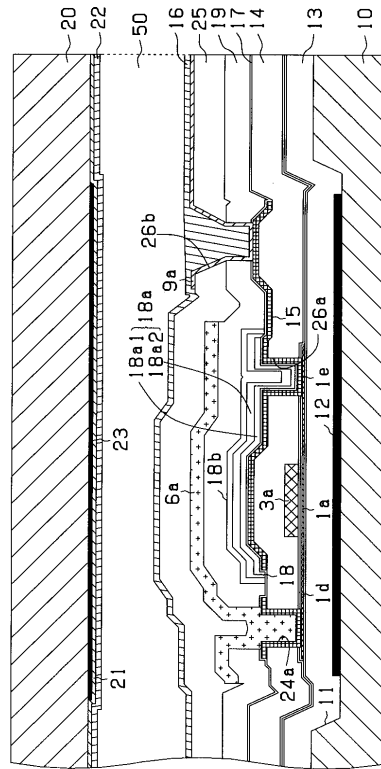
【 図 4 】



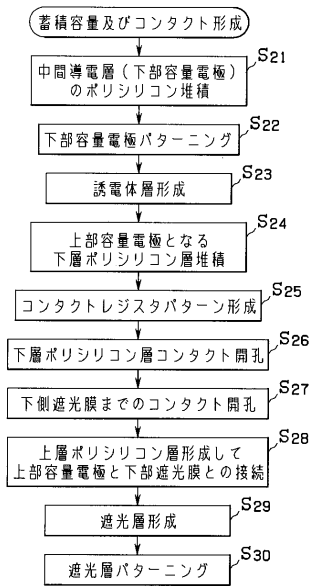
【図6】



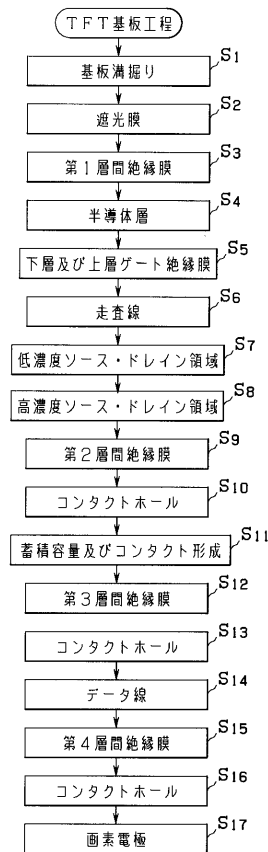
【図7】



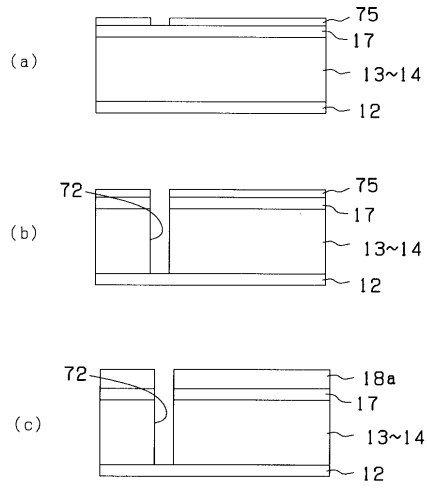
【図8】



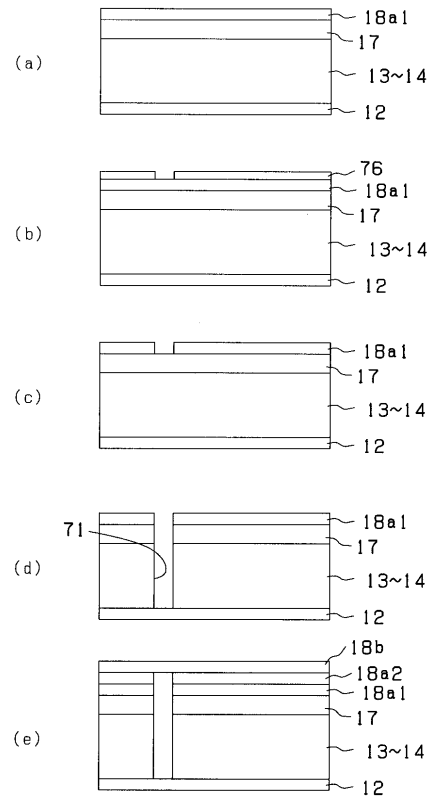
【図9】



【 図 1 0 】



【 図 1 1 】



フロントページの続き

(51) Int.Cl. F I
H 0 1 L 29/786 (2006.01) H 0 1 L 29/78 6 1 2 Z
H 0 1 L 21/336 (2006.01)

(56) 参考文献 特開平 10 - 0 1 0 5 4 8 (J P , A)
 特開 2 0 0 2 - 1 0 7 7 6 3 (J P , A)
 特開 2 0 0 2 - 0 3 1 8 1 9 (J P , A)
 特開 2 0 0 1 - 3 3 1 1 2 6 (J P , A)
 特開 2 0 0 1 - 3 3 1 1 2 5 (J P , A)
 特開 2 0 0 1 - 3 0 5 5 8 0 (J P , A)
 特開平 1 0 - 1 1 1 5 2 1 (J P , A)
 特開 2 0 0 1 - 1 6 6 3 3 7 (J P , A)
 特開 2 0 0 1 - 0 7 5 5 0 4 (J P , A)
 特開 2 0 0 0 - 2 8 6 4 2 5 (J P , A)
 特開 2 0 0 1 - 0 1 3 5 1 8 (J P , A)
 国際公開第 9 9 / 4 7 9 7 2 (W O , A 1)
 特開 2 0 0 1 - 0 6 6 6 3 3 (J P , A)
 特開平 0 9 - 0 2 2 0 2 4 (J P , A)
 特開平 0 9 - 0 2 6 6 0 1 (J P , A)
 国際公開第 0 1 / 0 7 3 5 0 7 (W O , A 1)
 特開 2 0 0 1 - 2 9 6 5 5 1 (J P , A)

(58) 調査した分野 (Int.Cl. , D B 名)

G02F 1/1343
 G02F 1/1368
 G02F 1/1335 500
 G09F 9/00 338
 G09F 9/30 338
 H01L 29/78 612Z