

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6260326号
(P6260326)

(45) 発行日 平成30年1月17日(2018.1.17)

(24) 登録日 平成29年12月22日(2017.12.22)

(51) Int. Cl.		F I			
HO 1 L	21/336	(2006.01)	HO 1 L	29/78	6 1 9 B
HO 1 L	29/786	(2006.01)	HO 1 L	29/78	6 1 8 B
GO 9 F	9/30	(2006.01)	HO 1 L	29/78	6 1 9 A
			GO 9 F	9/30	3 3 8

請求項の数 6 (全 14 頁)

(21) 出願番号	特願2014-26391 (P2014-26391)	(73) 特許権者	000003193 凸版印刷株式会社 東京都台東区台東1丁目5番1号
(22) 出願日	平成26年2月14日(2014.2.14)	(72) 発明者	中村 修 東京都台東区台東1丁目5番1号 凸版印刷株式会社内
(65) 公開番号	特開2015-153902 (P2015-153902A)	審査官	川原 光司
(43) 公開日	平成27年8月24日(2015.8.24)		
審査請求日	平成29年1月19日(2017.1.19)		

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上に設けられたゲート電極と、
前記基板の面上と前記ゲート電極の面上を覆うゲート絶縁層と、
前記ゲート絶縁層上に設けられた In - Ga - Zn - O から成る半導体の半導体チャンネル層と、

前記半導体チャンネル層上に設けられたチャンネル保護層と、
前記半導体チャンネル層上に電気接続して形成されたソース電極及びドレイン電極と、
前記チャンネル保護層を覆い、R が La 又は Nd 又はそれらの固溶すなわち $R = La_{1-x}Nd_x$ である $R_{1-x}Sr_xMnO_3$ の化学式であらわされ、Sr の割合 x が 0.2 以上 0.5 以下の、ペロブスカイト型酸化物のチャンネル遮光層と、

前記ソース電極及びドレイン電極の上層に設けられたパッシベーション用保護層とを備えたことを特徴とする薄膜トランジスタ装置。

【請求項2】

基板上に設けられたゲート電極と、
前記基板の面上と前記ゲート電極の面上を覆うゲート絶縁層と、
前記ゲート絶縁層上に設けられた In - Ga - Zn - O から成る半導体の半導体チャンネル層と、

前記半導体チャンネル層上に設けられたチャンネル保護層と、
前記半導体チャンネル層上に電気接続して形成されたソース電極及びドレイン電極と、

前記チャンネル保護層と前記ソース電極及びドレイン電極を覆うパッシベーション用保護層と、

前記パッシベーション用保護層の面上に、前記チャンネル保護層の上方を覆う、RがLa又はNd又はそれらの固溶すなわち $R = La_{1-y}Nd_y$ である $R_{1-x}Sr_xMnO_3$ の化学式であらわされ、Srの割合xが0.2以上0.5以下の、ペロブスカイト型酸化物のチャンネル遮光層とを備えたことを特徴とする薄膜トランジスタ装置。

【請求項3】

請求項1又は2に記載の薄膜トランジスタ装置であって、前記チャンネル保護層がSiO₂であることを特徴とする薄膜トランジスタ装置。

10

【請求項4】

基板上にゲート電極を形成する工程と、
前記基板の面上と前記ゲート電極の面上を覆うゲート絶縁層を形成する工程と、
前記ゲート絶縁層上にIn-Ga-Zn-Oから成る半導体の半導体チャンネル層を形成する工程と、
前記半導体チャンネル層上にチャンネル保護層を形成する工程と、
前記半導体チャンネル層に電気接続するソース電極及びドレイン電極とを形成する工程と、

前記チャンネル保護層を覆い、RがLa又はNd又はそれらの固溶すなわち $R = La_{1-y}Nd_y$ である $R_{1-x}Sr_xMnO_3$ の化学式であらわされ、Srの割合xが0.2以上0.5以下の、ペロブスカイト型酸化物のチャンネル遮光層を塗布法で形成する工程と、

20

前記ソース電極及びドレイン電極の上層にパッシベーション用保護層を形成する工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

【請求項5】

基板上にゲート電極を形成する工程と、
前記基板の面上と前記ゲート電極の面上を覆うゲート絶縁層を形成する工程と、
前記ゲート絶縁層上にIn-Ga-Zn-Oから成る半導体の半導体チャンネル層を形成する工程と、
前記半導体チャンネル層上にチャンネル保護層を形成する工程と、
前記半導体チャンネル層に電気接続するソース電極及びドレイン電極とを形成する工程と、

30

前記チャンネル保護層と前記ソース電極及びドレイン電極を覆うパッシベーション用保護層を形成する工程と、

前記パッシベーション用保護層の面上に、前記チャンネル保護層の上方を覆う、RがLa又はNd又はそれらの固溶すなわち $R = La_{1-y}Nd_y$ である $R_{1-x}Sr_xMnO_3$ の化学式であらわされ、Srの割合xが0.2以上0.5以下の、ペロブスカイト型酸化物のチャンネル遮光層を塗布法で形成する工程とを有することを特徴とする薄膜トランジスタ装置の製造方法。

【請求項6】

40

請求項4又は5に記載の薄膜トランジスタ装置の製造方法であって、前記チャンネル遮光層を塗布法で形成する工程が、La又はNd又はそれらの混合物の硝酸塩とSrの硝酸塩とMnの硝酸塩を塗布した後に昇温して硝酸を熱分解することで前記RがLa又はNd又はそれらの固溶すなわち $R = La_{1-y}Nd_y$ である $R_{1-x}Sr_xMnO_3$ の化学式であらわされるペロブスカイト型酸化物のチャンネル遮光層を形成することを特徴とする薄膜トランジスタ装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、In-Ga-Zn-O系アモルファス半導体を半導体チャンネル層とした薄

50

膜トランジスタ装置及びその製造方法に関するものである。

【背景技術】

【0002】

現在、電界効果型トランジスタは、半導体メモリ集積回路、高周波信号増幅素子等として広く用いられている。その中でも薄膜トランジスタは、液晶表示装置(LCD)、有機ELエレクトロルミネッセンス表示装置(OLED)等の平面薄型画像表示装置(Flat Panel Display:FPD)のスイッチング素子として用いられている。FPDに用いられるTFTは、ガラス基板上に形成する半導体チャンネル層には多くの場合アモルファスシリコン薄膜が使用されている。しかしながら、その半導体チャンネル層の電界効果移動度が $1\text{ cm}^2/\text{V}\cdot\text{sec}$ 未満と小さい欠点を有する。

10

【0003】

これに対して、近年、In-Ga-Zn-O系(以下IGZOと表記)のアモルファス酸化物半導体を半導体チャンネル層とした薄膜トランジスタ(TFT)の開発が活発に行われている(非特許文献1)。この半導体は、アモルファスであるにも関わらず、その移動度が $10\text{ cm}^2/\text{V}\cdot\text{sec}$ に達する場合もあり、高精細化に向けて、今後も期待の大きな半導体デバイスである。

【0004】

しかし、このアモルファスIGZOのTFTでは、Negative bias light stress(NBLS)試験でTFTの閾値電圧値 V_{th} が大きく負側に動く問題があり、それが実用化に向けて大きな問題となっている。

20

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2013-232598号公報

【非特許文献】

【0006】

【非特許文献1】K.Nomura et al., Nature, 432, 488(2004)

【非特許文献2】K.Nomura et al., Appl. Phys. Lett. 99, 053505(2011)

30

【発明の概要】

【発明が解決しようとする課題】

【0007】

薄膜トランジスタの構造をアモルファスシリコンの場合と同様にボトムゲート型にする場合、その構造は、例えば図1のように、非アルカリガラスの基板1上にゲート電極2を作り、その上面にゲート絶縁層3、アモルファス酸化物半導体InGaZnO₄の半導体チャンネル層4、チャンネル保護層10、ソース電極5とドレイン電極6、更にその上にパッシベーション機能を有する絶縁層20となる。

【0008】

又、これまで述べてきたように、In-Ga-Zn-O系アモルファス酸化物半導体、例えばInGaZnO₄を半導体チャンネル層4とした薄膜トランジスタにおける実用化の鍵はNBLS試験における閾値電圧値 V_{th} のシフト量(V_{th})の低減にある。

40

【0009】

V_{th} を低減するためのチャンネル遮光層11として、クロム(Cr)などの金属を使用すると、チャンネル遮光層11が金属の場合は、反射率が高いために、視認の妨害やコントラストの低下を引き起こして、表示品質の低下をもたらす。非特許文献2によれば、この V_{th} を引き起こす光は量子エネルギーが2.5eV以上の光である。したがって、チャンネル遮光層11としては金属以外の材料の、プラズマ端が赤外領域にあって可視光領域では反射率の低い半金属や、バンドギャップが2.5eV以下の半導体が望ましい。

50

【 0 0 1 0 】

薄膜トランジスタの構造をボトムゲート型にする場合、実デバイスでは、アモルファス半導体チャンネル層4の上面に厚さ100nm程度のチャンネル保護層10を設けることが多い。又、ソース電極5とドレイン電極5の上面には厚さ300-400nm程度のパッシベーション用保護層20を設けることが多い。

【 0 0 1 1 】

プラズマCVDで作られるSiO₂膜をチャンネル保護層10にする場合に、成膜中などに水素がIGZOの半導体チャンネル層4に取り込まれ、閾値電圧が負の側にシフトする。このような負の側への閾値電圧のシフトを避けるために、プラズマCVDの成膜において、SiO₂膜中の水素が少なくなるような条件で成膜することが望ましい。

10

【 0 0 1 2 】

しかしながら、このような条件で作製したチャンネル保護層10上にチャンネル遮光層11を設けるために、上述したように、可視光領域では反射率の低い半金属やバンドギャップが2.5eV以下の半導体、例えばITO膜などをスパッタ装置で成膜した場合、チャンネル保護層10下部の例えばInGaZnO₄の酸化物半導体から成る半導体チャンネル層4に影響を与え、それがTFTの閾値電圧値V_{th}の負の側への変化をもたらす。

【 0 0 1 3 】

このような変化は、パッシベーション機能を有する絶縁層20上にチャンネル遮光層11をスパッタ成膜した場合も同様に発生する。したがって、プラズマCVDで作られるSiO₂膜成膜後のチャンネル遮光層11のスパッタ成膜は望ましくない。

20

【 0 0 1 4 】

一方、特許文献1等では、塗布プロセスや印刷プロセス、すなわち真空を必要としないプロセス、例えば塗布法で酸化物半導体を形成する方法が提案されており、安価な製造手段の開発が進められている。

【 0 0 1 5 】

本発明は、上記状況を鑑みてなされたもので、本発明の課題は、チャンネル遮光層11の反射率を低くすることとあり、更に、そのチャンネル遮光層11の形成による半導体チャンネル層の特性の劣化を防ぐために、薄膜トランジスタのチャンネル遮光層11を塗布法で形成する技術を提案することにある。

【 課題を解決するための手段 】

30

【 0 0 1 6 】

本発明は、上記課題を解決するために、基板上に設けられたゲート電極と、
前記基板の面上と前記ゲート電極の面上を覆うゲート絶縁層と、
前記ゲート絶縁層上に設けられたIn-Ga-Zn-Oから成る半導体の半導体チャンネル層と、
前記半導体チャンネル層上に設けられたチャンネル保護層と、
前記半導体チャンネル層上に電気接続して形成されたソース電極及びドレイン電極と、
前記チャンネル保護層を覆い、RがLa又はNd又はそれらの固溶すなわちR = La_{1-y}Nd_yであるR_{1-x}Sr_xMnO₃の化学式であらわされ、Srの割合xが0.2以上0.5以下の、ペロブスカイト型酸化物のチャンネル遮光層と、
前記ソース電極及びドレイン電極の上層に設けられたパッシベーション用保護層とを備えたことを特徴とする薄膜トランジスタ装置である。

40

【 0 0 1 7 】

本発明は、この構成により、半導体チャンネル層の特性を劣化させない、塗布法で成膜したチャンネル遮光層が形成できる効果があり、また、そのチャンネル遮光層の光の反射率が低い良好な光学特性を持つ薄膜トランジスタ装置を得ることができる効果がある。

【 0 0 1 8 】

また、本発明は、基板上に設けられたゲート電極と、
前記基板の面上と前記ゲート電極の面上を覆うゲート絶縁層と、
前記ゲート絶縁層上に設けられたIn-Ga-Zn-Oから成る半導体の半導体チャン

50

ネル層と、

前記半導体チャンネル層上に設けられたチャンネル保護層と、

前記半導体チャンネル層上に電気接続して形成されたソース電極及びドレイン電極と、

前記チャンネル保護層と前記ソース電極及びドレイン電極を覆うパッシベーション用保護層と、

前記パッシベーション用保護層の面上に、前記チャンネル保護層の上方を覆う、RがLa又はNd又はそれらの固溶すなわち $R = La_{1-y}Nd_y$ である $R_{1-x}Sr_xMnO_3$ の化学式であらわされ、Srの割合xが0.2以上0.5以下の、ペロブスカイト型酸化物のチャンネル遮光層と

を備えたことを特徴とする薄膜トランジスタ装置である。

10

【0019】

また、本発明は、上記の薄膜トランジスタ装置であって、前記チャンネル保護層がSiO₂であることを特徴とする薄膜トランジスタ装置である。

【0020】

また、本発明は、基板上にゲート電極を形成する工程と、

前記基板の面上と前記ゲート電極の面上を覆うゲート絶縁層を形成する工程と、

前記ゲート絶縁層上にIn-Ga-Zn-Oから成る半導体の半導体チャンネル層を形成する工程と、

前記半導体チャンネル層上にチャンネル保護層を形成する工程と、

前記半導体チャンネル層に電気接続するソース電極及びドレイン電極とを形成する工程と、

20

前記チャンネル保護層を覆い、RがLa又はNd又はそれらの固溶すなわち $R = La_{1-y}Nd_y$ である $R_{1-x}Sr_xMnO_3$ の化学式であらわされ、Srの割合xが0.2以上0.5以下の、ペロブスカイト型酸化物のチャンネル遮光層を塗布法で形成する工程と、

前記ソース電極及びドレイン電極の上層にパッシベーション用保護層を形成する工程とを有することを特徴とする薄膜トランジスタ装置の製造方法である。

【0021】

また、本発明は、基板上にゲート電極を形成する工程と、

前記基板の面上と前記ゲート電極の面上を覆うゲート絶縁層を形成する工程と、

前記ゲート絶縁層上にIn-Ga-Zn-Oから成る半導体の半導体チャンネル層を形成する工程と、

30

前記半導体チャンネル層上にチャンネル保護層を形成する工程と、

前記半導体チャンネル層に電気接続するソース電極及びドレイン電極とを形成する工程と、

前記チャンネル保護層と前記ソース電極及びドレイン電極を覆うパッシベーション用保護層を形成する工程と、

前記パッシベーション用保護層の面上に、前記チャンネル保護層の上方を覆う、RがLa又はNd又はそれらの固溶すなわち $R = La_{1-y}Nd_y$ である $R_{1-x}Sr_xMnO_3$ の化学式であらわされ、Srの割合xが0.2以上0.5以下の、ペロブスカイト型酸化物のチャンネル遮光層を塗布法で形成する工程と

40

を有することを特徴とする薄膜トランジスタ装置の製造方法である。

【0022】

また、本発明は、上記の薄膜トランジスタ装置の製造方法であって、前記チャンネル遮光層を塗布法で形成する工程が、La又はNd又はそれらの混合物の硝酸塩とSrの硝酸塩とMnの硝酸塩を塗布した後昇温して硝酸を熱分解することで前記RがLa又はNd又はそれらの固溶すなわち $R = La_{1-y}Nd_y$ である $R_{1-x}Sr_xMnO_3$ の化学式であらわされるペロブスカイト型酸化物のチャンネル遮光層を形成することを特徴とする薄膜トランジスタ装置の製造方法である。

【発明の効果】

50

【0023】

本発明は、In-Ga-Zn-O系（以下IGZOと表記）のアモルファス酸化物半導体の半導体チャンネル層の上方に、RがLa又はNd又はそれらの固溶すなわち $R = La_{1-y}Nd_y$ である $R_{1-x}Sr_xMnO_3$ の化学式であらわされ、Srの割合xが0.2以上0.5以下の、ペロブスカイト型酸化物のチャンネル遮光層を形成する。このチャンネル遮光層が、塗布法で成膜できるので、半導体チャンネル層の特性に悪影響を与えないチャンネル遮光層が形成できる効果がある。

【0024】

また、このチャンネル遮光層は光反射率が少ないので、良好な光学特性を持つ薄膜トランジスタ装置が得られる効果がある。

10

【図面の簡単な説明】

【0025】

【図1】従来の薄膜トランジスタの構造を示す概略断面図である。

【図2】本発明の実施形態の薄膜トランジスタの構造を示す概略断面図である。

【図3】本発明の実施形態の薄膜トランジスタの構造を示す概略断面図である。

【図4】本発明の実施形態の半導体チャンネル層に用いる $InGaZnO_4$ の吸収係数スペクトルである。

【図5】本発明の実施形態のチャンネル遮光層の $La_{0.7}Sr_{0.3}MnO_3$ の吸収係数スペクトルである。

【発明を実施するための形態】

20

【0026】

<第1の実施形態>

以下、図2を例として以下に本発明の第1の実施形態の薄膜トランジスタの構造を述べる。本実施形態の薄膜トランジスタは、基板1上に、ゲート電極2と、ゲート電極2上にゲート電極2を覆うように形成されたゲート絶縁層3と、ゲート絶縁層3上の半導体チャンネル層4と、半導体チャンネル層4に接続されたソース電極5とドレイン電極6とを備えた、ボトムゲート・トップコンタクト型の薄膜トランジスタである。そして半導体チャンネル層4上にチャンネル保護層10とチャンネル遮光層11と、更にその上にパッシベーション機能を有する絶縁層20から成る。

【0027】

30

(本発明の原理)

以下で、本発明の原理を説明する。本発明の薄膜トランジスタは、チャンネル遮光層11にペロブスカイト型酸化物を用いる。ペロブスカイト型酸化物の内、幾つかの化合物、例えば $La_{1-x}Sr_xMnO_3$ 及びその関連化合物は、古くから電気伝導性酸化物として知られている。この組成の中で、Laは他の希土類元素で置き換えることが可能であり、又SrもPbなどで置換することが可能である。

【0028】

電気伝導度を司るのは、2価のマンガンと3価のマンガンである。両者の価数が存在することで、d電子に起因する伝導が発生する。すなわち、 $LaMnO_3$ の組成においてランタンは3価であり、マンガンも3価であり、電気伝導性は有しない。すなわち、3価のマンガンのみでは電気伝導は発生しないが、ランタンの一部を2価のストロンチウムで置換すると2価のマンガンと3価のマンガンの間で、d電子が移動可能となる。そのために、この物質は電気伝導性を持つことになる。

40

【0029】

このd電子の移動により、超交換相互作用が引き起こされて、この物質が強磁性となることもある。そのため、このチャンネル遮光層11では、強磁性の特性も利用することができる。

【0030】

こうして、3価のLaの一部を2価のイオンで置換したことによる一部のMnの価数変化が電気伝導を引き起こす。

50

【0031】

Mnの価数混合によって電気伝導度が発生するため、本発明のチャンネル遮光層11は、金属光沢を持たない効果がある。そして、プラズマ端が赤外にあるために、可視光領域の反射率が小さい効果がある。

【0032】

図4にIGZO膜の吸収係数スペクトルを示す。この例ではバンドギャップ(Taucギャップ)は3.1 eVであり、それ以上で大きな吸収係数を持つ。

【0033】

図5に、本発明の薄膜トランジスタのチャンネル遮光層11に用いる $\text{La}_{0.7}\text{Sr}_{0.3}\text{MnO}_3$ の吸収係数スペクトルを示す。図5に示すように、本発明のチャンネル遮光層11に用いる $\text{La}_{0.7}\text{Sr}_{0.3}\text{MnO}_3$ は、幅広い範囲で100000/cmの大きな吸収係数を有するために、本発明の半導体チャンネル層4のIn-Ga-Zn-O系アモルファス半導体のチャンネル遮光層11として適している。

10

【0034】

しかも、この $\text{La}_{1-x}\text{Sr}_x\text{MnO}_3$ 膜の遮光膜11は、後述するように塗布法で簡単に成膜可能であり、スパッタ成膜などのようにIn-Ga-Zn-O系(IGZO系)のアモルファス酸化物半導体の半導体チャンネル層4に悪影響を与えずに形成できる。更に、薄膜トランジスタの製造工程の全体又は大部分を塗布法や印刷法にする場合に、それらの製造工程と整合性が良く遮光膜11を形成できる効果がある。

【0035】

20

(製造方法)

以下、本発明の薄膜トランジスタの各構成要素について、製造工程に沿って詳細に説明する。

【0036】

(基板)

薄膜トランジスタの基板1として、非アルカリガラス基板、石英ガラス基板のほかにポリメチルメタクリレート、ポリアクリレート、ポリカーボネート、ポリスチレン、ポリエチレンサルファイド、ポリエーテルスルホン、ポリオレフィン、ポリエチレンテレフタレート、ポリエチレンナフタレート、シクロオレフィンポリマー、ポリエーテルサルフォン、ポリビニルフルオライドフィルム、エチレン-テトラフルオロエチレン共重合樹脂、耐

30

候性ポリプロピレン、ガラス繊維強化アクリル樹脂フィルム、ガラス繊維強化ポリカーボネート、透明性ポリイミド、フッ素系樹脂、環状ポリオレフィン樹脂を使用することができるが、本発明ではこれらに限定されるものではない。

【0037】

(ガスバリア層)

この薄膜トランジスタの基板1が有機物フィルムである場合は、アクティブマトリクス基板上の素子の耐久性を向上させるためのガスバリア層(図示せず)を基板1の表面あるいは内層に形成することができる。ガスバリア層としては酸化アルミニウム(Al_2O_3)、酸化ケイ素(SiO_2)、窒化ケイ素(SiN)、酸化窒化ケイ素(SiON)、炭化ケイ素(SiC)及びダイヤモンドライクカーボン(DLC)などが挙げられるが本発

40

明ではこれらに限定されるものではない。

【0038】

またこれらのガスバリア層は2層以上積層して使用することもできる。ガスバリア層は有機物フィルムを用いた基板1の片面だけに形成してもよいし、両面に形成しても構わない。ガスバリア層は真空蒸着法、イオンプレーティング法、スパッタリング法、レーザーアブレーション法、プラズマCVD(Chemical Vapor Deposition)法、ホットワイヤーCVD法及びゾルゲル法などを用いて形成することができるが本発明ではこれらに限定されるものではない。

【0039】

(ゲート電極)

50

まず基板 1 上にゲート電極 2 の電極部分及びその配線を形成する。電極部分と配線部分は明確に分かれている必要はなく、本発明では、各薄膜トランジスタの構成要素の電極部分と配線部分を合わせて、電極と呼称している。また電極部分と配線部分を区別する必要のない場合には、電極部分と配線部分を合わせた構成要素を例えば、ゲート電極、ソース電極、ドレイン電極と記載する。

【0040】

この薄膜トランジスタの電極（ゲート電極 2、ソース電極 5、ドレイン電極 6 等）及び各配線には、金（Au）、銀（Ag）、銅（Cu）、コバルト（Co）、タンタル（Ta）、モリブデン（Mo）、クロム（Cr）、アルミニウム（Al）、ニッケル（Ni）、タングステン（W）、白金（Pt）、及びチタン（Ti）などの金属を用いることができる。

10

【0041】

更に、各電極は、酸化インジウム（ In_2O_3 ）、酸化スズ（ SiO_2 ）、酸化亜鉛（ ZnO ）、酸化カドミウム（ CdO ）、酸化インジウムカドミウム（ CdIn_2O_4 ）、酸化カドミウムスズ（ Cd_2SnO_4 ）、酸化亜鉛スズ（ Zn_3SnO_4 ）、酸化インジウム亜鉛（ In-Zn-O ）等の酸化物材料で形成することもできる。

【0042】

また、この酸化物材料に不純物をドーブした電極も好適に用いられる。例えば、酸化インジウムにスズ（Sn）やモリブデン（Mo）、チタン（Ti）をドーブしたもの、酸化スズにアンチモン（Sb）やフッ素（F）をドーブしたもの、酸化亜鉛にインジウム、アルミニウム、ガリウム（Ga）をドーブしたものなどである。また上記導電性酸化物材料と金（Au）、銀（Ag）、銅（Cu）、コバルト（Co）、タンタル（Ta）、モリブデン（Mo）、クロム（Cr）、アルミニウム（Al）、ニッケル（Ni）、タングステン（W）、白金（Pt）、及びチタン（Ti）などの金属の薄膜を複数積層した電極も使用できる。

20

【0043】

ゲート電極 2、ソース電極 5、ドレイン電極 6 は同じ材料であっても構わないし、また全て違う材料であっても構わない。しかし、工程数を減らすためにゲート電極 2 とソース電極 5 とドレイン電極 6 は同一の材料であることがより望ましい。

【0044】

これら、ゲート電極 2、ソース電極 5、ドレイン電極 6 の配線および電極は、真空蒸着法、イオンプレーティング法、スパッタ法、レーザーアブレーション法、プラズマ CVD 法、光 CVD 法、またはスクリーン印刷、凸版印刷、インクジェット法等で形成することができるが、これらに限定されず、公知一般の方法を用いることができる。パターンニングは、例えばフォトリソグラフィ法を用いてパターン形成部分にレジスト膜を形成し、エッチングにより不要部分を除去して行うことができるが、これについてもこの方法に限定されず、公知一般のパターンニング方法を用いることができる。

30

【0045】

（ゲート絶縁層）

次にゲート電極 2 を覆うようにゲート絶縁層 3 を形成する。薄膜トランジスタのゲート絶縁層 3 に使用する材料は特に限定しないが、 SiO_2 、 SiN_x 、 SiON 、 Al_2O_3 、 Ta_2O_5 、 Y_2O_3 、 HfO_2 、 HfAlO 、 ZrO_2 、 TiO_2 等の無機材料、または、PMMA（ポリメチルメタクリレート）等のポリアクリレート、PVA（ポリビニルアルコール）、PS（ポリスチレン）、透明性ポリイミド、ポリエステル、エポキシ、ポリビニルフェノール、ポリビニルアルコール等が挙げられるがこれらに限定されるものではない。

40

【0046】

ゲート絶縁層 3 の絶縁材料の抵抗率は、ゲートリーク電流を抑えるために、 10^{11} cm 以上、より好ましくは 10^{14} cm 以上に作成することが望ましい。

【0047】

50

ゲート絶縁層 3 は、真空蒸着法、イオンプレーティング法、スパッタ法、レーザーアブレーション法、プラズマ CVD、光 CVD 法、ホットワイヤー CVD 法等のドライ成膜法や、スピンコート法、ディップコート法、スクリーン印刷法等のウェット成膜法を材料に応じて適宜用いて形成される。これらのゲート絶縁層 3 は単層として用いても構わないし、2 層以上積層して用いることもできる。また成長方向に向けて組成を傾斜したものでも構わない。

【0048】

(半導体チャンネル層)

半導体チャンネル層 4 を絶縁体層 2 上、ゲート電極 2 直上の位置に形成する。半導体チャンネル層 4 としては、InGaZnO 系アモルファス半導体が望ましい。

10

【0049】

(変形例 1)

ここで、半導体チャンネル層 4 を、金属酸化物を主成分とする酸化物半導体材料で形成することもできる。例えば、酸化物半導体材料は亜鉛 (Zn)、インジウム (In)、スズ (Sn)、タングステン (W)、マグネシウム (Mg)、及びガリウムのうち 1 種類以上の元素を含む酸化物である、酸化亜鉛 (ZnO)、酸化インジウム (In_2O_3)、酸化インジウム亜鉛 (InZnO 系)、酸化スズ (SnO)、酸化タングステン (WO_x) が挙げられる。これらの材料の構造は単結晶、多結晶、微結晶、結晶とアモルファスの混晶、ナノ結晶散在アモルファス、アモルファスのいずれであっても構わない。

【0050】

20

半導体チャンネル層 4 の形成方法は、CVD 法、スパッタ法、パルスレーザー堆積法、真空蒸着法、ゾルゲル法等の方法を用いて形成することができる。スパッタ法としては RF マグネトロンスパッタ法、DC スパッタ法、真空蒸着としては加熱蒸着、電子ビーム蒸着、イオンプレーティング法などが挙げられるがこれらに限定されるものではない。

【0051】

なお半導体チャンネル層 4 の膜厚は 20 nm 以上が好ましい。パターンニングは、例えばフォトリソグラフィ法を用いてパターン形成部分にレジスト膜を形成し、エッチングにより不要部分を除去して行うことができるが、これについてもこの方法に限定されず、公知一般のパターンニング方法を用いることができる。

【0052】

30

(チャンネル保護層)

次に、チャンネル保護層 10 となる層をゲート絶縁層 3 及び半導体チャンネル層 4 上の全面に形成する。本発明の実施の形態に係るチャンネル保護層 10 には、酸化シリコン (SiO_2) 窒化シリコン SiN_x 、 $SiON$ 、 Al_2O_3 等の無機材料が選択できるが、半導体チャンネル層 4 として酸化物半導体材料を用いる場合には酸化シリコンを選択することが望ましい。

【0053】

チャンネル保護層 10 は本発明に係る薄膜トランジスタの半導体チャンネル層 4 に電気的影響を与えないために、その抵抗率が 1×10^{11} cm 以上、特に 1×10^{14} cm 以上であることが好ましい。チャンネル保護層 10 は無機材料であれば真空蒸着法、イオンプレーティング法、スパッタ法、レーザーアブレーション法、プラズマ CVD、光 CVD 法等のドライ成膜法を材料に応じて適宜用いて厚さ 100 nm 程度に形成する。このチャンネル保護層 10 は 2 層以上積層して用いても良い。

40

【0054】

ここで、プラズマ CVD で作られる SiO_2 膜をチャンネル保護層 10 にする場合に、プラズマ CVD の成膜において、 SiO_2 膜中の水素が少なくなるような条件で成膜する。

【0055】

(ソース・ドレイン電極)

次に、基板 1 の全面に、ソース・ドレイン電極 6 用の導電層を、ゲート絶縁層 3 と半導

50

体チャンネル層4とチャンネル保護層10の上に成膜する。その導電層のパターニングは、例えばフォトリソグラフィ法を用いてパターン形成部分にレジスト膜を形成し、エッチングにより不要部分を除去して行うことができるが、これについてもこの方法に限定されず、公知一般のパターニング方法を用いることができる。

【0056】

(チャンネル遮光層)

次に、チャンネル保護膜11の上にチャンネル遮光層11を形成する。図2で示したように、チャンネル遮光層11は、半導体チャンネル層4のソース電極5、ドレイン電極6以外の露出部分を覆うものであり、それ以外は特に制限はない。このチャンネル遮光層11にRがLa又はNd又はLaとNdの固溶すなわち $R = La_{1-y}Nd_y$ である $R_{1-x}Sr_xMnO_3$ ($0.2 < x < 0.5$)を用いるのが、本発明の最も重要な点であるために、以下にその成膜方法を $La_{0.7}Sr_{0.3}MnO_3$ の場合について説明する。

10

【0057】

硝酸塩の $La(NO_3)_3 \cdot 6H_2O$ と、 $Sr(NO_3)_2$ と、 $Mn(NO_3)_3 \cdot 6H_2O$ とをモル比0.7:0.3:1の割合で1メチル2ピロリドン、又は水との混合溶液に溶解した溶液を、途中までデバイスが形成された基板1へ塗布する。塗布はディップ法、スプレー、ハケ塗り、あるいは基板1を回転させながら溶液を滴下して広げるさせるスピコートいずれであっても良い。

【0058】

(硝酸塩熱分解法)

次に、この基板1を50-160℃で穏やかに乾燥し1メチル2ピロリドンや水を除去する。その後、より高い温度に昇温する。この温度が高いほど酸素欠損が少なく、低抵抗になるが、本発明において、チャンネル遮光層11は低抵抗である必要性はなく、基板1や電極や半導体チャンネル層4やその他の層への影響の許容範囲で昇温すれば良い。パターニングは、公知一般のパターニング方法を用いることもできる。この乾燥及び昇温処理により硝酸塩の硝酸基 NO_3 を熱分解して除去し、 $La_{(1-x)}Sr_xMnO_3$ ($0.2 < x < 0.5$)のチャンネル遮光層11を形成する。

20

【0059】

ここで、 $La(NO_3)_3 \cdot 6H_2O$ と、 $Sr(NO_3)_2$ と、 $Mn(NO_3)_3 \cdot 6H_2O$ とをモル比0.7:0.3:1の割合で1メチル2ピロリドン、又は水との混合溶液に溶解した溶液のパターンを直接に印刷して乾燥し昇温して $La_{(1-x)}Sr_xMnO_3$ のチャンネル遮光層11を形成することもできる。

30

【0060】

また、以上の例では、Srの割合xが0.3の場合について説明したが、Srの割合xは0.3に限定されず、Srの割合xを0.2 < x < 0.5の範囲で成膜することでチャンネル遮光層11を形成することができる。

【0061】

(変形例2)

変形例2では、LaをNdに置き換える。すなわち、 $Nd(NO_3)_3 \cdot 6H_2O$ と、 $Sr(NO_3)_2$ と、 $Mn(NO_3)_3 \cdot 6H_2O$ とを1メチル2ピロリドン、又は水との混合溶液に溶解した溶液を用いて塗布あるいは印刷により形成した膜を昇温して硝酸を分解して除去し $Nd_{(1-x)}Sr_xMnO_3$ ($0.2 < x < 0.5$)のチャンネル遮光層11を形成することができる。

40

【0062】

(変形例3)

変形例3では、LaとNdの混合物を用いる。すなわち、 $La(NO_3)_3 \cdot 6H_2O$ と $Nd(NO_3)_3 \cdot 6H_2O$ の混合物と、 $Sr(NO_3)_2$ と、 $Mn(NO_3)_3 \cdot 6H_2O$ とを1メチル2ピロリドン、又は水との混合溶液に溶解した溶液を用いて塗布あるいは印刷により形成した膜を昇温して硝酸を分解して除去して、RがLaとNdの固溶すなわち $R = La_{1-y}Nd_y$ である $R_{1-x}Sr_xMnO_3$ ($0.2 < x < 0.5$)のチャンネル遮光層11を形成することができる。

50

5) のチャンネル遮光層 11 を形成することができる。

【0063】

(パッシベーション用保護層)

次に、厚さが 300 nm から 400 nm 程度のパッシベーション用保護層 20 を、ゲート絶縁層 3 及び半導体チャンネル層 4 上の全面に形成する。この保護層 20 には、酸化シリコン (SiO_2) 窒化シリコン SiN_x 、 SiON 、 Al_2O_3 等の無機材料を用いることができる。

【0064】

なお、以上の各工程のチャンネル遮光層 11 以外の層の形成工程も、適宜、塗布法や印刷法で該当する層を形成することができる。特に、薄膜トランジスタの製造工程の全体又は大部分を塗布法や印刷法にする場合は、それらの製造工程と、この、R が La 又は Nd 又はそれらの固溶すなわち $R = \text{La}_{1-y}\text{Nd}_y$ である $R_{1-x}\text{Sr}_x\text{MnO}_3$ ($0.2 < x < 0.5$) のチャンネル遮光層 11 の製造工程とが、整合性が良くなり良好に薄膜トランジスタを製造できる効果がある。

【0065】

<第2の実施形態>

図 3 により、第 2 の実施形態を説明する。第 2 の実施形態も、以下のように、第 1 の実施形態と同様な方法で薄膜トランジスタを製造可能である。

【0066】

すなわち、第 2 の実施形態の薄膜トランジスタは、以下の工程で製造することができる。

(工程 1)

基板 1 上にゲート電極 2 を形成する。

(工程 2)

基板 1 の面上とゲート電極 2 の面上を覆うゲート絶縁層 3 を形成する。

(工程 3)

ゲート絶縁層 3 上に In-Ga-Zn-O から成る半導体の半導体チャンネル層 4 を形成する。

(工程 4)

半導体チャンネル層 4 上にチャンネル保護層 10 を形成する。

(工程 5)、

半導体チャンネル層 4 に電気接続するソース電極 5 及びドレイン電極 6 とを形成する。

(工程 6)

チャンネル保護層 10 とソース電極 5 及びドレイン電極 6 を覆うパッシベーション用保護層 20 を形成する。

(工程 7)

パッシベーション用保護層 20 の面上に、チャンネル保護層の上方を覆う、R が La 又は Nd 又はそれらの固溶すなわち $R = \text{La}_{1-y}\text{Nd}_y$ である $R_{1-x}\text{Sr}_x\text{MnO}_3$ の化学式であらわされ、x が 0.2 以上 0.5 以下の、ペロブスカイト型酸化物のチャンネル遮光層 11 を塗布法で形成することで薄膜トランジスタを製造する。

【0067】

(アクティブマトリクス基板)

本発明の薄膜トランジスタを用いてディスプレイの駆動などに用いるアクティブマトリクス基板を製造する場合には、ソース電極 5 と画素電極を絶縁するパッシベーション用保護層 20 をアクティブマトリクス基板の層間絶縁層として形成する。

【0068】

アクティブマトリクス基板の層間絶縁層はソース電極 5 の配線や画素電極間を絶縁するために、その抵抗率が 1×10^{11} cm 以上、特に 1×10^{14} cm 以上であることが好ましい。その層間絶縁層は、その材料に応じて適宜、真空蒸着法、イオンプレーティング法、スパッタ法、レーザーアブレーション法、プラズマ CVD、光 CVD 法、ホット

10

20

30

40

50

ワイヤーCVD法等のドライ成膜法や、スピコート法、ディップコート法、スクリーン印刷法等のウェット成膜法を用いて形成することができる。

【0069】

また、これらの層間絶縁層は2層以上積層して用いても良い。また、これらの層間絶縁層を、長手方向に向けて傾斜し、の組成の分布が傾斜した構成に形成することもできる。

【0070】

続いてそのアクティブマトリクス基板の層間絶縁層にスルーホールを設け、ドレイン電極6と接続するよう層間絶縁層上に導電性材料を成膜し、所定の画素形状にパターンニングしてアクティブマトリクス基板を製造する。

【0071】

このようにして製造したアクティブマトリクス基板上に、画像表示要素及び対向電極を積層することで画像表示装置を製造する。

【0072】

画像表示装置の例としては、電気泳動方式の表示媒体（電子ペーパー）や、液晶表示媒体、有機EL、無機EL等が挙げられる。

【0073】

画像表示要素の積層方法としては、本発明のアクティブマトリクス基板と、対向基板、対向電極、画像表示要素の積層体を貼り合わせる方法や、画素電極上に画像表示要素、対向電極、対向基板を順次積層する方法等、画像表示要素の種類により適宜選択することができる。

【0074】

なお、本発明のトランジスタは、液晶、OLED素子を用いた画像表示装置のスイッチング素子、駆動素子のトランジスタとして用いることができる。

【0075】

本発明のトランジスタを用いた画像表示装置は、携帯電話ディスプレイ、パーソナルデジタルアシスタント（PDA）、コンピュータディスプレイ、自動車の情報ディスプレイ、TV用モニター、または一般照明を含む幅広い分野に応用可能である。

【0076】

また、本発明のトランジスタを形成する下地の基板1を、プラスチックフィルム等の可撓性基板とし、ICカードまたはIDタグなどに応用することもできる。

【符号の説明】

【0077】

- 1・・・基板
- 2・・・ゲート電極（ゲート配線）
- 3・・・ゲート絶縁層
- 4・・・半導体チャンネル層
- 5・・・ソース電極（ソース配線）
- 6・・・ドレイン電極
- 10・・・チャンネル保護層
- 11・・・チャンネル遮光層
- 20・・・パッシベーション用保護層

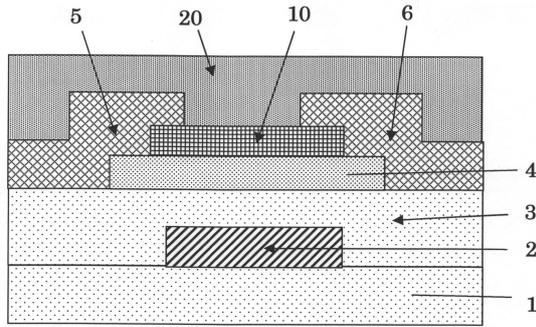
10

20

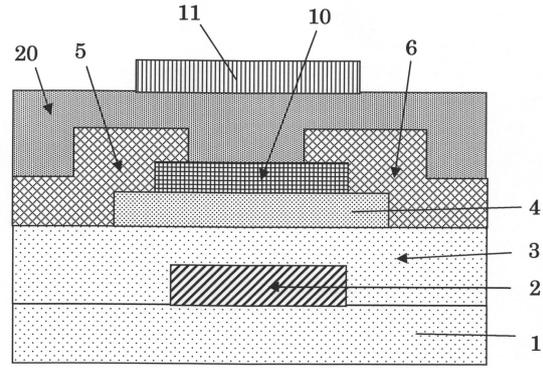
30

40

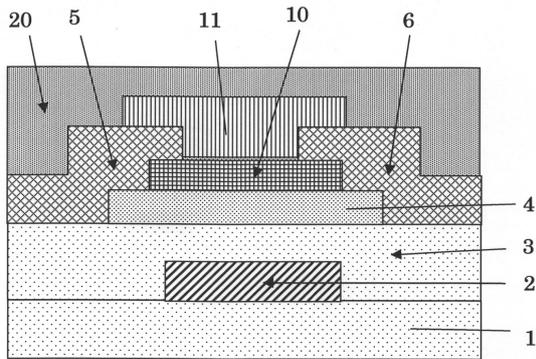
【 図 1 】



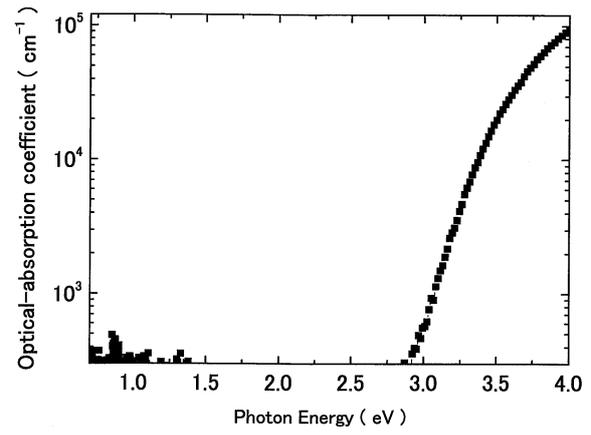
【 図 3 】



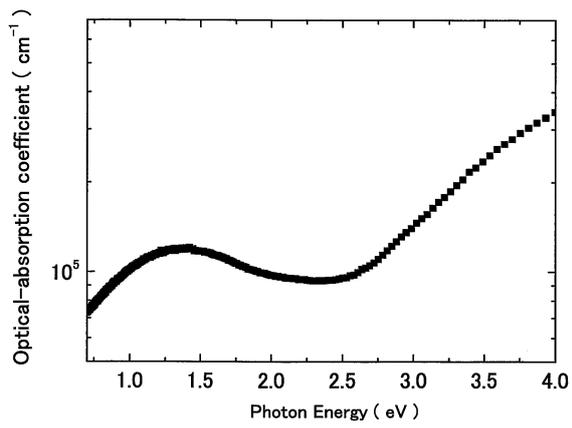
【 図 2 】



【 図 4 】



【 図 5 】



フロントページの続き

- (56)参考文献 米国特許出願公開第2011/0147769(US, A1)
米国特許出願公開第2013/0187164(US, A1)
国際公開第2012/096154(WO, A1)
特開2003-096309(JP, A)
特開平05-203994(JP, A)
特開平11-337974(JP, A)
特開2004-203726(JP, A)
特表2010-541185(JP, A)
特開2013-102072(JP, A)
特表平04-507230(JP, A)
特開平06-236732(JP, A)

(58)調査した分野(Int.Cl., DB名)

G09F	9/30
H01L	21/336
H01L	29/786