



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년08월02일
(11) 등록번호 10-2427553
(24) 등록일자 2022년07월27일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)

(52) CPC특허분류
G09G 3/3225 (2013.01)

(21) 출원번호 10-2015-0170200

(22) 출원일자 2015년12월01일
심사청구일자 2020년11월09일

(65) 공개번호 10-2017-0064640

(43) 공개일자 2017년06월12일

(56) 선행기술조사문헌

JP08178972 A*

KR1020140071097 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

우경돈

경기도 파주시 교하읍 야당리 한빛마을2단지 휴먼 빌레이크팰리스 210동 1103호

임명기

경기도 안산시 상록구 반석로 44, 107동 1803호 (본오동, 신안1차아파트)

(뒷면에 계속)

(74) 대리인

박병석

전체 청구항 수 : 총 5 항

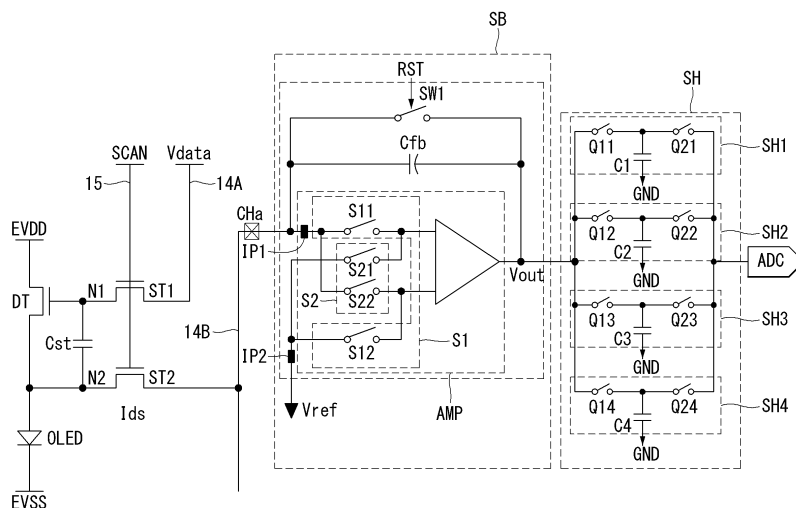
심사관 : 하정균

(54) 발명의 명칭 전류 적분기와 이를 포함하는 유기발광 표시장치

(57) 요약

본 발명은 픽셀들에 연결된 센싱라인들을 포함한 표시패널, 제1 입력단자에 연결된 센싱라인들을 통해 픽셀들로부터 수신된 전류와 제2 입력단자에 연결된 기준전압 라인을 통해 기준전압을 공급받고, 제1 입력단자를 통해 인가된 전류가 흐르는 전류의 경로와 제2 입력단자를 통해 인가된 기준전압이 공급되는 기준전압의 경로를 스위칭하는 전류 적분기, 전류 적분기의 제1 출력 전압을 샘플링하는 제1 샘플 & 홀더와, 제1 출력 전압에 이어서 출력되는 전류 적분기의 제2 출력 전압을 샘플링하는 제2 샘플 & 홀더를 포함하고, 제1 및 제2 샘플 & 홀더들 각각에 샘플링된 전압을 단일 출력 채널을 통해 동시에 출력하는 샘플링부 및 샘플링부의 단일 출력 채널로부터 수신된 전압을 디지털 센싱값으로 변환한 후 출력하는 아날로그 디지털 변환기(Analog to Digital Conversion, ADC)를 포함한다.

대표도 - 도7a



(72) 발명자

노주영

경기도 파주시 번영로 55, 116동 1702호 (금촌동,
새꽃마을뜨란채)

이철원

서울특별시 강서구 화곡로68길 33 (등촌동, 라인아
파트) 102동 1904호

명세서

청구범위

청구항 1

픽셀들에 연결된 센싱라인들을 포함한 표시패널;

제1 입력단자에 연결된 상기 센싱라인들을 통해 상기 픽셀들로부터 수신된 전류와 제2 입력단자에 연결된 기준 전압 라인을 통해 기준전압을 공급받고, 상기 제1 입력단자를 통해 인가된 상기 전류가 흐르는 전류의 경로와 상기 제2 입력단자를 통해 인가된 상기 기준전압이 공급되는 기준전압의 경로를 스와핑하는 전류 적분기;

상기 전류 적분기의 제1 출력 전압을 샘플링하는 제1 샘플 & 홀더와, 상기 제1 출력 전압에 이어서 출력되는 상기 전류 적분기의 제2 출력 전압을 샘플링하는 제2 샘플 & 홀더를 포함하고, 상기 제1 및 제2 샘플 & 홀더들 각각에 샘플링된 전압을 단일 출력 채널을 통해 동시에 출력하는 샘플링부; 및

상기 샘플링부의 단일 출력 채널로부터 수신된 전압을 디지털 센싱값으로 변환한 후 출력하는 아날로그 디지털 변환기(Analog to Digital Conversion, ADC)를 포함하고,

상기 전류 적분기는,

상기 제1 입력단자, 상기 제2 입력단자 및 상기 제1 출력 전압 또는 상기 제2 출력 전압을 출력하는 출력 단자를 포함한 증폭기(AMP); 및

상기 증폭기에서 제1 오프셋(Offset) 값이 포함된 제1 출력 전압이 출력되도록 동작하는 제1 스와프 스위치들; 과 상기 증폭기에서 상기 제1 오프셋(Offset) 값과 반대 극성을 가지는 제2 오프셋(Offset) 값이 포함된 제2 출력 전압이 출력되도록 동작하는 제2 스와프 스위치들;을 포함하는 스와핑부를 포함하고,

상기 샘플링부는,

상기 제1 출력 전압을 저장하는 제1 평균 커패시터;

상기 제2 출력 전압을 저장하는 제2 평균 커패시터;

상기 제1 스와프 스위치들에 동기되어 상기 전류 적분기에서 출력되는 상기 제1 출력 전압을 상기 제1 평균 커패시터에 저장하는 제1 샘플 스위치;

상기 제2 스와프 스위치들에 동기되어 상기 전류 적분기에서 출력되는 상기 제2 출력 전압을 상기 제2 평균 커패시터에 저장하는 제2 샘플 스위치;

상기 제1 평균 커패시터와 상기 아날로그 디지털 변환기 사이에 접속되는 제1 홀딩 스위치; 및

상기 제2 평균 커패시터와 상기 아날로그 디지털 변환기 사이에 접속되는 제2 홀딩 스위치를 포함하고,

상기 제1 홀딩 스위치와 상기 제2 홀딩 스위치는 동시에 턴 온되어 상기 제1 출력 전압과 상기 제2 출력 전압을 단일 출력 채널을 통해 동시에 출력하는 유기발광 표시장치.

청구항 2

제1 항에 있어서,

상기 전류 적분기는,

상기 증폭기(AMP)의 제1 입력단자와 출력 단자 사이에 접속된 적분 커패시터; 및

상기 적분 커패시터의 양단에 접속된 리셋 스위치;를 구비하는 유기발광 표시장치.

청구항 3

제2 항에 있어서,

상기 제1 입력단자는 상기 센싱라인에 연결되는 제1 외부 입력단자와 상기 제1 외부입력단자에 연결되는 제1 내부 입력단자를 구비하고,

상기 제2 입력단자는 상기 기준전압 라인과 연결되는 제2 외부 입력단자와 상기 제2 외부 입력단자에 연결되는 제2 내부 입력단자를 구비하고,

상기 스와핑부는,

상기 제1 외부 입력단자와 상기 제1 내부 입력단자 사이, 및 상기 제2 외부 입력단자와 상기 제2 내부 입력단자 사이에 배치되어 상기 전류의 경로와 상기 기준전압의 경로를 스와핑하는 유기발광 표시장치.

청구항 4

삭제

청구항 5

제3 항에 있어서,

상기 제1 스와프 스위치들은 상기 제1 외부 입력단자와 상기 제1 내부 입력단자에 연결되는 제11 스와프 스위치;와 상기 제2 외부 입력단자와 상기 제2 내부 입력단자에 연결되는 제12 스와프 스위치;를 포함하고,

상기 제2 스와프 스위치들은 상기 제2 외부 입력단자와 상기 제1 내부 입력단자에 연결되는 제21 스와프 스위치;와 상기 제1 외부 입력단자와 상기 제2 내부 입력단자에 연결되는 제22 스와프 스위치;를 포함하고,

상기 제11 스와프 스위치의 일단과 상기 제22 스와프 스위치의 일단이 공통 연결되고, 상기 제12 스와프 스위치의 일단과 상기 제21 스와프 스위치의 일단이 공통 연결되는 유기발광 표시장치.

청구항 6

제5 항에 있어서,

상기 제1 샘플 & 홀더는 상기 전류 적분기에서 출력되는 상기 제1 출력 전압을 저장하는 상기 제1 평균 커패시터;와 상기 전류 적분기와 상기 제1 평균 커패시터 사이에 접속되어 상기 제1 출력 전압이 상기 제1 평균 커패시터에 저장되도록 제어하는 상기 제1 샘플 스위치; 및 상기 제1 평균 커패시터와 상기 아날로그 디지털 변환기 사이에 접속되어 상기 제1 평균 커패시터에 저장된 상기 제1 출력 전압을 상기 단일 출력 채널을 통해 출력하도록 제어하는 상기 제1 홀딩 스위치;를 포함하고,

상기 제2 샘플 & 홀더는 상기 전류 적분기에서 출력되는 상기 제2 출력 전압을 저장하는 상기 제2 평균 커패시터;와 상기 전류 적분기와 상기 제2 평균 커패시터 사이에 접속되어 상기 제2 출력 전압이 상기 제2 평균 커패시터에 저장되도록 제어하는 상기 제2 샘플 스위치; 및 상기 제2 평균 커패시터와 상기 아날로그 디지털 변환기 사이에 접속되어 상기 제2 평균 커패시터에 저장된 상기 제2 출력 전압을 상기 단일 출력 채널을 통해 출력하도록 제어하는 상기 제2 홀딩 스위치;를 포함하는 유기발광 표시장치.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

발명의 설명

기술 분야

[0001] 본 발명은 전류 적분기와 이를 포함하는 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생한다.

[0004] 유기발광 표시장치는 OLED를 각각 포함한 픽셀들을 매트릭스 형태로 배열하고 비디오 데이터의 계조에 따라 픽셀들의 휘도를 조절한다. 픽셀들 각각은 자신의 게이트 전극과 소스 전극 사이에 걸리는 전압(Vgs)에 따라 OLED에 흐르는 구동전류를 제어하는 구동 소자 즉, 구동 TFT(Thin Film Transistor)를 포함한다. 문턱 전압, 이동도 등과 같은 구동 TFT의 전기적 특성은 구동 시간 경과에 따라 열화되어 픽셀들마다 편차가 생길 수 있다. 구동 TFT의 전기적 특성이 픽셀들마다 달라지면 동일 비디오 데이터에 대해 픽셀들 간 휘도가 달라지므로 원하는 화상 구현이 어렵다.

[0005] 구동 TFT의 전기적 특성 편차를 보상하기 위해 내부 보상 방식과 외부 보상 방식이 알려져 있다. 내부 보상 방식은 구동 TFT들 간의 문턱 전압 편차를 화소 회로 내부에서 자동으로 보상한다. 내부 보상을 위해서는 OLED에 흐르는 구동전류가 구동 TFT의 문턱 전압에 상관없이 결정되도록 해야 하기 때문에, 화소 회로의 구성이 매우 복잡하다. 더욱이, 내부 보상 방식은 구동 TFT들 간의 이동도 편차를 보상하기에는 부적합하다.

[0006] 외부 보상 방식은 구동 TFT들의 전기적 특성(문턱전압, 이동도)에 대응되는 센싱 전압 및 전류들을 측정하고, 이 센싱 전압들을 기반으로 표시패널에 연결된 외부 회로에서 비디오 데이터를 변조함으로써 전기적 특성 편차를 보상한다. 최근에는 이러한 외부 보상 방식에 대한 연구가 활발히 진행되고 있다.

[0007] 종래의 외부 보상 방식에서, 데이터 구동회로는 센싱라인을 통해 각 픽셀로부터 센싱 전압을 직접 입력받고, 이 센싱 전압을 디지털 센싱값으로 변환한 후 타이밍 컨트롤러에 전송한다. 타이밍 컨트롤러는 디지털 센싱값을 기초로 디지털 비디오 데이터를 변조하여 구동 TFT의 전기적 특성 편차를 보상한다.

[0008] 구동 TFT는 전류 소자이므로 그의 전기적 특성은, 일정 게이트-소스 간 전압(Vgs)에 따라 드레인-소스 사이에 흐르는 전류(Ids)의 크기로 대변된다.

[0009] 외부 보상 방식의 데이터 구동회로는, 구동 TFT의 전기적 특성을 센싱하는 센싱부를 포함한다. 센싱부는 증폭기(Amplifier, AMP), 적분 커패시터(Cfb) 및 스위치(SW)로 구성되는 적분기를 포함한다. 적분기는 구동 TFT의 소스-드레인 간 전류(Ids)를 입력받는 반전 입력단자(-), 기준전압(Vref)을 입력받는 비 반전 입력단자(+), 적분값을 출력하는 출력 단자를 포함한 증폭기(AMP)와, 증폭기(AMP)의 반전 입력단자(-)와 출력 단자 사이에 접속된 적분 커패시터(Cfb)와, 적분 커패시터(Cfb)의 양단에 접속된 스위치(SW)를 포함한다.

- [0010] 복수의 센싱라인에 대응되어 배치되는 각각의 증폭기(AMP)는 오프셋(Offset) 값을 포함하고, 증폭기(AMP)의 출력 단자를 통해 출력되는 적분값에는 증폭기(AMP)의 오프셋(Offset) 값이 포함된다. 증폭기(AMP)의 오프셋(Offset) 값은 도 1을 참조하면, 각각의 증폭기(AMP)마다 서로 다르다. 도 1에 도시된 수평방향은 복수의 증폭기(AMP) 각각에 전기적으로 연결되는 복수의 센싱라인의 개수를 나타내고, 수직방향은 센싱라인 별로 출력되는 적분 값을 기준으로 센싱되는 센싱 값을 나타낸다.
- [0011] 이와 같이, 증폭기(AMP)는 서로 다른 오프셋(Offset) 값을 가지기 때문에, 실질적으로 동일한 전류가 각각의 증폭기(AMP)의 입력 단자에 입력되더라도, 출력 단자를 통해 출력되는 적분값이 오프셋(Offset) 값에 의해 달라진다. 적분값은 서로 다른 증폭기(AMP)의 오프셋(Offset) 값으로 인해 넓은 산포를 가진다. 도 2을 참조하면, 적분값이 넓은 산포를 가지므로, 정확한 센싱값을 추출하는데 어려움이 있다. 도 2에서 도시된 수평방향은 센싱값을 나타낸 것이고, 수직방향은 복수의 센싱라인별로 출력되는 오프셋(Offset) 값을 나타낸 것이다.
- [0012] 센싱 값은 -50과 +50을 중심으로 산포가 넓게 분포된다. 이렇게 넓게 분포되는 산포를 가지는 센싱값으로 픽셀들의 전기적 특성 편차를 보상할 경우 픽셀들의 보상시 보상 특성에 문제가 발생할 수 있다.

발명의 내용

해결하려는 과제

- [0013] 본 발명의 목적은 전류 적분기들 간의 오프셋(Offset) 값의 편차를 보상하여 정확한 센싱 값을 센싱하고, 정확한 센싱 값들로 패널을 보상하여 센싱 및 보상의 신뢰성을 제고할 수 있도록 한 전류 적분기와 이를 포함하는 유기발광 표시장치를 제공하는 데 있다.

과제의 해결 수단

- [0014] 상기 목적을 달성하기 위하여, 본 발명은 픽셀들에 연결된 센싱라인들을 포함한 표시패널, 제1 입력단자에 연결된 센싱라인들을 통해 픽셀들로부터 수신된 전류와 제2 입력단자에 연결된 기준전압 라인을 통해 기준전압을 공급받고, 제1 입력단자를 통해 인가된 전류가 흐르는 전류의 경로와 제2 입력단자를 통해 인가된 기준전압이 공급되는 기준전압의 경로를 스와핑하는 전류 적분기, 전류 적분기의 제1 출력 전압을 샘플링하는 제1 샘플 & 홀더와, 제1 출력 전압에 이어서 출력되는 전류 적분기의 제2 출력 전압을 샘플링하는 제2 샘플 & 홀더를 포함하고, 제1 및 제2 샘플 & 홀더들 각각에 샘플링된 전압을 단일 출력 채널을 통해 동시에 출력하는 샘플링부 및 샘플링부의 단일 출력 채널로부터 수신된 전압을 디지털 센싱값으로 변환한 후 출력하는 아날로그 디지털 변환기(Analog to Digital Conversion, ADC)를 포함한다.
- [0015] 전류 적분기는 제1 입력단자, 상기 제2 입력단자 및 제1 출력 전압 또는 제2 출력 전압을 출력하는 출력 단자를 포함한 증폭기(AMP), 증폭기(AMP)의 제1 입력단자와 출력 단자 사이에 접속된 적분 커패시터 및 적분 커패시터의 양단에 접속된 리셋 스위치를 구비한다.
- [0016] 제1 입력단자는 센싱라인에 연결되는 제1 외부 입력단자와, 제1 외부입력단자에 연결되는 제1 내부 입력단자를 구비하고, 제2 입력단자는 기준라인과 연결되는 제2 외부 입력단자와, 제2 외부 입력단자에 연결되는 제2 내부 입력단자를 구비하고, 제1 외부 입력단자와 제1 내부 입력단자 사이, 및 제2 외부 입력단자와 제2 내부 입력단자 사이에 배치되어 전류의 경로와 기준전압의 경로를 스와핑하는 스와핑부가 배치된다.
- [0017] 스와핑부는 증폭기에서 제1 오프셋(Offset) 값이 포함된 제1 출력 전압이 출력되도록 동작하는 제1 스와프 스위치들과 증폭기에서 제1 오프셋(Offset) 값과 반대 극성을 가지는 제2 오프셋(Offset) 값이 포함된 제2 출력 전압이 출력되도록 동작하는 제2 스와프 스위치들을 포함한다.
- [0018] 제1 스와프 스위치들은 제1 외부 입력단자와 제1 내부 입력단자에 연결되는 제11 스와프 스위치와 제2 외부 입력단자와 제2 내부 입력단자에 에 연결되는 제12 스와프 스위치를 포함하고, 제2 스와프 스위치들은 제1 외부 입력단자와 제2 내부 입력단자에 연결되는 제21 스와프 스위치와 제1 외부 입력단자와 제2 내부 입력단자에 연결되는 제22 스와프 스위치를 포함하고, 제11 스와프 스위치의 일단과 제22 스와프 스위치의 일단이 공통 연결되고, 제12 스와프 스위치의 일단과 제21 스와프 스위치의 일단이 공통 연결된다.
- [0019] 제1 샘플 & 홀더는 전류 적분기에서 출력되는 제1 출력 전압을 저장하는 제1 평균 커패시터와 전류 적분기와 제1 평균 커패시터 사이에 접속되어 제1 출력 전압이 제1 평균 커패시터에 저장되도록 제어하는 제1 샘플 스위치 및 제1 평균 커패시터와 아날로그 디지털 변환기 사이에 접속되어 제1 평균 커패시터에 저장된 제1 출력 전압을 단일 출력 채널을 통해 출력하도록 제어하는 제1 홀딩 스위치를 포함하고, 제2 샘플 & 홀더는 전류 적분기에서

출력되는 제2 출력 전압을 저장하는 제2 평균 커패시터와 전류 적분기와 제2 평균 커패시터 사이에 접속되어 제2 출력 전압이 제2 평균 커패시터에 저장되도록 제어하는 제2 샘플 스위치 및 제2 평균 커패시터와 아날로그 디지털 변환기 사이에 접속되어 제2 평균 커패시터에 저장된 제2 출력 전압을 단일 출력 채널을 통해 출력하도록 제어하는 제2 홀딩 스위치를 포함한다.

[0020] 제1 샘플 스위치는 제1 스위프 스위치들에 동기되어 전류 적분기에서 출력되는 제1 출력 전압을 제1 평균 커패시터에 저장하고, 제2 샘플 스위치는 제2 스위프 스위치들에 동기되어 전류 적분기에서 출력되는 제2 출력 전압을 제2 평균 커패시터에 저장한다.

[0021] 제1 홀딩 스위치와 제2 홀딩 스위치는 동시에 턴 온되어 제1 출력 전압과 제2 출력 전압을 단일 출력 채널을 통해 동시에 출력한다.

[0022] 상기 목적을 달성하기 위하여, 본 발명은 제1 입력단자, 제2 입력단자 및 출력 전압을 출력하는 출력 단자를 포함한 증폭기(AMP), 증폭기(AMP)의 제1 입력단자와 출력 단자 사이에 접속된 적분 커패시터 및 적분 커패시터의 양단에 접속된 리셋 스위치를 포함하는 전류 적분기에 있어서, 증폭기는 제1 입력단자를 통해 픽셀들로부터 수신된 전류와 제2 입력단자를 통해 기준전압을 공급받고, 제1 입력단자를 통해 인가된 전류가 흐르는 전류의 경로와 제2 입력단자를 통해 인가된 기준전압이 공급되는 기준전압의 경로를 스위핑하는 스위핑부를 포함한다.

[0023] 제1 입력단자는 픽셀에 배치되는 센싱라인에 연결되는 제1 외부 입력단자와, 제1 외부입력단자에 연결되는 제1 내부 입력단자를 구비하고, 제2 입력단자는 기준전압이 공급되는 기준라인과 연결되는 제2 외부 입력단자와, 제2 외부 입력단자에 연결되는 제2 내부 입력단자를 구비하고, 스위핑부는 제1 외부 입력단자와 제1 내부 입력단자 사이, 및 제2 외부 입력단자와 제2 내부 입력단자 사이에 배치되어 전류의 경로와 기준전압의 경로를 스위핑하는 배치된다.

[0024] 스위핑부는 증폭기에서 제1 오프셋(Offset) 값이 포함된 제1 출력 전압이 출력되도록 동작하는 제1 스위프 스위치들과 증폭기에서 제1 오프셋(Offset) 값과 반대 극성을 가지는 제2 오프셋(Offset) 값이 포함된 제2 출력 전압이 출력되도록 동작하는 제2 스위프 스위치들을 포함한다.

[0025] 제1 스위프 스위치들은 제1 외부 입력단자와 제1 내부 입력단자에 연결되는 제11 스위프 스위치와 제2 외부 입력단자와 제2 내부 입력단자에 연결되는 제12 스위프 스위치를 포함하고, 제2 스위프 스위치들은 제2 외부 입력단자와 제1 내부 입력단자에 연결되는 제21 스위프 스위치와 제1 외부 입력단자와 제2 내부 입력단자에 연결되는 제22 스위프 스위치를 포함하고, 제11 스위프 스위치의 일단과 제22 스위프 스위치의 일단이 공통 연결되고, 제12 스위프 스위치의 일단과 제21 스위프 스위치의 일단이 공통 연결된다.

발명의 효과

[0026] 본 발명은 전류 적분기들 간의 오프셋(Offset) 값의 편차를 보상함으로써 보다 정확한 센싱값을 센싱하고, 정확한 센싱 값들로 패널을 보상할 수 있어 센싱 및 보상의 신뢰성을 크게 높일 수 있다.

[0027] 더욱이 본 발명은, 구동소자의 전기적 특성 편차를 센싱함에 있어 전류 적분기를 이용한 전류 센싱 방식을 통해 저전류 및 고속 센싱을 구현하여 센싱 시간을 크게 줄일 수 있다.

도면의 간단한 설명

- [0028] 도 1은 종래의 전류 적분기 각각에서 출력되는 다양한 오프셋(Offset) 값을 보여주는 도면.
- 도 2는 종래의 전류 적분기에서 출력되는 오프셋(Offset) 값을 포함한 출력 전압이 넓게 산포되는 보여주는 도면.
- 도 3은 본 발명의 전류 센싱을 구현하기 위한 주요 구성들을 보여주는 블록도.
- 도 4는 본 발명의 실시 예에 따른 유기발광 표시장치를 보여주는 도면.
- 도 5는 도 4의 표시패널에 형성된 픽셀 어레이와, 전류 센싱 방식을 구현하기 위한 데이터 드라이버 IC의 구성을 보여주는 도면.
- 도 6은 전류 센싱 방식을 구현하기 위한 데이터 드라이버 IC에서 센싱 블록에 내장된 스위핑부와 샘플링부를 보여주는 도면.
- 도 7a는 본 발명의 전류 센싱 방식이 적용되는 일 픽셀 구성과, 그 픽셀에 연결된 전류 적분기 및 샘플링부의

세부 구성을 보여주는 도면.

도 7b는 본 발명의 증폭기의 세부 구성을 보여주는 도면.

도 8은 전류 센싱을 위해 도 7에 인가되는 구동 신호들의 파형과, 전류 센싱 결과에 따른 출력 전압을 보여주는 도면.

도 9는 제1 스테이트 모드에서 동작하는 스와핑부와 그에 따른 출력 전압을 보여주는 도면.

도 10은 제2 스테이트 모드에서 동작하는 스와핑부와 그에 따른 출력 전압을 보여 주는 도면.

도 11은 본 발명의 전류 적분기에서 출력되는 오프셋(Offset) 값을 보여주는 도면.

도 12는 본 발명의 전류 적분기에서 출력되는 오프셋(Offset) 값이 포함된 출력 전압이 평균화되어 출력되는 것을 보여주는 도면.

발명을 실시하기 위한 구체적인 내용

- [0029] 이하, 도 3 내지 도 10을 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.
- [0030] 도 3은 본 발명의 전류 센싱을 구현하기 위한 주요 구성들을 보여주는 블록도이다.
- [0031] 도 3을 참조하면, 본 발명은 센싱 블록(12a, SB), 샘플링부(12b, SH), 및 아날로그 디지털 변환기(Analog to Digital Conversion, 이하 ADC로 설명한다.)를 데이터 드라이버 IC(12, SDIC)에 포함시키고, 표시패널(10)의 픽셀들로부터 전류 정보를 센싱한다.
- [0032] 센싱 블록(12a, SB)은 다수의 전류 적분기들(12a1, CI)과, 다수의 전류 적분기들(12a1, CI)의 내부에 배치되는 증폭기(AMP)를 포함하여 표시패널(10)로부터 입력되는 전류 정보를 적분한다. 증폭기(AMP)의 내부에는 스와핑부(12a2)가 배치되고, 스와핑부(12a2)를 통해 센싱 블록(12a, SB)에서 출력되는 제1 출력 전압에는 제1 오프셋(Offset) 값이 포함되고, 제2 출력 전압에는 제2 오프셋(Offset) 값이 포함된다. 샘플링부(12b, SH)은 제1 오프셋(Offset) 값 또는 제2 오프셋(Offset) 값이 포함된 제1 출력 전압 및 제2 출력 전압을 샘플링하고, 샘플링된 전압을 단일 출력 채널을 통해 동시에 ADC(12C)에 전달된다. ADC(12C)는 샘플링부(12b, SH)의 단일 출력 채널로부터 수신된 전압을 디지털 센싱값으로 변환한 후 타이밍 컨트롤러(11)에 전송한다. 타이밍 컨트롤러(11)는 디지털 센싱값을 기초로 문턱전압 편차와 이동도 편차를 보상하기 위한 보상 데이터를 도출하고, 이 보상 데이터를 이용하여 화상 구현을 위한 이미지 데이터를 변조한 후 데이터 드라이버 IC(12, SDIC)에 전송한다. 변조된 이미지 데이터는 데이터 드라이버 IC(12, SDIC)에서 화상 구현용 데이터전압으로 변환된 후 표시패널에 인가된다.
- [0033] 한편, 본 발명은 센싱 블록(12a, SB)을 구성하는 전류 적분기(12a1, CI)의 오프셋(Offset) 값의 편차를 보정하기 위해, 데이터 드라이버 IC(12, SDIC) 내에 배치되는 증폭기(AMP)에 스와핑부(12a2)를 내장하고, 스와핑부(12a2)를 통해 제1 오프셋(Offset) 값이 포함된 제1 출력 전압과 제2 오프셋(Offset) 값이 포함된 제2 출력 전압이 번갈아 출력되도록 스와핑한다.
- [0034] 전류 적분기(12a1, CI)는 제1 입력단자를 통해 인가된 전류가 흐르는 전류의 경로와 제2 입력단자를 통해 인가된 기준전압이 공급되는 기준전압의 경로를 스와핑한다. 그리고, 전류 적분기(12a1, CI)의 출력단자는 제1 오프셋(Offset) 값이 포함된 제1 출력전압과 제2 오프셋(Offset) 값이 포함된 제2 출력전압을 출력한다. 샘플링부(12b, SH)는 출력된 제1 출력전압과 제2 출력전압을 순차적으로 저장한다.
- [0035] 본 발명은 전류 적분기(12a1, CI)를 이용한 전류 센싱 방식을 통해 저전류 및 고속 센싱을 구현하여 센싱 시간을 크게 줄일 수 있다. 더욱이 본 발명은, 센싱 블록에 내장된 증폭기(AMP)와 샘플링부(12b, SH)을 통해 전류 적분기(12a1, CI)들의 오프셋(Offset) 값의 편차를 보정할 수 있어 보상의 정확도를 크게 높일 수 있다. 이하에서는 이러한 본 발명의 기술적 사상을 실시 예를 통해 구체적으로 설명한다.
- [0036] 도 4는 본 발명의 실시 예에 따른 유기발광 표시장치를 보여준다. 도 5는 도 4의 표시패널에 형성된 픽셀 어레이와, 전류 센싱 방식을 구현하기 위한 데이터 드라이버 IC의 구성을 보여준다. 그리고, 도 6은 전류 센싱 방식을 구현하기 위한 데이터 드라이버 IC에서 센싱 블록(12a, SB)에 내장된 증폭기(AMP)와 샘플링부(12b, SH)을 보여준다.
- [0037] 도 4 내지 도 6을 참조하면, 본 발명의 실시 예에 따른 유기발광 표시장치는 표시패널(10), 타이밍 컨트롤러

(11), 데이터 구동회로(12), 및 게이트 구동회로(13)를 구비한다.

- [0038] 도 4 내지 도 6을 참조하면, 본 발명의 실시 예에 따른 유기발광 표시장치는 표시패널(10), 타이밍 컨트롤러(11), 데이터 구동회로(12), 및 게이트 구동회로(13)를 구비한다.
- [0039] 표시패널(10)에는 다수의 데이터라인 및 센싱라인들(14A, 14B)과, 다수의 게이트라인들(15)이 교차되고, 이 교차영역마다 픽셀들(P)이 매트릭스 형태로 배치된다.
- [0040] 각 픽셀(P)은 데이터라인들(14A) 중 어느 하나, 센싱라인들(14B) 중 어느 하나, 그리고 게이트라인들(15) 중 어느 하나에 접속된다. 각 픽셀(P)은 게이트라인(15)을 통해 입력되는 게이트펄스에 응답하여, 데이터전압 공급라인(14A)과 전기적으로 연결되어 데이터전압 공급라인(14A)으로부터 데이터전압을 입력받고, 센싱라인(14B)을 통해 센싱신호를 출력한다.
- [0041] 픽셀(P) 각각은 도시하지 않은 전원생성부로부터 고전위 구동전압(EVDD)과 저전위 구동전압(EVSS)을 공급받는다. 본 발명의 픽셀(P)은 외부 보상을 위해 OLED, 구동 TFT, 제1 및 제2 스위치 TFT, 및 스토리지 커패시터를 포함할 수 있다. 픽셀(P)을 구성하는 TFT들은 p 타입으로 구현되거나 또는, n 타입으로 구현될 수 있다. 또한, 픽셀(P)을 구성하는 TFT들의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.
- [0042] 픽셀(P) 각각은 화상 구현을 위한 노멀(normal) 구동 시와, 센싱값 획득을 위한 센싱(sensing) 구동 시에 서로 다르게 동작할 수 있다. 센싱(sensing) 구동은 노멀 구동에 앞서 소정 시간 동안 센싱을 수행되거나 또는, 노멀 구동 중의 수직 블랭크 기간들에서 센싱을 수행될 수 있다.
- [0043] 노멀 구동은 타이밍 컨트롤러(11)의 제어 하에 데이터 구동회로(12)와 게이트 구동회로(13)의 구동 동작으로 이루어질 수 있다. 센싱 구동은 타이밍 컨트롤러(11)의 제어 하에 데이터 구동회로(12)와 게이트 구동회로(13)의 센싱 동작으로 이루어질 수 있다. 그리고, 센싱 결과를 기반으로 편차 보상을 위한 보상 데이터를 도출하는 동작과, 보상 데이터를 이용하여 디지털 비디오 데이터를 변조하는 동작은 타이밍 컨트롤러(11)에서 수행된다.
- [0044] 데이터 구동회로(12)는 적어도 하나 이상의 데이터 드라이버 IC(Integrated Circuit, SDIC)를 포함한다. 데이터 드라이버 IC(SDIC)에는 각 데이터라인(14A)에 연결된 다수의 디지털-아날로그 컨버터(이하, DAC)들과, 센싱 채널들(CH1~CHn)을 통해 센싱라인(14B)들에 연결된 센싱 블록(12a, SB)과, 전류 적분기의 출력 전압을 샘플링하는 샘플 & 홀더를 포함하고, 복수의 샘플 & 홀더들 각각에 샘플링된 전압을 단일 출력 채널을 통해 동시에 출력하는 샘플링부(12b, SH), 및 샘플링부(12b, SH)에 연결된 ADC(12C)이 포함된다. 데이터 드라이버 IC(SDIC)에는 센싱 블록(12a, SB)에 내장되는 스와핑부(12a2)가 포함된다.
- [0045] 데이터 드라이버 IC(SDIC)의 DAC는 노멀 구동시 타이밍 컨트롤러(11)로부터 인가되는 데이터타이밍 제어신호(DDC)에 따라 디지털 비디오 데이터(RGB)를 화상 구현용 데이터전압으로 변환하여 데이터라인들(14A)에 공급한다. 한편, 데이터 드라이버 IC(SDIC)의 DAC는 센싱 구동시 타이밍 컨트롤러(11)로부터 인가되는 데이터타이밍 제어신호(DDC)에 따라 센싱용 데이터전압을 생성하여 데이터라인들(14A)에 공급한다.
- [0046] 데이터 드라이버 IC(SDIC)의 센싱 블록(12a, SB)은 제1 입력단자에 연결된 픽셀의 센싱라인들을 통해 픽셀들로부터 수신된 전류와 제2 입력단자에 연결된 기준전압 라인을 통해 기준전압을 공급받고, 제1 입력단자를 통해 인가된 전류가 흐르는 전류의 경로와 제2 입력단자를 통해 인가된 기준전압이 공급되는 기준전압의 경로를 스와핑하는 전류 적분기를 포함한다. 데이터 드라이버 IC(SDIC)의 ADC(12C)는 센싱 블록(12a)에서 출력되는 출력 전압을 순차적으로 디지털 처리하여 타이밍 컨트롤러(11)에 전송한다. 샘플링부(12b)는 센싱 블록(12a, SB)과 ADC(12C) 사이에 배치되어 전류 적분기(12a1, CI)의 제1 출력 전압을 샘플링하는 제1 샘플 & 홀더(SH1)와, 제1 출력 전압에 이어서 출력되는 전류 적분기(12a1, CI)의 제2 출력 전압을 샘플링하는 제2 샘플 & 홀더(SH2)를 포함하고, 제1 및 제2 샘플 & 홀더(SH1, SH2)들 각각에 샘플링된 전압을 단일 출력 채널을 통해 동시에 출력한다.
- [0047] 데이터 드라이버 IC(SDIC)는 증폭기(AMP)를 포함하고, 증폭기(AMP)의 내부에 배치되는 스와핑부(12a2)는 전류 적분기(12a1, CI)의 오프셋(Offset) 값의 편차를 보정하기 위한 스와프 스위치들(S1, S2)을 포함한다. 샘플링부(12b)는 제1 샘플 & 홀더(SH1)와, 제2 샘플 & 홀더(SH2)를 포함한다. 각각의 샘플 & 홀더는 샘플 스위치들(Q11~Q1n), 평균 커패시터들(C1~Cn) 및 홀딩 스위치들(Q21~Q2n)을 포함한다.
- [0048] 스와핑부(12a2)는 복수의 스와프 스위치들(S1, S2)을 포함한다. 스와프 스위치들(S1, S2)은 전류 적분기(12a1, CI)에서 제1 오프셋(Offset) 값이 포함된 제1 출력 전압이 출력되도록 스위칭되는 제1 스와프 스위치들(S1)과 전류 적분기(12a1, CI)에서 제1 오프셋(Offset) 값과 반대 극성을 가지는 제2 오프셋(Offset) 값이 포함된 제2

출력 전압이 출력되도록 스위칭되는 제2 스위프 스위치들(S2)을 구비한다.

- [0049] 샘플링부(12b)는 전류 적분기(12a1, CI)에서 출력되는 제1 출력 전압과 제2 출력 전압이 평균 커패시터들(C1~Cn)에 순차적으로 저장되도록 제어하는 샘플 스위치들(Q11~Q1n), 제1 출력 전압과 제2 출력 전압을 순차적으로 저장하는 평균 커패시터들(C1~Cn), 및 평균 커패시터들(C1~Cn)에 저장된 각각의 제1 출력 전압과 제2 출력 전압들을 단일 출력 채널을 통해 동시에 출력되도록 제어하는 홀딩 스위치들(Q21~Q2n)을 포함한다.
- [0050] 게이트 구동회로(13)는 노멀 구동시 게이트 제어신호(GDC)를 기반으로 화상 표시용 게이트펄스를 생성한 후, 행 순차 방식(L#1,L#2,...)으로 게이트라인들(15)에 순차 공급한다. 게이트 구동회로(13)는 센싱 구동시 게이트 제어신호(GDC)를 기반으로 센싱용 게이트펄스를 생성한 후, 행 순차 방식(L#1,L#2,...)으로 게이트라인들(15)에 순차 공급한다. 센싱용 게이트펄스는 화상 표시용 게이트펄스에 비해 온 펄스 구간이 넓을 수 있다. 센싱용 게이트펄스의 온 펄스 구간은 1 라인 센싱 온 타임에 대응되며, 여기서, 1 라인 센싱 온 타임이란 1 행 픽셀라인((L#1,L#2,...)의 픽셀들을 동시에 센싱하는데 할애되는 스캔 시간을 의미한다.
- [0051] 타이밍 컨트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블 신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 생성한다. 타이밍 컨트롤러(11)는 소정의 참조 신호(구동전원 인에이블신호, 수직 동기신호, 데이터 인에이블 신호등)를 기반으로 노멀 구동과 센싱 구동을 구분하고, 각 구동에 맞게 데이터 제어신호(DDC)와 게이트 제어신호(GDC)를 생성한다. 아울러, 타이밍 컨트롤러(11)는 센싱 구동에 필요한 추가 제어신호(스와핑부(12a2)를 제어하는 신호들, RST,SAM,HOLD 등)를 생성할 수 있다.
- [0052] 타이밍 컨트롤러(11)는 센싱 구동시 센싱용 데이터전압에 대응되는 디지털 데이터를 데이터 구동회로(12)에 전송할 수 있다. 타이밍 컨트롤러(11)는 센싱 구동시 데이터 구동회로(12)로부터 전송되는 디지털 센싱값(SD)을 미리 저장된 보상 알고리즘에 적용하여, 문턱전압 편차(ΔV_{th})와 이동도 편차(ΔK)를 도출한 후 그 편차들을 보상할 수 있는 보상 데이터를 메모리(미도시)에 저장한다.
- [0053] 타이밍 컨트롤러(11)는 노멀 구동시 메모리(미도시)에 저장된 보상 데이터를 참조로 화상 구현을 위한 디지털 비디오 데이터(RGB)를 변조한 후 데이터 구동회로(12)에 전송한다.
- [0054] 도 7a는 본 발명의 전류 센싱 방식이 적용되는 일 픽셀 구성과, 그 픽셀에 순차적으로 연결된 전류 적분기 및 샘플링부의 세부 구성을 보여주고, 7b는 본 발명의 증폭기의 세부 구성을 보여준다. 그리고 도 8은 전류 센싱을 위해 도 7a에 인가되는 구동 신호들의 파형과, 전류 센싱 결과에 따른 출력 전압을 보여준다. 도 9는 제1 스테이트 모드에서 동작하는 스위핑부를 보여주고, 도 10은 제2 스테이트 모드에서 동작하는 스위핑부를 보여준다.
- [0055] 도 7a 내지 도 10은 전류 센싱 방식의 구동 이해를 돕기 위한 일 예시에 불과하다. 본 발명의 전류 센싱이 적용되는 픽셀 구조 및 그 구동 타이밍은 다양한 변형이 가능하므로, 본 발명의 기술적 사상은 이 실시 예에 한정되지 않는다.
- [0056] 도 7a 및 도 7b를 참조하면, 본 발명의 픽셀(Pix)은 OLED, 구동 TFT(Thin Film Transistor)(DT), 스토리지 커패시터(Cst), 제1 스위치 TFT(ST1), 및 제2 스위치 TFT(ST2)를 구비할 수 있다.
- [0057] OLED는 제2 노드(N2)에 접속된 애노드전극과, 저전위 구동전압(EVSS)의 입력단에 접속된 캐소드전극과, 애노드전극과 캐소드전극 사이에 위치하는 유기화합물층을 포함한다. 구동 TFT(DT)는 게이트-소스 간 전압(Vgs)에 따라 OLED에 입력되는 전류량을 제어한다. 구동 TFT(DT)는 제1 노드(N1)에 접속된 게이트전극, 고전위 구동전압(EVDD)의 입력단에 접속된 드레인전극, 및 제2 노드(N2)에 접속된 소스전극을 구비한다. 스토리지 커패시터(Cst)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속된다. 제1 스위치 TFT(ST1)는 게이트펄스(SCAN)에 응답하여 데이터전압 공급라인(14A) 상의 데이터전압(Vdata)을 제1 노드(N1)에 인가한다. 제1 스위치 TFT(ST1)는 게이트라인(15)에 접속된 게이트전극, 데이터전압 공급라인(14A)에 접속된 드레인전극, 및 제1 노드(N1)에 접속된 소스전극을 구비한다. 제2 스위치 TFT(ST2)는 게이트펄스(SCAN)에 응답하여 제2 노드(N2)와 센싱라인(14B) 간의 전류 흐름을 스위칭한다. 제2 스위치 TFT(ST2)는 게이트라인(15)에 접속된 게이트전극, 센싱라인(14B)에 접속된 드레인전극, 및 제2 노드(N2)에 접속된 소스전극을 구비한다.
- [0058] 본 발명의 증폭기(AMP)는 스위핑부(12a2)를 포함한다. 증폭기(AMP)는 제1 입력단자(IP1), 제2 입력단자(IP2) 및 제1 출력 전압 또는 제2 출력 전압을 출력하는 출력 단자를 포함한다. 제1 입력단자(IP1)는 센싱라인(14B)에 연결되는 제1 외부 입력단자(IP11)와 제1 외부입력단자(IP11)에 연결되는 제1 내부 입력단자(IP12)를 구비하고, 제2 입력단자(IP2)는 기준라인(Vref Line)과 연결되는 제2 외부 입력단자(IP21)와 제2 외부 입력단자(IP21)에

연결되는 제2 내부 입력단자(IP22)를 구비한다.

- [0059] 스와핑부(12a2)는 제1 외부 입력단자(IP11)와 제1 내부 입력단자(IP12) 사이, 및 제2 외부 입력단자(IP21)와 제2 내부 입력단자(IP22) 사이에 배치되어 전류의 경로와 기준전압의 경로를 스와핑한다. 스와핑부(12a2)는 전류 적분기(12a1, CI)에서 제1 오프셋(Offset) 값이 포함된 제1 출력 전압이 출력되도록 동작하는 제1 스와프 스위치들(S1)과 전류 적분기(12a1, CI)에서 제1 오프셋(Offset) 값과 반대 극성을 가지는 제2 오프셋(Offset) 값이 포함된 제2 출력 전압이 출력되도록 동작하는 제2 스와프 스위치들(S2)을 포함한다. 제1 스와프 스위치들(S1)은 일단이 제1 외부 입력단자(IP11)에 전기적으로 연결되고, 타단이 제1 내부 입력단자(IP12)에 전기적으로 연결되는 제11 스와프 스위치(S11)와 일단이 제2 외부 입력단자(IP21)에 전기적으로 연결되고, 타단이 제2 내부 입력단자(IP22)에 전기적으로 연결되는 제12 스와프 스위치(S12)를 포함한다. 제2 스와프 스위치들(S2)은 일단이 제2 외부 입력단자(IP21)와 제12 스와프 스위치(S12)의 일단에 전기적으로 공통 연결되고, 타단이 제11 스와프 스위치(S11)의 타단과 제1 내부 입력단자(IP12)에 전기적으로 연결되는 제21 스와프 스위치(S21)와 일단이 제1 외부 입력단자(IP11)와 제11 스와프 스위치(S11)의 일단에 전기적으로 공통 연결되고, 타단이 제12 스와프 스위치(S12)의 타단과 제2 내부 입력단자(IP22)에 전기적으로 연결되는 제22 스와프 스위치(S22)를 포함한다.
- [0060] 이와 같이 구성되는 증폭기(AMP)를 포함하는 전류 적분기(12a1, CI)는 증폭기(AMP)의 제1 입력단자(IP1)와 출력단자 사이에 접속된 적분 커패시터(Cfb)와, 적분 커패시터(Cfb)의 양단에 접속된 리셋 스위치(SW1)를 포함한다.
- [0061] 본 발명의 샘플링부(12b, SH)는 센싱 블록(12a, SB)과 ADC(12C) 사이에 배치되어 전류 적분기(12a1, CI)의 제1 출력 전압을 샘플링하는 제1 샘플 & 홀더(SH1)와, 제1 출력 전압에 이어서 출력되는 전류 적분기(12a1, CI)의 제2 출력 전압을 샘플링하는 제2 샘플 & 홀더(SH2)를 포함한다.
- [0062] 다수의 샘플 & 홀더 각각은 샘플 스위치(Q11~Q1n), 평균 커패시터(C), 및 홀딩 스위치(Q21~Q2n)를 포함한다.
- [0063] 제1 샘플 & 홀더(SH1) 내지 제 n 샘플 & 홀더(SHn)는 병렬로 배치된다. 샘플 스위치들(Q11~Q1n)은 제1 샘플 스위치(Q11) 내지 제n(n은 2 이상의 자연수) 샘플 스위치(Q1n)를 포함하고, 평균 커패시터들(C1~Cn)은 제1 평균 커패시터(C1) 내지 제n(n은 2 이상의 자연수) 평균 커패시터(Cn)를 포함하고, 홀딩 스위치들(Q21~Q2n)은 제1 홀딩 스위치(Q21) 내지 제n(n은 2 이상의 자연수) 홀딩 스위치(Q2n)를 포함한다.
- [0064] 제1 샘플 스위치(Q11)는 일단이 전류 적분기(CI)의 출력 단자와 전기적으로 연결되고, 타단이 제1 평균 커패시터(C1)의 일단 및 제1 홀딩 스위치(Q21)의 일단과 전기적으로 공통 연결된다. 제1 평균 커패시터(C1)는 타단이 그라운드 전압(GND)과 전기적으로 연결된다. 제1 홀딩 스위치(Q21)는 타단이 ADC(12C)와 전기적으로 연결된다. 제2 샘플 스위치(Q12)는 일단이 전류 적분기(CI)의 출력 단자 및 제1 샘플 스위치(Q11)의 일단과 전기적으로 공통 연결되고, 타단이 제2 평균 커패시터(C2)의 일단 및 제2 홀딩 스위치(Q22)의 일단과 전기적으로 공통 연결된다. 제2 평균 커패시터(C2)는 타단이 그라운드 전압(GND)과 전기적으로 연결된다. 제2 홀딩 스위치(Q22)는 타단이 ADC(12C) 및 제1 홀딩 스위치(Q21)의 타단과 전기적으로 공통 연결된다. 제3 샘플 스위치(Q13)는 일단이 전류 적분기(CI)의 출력 단자, 제1 샘플 스위치(Q11)의 일단 및 제2 샘플 스위치(Q12)의 일단과 전기적으로 공통 연결되고, 타단이 제3 평균 커패시터(C3)의 일단 및 제3 홀딩 스위치(Q23)의 일단과 전기적으로 공통 연결된다. 제3 평균 커패시터(C3)는 타단이 그라운드 전압(GND)과 전기적으로 연결된다. 제3 홀딩 스위치(Q23)는 타단이 ADC(12C), 제1 홀딩 스위치(Q21)의 타단 및 제2 홀딩 스위치(Q22)의 타단과 전기적으로 공통 연결된다. 제4 샘플 스위치(Q14)는 일단이 전류 적분기(CI)의 출력 단자, 제1 샘플 스위치(Q11)의 일단, 제2 샘플 스위치(Q12)의 일단 및 제3 샘플 스위치(Q13)의 일단과 전기적으로 공통 연결되고, 타단이 제4 평균 커패시터(C4)의 일단 및 제4 홀딩 스위치(Q24)의 일단과 전기적으로 공통 연결된다. 제4 평균 커패시터(C4)는 타단이 그라운드 전압(GND)과 전기적으로 연결된다. 제4 홀딩 스위치(Q24)는 타단이 ADC(12C), 제1 홀딩 스위치(Q21)의 타단, 제2 홀딩 스위치(Q22)의 타단 및 제3 홀딩 스위치(Q23)의 타단과 전기적으로 공통 연결된다.
- [0065] 여기서는 제1 샘플 스위치(Q11) 내지 제4 샘플 스위치(Q14)가 전류 적분기(CI)의 출력단자와 공통 연결되는 것을 도시하였으나 이에 한정되는 것은 아니며, 복수의 전류 적분기(CI)의 출력단자에 대응하여 제1 샘플 스위치(Q11) 내지 제4 샘플 스위치(Q14)들 각각이 연결될 수도 있다. 또한, 복수의 홀딩 스위치들(Q21~Q2n)을 도시하였으나 이에 한정되는 것은 아니며, 제1 평균 커패시터(C1) 내지 제4 평균 커패시터(C4)의 타단들과 전기적으로 공통 연결되는 하나의 홀딩 스위치(Q21)로 연결될 수 있다.
- [0066] 도 8을 참조하면, 센싱 구동은 초기화 기간(A), 센싱 & 샘플링 기간(B)과 대기 기간(C)을 포함하여 이루어진다.
- [0067] 초기화 기간(A)에서 리셋 스위치(SW1)의 턴 온(Turn on)으로 인해 증폭기(AMP)는 이득이 1인 게인 버퍼 유닛으로 동작한다. 초기화 기간(A)에서 증폭기(AMP)의 제1 및 제2 입력 단자들(IP1, IP2)과 출력 단자, 센싱라인

(14B), 및 제2 노드(N2)는 모두 기준전압(Vref)으로 초기화된다.

- [0068] 초기화 기간(A) 중에 데이터 드라이버 IC(SDIC)의 DAC를 통해 센싱용 데이터전압(Vdata-SEN)이 제1 노드(N1)에 인가된다. 그에 따라 구동 TFT(DT)에는 제1 노드(N1)와 제2 노드(N2)의 전위차{(Vdata-SEN)-Vref}에 상응하는 소스-드레인 간 전류(Ids)가 흘러 안정화된다. 하지만, 초기화 기간(A) 중에 증폭기(AMP)는 계속해서 게인 버퍼 유닛으로 동작하므로, 출력 단자의 전위는 기준전압(Vref)으로 유지된다.
- [0069] 센싱 & 샘플링 기간(B)에서 리셋 스위치(SW1)의 턴 오프(Turn off)로 인해 증폭기(AMP)는 전류 적분기(12a1, CI)로 동작하여 구동 TFT(DT)에 흐르는 소스-드레인 간 전류(Ids)를 적분한다. 센싱 & 샘플링 기간(B)은 제1 스테이트 모드와 제2 스테이트 모드로 나누어질 수 있다. 제1 스테이트 모드는 센싱 & 샘플링 기간(B) 동안 스위프 스위치들(S1,S2)을 제어하여 제1 오프셋(Offset) 값을 포함하는 제1 출력 전압이 출력되는 기간으로 정의되고, 제2 스테이트 모드는 센싱 & 샘플링 기간(B) 동안 스위프 스위치들(S1,S2)을 제어하여 제2 오프셋(Offset) 값을 포함하는 제2 출력 전압이 출력되는 기간으로 정의된다.
- [0070] 도 8 및 도 9의 (a)을 참조하면, 제1 스테이트 모드의 센싱 & 샘플링 기간(B)에서 제11 스위프 스위치(S11)를 통해 증폭기(AMP)의 제1 외부 입력단자(IP11)에 유입되는 전류(Ids)에 의해 적분 커패시터(Cfb)의 양단 전위차는 센싱 시간이 경과 할수록, 즉 축적되는 전류 값이 증가할수록 커진다. 그런데, 증폭기(AMP)의 특성상 제1 입력단자(IP1) 및 제2 입력단자(IP2)는 가상 접지(Virtual Ground)를 통해 쇼트되어 서로 간 전위차가 0이 되는 것이 이상적이나, 0이 아닌 제1 오프셋(Offset) 값이 생성된다. 이때 제1 오프셋(Offset) 값은 양의 값을 가진다. 도 9의 (b)에 도시된 바와 같이, 센싱 & 샘플링 기간(B)에서 제1 입력단자(IP1)의 전위는 적분 커패시터(Cfb)의 전위차 증가에 상관없이 기준전압(Vref)에 제1 오프셋(Offset) 값을 합한 제1 출력 전압으로 유지된다. 그 대신, 적분 커패시터(Cfb)의 양단 전위차에 대응하여 증폭기(AMP)의 출력 단자 전위가 낮아진다.
- [0071] 이러한 원리로 센싱 & 샘플링 기간(B)에서 센싱라인(14B)을 통해 유입되는 전류(Ids)는 적분 커패시터(Cfb)를 통해 전압 값인 제1 출력 전압으로 생성된다. 이때 제1 출력 전압은 제1 오프 셋 값이 합해진 적분값이다. 전류 적분기(12a1, CI)의 제1 출력 전압(Vout)의 하강 기울기는 센싱라인(14B)을 통해 유입되는 전류량(Ids)이 클수록 증가하므로 적분값(Vsen)의 크기는 상기 전류량(Ids)이 클수록 오히려 작아진다. 센싱 & 샘플링 기간(B)에서 제1 샘플 스위치(Q11)는 제1 스위프 스위치들(S1)에 동기되어 턴 온(Turn on)되고, 제1 홀딩 스위치(Q21)는 턴 오프(Turn off)된다. 이에 따라, 제1 출력 전압은 제1 샘플 스위치(Q11)를 통해 제1 평균 커패시터(C1)에 저장 된다.
- [0072] 도 8 및 도 10의 (a)을 참조하면, 제2 스테이트 모드의 센싱 & 샘플링 기간(B)에서 제21 스위프 스위치(S21)를 통해 증폭기(AMP)의 제2 외부 입력단자(IP21)에 유입되는 전류(Ids)에 의해 적분 커패시터(Cfb)의 양단 전위차는 센싱 시간이 경과 할수록, 즉 축적되는 전류 값이 증가할수록 작아진다. 그런데, 증폭기(AMP)의 특성상 제1 입력단자(IP1) 및 제2 입력단자(IP2)는 가상 접지(Virtual Ground)를 통해 쇼트되어 서로 간 전위차가 0이 되는 것이 이상적이나, 0이 아닌 제2 오프셋(Offset) 값이 생성된다. 이때 제2 오프셋(Offset) 값은 음의 값을 가진다. 도 10의 (b)을 참조하면, 센싱 & 샘플링 기간(B)에서 제1 입력단자(IP1)의 전위는 적분 커패시터(Cfb)의 전위차 증가에 상관없이 기준전압(Vref)에 제2 오프셋(Offset) 값을 합한 제2 출력 전압으로 유지된다. 그 대신, 적분 커패시터(Cfb)의 양단 전위차에 대응하여 증폭기(AMP)의 출력 단자 전위가 낮아진다.
- [0073] 이러한 원리로 센싱 & 샘플링 기간(B)에서 센싱라인(14B)을 통해 유입되는 전류(Ids)는 적분 커패시터(Cfb)를 통해 전압 값인 제2 출력 전압으로 생성된다. 이때 제2 출력 전압은 제2 오프 셋 값이 합해진 적분값이다. 전류 적분기(12a1, CI)의 제2 출력 전압(Vout)의 하강 기울기는 센싱라인(14B)을 통해 유입되는 전류량(Ids)이 클수록 증가하므로 적분값(Vsen)의 크기는 상기 전류량(Ids)이 클수록 오히려 작아진다. 센싱 & 샘플링 기간(B)에서 제2 샘플 스위치(Q12)는 제2 스위프 스위치들(S2)에 동기되어 턴 온(Turn on)되고, 제2 홀딩 스위치(Q22)는 턴 오프(Turn off)된다. 이에 따라, 제2 출력 전압은 제2 샘플 스위치(Q12)를 통해 제2 평균 커패시터(C2)에 저장 된다.
- [0074] 센싱 & 샘플링 기간(B)에서 제1 샘플 스위치(Q11) 내지 제4 샘플 스위치(Q14) 중 하나의 샘플 스위치는 제1 스위프 스위치들(S1) 또는 제2 스위프 스위치들(S2)에 동기되어 턴 온(turn on)된다. 예를 들어, 제1 스위프 스위치들(S1)이 턴 온(turn on)되면, 증폭기(AMP)의 제1 입력단자(IP1)를 통해 인가된 전류는, 제1 외부 입력단자(IP11)와 제1 내부 입력단자(IP12) 사이에 형성된 전류 경로에 공급되고, 제2 입력단자(IP2)를 통해 인가된 기준전압은 제2 외부 입력단자(IP21)와 제2 내부 입력단자(IP22) 사이에 형성된 기준전압 경로에 공급된다. 이에 따라, 전류는 제1 외부 입력단자(IP11)와 제1 내부 입력단자(IP12)를 통해 증폭기(AMP)에 공급되고, 기준전압은 제2 외부 입력단자(IP21)와 제2 내부 입력단자(IP22)를 통해 증폭기(AMP)에 공급된다. 제1 출력 전압(제1 오프

셋 값이 포함)은 적분 커패시터(Cfb)와 증폭기(AMP)의 출력단자를 통해 출력되고, 출력된 제1 출력 전압은 제1 스위프 스위치들(S1)에 동기되어 턴 온(turn on)되는 제1 샘플 스위치(Q11)를 통해 제1 평균 커패시터(C1)에 저장된다.

[0075] 이와 달리, 제2 스위프 스위치들(S2)이 턴 온(turn on)되면, 증폭기(AMP)의 제1 입력단자(IP1)를 통해 인가된 전류는, 제1 외부 입력단자(IP11)와 제2 내부 입력단자(IP22) 사이에 형성된 전류 경로에 공급되고, 제2 입력단자(IP2)를 통해 인가된 기준전압은, 제2 외부 입력단자(IP21)와 제1 내부 입력단자(IP12) 사이에 형성된 기준전압 경로에 공급된다. 이에 따라, 전류는 제1 외부 입력단자(IP11)와 제2 내부 입력단자(IP22)를 통해 증폭기(AMP)에 공급되고, 기준전압은 제2 외부 입력단자(IP21)와 제1 내부 입력단자(IP12)를 통해 증폭기(AMP)에 공급된다. 제2 출력 전압(제2 오프셋 값이 포함)은 적분 커패시터(Cfb)와 증폭기(AMP)의 출력단자를 통해 출력되고, 출력된 제2 출력 전압은 제2 스위프 스위치들(S2)에 동기되어 턴 온(turn on)되는 제2 샘플 스위치(Q12)를 통해 제3 평균 커패시터(C2)에 저장된다.

[0076] 이와 같이, 제1 스위프 스위치들(S1)과 제2 스위프 스위치들(S2)이 순차적으로 교번하여 스위칭 동작하면, 제1 출력 전압과 제2 출력 전압 순차적으로 출력되어 제3 평균 커패시터(C3) 및 제4 평균 커패시터(C4)에 순차적으로 저장된다.

[0077] 이때 제1 샘플 스위치(Q11) 내지 제4 샘플 스위치(Q14)는 순차적으로 턴 온(turn on)되는 것을 설명하였으나, 이에 한정되는 것은 아니다. 제1 샘플 스위치(Q11) 내지 제4 샘플 스위치(Q14)는 순서에 상관없이 랜덤하게 턴 온(turn on)될 수도 있다. 제1 샘플 스위치(Q11) 내지 제4 샘플 스위치(Q14)가 동작하는 동안에는 제1 홀딩 스위치(Q21) 내지 제4 홀딩 스위치(Q24)는 오프(off) 상태를 유지한다.

[0078] 상술한 바와 같이, 제1 평균 커패시터(C1) 내지 제4 평균 커패시터(C4)에 제1 출력 전압(제1 오프셋 값 포함) 또는 제2 출력 전압(제2 오프셋 값을 포함)이 저장되면, 타이밍 컨트롤러(11)의 제어 하에 제1 샘플 스위치(Q11) 내지 제4 샘플 스위치(Q14)가 모두 턴 오프(Turn off)되고, 제1 홀딩 스위치(Q21) 내지 제4 홀딩 스위치(Q24)가 동시에 턴 온(Turn on) 된다.

[0079] 제1 홀딩 스위치(Q21) 내지 제4 홀딩 스위치(Q24)가 동시에 턴 온(Turn on)되면, 평균 커패시터들(C1-Cn)은 단일 출력 채널을 통해 동시에 출력한다. 이와 같이, 단일 출력 채널을 통해 동시에 출력됨으로써, 평균 커패시터들(C1-Cn) 각각에 저장된 제1 출력 전압 또는 제2 출력 전압들이 일정하게 평균화되어 분배될 수 있다. 이에 따라, 평균 커패시터들(C1-Cn)에 저장된 제1 출력 전압 또는 제2 출력 전압은 평균화된 출력 전압으로 샘플링되어 출력될 수 있다. 평균화된 전압으로 샘플링된 출력 전압은 홀딩 스위치(Q21-Q2n)과 단일 출력채널을 통해 ADC에 입력된다.

[0080] 평균화된 전압으로 샘플링된 출력 전압은 ADC에서 디지털 센싱값(SD)으로 변환된 후 타이밍 컨트롤러(11)에 전송된다. 디지털 센싱값(SD)은 타이밍 컨트롤러(11)에서 구동 TFT의 문턱전압 편차(ΔV_{th})와 이동도 편차(ΔK)를 도출하는데 사용된다. 타이밍 컨트롤러(11)에는 적분 커패시터(Cfb)의 커패시턴스, 기준전압(V_{ref}), 센싱 값(T_{sen})이 미리 디지털 코드로 저장되어 있다. 따라서, 타이밍 컨트롤러(11)는 샘플링된 출력 전압에 대한 디지털 코드인 디지털 센싱값(SD)으로부터 구동 TFT(DT)에 흐르는 소스-드레인 간 전류($I_{ds}=C_{fb} \cdot \Delta V / \Delta t$, 여기서, $\Delta V=V_{ref}-V_{sen}$, $\Delta t=T_{sen}$)를 계산할 수 있다. 타이밍 컨트롤러(11)는 구동 TFT(DT)에 흐르는 소스-드레인 간 전류(I_{ds})를 보상 알고리즘에 적용하여 편차값들(문턱전압 편차(ΔV_{th})와 이동도 편차(ΔK))과 편차 보상을 위한 보상 데이터($V_{th}+\Delta V_{th}, K+\Delta K$)를 도출한다. 보상 알고리즘은 룩업 테이블 또는, 계산 로직으로 구현될 수 있다.

[0081] ADC(12C)는 샘플링부(12b)에서 출력되는 평균화된 전압으로 샘플링된 출력 전압을 디지털 처리하여 오프셋(Offset) 값의 편차 보정용 디지털 센싱값들을 생성한 후, 타이밍 컨트롤러(11)에 전송한다. 타이밍 컨트롤러(11)는 오프셋(Offset) 값의 편차 보정용 디지털 센싱값들에 기초하여 전류 적분기들(12a1, CI) 간의 오프셋(Offset) 편차를 산출하고, 이 산출된 편차 값들을 보정할 수 있다.

[0082] 대기 기간(C)은 센싱 & 샘플링 기간(B)이 종료된 후 초기화 기간(A)이 시작되기 전까지의 기간이다.

[0083] 또한, 본 발명의 전류 적분기(12a1, CI)에 포함되는 적분 커패시터(Cfb)의 커패시턴스는 센싱라인에 존재하는 기생 커패시터의 커패시턴스에 비해 수백 분의 1만큼 작아, 본 발명의 전류 센싱 방식은 센싱 가능한 적분값(V_{sen}) 수준까지 전류(I_{ds})를 인입하는데 소요되는 시간이 종래의 전압 센싱 방식에 비해 획기적으로 짧아진다.

[0084] 더욱이, 기존의 전압 센싱 방식에서는 문턱전압 센싱시 구동 TFT의 소스전압이 세츄레이션된 이후에 그 전압을 센싱 전압으로 샘플링하였기 때문에 센싱 시간이 매우 길어졌지만, 본 발명의 전류 센싱 방식에서는 문턱전압 및 이동도 센싱시 전류 센싱을 통해 짧은 시간 내에 구동 TFT의 소스-드레인 전류를 적분하고, 그 적분값을 샘플링하여 출력한다.

플링할 수 있어 센싱 시간을 크게 단축할 수 있다.

- [0085] 또한, 본 발명은 증폭기(AMP)에 내장된 스와핑부(12a2)과 샘플링부(12b)들을 통해 전류 적분기(CI)의 오프셋(Offset) 값의 편차를 보상하여 일정한 전압으로 샘플링된 출력 전압을 출력함으로써, 보다 정확한 센싱값 획득이 가능하다.
- [0086] 이와 같이, 본 발명의 전류 센싱 방식은 종래 전압 센싱 방식에 비해, 저전류 센싱이 가능하고 또한 고속 센싱이 가능한 잇점이 있다. 저전류 및 고속 센싱 가능하기 때문에, 본 발명의 전류 센싱 방식은 센싱 성능을 제고하기 위해 1 라인 센싱 온 타임 내에서, 픽셀들 각각에 대해 다수회 센싱하는 것도 가능하다.
- [0087] 지금까지는 본 발명이 아날로그 필터 방식으로 전류 적분기(CI)의 오프셋(Offset) 값의 편차를 보상하여 일정한 전압으로 샘플링된 출력 전압을 출력하는 것을 설명하였으나, 이에 한정되는 것은 아니며, 디지털 필터 방식으로도 가능하다.
- [0088] 디지털 필터(Digital Average Filter) 방식은 ADC에서 출력되는 디지털 센싱값의 합을 n회의 횟수로 제거하여 디지털 센싱값들의 평균 값을 산출할 수 있다. 디지털 필터를 통해 출력되는 디지털 센싱값들의 평균 값은 타이밍 컨트롤러(11)에 전송한다. 타이밍 컨트롤러(11)는 오프셋(Offset) 값의 편차 보정용 디지털 센싱값들에 기초하여 전류 적분기들(12a1, CI) 간의 오프셋(Offset) 편차를 산출하고, 이 산출된 편차 값들을 보상할 수 있다. 도 11은 본 발명의 다수의 전류 적분기(12a1, CI) 각각에서 출력되는 오프셋(Offset) 값을 보여준다. 도 12는 본 발명의 다수의 전류 적분기(12a1, CI) 각각에서 출력되는 오프셋(Offset) 값이 포함된 출력 전압이 분포되는 것을 보여준다.
- [0089] 도 11 및 도 12을 참조하면, 종래의 전류 적분기(12a1, CI)을 통해 출력되는 출력 전압(오프셋(Offset) 값 포함)은 최대 출력 전압 40mV에서 최소 출력 전압-40mV 내에서 반복 동작함으로 최대 출력 전압과 최소 출력 전압 간에 80mV 차이가 발생한다. 이와 같이, 종래의 전류 적분기(12a1, CI)에서 출력되는 출력 전압 각각은 서로 다른 오프셋(Offset) 값을 가지기 때문에, 실질적으로 동일한 전류가 각각의 종래의 전류 적분기(12a1, CI)의 입력 단자에 입력되더라도, 출력 단자를 통해 출력되는 출력 전압은 달라질 수 있다. 즉, 출력 전압은 서로 다른 증폭기(AMP)의 오프셋(Offset) 값으로 인해 넓은 산포를 가짐으로써 오차 범위가 커진다.
- [0090] 그러나 본 발명은 증폭기(AMP)에 내장된 스와핑부(12a2)과 샘플링부(12b)들을 통해 전류 적분기(CI)의 오프셋(Offset) 값의 편차를 보상하여 일정한 전압으로 샘플링된 출력 전압을 출력함으로써, 최대 출력 전압 10mV에서 최소 출력 전압 -10mV 내에서 반복 동작함으로 최대 출력 전압과 최소 출력 전압 간에 20mV 차이가 발생한다.
- [0091] 이에 따라, 출력 전압은 보상된 서로 다른 증폭기(AMP)의 오프셋(Offset) 값으로 인해 좁은 산포를 가짐으로써 오차 범위가 작아진다. 따라서, 본 발명은 증폭기(AMP)에 내장된 스와핑부(12a2)과 샘플링부(12b)들을 통해 전류 적분기(CI)의 오프셋(Offset) 값의 편차를 보상하여 일정한 전압으로 샘플링된 출력 전압을 출력할 수 있다. 그 결과 종래보다 정확한 센싱값 획득이 가능함으로써, 정확한 센싱값들로 패널을 보상하여 센싱 및 보상의 신뢰성을 개선할 수 있다.
- [0092] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

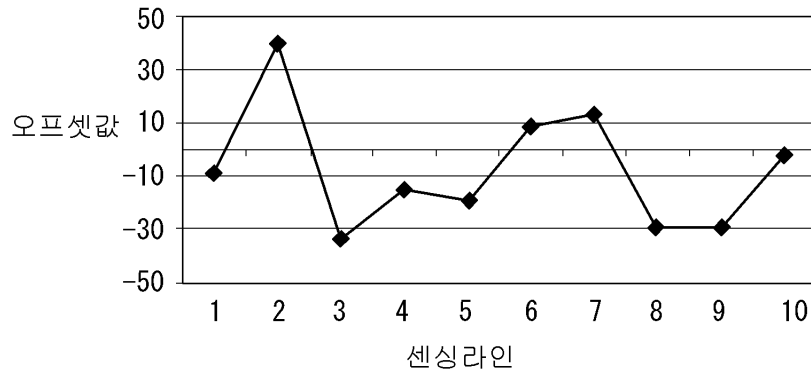
부호의 설명

- [0093] 10 : 표시패널
- 11 : 타이밍 컨트롤러
- 12 : 데이터 구동회로
- 13 : 게이트 구동회로
- 14 : 데이터라인들
- 15 : 게이트라인들
- 12a : 센싱 블록(SU)
- 12b : 샘플링부(SH)
- 12c : 아날로그 디지털 변환기(Analog to Digital Conversion, ADC)
- 12a1 : 전류 적분기(CI)
- 12a2 : 스와핑부
- S1 : 제1 스와프 스위치
- S2 : 제2 스와프 스위치
- S11 : 제11 스와프 스위치
- S12 : 제12 스와프 스위치

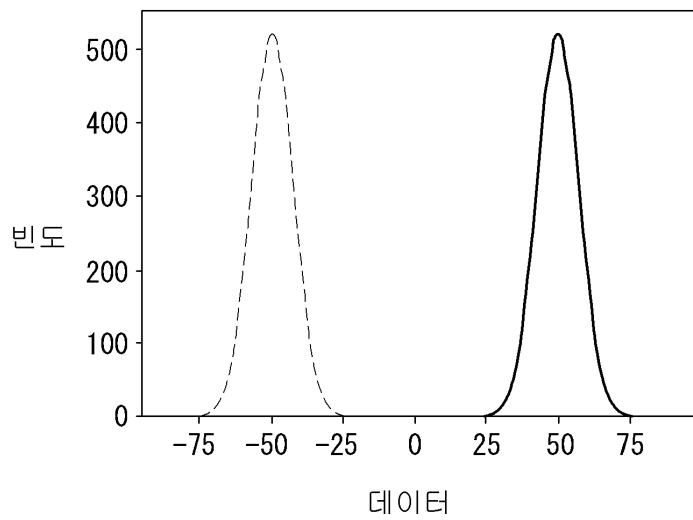
- | | |
|-------------------|-------------------|
| S21 : 제21 스위프 스위치 | S12 : 제22 스위프 스위치 |
| Q11 : 제1 샘플 스위치 | Q12 : 제2 샘플 스위치 |
| Q13 : 제3 샘플 스위치 | Q14 : 제4 샘플 스위치 |
| C1 : 제1 평균 커패시터 | C2 : 제2 평균 커패시터 |
| C3 : 제3 평균 커패시터 | C4 : 제4 평균 커패시터 |
| Q21 : 제1 홀딩 스위치 | Q22 : 제2 홀딩 스위치 |
| Q23 : 제3 홀딩 스위치 | Q24 : 제4 홀딩 스위치 |
| SW1 : 리셋 스위치 | Cfb : 적분 커패시터 |

도면

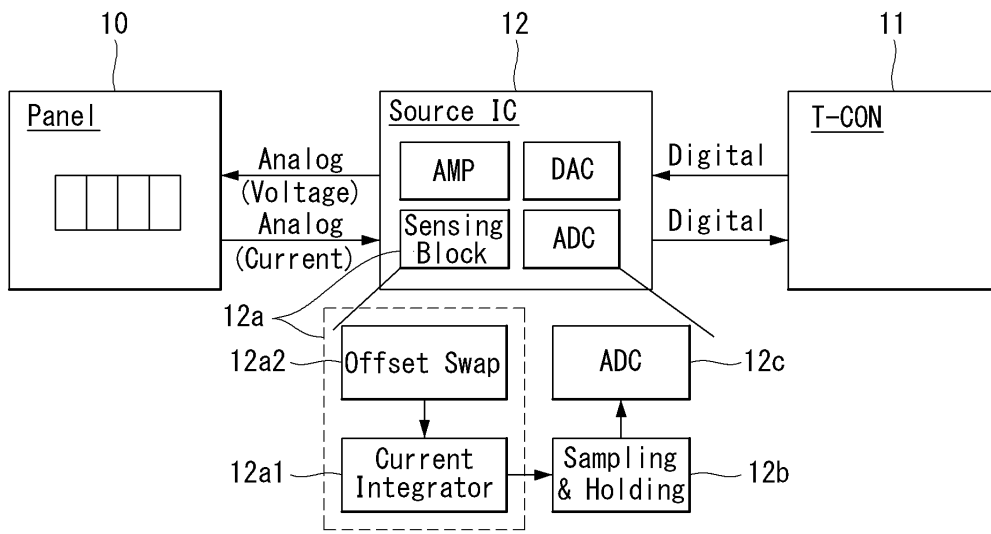
도면1



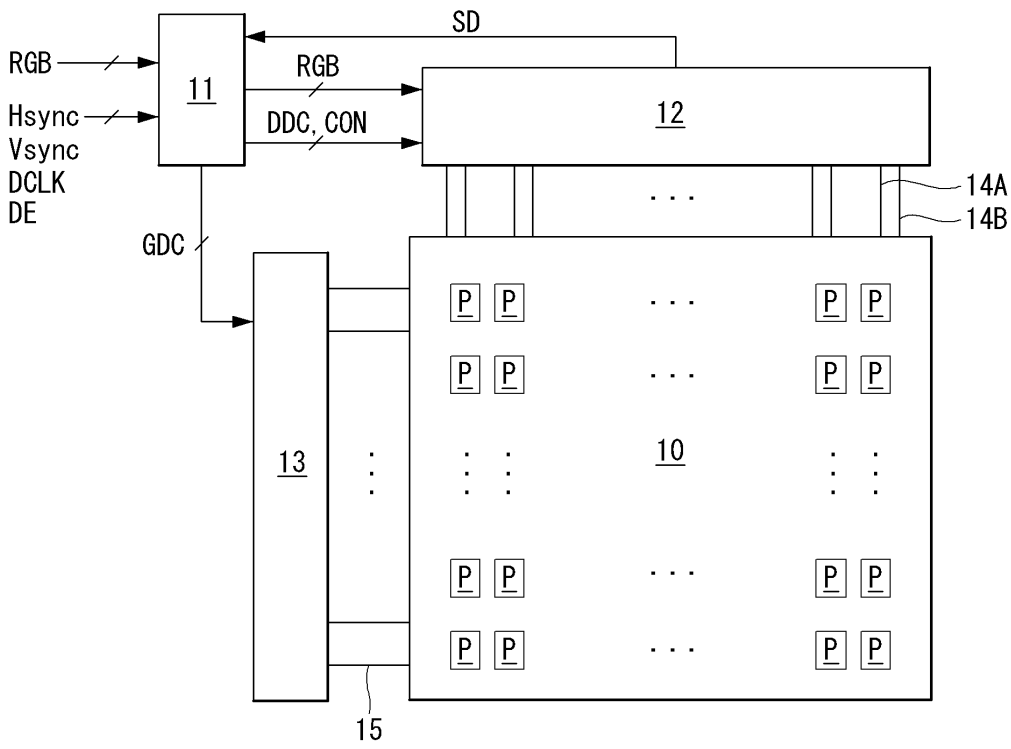
도면2



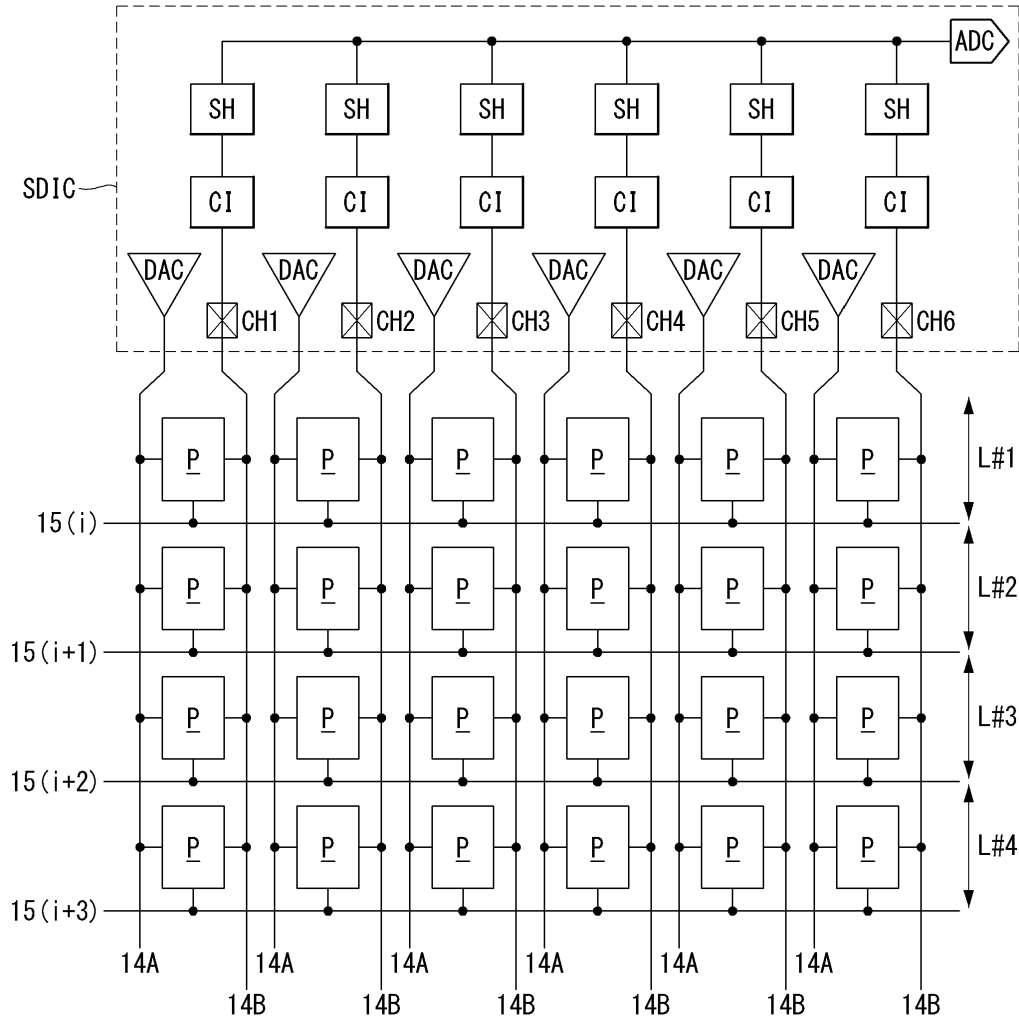
도면3



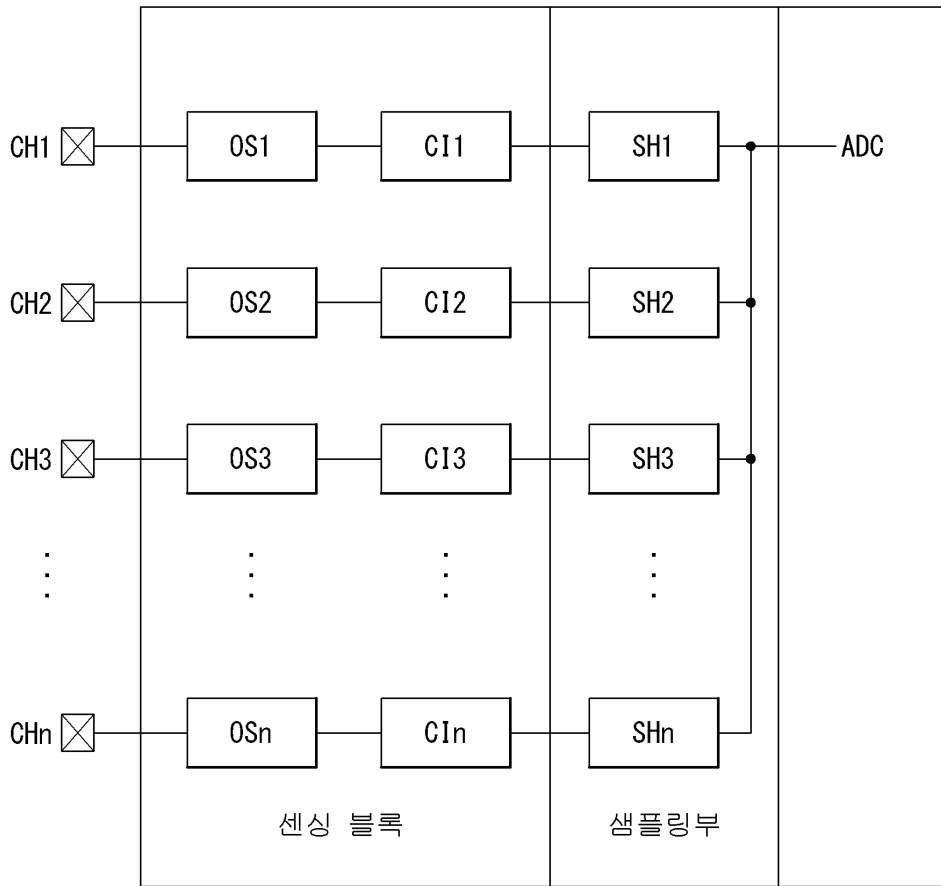
도면4



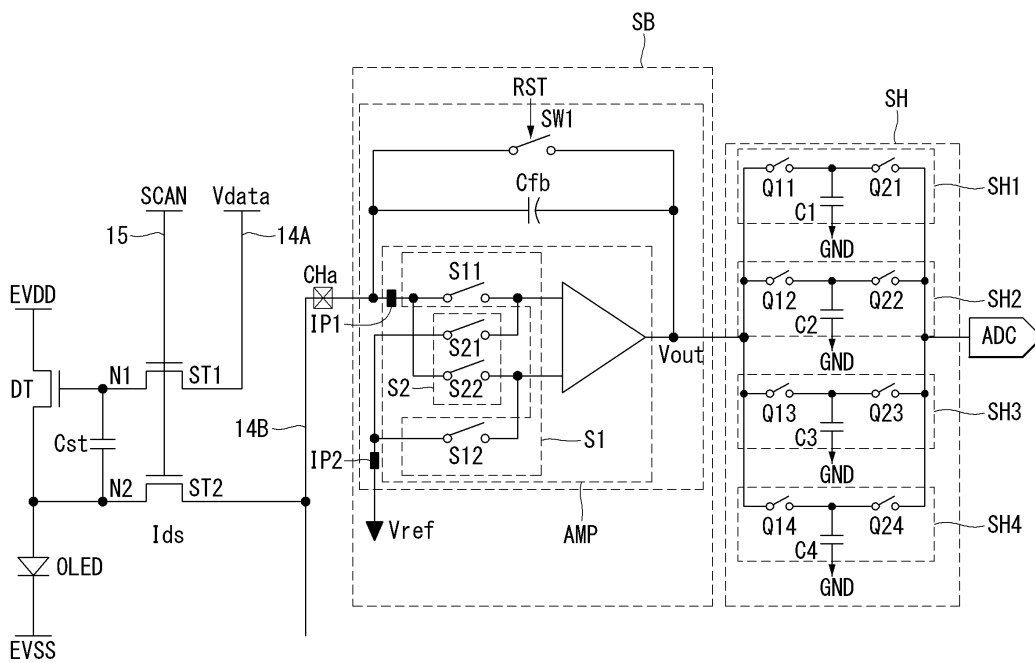
도면5



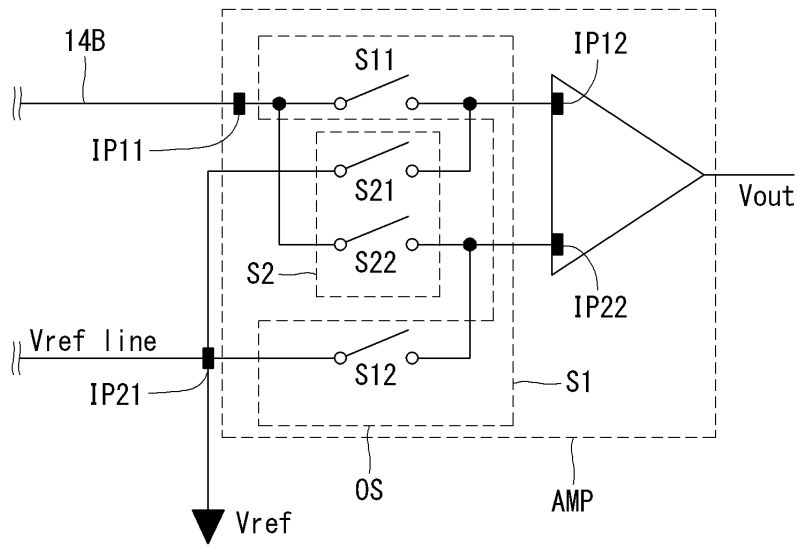
도면6



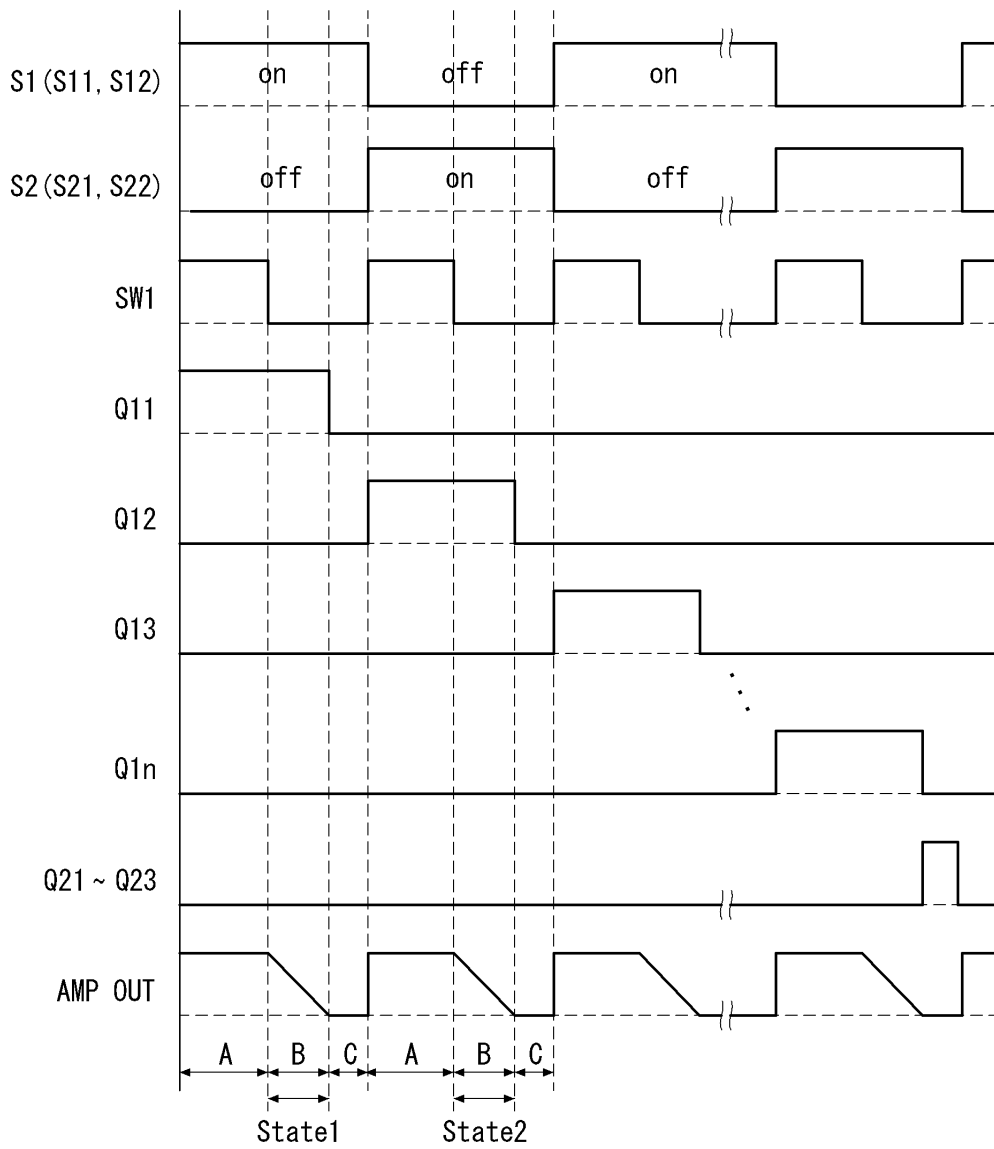
도면7a



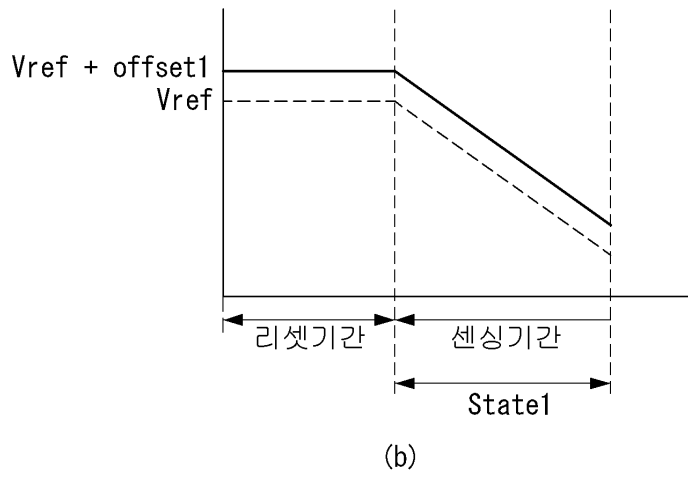
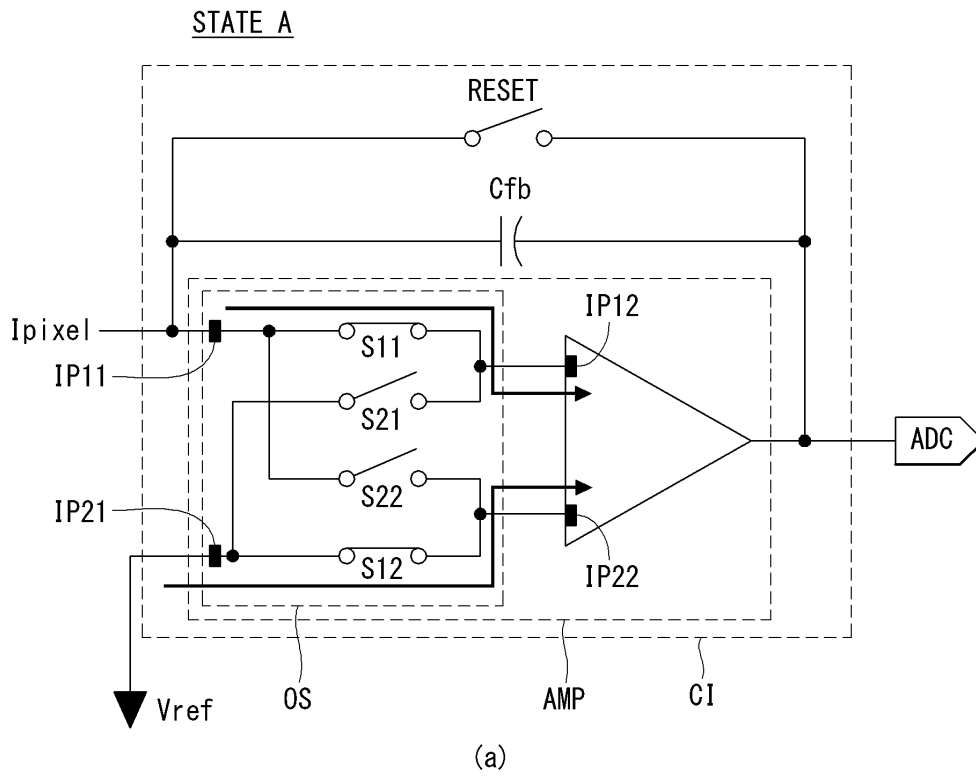
도면7b



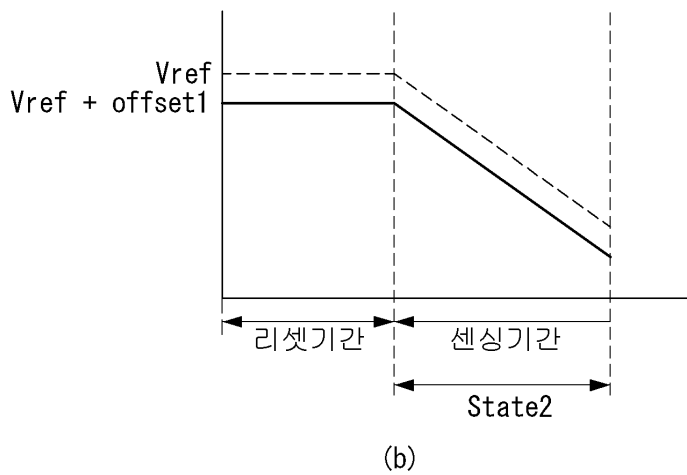
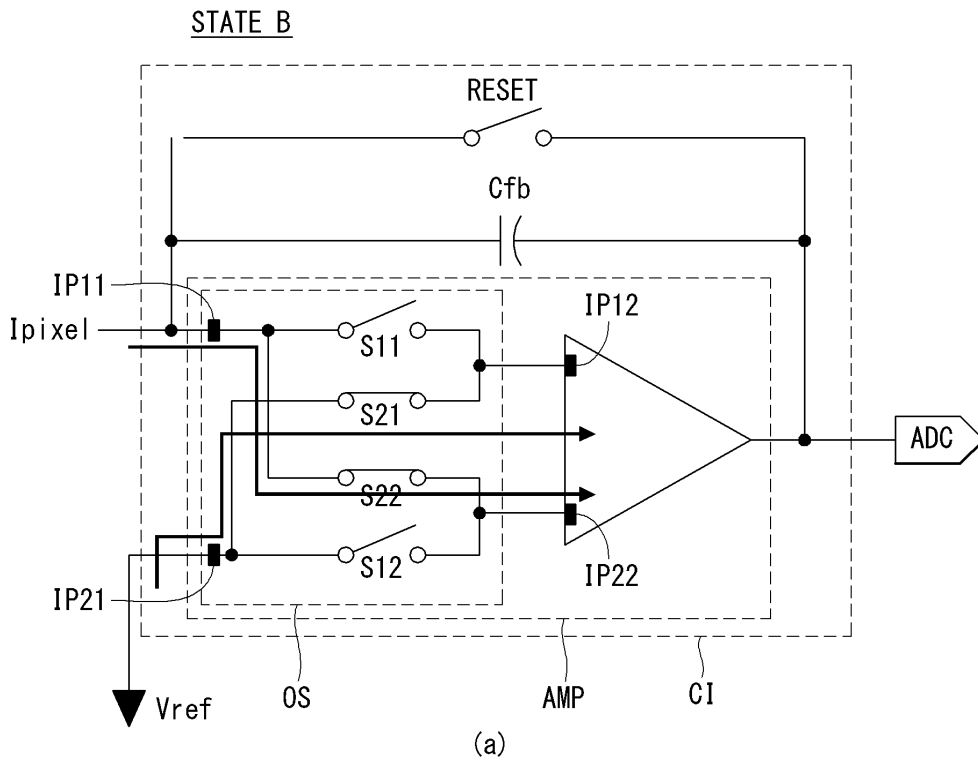
도면8



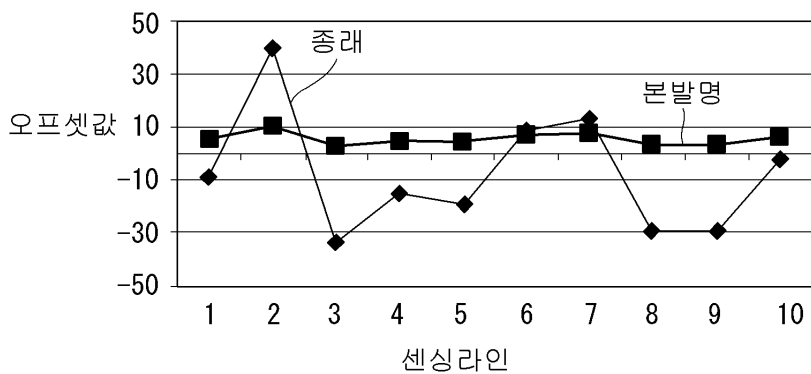
도면9



도면10



도면11



도면12

