(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0111012
(43) 공개일자 2020년09월28일

(51) 국제특허분류(Int. Cl.)
H01L 21/67 (2006.01) *H01L 21/52* (2006.01)
H01L 21/677 (2006.01) *H01L 21/68* (2006.01)
(52) CPC특허분류
H01L 21/67144 (2013.01)
H01L 21/52 (2013.01)
(21) 출원번호 10-2019-0030703
(22) 출원일자 2019년03월18일
심사청구일자 2019년03월18일

(71) 출원인
영남대학교 산학협력단
경상북도 경산시 대학로 280 (대동)
(72) 발명자
박시현
대구광역시 수성구 청수로 213, 1107동1002호 (황금동, 캐슬골드파크1단지)
이영웅
대구광역시 수성구 범어로12길 13, 1층 (범어동)
이찬수
대구광역시 수성구 달구벌대로637길 10, 101동 303호 (매호동, 유성시지랑스빌아파트)
(74) 대리인
특허법인 티앤아이

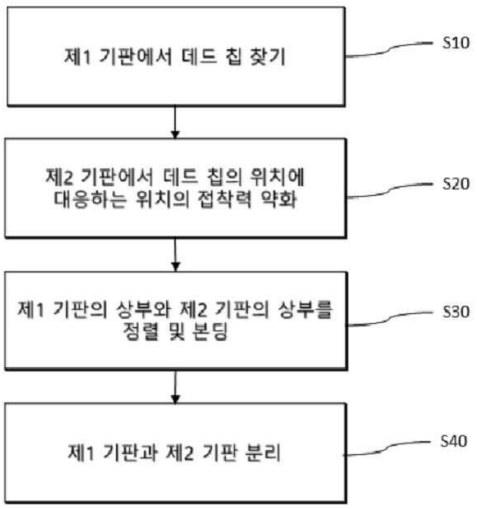
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **마이크로 엘이디 고속 전사 방법**

(57) 요 약

본 명세서는 다수의 마이크로 엘이디를 빠르게 검증 및 전사할 수 있는 방법을 개시한다. 본 명세서에 따른 마이크로 엘이디 전사 방법은, (a) 복수의 마이크로 엘이디 칩이 구비된 제1 기판에서 발광하지 않는 엘이디 칩(이하 '데드 칩')을 식별하는 단계; (b) 상기 제1 기판에 구비된 복수의 마이크로 엘이디 칩 전사를 위해 상부 표면에 접착층이 형성된 제2 기판에서 상기 제1 기판 내 데드 칩의 위치에 대응하는 위치의 접착력을 약화시키는 단계; (c) 상기 제1 기판의 상부와 상기 제2 기판의 상부를 정렬시켜 본딩하는 단계; 및 (d) 상기 제1 기판과 상기 제2 기판을 분리하는 단계;를 포함할 수 있다.

대 표 도 - 도1



(52) CPC특허분류
H01L 21/67132 (2013.01)
H01L 21/67712 (2013.01)
H01L 21/67721 (2013.01)
H01L 21/682 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 N0001364
부처명 산업통상자원부
과제관리(전문)기관명 한국산업기술진흥원
연구사업명 산업전문인력양성 사업
연구과제명 자동차조명용 LED-IT융합핵심기술 전문인력양성
기 여 율 1/2
과제수행기관명 영남대학교 산학협력단
연구기간 2015.03.01 ~ 2020.02.29
이 발명을 지원한 국가연구개발사업
과제고유번호 1415131471
부처명 산업통상자원부
과제관리(전문)기관명 한국산업기술진흥원
연구사업명 산업융합기반구축사업
연구과제명 LED-IT융합산업화연구센터
기 여 율 1/2
과제수행기관명 영남대학교 산학협력단
연구기간 2009.06.01 ~ 2014.05.31

명 세 서

청구범위

청구항 1

(a) 복수의 마이크로 엘이디 칩이 구비된 제1 기판에서 발광하지 않는 엘이디 칩(이하 '데드 칩')을 식별하는 단계;

(b) 상기 제1 기판에 구비된 복수의 마이크로 엘이디 칩 전사를 위해 상부 표면에 접착층이 형성된 제2 기판에서 상기 제1 기판 내 데드 칩의 위치에 대응하는 위치의 접착력을 약화시키는 단계;

(c) 상기 제1 기판의 상부와 상기 제2 기판의 상부를 정렬시켜 본딩하는 단계; 및

(d) 상기 제1 기판과 상기 제2 기판을 분리하는 단계;를 포함하는 마이크로 엘이디 전사 방법.

청구항 2

청구항 1에 있어서,

상기 (a) 단계는, 다수의 검증용 칩이 구비된 마이크로 엘이디 검증 기판을 이용하여 다수의 마이크로 엘이디 칩을 검증하는 단계인 마이크로 엘이디 전사 방법.

청구항 3

청구항 2에 있어서,

상기 (a) 단계는,

(a-1) 마이크로 엘이디 검증 기판의 상부와 복수의 마이크로 엘이디 칩을 포함하는 마이크로 엘이디 기판의 상부를 웨이퍼 본딩하는 단계;

(a-2) 상기 마이크로 엘이디 기판의 최하부 기판을 제거하는 단계;

(a-3) 상기 마이크로 엘이디 검증용 기판의 제1 컨택트와 제2 컨택트에 전력을 인가하는 단계; 및

(a-4) 상기 복수의 마이크로 엘이디 칩 중 데드 칩의 위치를 식별하는 단계;를 포함하는 마이크로 엘이디 전사 방법.

청구항 4

청구항 1에 있어서,

상기 제2 기판의 접착층은 열 반응성 접착 재료 또는 자외선 반응성 접착 재료로 구성되고,

상기 (b) 단계는, 제2 기판에서 상기 제1 기판 내 데드 칩의 위치에 대응하는 위치에 열 또는 자외선을 가하여 접착력을 약화시키는 단계인 것을 특징으로 하는 마이크로 엘이디 전사 방법.

청구항 5

청구항 1에 있어서,

(e) 다수의 검증용 칩이 구비된 마이크로 엘이디 검증 기판을 이용하여 제2 기판으로 전사된 복수의 마이크로 엘이디 칩을 검증하는 단계;를 더 포함하는 마이크로 엘이디 전사 방법.

청구항 6

청구항 5에 있어서,

(f) 상기 제2 기판 영역 내 데드 칩으로 인해 빈 부분이 있을 때, 상기 빈 부분을 정상 칩을 개별 전사로 수리하는 단계;를 더 포함하는 마이크로 엘이디 전사 방법.

청구항 7

청구항 5에 있어서,

(f) 상기 제2 기판으로 전사된 복수의 마이크로 엘이디 칩을 스탬프를 이용하여 전사하는 단계;를 더 포함하는 마이크로 엘이디 전사 방법.

청구항 8

청구항 7에 있어서,

(g) 상기 스탬프 전사된 영역 내 데드 칩으로 인해 빈 부분이 있을 때, 상기 빈 부분을 정상 칩을 개별 전사로 수리하는 단계;를 더 포함하는 마이크로 엘이디 전사 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 기판에서 엘이디를 전사하는 방법에 관한 것이며, 보다 상세하게는 대량의 마이크로 엘이디를 빠르게 전사하는 방법에 관한 것이다.

배 경 기 술

[0002] 마이크로 엘이디 칩(Micro LED chip)은 일반적으로 80um이하의 크기를 가진 매우 작은 엘이디(LED)이다. 반도체 웨이퍼에 다수의 마이크로 엘이디 칩을 생성한 후 이를 원하는 기판으로 전사(transfer)하는 과정에서 다음과 같은 어려움이 있다.

[0003] 스탬프를 이용한 대량 전사의 경우, 전사 속도가 빠른 장점이 있으나 불량 칩(dead chip)을 구별하지 않고 그대로 전사하는 단점이 있다. 따라서 최종 전사된 기판에서 불량 칩을 제거하고 빈 자리를 다시 정상 칩으로 채워 넣는 과정이 필요하다.

[0004] 하나씩 칩을 옮기는 개별 전사의 경우, 불량 칩을 걸러낼 수 있어 가장 정확한 전사가 가능한 장점이 있지만, 속도가 너무 느려서 실제 적용이 불가능한 단점이 있다.

[0005] 상기 대량 전사와 개별 전사의 장점을 함께 누릴 수 있는 전사 방법이 필요한 실정이다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 공개특허공보 제10-2011-0118616호, 2011.10.31

발명의 내용

해결하려는 과제

[0007] 본 명세서는 다수의 마이크로 엘이디를 빠르게 검증 및 전사할 수 있는 방법을 제공하는 것을 목적으로 한다.

[0008] 본 명세서는 상기 언급된 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0009] 상술한 과제를 해결하기 위한 본 명세서에 따른 마이크로 엘이디 전사 방법은, (a) 복수의 마이크로 엘이디 칩이 구비된 제1 기판에서 발광하지 않는 엘이디 칩(이하 '데드 칩')을 식별하는 단계; (b) 상기 제1 기판에 구비된 복수의 마이크로 엘이디 칩 전사를 위해 상부 표면에 접착층이 형성된 제2 기판에서 상기 제1 기판 내 데드 칩의 위치에 대응하는 위치의 접착력을 약화시키는 단계; (c) 상기 제1 기판의 상부와 상기 제2 기판의 상부를 정렬시켜 본딩하는 단계; 및 (d) 상기 제1 기판과 상기 제2 기판을 분리하는 단계;를 포함할 수 있다.

[0010] 본 명세서의 일 실시예에 따르면, 상기 (a) 단계는 다수의 검증용 칩이 구비된 마이크로 엘이디 검증 기판을 이용하여 다수의 마이크로 엘이디 칩을 검증하는 단계일 수 있다.

[0011] 보다 구체적으로 상기 (a) 단계는, (a-1) 마이크로 엘이디 검증 기판의 상부와 복수의 마이크로 엘이디 칩을 포함하는 마이크로 엘이디 기판의 상부를 웨이퍼 본딩하는 단계; (a-2) 상기 마이크로 엘이디 기판의 최하부 기판을 제거하는 단계; (a-3) 상기 마이크로 엘이디 검증용 기판의 제1 컨택트와 제2 컨택트에 전력을 인가하는 단계; 및 (a-4) 상기 복수의 마이크로 엘이디 칩 중 데드 칩의 위치를 식별하는 단계;를 포함할 수 있다.

[0012] 본 명세서의 일 실시예에 따르면, 상기 제2 기판의 접착층은 열 반응성 접착 재료 또는 자외선 반응성 접착 재료로 구성되고, 상기 (b) 단계는 제2 기판에서 상기 제1 기판 내 데드 칩의 위치에 대응하는 위치에 열 또는 자외선을 가하여 접착력을 약화시키는 단계일 수 있다.

[0013] 본 명세서에 따른 마이크로 엘이디 전사 방법은 (e) 다수의 검증용 칩이 구비된 마이크로 엘이디 검증 기판을 이용하여 제2 기판으로 전사된 복수의 마이크로 엘이디 칩을 검증하는 단계;를 더 포함할 수 있다.

[0014] 이 경우, 본 명세서에 따른 마이크로 엘이디 전사 방법은 (f) 상기 제2 기판 영역 내 데드 칩으로 인해 빈 부분이 있을 때, 상기 빈 부분을 정상 칩을 개별 전사로 수리하는 단계;를 더 포함할 수 있다.

[0015] 한편, 본 명세서에 따른 마이크로 엘이디 전사 방법은 (f) 상기 제2 기판으로 전사된 복수의 마이크로 엘이디 칩을 스탬프를 이용하여 전사하는 단계;를 더 포함할 수 있다.

[0016] 이 경우 본 명세서에 따른 마이크로 엘이디 전사 방법은 (g) 상기 스탬프 전사된 영역 내 데드 칩으로 인해 빈 부분이 있을 때, 상기 빈 부분을 정상 칩을 개별 전사로 수리하는 단계;를 더 포함할 수 있다.

[0017] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0018] 본 명세서의 일 측면에 따르면, 다수의 마이크로 엘이디를 빠르게 검증 및 전사할 수 있다. 따라서, 종래 기술에 비해 전사 속도가 향상되고, 품질 역시 함께 향상된다.

[0019] 본 발명의 효과들은 이상에서 언급된 효과로 제한되지 않으며, 언급되지 않은 또 다른 효과들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0020] 도 1은 본 명세서의 일 실시예에 따른 마이크로 엘이디 전사 방법의 흐름도이다.

도 2는 본 명세서의 일 실시예에 따른 마이크로 엘이디 검증용 기판 및 검증용 칩의 확대 단면도이다.

도 3은 본 명세서에 따른 웨이퍼 본딩 참고도이다.

도 4는 웨이퍼 본딩했을 때 검증용 칩과 마이크로 엘이디가 접한 단면도이다.

도 5는 마이크로 엘이디 검증용 기판에 전력을 인가한 예시도이다.

도 6은 본 명세서에 따른 제1 기판 및 제2 기판의 참고도이다.

도 7은 본 명세서에 따른 제1 기판 및 제2 기판의 본딩 참고도이다.

도 8은 본 명세서에 따른 제1 기판과 제2 기판의 분리 참고도이다.

도 9는 본 명세서의 다른 실시예에 따른 마이크로 엘이디 전사 방법의 흐름도이다.

도 10은 제3 기판을 통해 제2 기판의 빈 부분을 수리하는 예시도이다.

도 11은 본 명세서의 또 다른 실시예에 따른 마이크로 엘이디 전사 방법의 흐름도이다.

도 12는 스탬프 전사 후 제3 기판을 통해 최종 기판의 빈 부분을 수리하는 예시도이다.

발명을 실시하기 위한 구체적인 내용

[0021] 본 명세서에 개시된 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 명세서가 이하에서 개시되는 실시예들에 제한되

는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 명세서의 개시가 완전하도록 하고, 본 명세서가 속하는 기술 분야의 통상의 기술자(이하 '당업자')에게 본 명세서의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 명세서의 권리 범위는 청구항의 범주에 의해 정의될 뿐이다.

[0022] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 명세서의 권리 범위를 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소 외에 하나 이상의 다른 구성요소의 존재 또는 추가를 배제하지 않는다. 명세서 전체에 걸쳐 동일한 도면 부호는 동일한 구성 요소를 지칭하며, "및/또는"은 언급된 구성요소들의 각각 및 하나 이상의 모든 조합을 포함한다. 비록 "제1", "제2" 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.

[0023] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 명세서가 속하는 기술분야의 통상의 기술자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또한, 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

[0024] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 구성요소와 다른 구성요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 구성요소들의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들어, 도면에 도시되어 있는 구성요소를 뒤집을 경우, 다른 구성요소의 "아래(below)"또는 "아래(beneath)"로 기술된 구성요소는 다른 구성요소의 "위(above)"에 놓일 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 구성요소는 다른 방향으로도 배향될 수 있으며, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

[0025] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다.

[0026] 도 1은 본 명세서의 일 실시예에 따른 마이크로 엘이디 전사 방법의 흐름도이다.

[0027] 도 1을 참조하면, 먼저 단계 S10에서 복수의 마이크로 엘이디 칩이 구비된 제1 기판에서 발광하지 않는 엘이디 칩(이하 '데드 칩')을 식별할 수 있다. 다음 단계 S20에서 상기 제1 기판에 구비된 복수의 마이크로 엘이디 칩 전사를 위해 상부 표면에 접착층이 형성된 제2 기판에서 상기 제1 기판 내 데드 칩의 위치에 대응하는 위치의 접착력을 약화시킬 수 있다. 다음 단계 S30에서, 상기 제1 기판의 상부와 상기 제2 기판의 상부를 정렬시켜 본딩할 수 있다. 다음 단계 S40에서 상기 제1 기판과 상기 제2 기판을 분리할 수 있다. 상기 도 1에 도시된 실시예에 대해서 이하 도 2 내지 도8을 참조하여 보다 상세히 설명하도록 하겠다.

[0028] 먼저 단계 S10은 제1 기판에서 데드 칩을 찾는 단계이다. 이를 위해 다수의 검증용 칩이 구비된 마이크로 엘이디 검증 기판을 이용하여 다수의 마이크로 엘이디 칩을 검증할 수 있다.

[0029] 도 2는 본 명세서의 일 실시예에 따른 마이크로 엘이디 검증용 기판 및 검증용 칩의 확대 단면도이다.

[0030] 도 2를 참조하면, 본 명세서에 따른 마이크로 엘이디 검증용 기판(10)을 확인할 수 있다. 본 명세서에 따른 마이크로 엘이디 검증용 기판(10)은 다수의 검증용 칩(100)이 구비될 수 있다. 도 2에는 본 명세서에 따른 검증용 칩(100)의 확대 단면도가 있다. 본 명세서에 따른 검증용 칩(100)은 하부 기판(110) 상부에 증착된 제1 컨텍트(120), 상기 제1 컨텍트(120) 상부에 증착된 제1 패시배이션층(130), 상기 제1 패시배이션층(130) 상부에 증착된 제2 컨텍트(140), 상기 제2 컨텍트(140) 상부에 증착된 제2 패시배이션층(150), 제1 범프(160) 및 제2 범프(170)를 포함할 수 있다. 이하에서는, 도 3 내지 도 5를 참조하여, 상술한 마이크로 엘이디 검증 기판을 이용하여 마이크로 엘이디 칩을 검사하는 방법에 대해서 설명하도록 하겠다.

[0031] 먼저, 마이크로 엘이디 검증 기판의 상부와 복수의 마이크로 엘이디 칩을 포함하는 마이크로 엘이디 기판의 상부를 웨이퍼 본딩할 수 있다. 다음으로 상기 마이크로 엘이디 기판의 최하부 기판을 제거할 수 있다.

[0032] 본 명세서의 일 실시예에 따르면, 상기 최하부 기판은 사파이어 기판으로서, 상기 최하부 기판은 레이저리프트 오프(Laser Lift Off, LLO)로 상기 최하부 기판을 제거될 수 있다. 본 명세서에서 상기 제1 기판은 마이크로 엘이디 검증 기판과 상기 마이크로 엘이디 기판이 본딩된 상태에서 마이크로 엘이디 기판의 최하부 기판이 제거된

상태를 의미한다.

[0033] 도 3은 본 명세서에 따른 웨이퍼 본딩 참고도이다.

[0034] 도 3을 참조하면, 본 명세서에 따른 마이크로 엘이디 검증 기판(100)과 마이크로 엘이디 기판을 확인할 수 있다. 마이크로 엘이디 기판에는 다수의 엘이디 칩이 구비되어 있으며, 본 명세서에 따른 마이크로 엘이디 검증 기판 역시 다수의 검증용 칩이 구비된다. 바람직하게 상기 검증용 칩의 개수는 상기 엘이디 칩의 개수와 동일하지만, 상기 검증용 칩의 개수가 상기 엘이디 칩의 개수보다 많을 수 있다. 상기 검증용 칩의 위치는 상기 마이크로 엘이디 검증 기판의 상부와 마이크로 엘이디 기판의 상부를 웨이퍼 본딩했을 때 1:1로 대응하는 위치에 구성되는 것이 바람직하다.

[0035] 도 4는 웨이퍼 본딩했을 때 검증용 칩과 마이크로 엘이디가 접한 단면도이다.

[0036] 도 4를 참조하면, 제1 범프(160)는 P-커넥터로서 제2 범프(170)는 n-커넥터로서 마이크로 엘이디의 n-단자와 리플렉터(Reflector, p-단자 역할)접하는 것을 확인할 수 있다. 이를 통해 각각의 엘이디 칩과 검증용 칩이 전기적으로 연결된다.

[0037] 다음으로 상기 마이크로 엘이디 검증용 기판의 제1 컨텍트(120)와 제2 컨텍트(140)에 전력을 인가할 수 있다.

[0038] 도 5는 마이크로 엘이디 검증용 기판에 전력을 인가한 예시도이다.

[0039] 도 5를 참조하면, 상기 마이크로 엘이디 검증용 기판에는 모든 검증용 칩에 포함된 제1 컨텍트(120) 및 제2 컨텍트(140)와 각각 전기적으로 연결된 외부 전극이 형성될 수 있다. 상기 외부 전극을 통해 전력을 인가하면 상기 마이크로 엘이디에 전력이 공급된다. 이때 정상 칩은 모두 발광하게 되지만, 불량 칩은 발광하지 않는다. 발광 여부를 통해 불량 칩 이른바 '데드 칩'을 식별할 수 있다.

[0040] 다음 단계 S20은 제2 기판의 접착층에서 데드 칩에 대응하는 위치의 접착력을 약화시키는 단계이다. 유리, 사파이어, 석영 등으로 된 기판에 전사용 접착제를 코딩하거나 또는 접착필름을 부착하여 제2 기판을 구비할 수 있다. 상기 제2 기판은 상기 제1 기판에 구비된 복수의 마이크로 엘이디 칩을 전사하기 위한 기판이다. 이때, 상기 제1 기판 내 데드 칩의 위치에 대응하는 위치의 접착력을 약화시켜 전사가 일어나지 않도록 하는 것이 본 명세서에 따른 전사의 특징이다. 따라서, 상기 제2 기판에서 상기 제1 기판 내 데드 칩의 위치에 대응하는 위치의 접착력을 약화시킬 수 있다.

[0041] 도 6은 본 명세서에 따른 제1 기판 및 제2 기판의 참고도이다.

[0042] 본 명세서의 일 실시예에 따르면, 상기 제2 기판의 접착층은 열 반응성 접착 재료 또는 자외선 반응 접착 재료로 구성될 수 있다. 이 경우 단계 S20은, 상기 제2 기판에서 상기 제1 기판 내 데드 칩의 위치에 대응하는 위치에 열 또는 자외선을 가하여 접착력을 약화시키는 단계일 수 있다. 이 때 레이저를 사용하여 국소 영역에만 선택적으로 열을 가하거나 자외선을 가할 수 있다. 또한, 상기 제1 기판과 상기 제2 기판이 이후에 본딩될 것을 고려하여, 상기 열 또는 자외선을 가하는 위치는 제1 기판 내 데드 칩의 위치의 거울상(mirror phase) 위치가 될 수 있다.

[0043] 상기 열 반응성 접착 재료의 예시로 SM 테크놀리지®의 Heat Release tape (열 박리 테이프; 모델 RP31N6, RP37D7, RP72E7, RP725W)가 있다. 상기 자외선 반응성 접착 재료의 예시로 SM 테크놀리지®의 UV release tape(UV 박리 테이프; 모델 DU series)가 있다. 상기 열 반응성 접착 재료 또는 자외선 반응성 접착 재료에 대한 내용은 일본 공개특허공보 특개소 51-24534, 일본 공개특허공보 특개소 56-61468, 일본 공개특허공보 특개소 56-61469, 일본 공개특허공보 특개소 60-252681, 한국 공개특허공보 제2003-0082361호 등에 기재되어 있는바 상세한 설명은 생략하도록 하겠다.

[0044] 다음 단계 S30은 제1 기판과 제2 기판을 정렬시켜 본딩하는 단계이다. 상기 제2 기판에서 데드 칩의 위치에 대응하는 위치의 접착력을 약화시켰기 때문에 상기 제1 기판의 상부와 과 제2 기판의 상부가 본딩될 때, 데드 칩은 접착층과 접착하지 않을 수 있다.

[0045] 도 7은 본 명세서에 따른 제1 기판 및 제2 기판의 본딩 참고도이다.

[0046] 다음 단계 S40은 제1 기판과 제2 기판을 분리하는 단계이다. 상기 제1 기판과 제2 기판을 분리하면, 상기 제2 기판의 접착층에 의해 정상적인 마이크로 엘이디만 상기 제2 기판으로 전사될 수 있다.

[0047] 도 8은 본 명세서에 따른 제1 기판과 제2 기판의 분리 참고도이다.

[0048] 한편, 제2 기판으로 마이크로 엘이디를 전사하는 과정에서 마이크로 엘이디의 일부가 데드 칩이 될 수 있다. 또는 제2 기판으로 마이크로 엘이디를 전사하는 과정에서 데드 칩이 함께 전사될 수도 있다. 따라서 제2 기판으로 전사된 마이크로 엘이디를 검증할 필요가 있다.

[0049] 도 9는 본 명세서의 다른 실시예에 따른 마이크로 엘이디 전사 방법의 흐름도이다.

[0050] 도 9를 참조하면, 본 명세서에 따른 마이크로 엘이디 전사 방법은 다수의 검증용 칩이 구비된 마이크로 엘이디 검증 기판을 이용하여 제2 기판으로 전사된 복수의 마이크로 엘이디 칩을 검증하는 단계(단계 S50)를 더 포함할 수 있다. 이 과정에서 새로 발생한 데드 칩 또는 제1 기판에서 전사된 데드 칩을 개별 전사를 통해 제거할 수 있다.

[0051] 그리고 본 명세서에 따른 마이크로 엘이디 전사 방법은 상기 제2 기판 영역 내 데드 칩으로 인해 빈 부분이 있을 때, 상기 빈 부분을 정상 칩을 개별 전사로 수리하는 단계(단계 S60)을 더 포함할 수 있다. 이 경우, 수리를 위한 마이크로 엘이디가 구비된 제3 기판으로부터 개별 전사를 통해 상기 제2 기판의 빈 부분을 수리할 수 있다.

[0052] 도 10은 제3 기판을 통해 제2 기판의 빈 부분을 수리하는 예시도이다.

[0053] 도 11은 본 명세서의 또 다른 실시예에 따른 마이크로 엘이디 전사 방법의 흐름도이다.

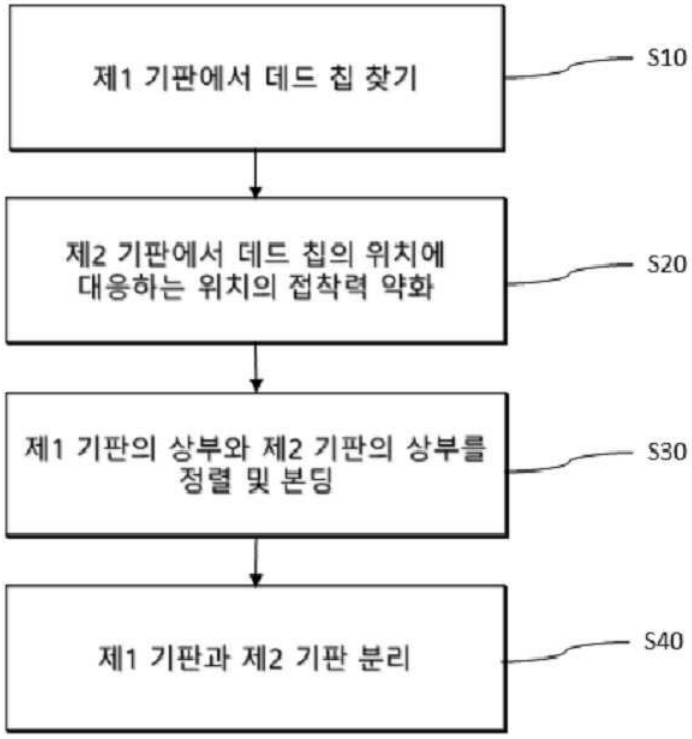
[0054] 도 11을 참조하면, 본 명세서에 따른 마이크로 엘이디 전사 방법은 단계 S50 이후 상기 제2 기판으로 전사된 복수의 마이크로 엘이디 칩을 스탬프를 이용하여 전사하는 단계(단계 S61)을 더 포함할 수 있다. 그리고 본 명세서에 따른 마이크로 엘이디 전사 방법은 상기 스탬프 전사된 영역 내 데드 칩으로 인해 빈 부분이 있을 때, 상기 빈 부분을 정상 칩을 개별 전사로 수리하는 단계(S62)를 더 포함할 수 있다.

[0055] 도 12는 스탬프 전사 후 제3 기판을 통해 최종 기판의 빈 부분을 수리하는 예시도이다.

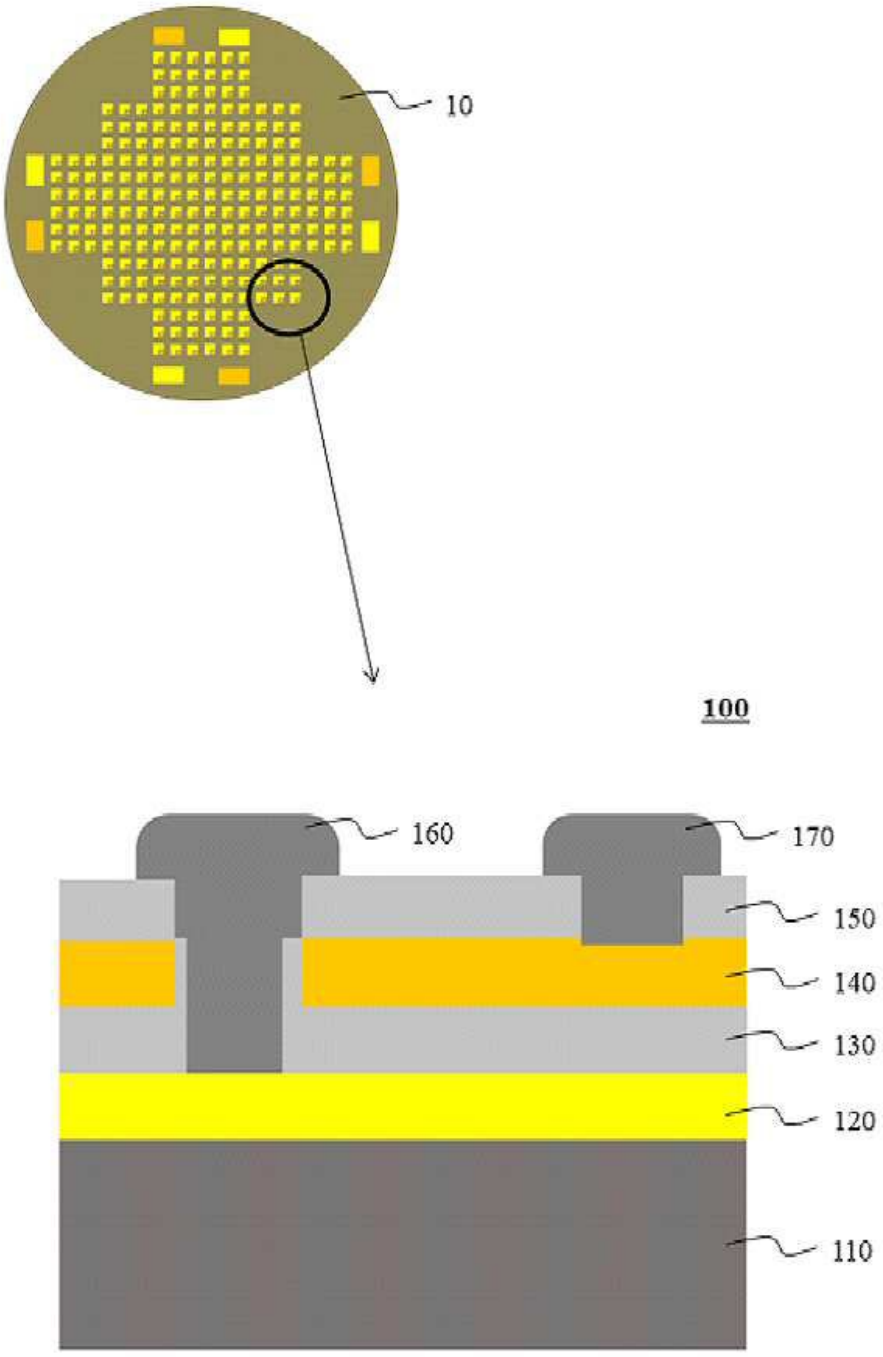
[0056] 이상, 첨부된 도면을 참조로 하여 본 명세서의 실시예를 설명하였지만, 본 명세서가 속하는 기술분야의 통상의 기술자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며, 제한적이 아닌 것으로 이해해야만 한다.

도면

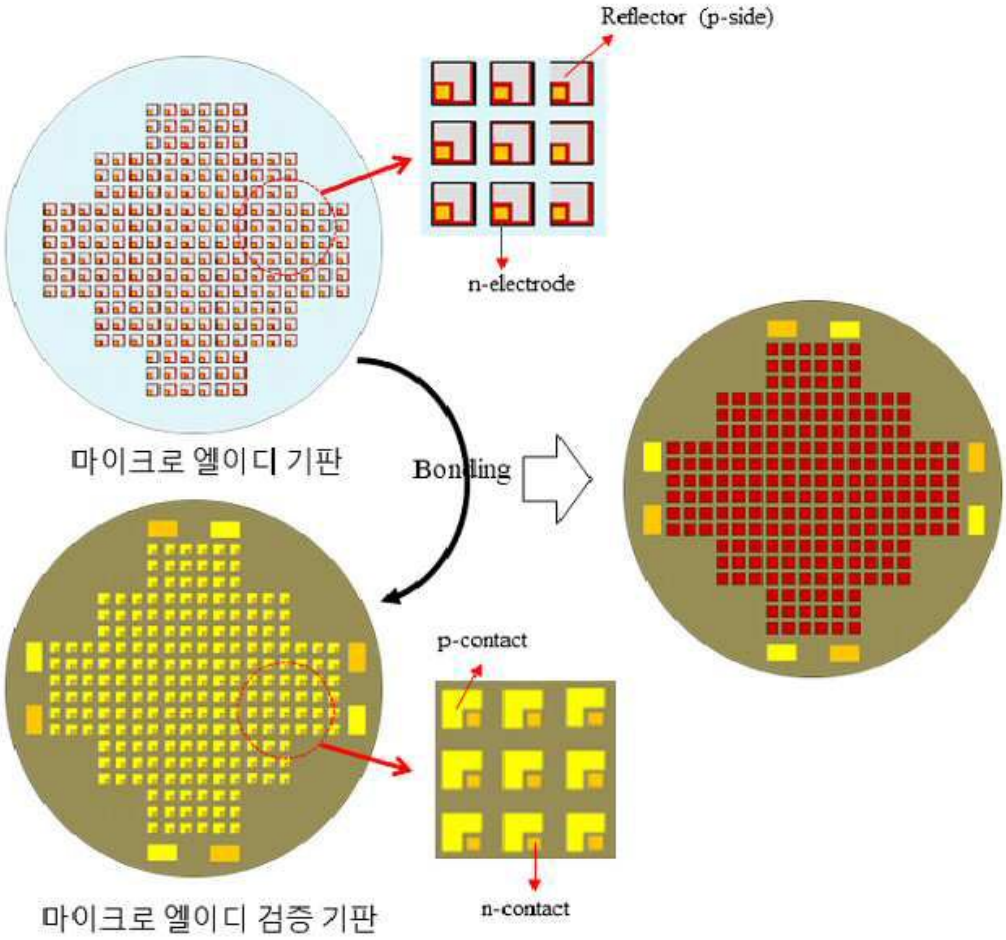
도면1


제1 기판에서 데드 칩 찾기
S10
제2 기판에서 데드 칩의 위치에 대응하는 위치의 접착력 약화
S20
제1 기판의 상부와 제2 기판의 상부를 정렬 및 본딩
S30
제1 기판과 제2 기판 분리
S40

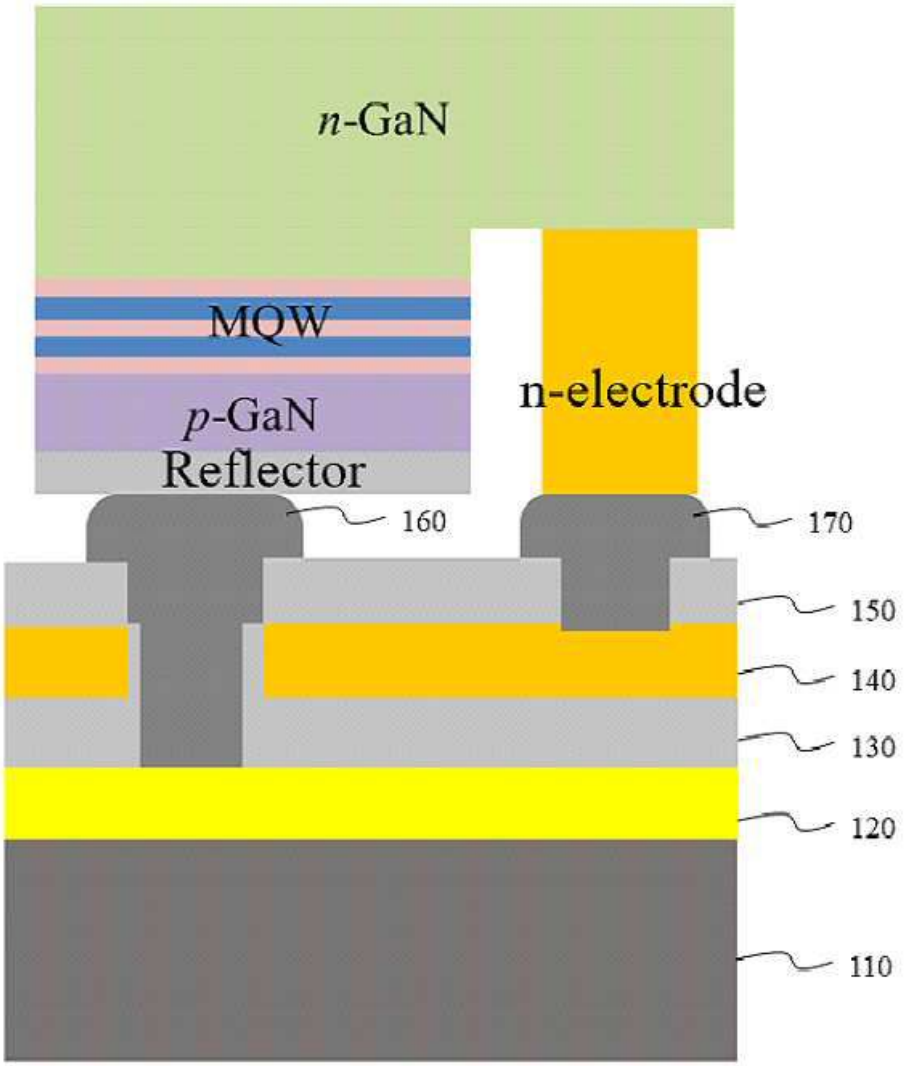
도면2



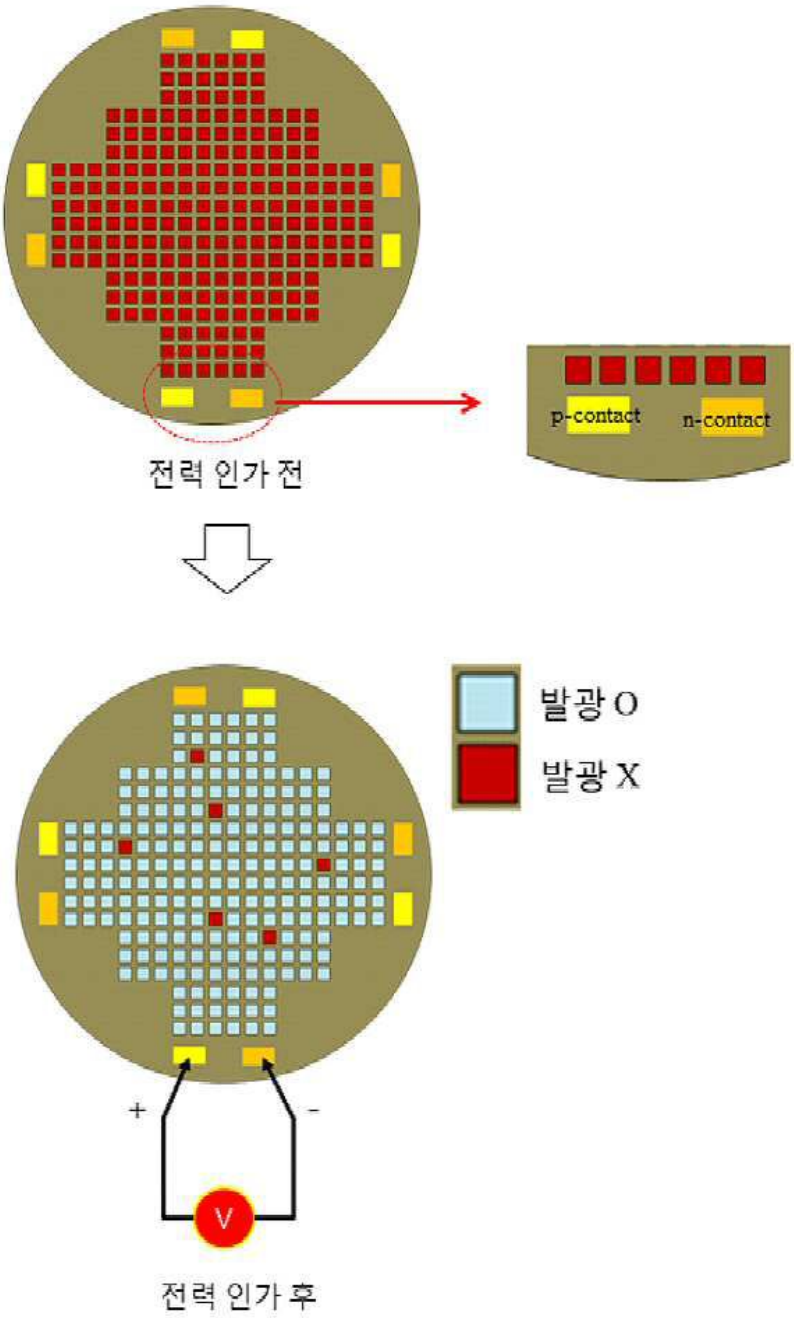
도면3


Reflector (p-side)
n-electrode
마이크로 엘이디 기판
Bonding
p-contact
n-contact
마이크로 엘이디 검증 기판

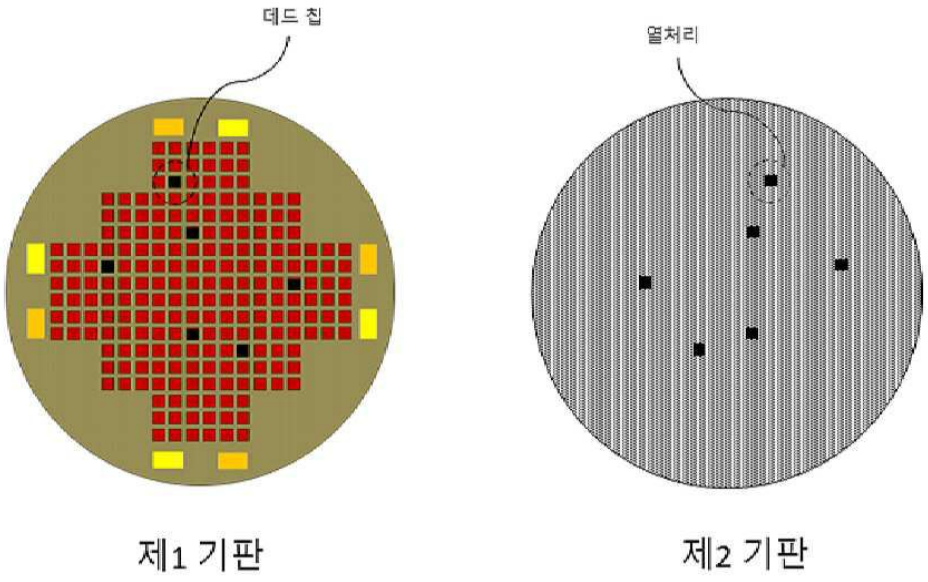
도면4


n-GaN
MQW
p-GaN
Reflector
n-electrode
160
170
150
140
130
120
110

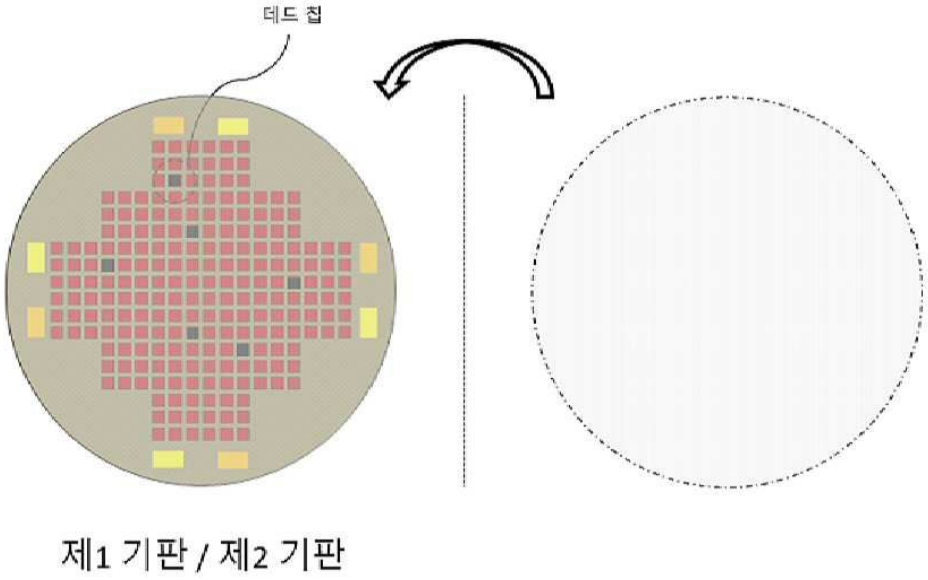
도면5



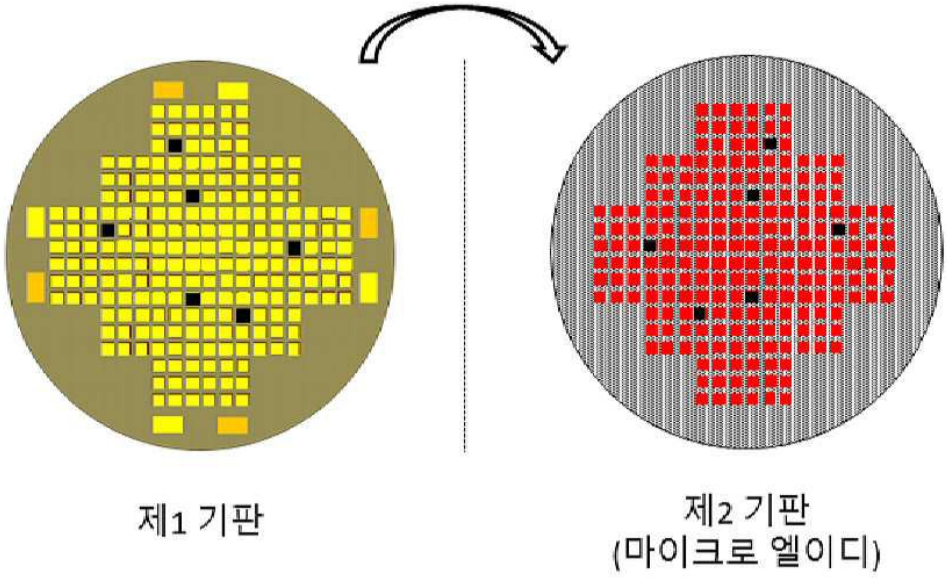
도면6



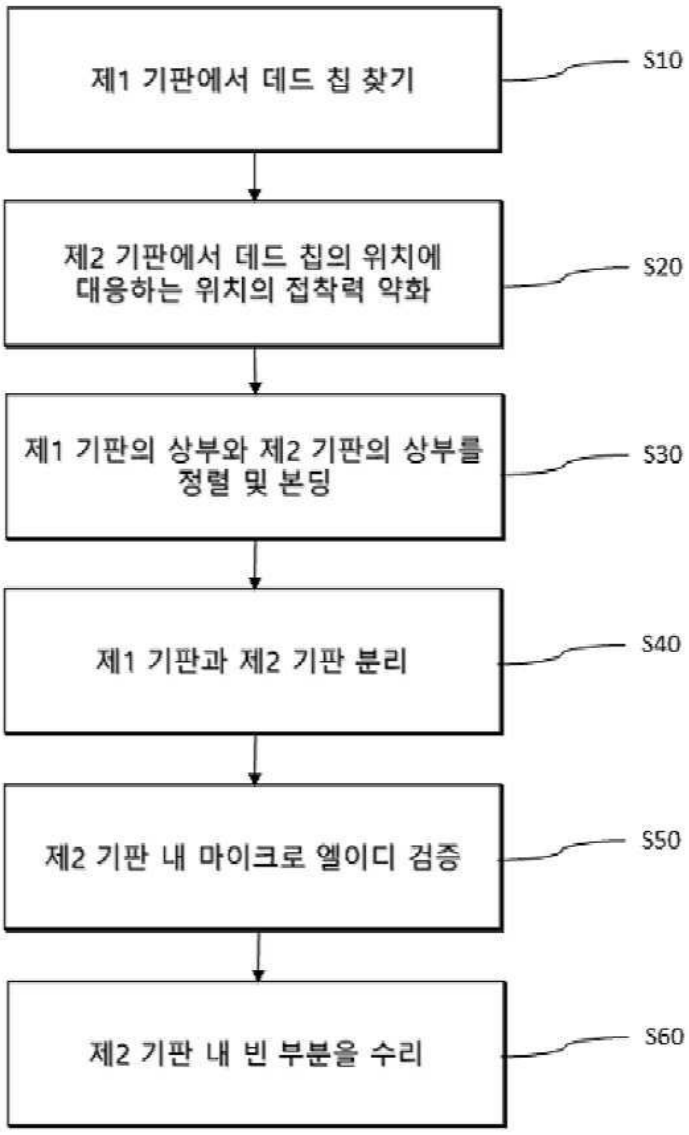
도면7



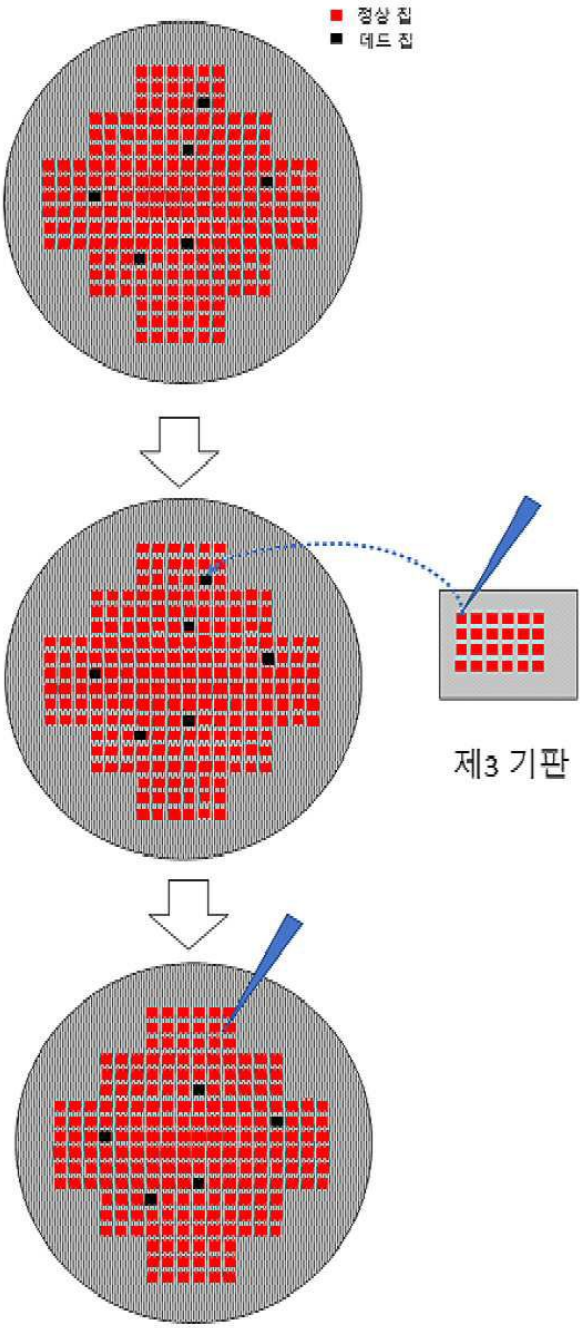
도면8



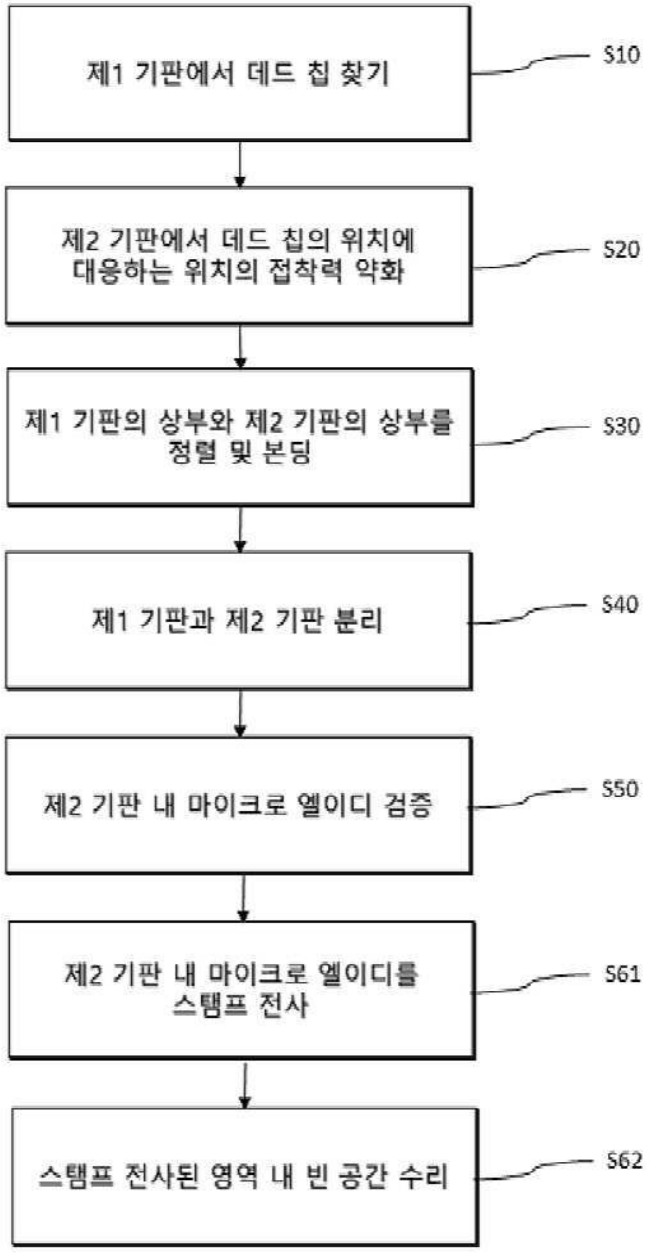
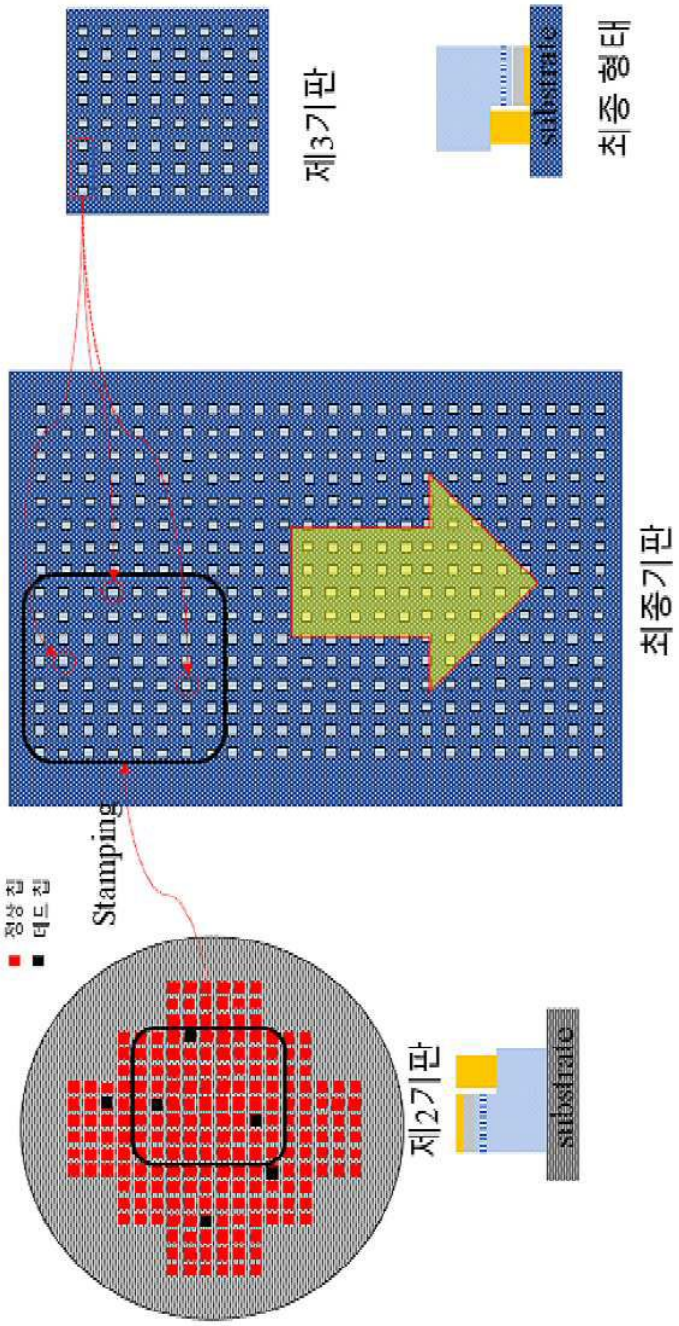
도면9


제1 기판에서 데드 칩 찾기
S10
제2 기판에서 데드 칩의 위치에 대응하는 위치의 접착력 약화
S20
제1 기판의 상부와 제2 기판의 상부를 정렬 및 본딩
S30
제1 기판과 제2 기판 분리
S40
제2 기판 내 마이크로 엘이디 검증
S50
제2 기판 내 빈 부분을 수리
S60

도면10



도면11


제1 기판에서 데드 칩 찾기
S10
제2 기판에서 데드 칩의 위치에 대응하는 위치의 접착력 약화
S20
제1 기판의 상부와 제2 기판의 상부를 정렬 및 본딩
S30
제1 기판과 제2 기판 분리
S40
제2 기판 내 마이크로 엘이디 검증
S50
제2 기판 내 마이크로 엘이디를 스탬프 전사
S61
스탬프 전사된 영역 내 빈 공간 수리
S62

도면12