

레스)신호가 활성화(active)되어 있는 구간 동안 메모리셀들을 리프레쉬 시킨다.

상술한 종래의 DRAM 리프레쉬 제어기는 현재 활성화된(Active)메모리셀에 무관하게 매 구간마다 리프레쉬 동작을 수행한다. 그런데 DRAM은 로우어드레스 신호라 활성화될 경우에 해당 로우어드레스의 메모리셀들은 이미 리프레쉬된 상태이다. 즉 리드(read) 또는 라이트(write) 동작을 수행할 경우, 현재 활성화되어 있는 로우어드레스의 메모리셀들에 대해서는 저절로 리프레쉬가 실시되기 때문에 현재 활성화되어 있는 로우어드레스에 해당하는 메모리셀들을 위해서 리프레쉬 시켜줄 필요가 없다.

따라서 본 발명의 목적은 활성화되어 있는 메모리셀들에 대해서는 리프레쉬를 시키지 않는 DRAM 리프레쉬 제어기를 제공하는 데 있다.

상기 목적을 달성하기 위하여 본 발명은, 외부클럭에 의하여 리프레쉬 요청 신호를 발생하는 타이머와, 상기 리프레쉬 요청 신호를 입력으로 받아서 리프레쉬 어드레스 신호를 발생시키는 어드레스 카운터와, 상기 리프레쉬 어드레스 신호와 로우어드레스 신호를 비교하는 비교기와, 상기 비교기의 출력과 리프레쉬 요청 신호를 입력으로 받아서 논리연산 결과를 출력하는 논리게이트 및 상기 논리게이트와 어드레스카운터 및 로우어드레스 신호에 의해 제어되는 DRAM 제어부를 구비하는 DRAM 리프레쉬 제어기를 제공한다.

상기 논리게이트는 논리곱게이트(AND gate)인 것이 바람직하다. 상기 본 발명에 의하여 메모리 장치의 신호 처리 속도를 향상시킬 수 있다.

이하, 실시예를 통하여 본 발명을 상세히 설명하기로 한다.

제3도는 본 발명의 DRAM 리프레쉬 제어기의 블록도를 나타낸다. 그 구조는 클럭을 입력으로 하는 타이머(21), 상기 타이머(21)에 연결된 어드레스 카운터(23), 상기 어드레스 카운터(23)의 출력과 로우어드레스 신호를 비교하는 비교기(25), 상기 비교기(25)의 출력 신호와 타이머(21)의 출력 신호를 논리곱연산하는 논리곱게이트(AND gate)(27) 및 DRAM 제어부(29)로 구성된다.

제3도의 동작 상태를 살펴보면, 클럭을 받은 타이머(21)가 리프레쉬 요청 신호를 발생하면 상기 리프레쉬 요청 신호의 일부가 어드레스 카운터(23)로 입력된다. 그러면 상기 어드레스 카운터(23)는 리프레쉬시켜야 할 어드레스 신호를 발생하게 되고 이것은 비교기(25)에서 로우어드레스 신호와 비교되고 그 결과가 상기 어드레스 요청 신호와 함께 논리곱연산되어 DRAM 제어부(29)로 입력된다. 상기 과정에서 로우어드레스가 활성화되어 있는 경우, 비교기(25)에서는 출력 신호를 발생하지 않기 때문에 논리곱게이트(27)의 출력도 '0'상태가 되어 설사 타이머(21)에서 리프레쉬 요청 신호를 발생하더라도 활성화되어 있는 메모리셀들은 리프레쉬되지 않는다.

제4도는 상기 제3도의 신호들의 타이밍도이다. 활성화되어 있는 로우어드레스 신호에 의해 활성화되어 있는 메모리셀들을 위해서는 리프레쉬 신호가 발생되지 않기 때문에 상기 메모리셀들은 방해받지 않고 기존 동작을 계속 수행하게 된다. 그러므로 리프레쉬를 수행할 때 요구되는 동작들이 모두 생략되어서 그만큼 전체 회로의 동작 시간이 빨라지게 된다.

상술한 본 발명에 따르면 이미 활성화되어 있는 메모리셀들에 대해서는 리프레쉬 동작이 생략됨으로써 메모리 장치의 신호 처리 속도를 향상시킬 수가 있다.

본 발명은 상기 실시예에 한정되지 않으며, 많은 변형이 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 가능함은 명백하다.

(57) 청구의 범위

청구항 1

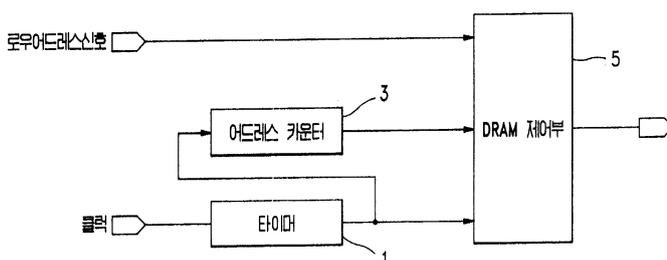
외부 클럭에 의하여 리프레쉬 요청 신호를 발생하는 타이머; 상기 리프레쉬 요청 신호를 입력으로 받아서 리프레쉬 어드레스 신호를 발생시키는 어드레스 카운터; 상기 리프레쉬 어드레스 신호와 로우어드레스 신호를 비교하는 비교기; 상기 비교기의 출력과 리프레쉬 요청 신호를 입력으로 받아서 논리연산 결과를 출력하는 논리게이트; 및 상기 논리게이트와 어드레스카운터 및 로우어드레스 신호에 의해 제어되는 DRAM 제어부를 구비하는 것을 특징으로 하는 DRAM 리프레쉬 제어기.

청구항 2

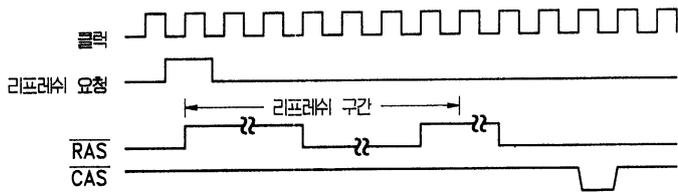
제1항에 있어서, 상기 논리게이트는 논리곱게이트(AND gate)인 것을 특징으로 하는 DRAM 리프레쉬 제어기.

도면

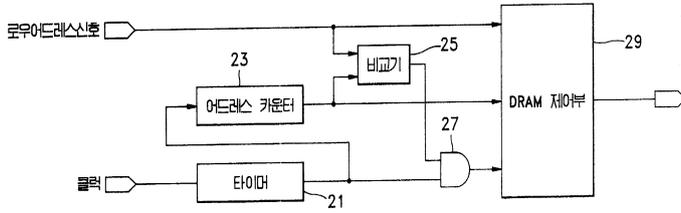
도면1



도면2



도면3



도면4

