



(12)发明专利

(10)授权公告号 CN 107037641 B

(45)授权公告日 2020.04.24

(21)申请号 201710335667.0

(22)申请日 2017.05.12

(65)同一申请的已公布的文献号  
申请公布号 CN 107037641 A

(43)申请公布日 2017.08.11

(73)专利权人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 王海燕

(74)专利代理机构 北京天昊联合知识产权代理  
有限公司 11112  
代理人 姜春咸 陈源

(51) Int. Cl.  
G02F 1/1343(2006.01)  
G02F 1/1362(2006.01)

(56)对比文件

CN 104062814 A, 2014.09.24, 说明书第32-55段和附图1-12.

CN 104062814 A, 2014.09.24, 说明书第32-55段和附图1-12.

CN 106526942 A, 2017.03.22, 说明书第40-62段和附图1-9.

CN 104749843 A, 2015.07.01, 全文.

CN 101144951 A, 2008.03.19, 全文.

KR 20140080003 A, 2014.06.30, 全文.

US 2011089424 A1, 2011.04.21, 全文.

审查员 缪安妮

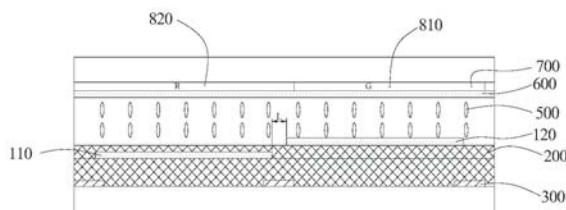
权利要求书1页 说明书5页 附图2页

(54)发明名称

阵列基板、显示面板和显示装置

(57)摘要

本发明提供一种阵列基板,多个像素单元排列为多行多列,像素单元包括多个第一像素单元和多个第二像素单元,同一行中包括第一像素单元和第二像素单元,第一像素单元包括第一子像素电极,第二像素单元包括第二子像素电极,阵列基板包括第一像素电极层和第二像素电极层,第一像素电极层和第二像素电极层之间设置有透明绝缘层,多个第一子像素电极间隔地设置在第一像素电极层中,多个第二子像素电极间隔地设置在第二像素电极层中,并且在同一行中,第二子像素电极在第一像素电极层上的投影位于相邻两个第一子像素电极之间。本发明还提供一种显示面板和一种显示装置。显示装置具有较高的PPI,并且显示时不会发生暗态漏光现象以及串色现象。



1. 一种阵列基板,所述阵列基板包括多个像素单元,多个所述像素单元排列为多行多列,其特征在于,所述像素单元包括多个第一像素单元和多个第二像素单元,同一行中包括所述第一像素单元和所述第二像素单元,所述第一像素单元包括第一子像素电极,所述第二像素单元包括第二子像素电极,所述阵列基板包括第一像素电极层和第二像素电极层,所述第一像素电极层和所述第二像素电极层之间设置有透明绝缘层,多个所述第一子像素电极间隔地设置在所述第一像素电极层中,多个所述第二子像素电极间隔地设置在所述第二像素电极层中,并且在同一行中,所述第二子像素电极在所述第一像素电极层上的投影位于相邻两个所述第一子像素电极之间,所述阵列基板包括多条数据线,所述数据线的位置与相邻设置的所述第二子像素电极与所述第一子像素电极之间的水平间隔相对应,第一子像素电极和第二子像素电极之间的距离小于或等于数据线的宽度,所述数据线的宽度在0.8微米至1.5微米之间。

2. 根据权利要求1所述的阵列基板,其特征在于,在同一行中,所述第二子像素电极在所述第一像素电极层上的投影与相邻的第一子像素电极之间的横向间隔在0.1微米至0.8微米之间。

3. 根据权利要求1或2所述的阵列基板,其特征在于,所述透明绝缘层由硅的氧化物和/或硅的氮化物制成。

4. 一种显示面板,所述显示面板包括阵列基板,其特征在于,所述阵列基板为权利要求1或3所述的阵列基板。

5. 根据权利要求4所述的显示面板,其特征在于,所述第二子像素电极在所述第一像素电极层上的投影与相邻的第一子像素电极之间的间隔在0.1微米至0.8微米之间。

6. 根据权利要求4或5所述的显示面板,其特征在于,所述显示面板包括对盒基板,所述对盒基板上设置有彩膜层,所述彩膜层包括多个滤光单元,每个滤光单元包括多个颜色互不相同的彩色滤光块,每个所述彩色滤光块对应于一个所述像素单元。

7. 根据权利要求6所述的显示面板,其特征在于,所述对盒基板上设置有多个公共电极。

8. 一种显示装置,所述显示装置包括显示面板,其特征在于,所述显示面板为权利要求4至7中任意一项所述的显示面板。

## 阵列基板、显示面板和显示装置

### 技术领域

[0001] 本发明涉及显示技术领域,具体地,涉及一种阵列基板、一种包括该阵列基板的显示面板和一种包括该显示面板的显示装置。

### 背景技术

[0002] 液晶显示面板通常包括TN型液晶显示面和本ADS型液晶显示面板两种。其中,如图1所示,在TN型液晶显示面板中,像素电极100和数据线300设置在阵列基板上,而公共电极600、黑矩阵700和滤光块(图1中示出了红色的滤光块820和绿色的滤光块810)设置在彩膜基板上,液晶层500封装在阵列基板和对盒基板之间。

[0003] 如图2所示,在ADS型液晶显示面板中,公共电极600和像素电极100均设置在阵列基板上,黑矩阵700和滤光块设置在对盒基板上,液晶层500封装在阵列基板和对盒基板之间。

[0004] 为了获得更加真实的显示效果,液晶显示面板有往高PPI(pixel per inch,每英寸像素数)发展的趋势。但是,目前,高PPI的TN型液晶显示面板容易出现暗态漏光。而高PPI的ADS液晶面板则容易出现混色现象。

[0005] 因此,如何提供一种不出现暗态漏光、不发生串色的液晶显示面板成为本领域亟待解决的技术问题。

### 发明内容

[0006] 本发明的目的在于提供一种阵列基板、一种包括该阵列基板的显示面板和一种包括该显示面板的显示装置。所述阵列基板能够在实现高PPI的同时避免发生暗态漏光以及串色现象。

[0007] 为了实现上述目的,作为本发明的一个方面,提供一种阵列基板,所述阵列基板包括多个像素单元,多个所述像素单元排列为多行多列,其中,所述像素单元包括多个第一像素单元和多个第二像素单元,同一行中包括所述第一像素单元和所述第二像素单元,所述第一像素单元包括第一子像素电极,所述第二像素单元包括第二子像素电极,所述阵列基板包括第一像素电极层和第二像素电极层,所述第一像素电极层和所述第二像素电极层之间设置有透明绝缘层,多个所述第一子像素电极间隔地设置在所述第一像素电极层中,多个所述第二子像素电极间隔地设置在所述第二像素电极层中,并且在同一行中,所述第二子像素电极在所述第一像素电极层上的投影位于相邻两个所述第一子像素电极之间。

[0008] 优选地,在同一行中,所述第二子像素电极在所述第一像素电极层上的投影与相邻的第一子像素电极之间的横向间隔在0.1微米至0.8微米之间。

[0009] 优选地,所述透明绝缘层由硅的氧化物和/或硅的氮化物制成。

[0010] 优选地,所述阵列基板包括多条数据线,所述数据线的位置与相邻设置的所述第二子像素电极与所述第一子像素电极之间的水平间隔相对应。

[0011] 优选地,所述数据线的宽度在0.8微米至1.5微米之间。

[0012] 作为本发明的第二个方面,提供一种显示面板,所述显示面板包括阵列基板,其中,所述阵列基板为本发明所提供的上述阵列基板。

[0013] 优选地,所述第二子像素电极在所述第一像素电极层上的投影与相邻的第一子像素电极之间的间隔在0.1微米至0.8微米之间。

[0014] 优选地,所述显示面板包括对盒基板,所述对盒基板上设置有彩膜层,所述彩膜层包括多个滤光单元,每个滤光单元包括多个颜色互不相同的彩色滤光块,每个所述彩色滤光块对应于一个所述像素单元。

[0015] 优选地,所述对盒基板上设置有多个公共电极。

[0016] 作为本发明的第三个方面,提供一种显示装置,所述显示装置包括本发明所提供的上述显示面板。

[0017] 本发明所提供的阵列基板应用于需要背光的显示装置中,第一像素电极层设置在第二像素单元层下方。在第一像素电极层中,第一子像素电极之间的间隔较大,降低了对构图形成第一子像素电极的掩模板的精度要求,从而容易获得尺寸、位置均精确的第一子像素电极。同样地,在第二像素电极层中,第二子像素电极之间的间隔较大,降低了对构图形成第二子像素电极的掩模板的精度要求,从而容易获得尺寸、位置均精确的第二子像素电极。因此,可以在本发明所提供的阵列基板中设置更多的像素单元,从而有利于实现高分辨率(即,高PPI)的显示装置。

[0018] 并且,由于两层像素电极层之间存在沿阵列基板厚度方向的间隔,因此,背光源发出的光线透过位于下层的第二子像素电极层时,可以形成一个发射角,从而可以防止包括所述阵列基板的显示装置进行显示时发生串色现象。

[0019] 此外,第一子像素电极与第二子像素电极之间的水平间隔可以设置的非常小,从而可以利用宽度较小的黑矩阵对该水平间隔进行遮挡,从而可以避免包括所述阵列基板的显示装置进行显示时发生暗态漏光的现象。

## 附图说明

[0020] 附图是用来提供对本发明的进一步理解,并且构成说明书的一部分,与下面的具体实施方式一起用于解释本发明,但并不构成对本发明的限制。在附图中:

[0021] 图1是现有的TN型阵列基板的示意图;

[0022] 图2是现有的ADS型阵列基板的示意图;

[0023] 图3是本发明所提供的显示面板的一种实施方式的示意图;

[0024] 图4是本发明所提供的显示面板中第一子像素电极和第二子像素电极的分布情况俯视图;

[0025] 图5是图1中TN型阵列基板的发光模拟图;

[0026] 图6是包括图3中显示面板的显示装置的发光模拟图。

[0027] 附图标记说明

[0028] 100:像素电极                      110:第一子像素电极

[0029] 120:第二子像素电极            200:透明绝缘层

[0030] 300:数据线                        500:液晶层

[0031] 600:公共电极                    700:黑矩阵

[0032] 810:绿色的滤光块 820:红色的滤光块

### 具体实施方式

[0033] 以下结合附图对本发明的具体实施方式进行详细说明。应当理解的是,此处所描述的具体实施方式仅用于说明和解释本发明,并不用于限制本发明。

[0034] 作为本发明的一种实施方式,提供一种阵列基板,所述阵列基板包括多个像素单元,多个所述像素单元排列为多行多列,其中,所述像素单元包括多个第一像素单元和多个第二像素单元,同一行中包括所述第一像素单元和所述第二像素单元,如图3和图4所示所示,所述第一像素单元包括第一子像素电极110,所述第二像素单元包括第二子像素电极120。所述阵列基板包括第一像素电极层和第二像素电极层,如图3所示,所述第一像素电极层和所述第二像素电极层之间设置有透明绝缘层200。如图4所示,多个第一子像素电极110间隔地设置在所述第一像素电极层中,多个第二子像素电极120间隔地设置在所述第二像素电极层中,并且在同一行中,第二子像素电极120在所述第一像素电极层上的投影位于相邻两个第一子像素电极110之间。

[0035] 本发明所提供的阵列基板应用于需要背光的显示装置(例如,液晶显示装置)中,在图3中所示的实施方式中,第一像素电极层设置在第二像素单元层下方。在第一像素电极层中,第一子像素电极110之间的间隔较大,降低了对构图形成第一子像素电极110的掩模板的精度要求,从而容易获得尺寸、位置均精确的第一子像素电极110。同样地,在第二像素电极层中,第二子像素电极120之间的间隔较大,降低了对构图形成第二子像素电极120的掩模板的精度要求,从而容易获得尺寸、位置均精确的第二子像素电极120。因此,可以在本发明所提供的阵列基板中设置更多的像素单元,从而有利于实现高分辨率(即,高PPI)的显示装置。

[0036] 并且,由于两层像素电极层之间存在沿阵列基板厚度方向的间隔,因此,背光源发出的光线透过位于下层的第二像素电极层时,可以形成一个发射角,从而可以防止包括所述阵列基板的显示装置进行显示时发生串色现象。

[0037] 如上文所述,由于像素发光时可以形成发射角,并且相邻两个像素电极之间的间隔较小,因此,本发明所提供的显示面板中可以不设置黑矩阵,从而进一步降低了显示面板的成本。

[0038] 在本发明中,对第一子像素电极也第二子像素电极之间的距离并没有特殊的要求,例如,作为一种优选实施方式,为了降低对掩模板的精度要求的同时保证较高的PPI,优选地,在同一行中,第二子像素电极120在所述第一像素电极层上的投影与相邻的第一子像素电极110之间的横向间隔L在0.1微米至0.8微米之间。并且,当横向间隔L在此范围内时也可以最大程度的避免暗态漏光的发生。进一步优选地,可以将横向间隔L控制在0.5微米。

[0039] 在本发明中,对透明绝缘层200的具体材料并没有特殊的限制,只要能够将第一像素电极层和第二像素电极层绝缘间隔开即可。例如,作为一种优选的实施方式,可以利用形成阵列基板中钝化层的材料来形成透明绝缘层200,即,利用硅的氧化物和/或硅的氮化物来形成透明绝缘层200。

[0040] 本领域技术人员容易理解的是,为了便于向第一子像素电极110和第二子像素电极提供灰阶信号,所述阵列基板包括多条数据线300。为了增加开口率,优选地,数据线300

的位置与相邻设置的第二子像素电极120与第一子像素电极110之间的间隔相对应。将数据线设置在第一子像素电极110与第二子像素电极120之间的水平间隔L处的优点在于,可以利用黑矩阵对其进遮挡。容易理解的是,数据线300的延伸方向与像素单元的列方向一致。

[0041] 在本发明中,对数据线的宽度也没有特殊的要求,例如,作为一种优选实施方式,数据线300的宽度可以在0.8微米至1.5微米之间。

[0042] 作为本发明的第二个方面,提供一种显示面板,所述显示面板包括阵列基板,其中,所述阵列基板为本发明所提供的阵列基板。

[0043] 在本发明中,对显示面板的具体类型并不做特殊的要求。例如,显示面板可以是液晶显示面板,也可以是其他需要背光源的显示面板。

[0044] 如上文中所述,由于采用了本发明书所提供的上述阵列基板,所述显示面板可以在实现较高PPI的同时防止暗态漏光并防止串色的产生。

[0045] 在图3中所示的具体实施方式中,所述显示面板为液晶显示面板,即显示面板中包括液晶层500。

[0046] 图3中所示的显示面板为液晶显示面板,利用对盒基板和阵列基板将液晶层500封装在阵列基板和对盒基板之间。

[0047] 为了实现彩色显示,优选地,可以在对盒基板上设置彩膜层。如图3所示,彩膜层包括多个滤光单元,每个滤光单元都包括多个颜色互不相同的彩色滤光块,每个彩色滤光块对应于一个像素单元。

[0048] 例如,在图3中所示的具体实施方式中,红色的滤光块820对应于第一子像素电极110所在的第一像素单元;绿色的滤光块810对应于第二子像素电极120所在的第二像素单元。

[0049] 本发明所提供的阵列基板既可以应用于TN型的显示面板,也可以应用于ADS型的显示面板。在图3中所示的实施方式中,所述阵列基板应用于TN型的显示面板中。作为TN型的显示面板,公共电极600设置在对盒基板上。

[0050] 利用本申请所提供的阵列基板,可以将像素电极之间的水平距离缩小到0.5 $\mu\text{m}$ ,从而实现高PPI。

[0051] 作为本发明的第三个方面,提供一种显示装置,所述显示装置包括本发明所提供的上述显示面板。如上文中所述,所述显示装置可以实现高PPI,且不会出现暗态漏光,因此,所述显示装置具有良好的显示效果。

[0052] 为了便于说明,利用TechWiz 3D软件对包括图3中所提供的显示面板的显示装置进行暗态显示模拟,并且还对包括图1中所提供的显示面板的显示装置进行暗态显示模拟。

[0053] 在本发明中,将图3中所提供的显示装置的第一子像素电极110与第二子像素电极120之间的横向间隔设置为0.5微米,将数据线300的宽度设置为1.5微米,将黑矩阵700的宽度设置为2.5微米。通过模拟结果可知,如图6所示,测得的显示亮度S2几乎不会出现暗态漏光现象。并且,该显示装置的开口率可高达29%。

[0054] 作为对比,利用TechWiz 3D软件对图1中所示的显示装置进行暗态显示模拟。图1中像素电极100之间的间隔为2.0微米,数据线300的宽度为6.4微米,黑矩阵的宽度为4.3微米。通过模拟显示,如图5所示,测得的显示亮度S1的亮度值在像素电极的边界处较高,说明在像素电极100的边界处出现明显的漏光现象。并且,该显示装置的开口率仅为4.9%。

[0055] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

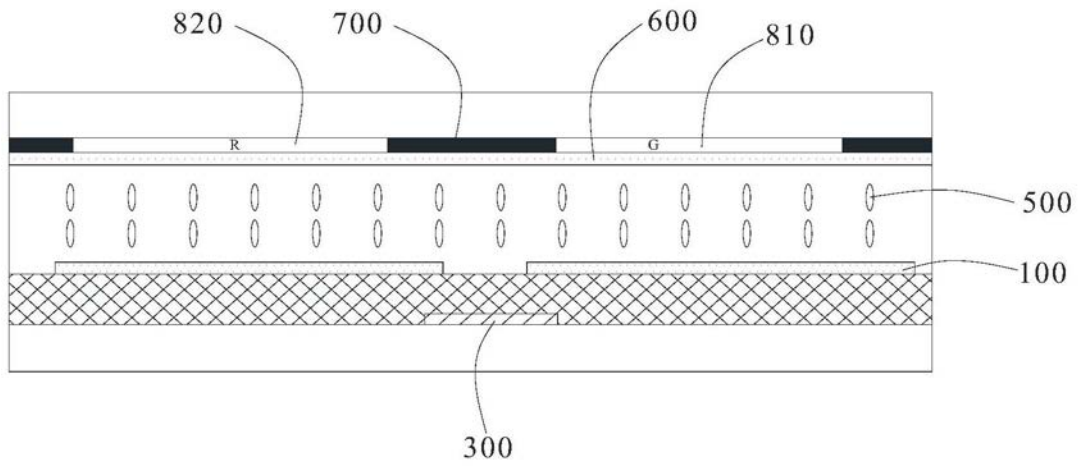


图1

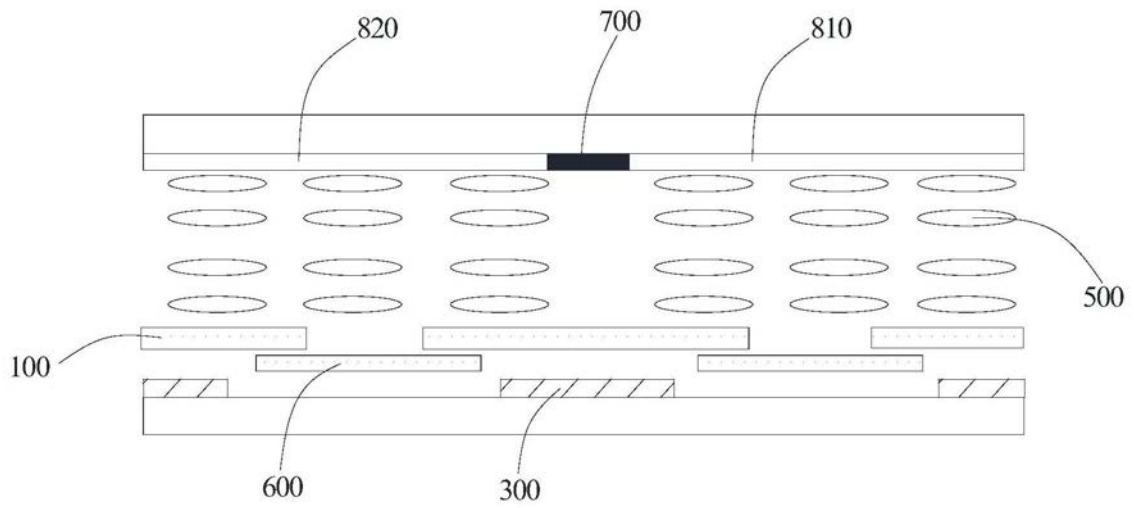


图2

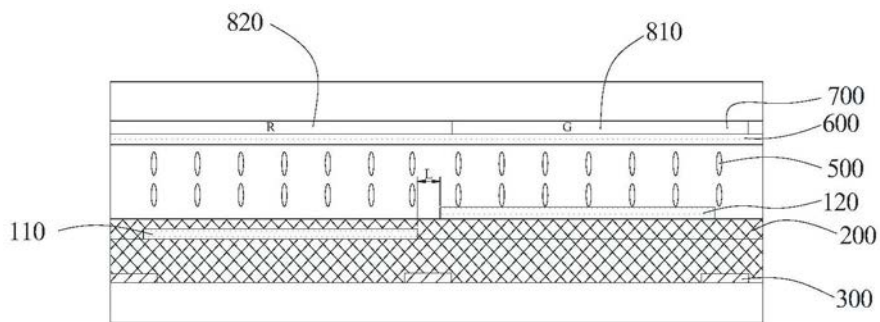


图3



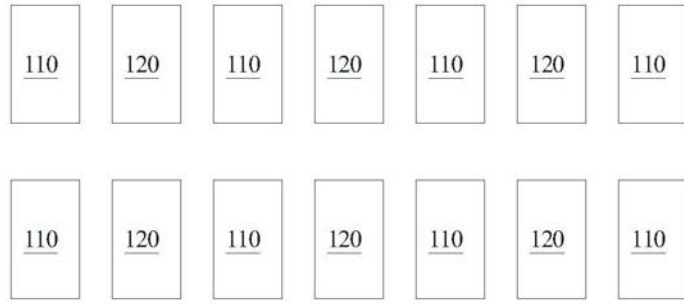


图4

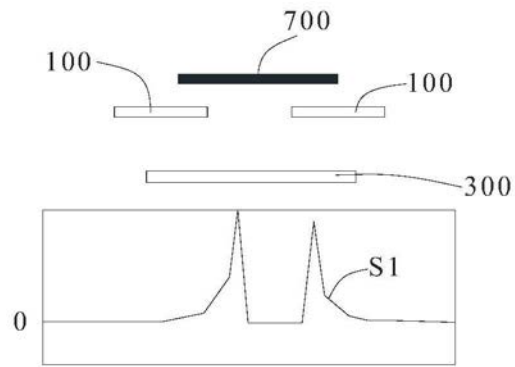


图5

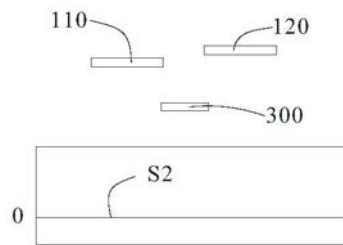


图6