



(12)发明专利申请

(10)申请公布号 CN 109192729 A

(43)申请公布日 2019.01.11

(21)申请号 201811014910.X

(22)申请日 2018.08.31

(71)申请人 上海华虹宏力半导体制造有限公司

地址 201203 上海市浦东新区张江高科技
园区祖冲之路1399号

(72)发明人 刘宪周

(74)专利代理机构 上海思微知识产权代理事务
所(普通合伙) 31237

代理人 屈衡

(51)Int.Cl.

H01L 27/11517(2017.01)

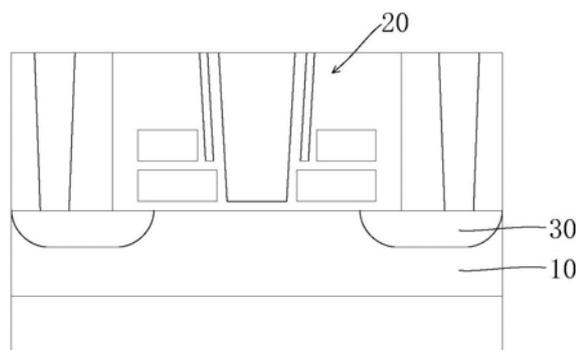
权利要求书1页 说明书3页 附图1页

(54)发明名称

半导体结构及其形成方法

(57)摘要

本发明提供了一种半导体器件及其形成方法,所述半导体器件包括第一掺杂区域和存储单元,所述第一掺杂区域中具有两个第二掺杂阱,所述第一掺杂区域与所述第二掺杂阱形成齐纳二极管结构,两个所述第二掺杂阱与所述第一掺杂区域擦写所述存储单元,通过擦写所述存储单元调整齐纳二极管结构的击穿电压。在本发明提供的半导体器件及其形成方法中,通过在第一掺杂区域中进行掺杂形成第二掺杂阱的齐纳二极管结构,并在第一掺杂区域上形成存储单元,可通过两个所述第二掺杂阱与所述第一掺杂区域实现对所述存储单元的擦写操作,从而通过存储单元中存储的电子形成的电场环境调整齐纳二极管的击穿电压,进而达到方便有效调整齐纳二极管的击穿电压。



1. 一种半导体器件,其特征在于,所述半导体器件包括:

第一掺杂区域,所述第一掺杂区域中具有两个第二掺杂阱,所述第一掺杂区域与所述第二掺杂阱形成齐纳二极管结构;

存储单元,所述存储单元位于所述第一掺杂区域上且位于两个所述第二掺杂阱之间,两个所述第二掺杂阱与所述第一掺杂区域擦写所述存储单元,通过擦写所述存储单元调整齐纳二极管结构的击穿电压。

2. 根据权利要求1所述半导体器件,其特征在于,所述存储单元为浮栅型存储单元。

3. 根据权利要求1所述半导体器件,其特征在于,所述第一掺杂区域为N型掺杂或P型掺杂,与之对应的所述第二掺杂阱为P型掺杂或N型掺杂。

4. 根据权利要求1-3中任意一项所述半导体器件,其特征在于,通过擦写所述存储单元调整齐纳二极管结构的击穿电压在1V以上。

5. 一种半导体器件的形成方法,其特征在于,所述半导体器件的形成方法包括:

提供一衬底,在所述衬底上形成第一掺杂区域;

在所述第一掺杂区域上形成存储单元;

在所述存储单元的两侧对所述第一掺杂区域进行掺杂形成两个第二掺杂阱,所述第一掺杂区域与所述第二掺杂阱形成齐纳二极管结构,两个所述第二掺杂阱与所述第一掺杂区域擦写所述存储单元,通过擦写所述存储单元调整齐纳二极管结构的击穿电压。

6. 根据权利要求5所述半导体器件的形成方法,其特征在于,所述存储单元为浮栅型存储单元。

7. 根据权利要求5所述半导体器件的形成方法,其特征在于,所述第一掺杂区域为N型掺杂或P型掺杂,与之对应的所述第二掺杂阱为P型掺杂或N型掺杂。

8. 根据权利要求5-7中任意一项所述半导体器件的形成方法,其特征在于,通过擦写所述存储单元调整齐纳二极管结构的击穿电压在1V以上。

半导体结构及其形成方法

技术领域

[0001] 本发明涉及集成电路技术领域,特别涉及一种半导体结构及其形成方法。

背景技术

[0002] 齐纳二极管(Zener Diode)又称之为稳压二极管,可利用PN结反向击穿状态,其电流可在很大范围内变化而电压基本不变的现象,制成的起稳压作用的二极管。此类二极管是一种直到临界反向击穿电压前都具有很高电阻的半导体器件,在这临界击穿点上,反向电阻降低到一个很小的数值,在这个低阻区中电流增加而电压则保持恒定,稳压二极管是根据击穿电压来分档的,因为这种特性,稳压管主要被作为稳压器或电压基准元件使用。稳压二极管可以串联起来以便在较高的电压上使用,通过串联就可获得更高的稳定电压。

[0003] 在实际应用中,可能需要运用到不同击穿电压的齐纳二极管,因此,如何提供一种具有可调击穿电压的齐纳二极管结构的半导体器件是本领域技术人员亟待解决的一个技术问题。

发明内容

[0004] 本发明的目的在于提供一种半导体器件及其形成方法,以形成一种可调节击穿电压的齐纳二极管结构。

[0005] 为解决上述技术问题,本发明提供一种半导体器件,所述半导体器件包括第一掺杂区域和存储单元,所述第一掺杂区域中具有两个第二掺杂阱,所述第一掺杂区域与所述第二掺杂阱形成齐纳二极管结构,所述存储单元位于所述第一掺杂区域上且位于两个所述第二掺杂阱之间,两个所述第二掺杂阱与所述第一掺杂区域擦写所述存储单元,通过擦写所述存储单元调整齐纳二极管结构的击穿电压。

[0006] 可选的,在所述半导体器件中,所述存储单元为浮栅型存储单元。

[0007] 可选的,在所述半导体器件中,所述第一掺杂区域为N型掺杂或P型掺杂,与之对应的所述第二掺杂阱为P型掺杂或N型掺杂。

[0008] 可选的,在所述半导体器件中,通过擦写所述存储单元调整齐纳二极管结构的击穿电压在1V以上。

[0009] 本发明还提供一种半导体器件的形成方法,所述半导体器件的形成方法包括:

[0010] 提供一衬底,在所述衬底上形成第一掺杂区域;

[0011] 在所述第一掺杂区域上形成存储单元;

[0012] 在所述存储单元的两侧对所述第一掺杂区域进行掺杂形成两个第二掺杂阱,所述第一掺杂区域与所述第二掺杂区域形成齐纳二极管结构,两个所述第二掺杂阱与所述第一掺杂区域擦写所述存储单元,通过擦写所述存储单元调整齐纳二极管结构的击穿电压。

[0013] 可选的,在所述半导体器件的形成方法中,所述存储单元为浮栅型存储单元。

[0014] 可选的,在所述半导体器件的形成方法中,所述第一掺杂区域为N型掺杂或P型掺杂,与之对应的所述第二掺杂阱为P型掺杂或N型掺杂。

[0015] 可选的,在所述半导体器件的形成方法中,通过擦写所述存储单元调整齐纳二极管结构的击穿电压在1V以上。

[0016] 综上所述,在本发明提供的半导体器件及其形成方法中,通过在第一掺杂区域中进行掺杂形成第二掺杂阱的齐纳二极管结构,并在第一掺杂区域上形成存储单元,可通过两个所述第二掺杂阱与所述第一掺杂区域实现对所述存储单元的擦写操作,从而通过存储单元中存储的电子形成的电场环境调整齐纳二极管的击穿电压,进而达到方便有效调整齐纳二极管的击穿电压。

附图说明

[0017] 图1是本发明实施例的半导体器件的结构示意图;

[0018] 图2是本发明实施例的半导体器件的形成方法的流程示意图。

具体实施方式

[0019] 为了使本发明的目的、特征和优点能够更加明显易懂,请参阅附图。须知,本说明书所附图式所绘示的结构、比例、大小等,均仅用以配合说明书所揭示的内容,以供熟悉此技术的人士了解与阅读,并非用以限定本发明可实施的限定条件,故不具技术上的实质意义,任何结构的修饰、比例关系的改变或大小的调整,在不影响本发明所能产生的功效及所能达成的目的下,均应仍落在本发明所揭示的技术内容得能涵盖的范围内。

[0020] 如图1所示,本发明提供一种半导体器件,所述半导体器件包括第一掺杂区域10和存储单元20,第一掺杂区域10可位于硅衬底上,所述第一掺杂区域10中具有两个第二掺杂阱30,所述第一掺杂区域10与所述第二掺杂阱30形成齐纳二极管结构,所述存储单元30位于所述第一掺杂区域10上且位于两个所述第二掺杂阱30之间,两个所述第二掺杂阱30与所述第一掺杂区域10擦写所述存储单元20,两个第二掺杂阱30与第一掺杂区域10形成典型的源/漏区和导通沟道区,可通过电性连接第二掺杂阱30的电压/电流进行控制,通过擦写所述存储单元20调整齐纳二极管结构的击穿电压,在写入电压信息的存储单元中的电子可形成电场环境,从而可影响到齐纳二极管结构。

[0021] 在本实施例中,所述存储单元20为浮栅型存储单元,如附图1中的简要图示,也就是包括浮栅(FG, floating gate)和控制栅(CG, control gate)的结构,即便在没有电源供给的情况下,浮栅的存在可以保持住存储的电子,通过浮栅形成的电场环境影响齐纳二极管结构。

[0022] 可选的,所述第一掺杂区域10为N型掺杂或P型掺杂,与之对应的所述第二掺杂阱30为P型掺杂或P型掺杂,可通过掺杂硼来实现P型掺杂,可通过砷或磷来实现N型掺杂,第一掺杂和第二掺杂是相对两种不同掺杂,在相同的原理上实现不同的需要。

[0023] 在本实施例中,通过擦写所述存储单元调整齐纳二极管结构的击穿电压在1V以下,也就是存储单元对于齐纳二极管击穿电压的调整范围超过1V,例如,在通常情况下击穿电压为7V时,击穿是从N区到P区,当存储单元完成擦除后,可以得到位于击穿电压为7V的齐纳二极管,当存储单元完成写入后,由于电场会影响到P区从而影响到击穿电压,从而可得到击穿电压低于6V的齐纳二极管,也就通过存储单元的擦写实现调整齐纳二极管的击穿电压。当击穿电压低于5伏时,耗尽区较薄了,主要是齐纳击穿,当击穿电压高于5伏时,主要是

雪崩击穿,PN结的击穿电压不仅和它的掺杂特性有关还和它的几何形状有关。

[0024] 对应的,如图2所示,本发明还提供一种半导体器件的形成方法,所述半导体器件的形成方法包括:

[0025] S10、提供一衬底,在所述衬底上形成第一掺杂区域,可通过在衬底上形成的外延层进行掺杂得到第一掺杂区域;

[0026] S20、在所述第一掺杂区域上形成存储单元,存储单元即实现存储一定电子所形成的结构;

[0027] S30、在所述存储单元的两侧对所述第一掺杂区域进行掺杂形成两个第二掺杂阱,可通过存储单元作为掩膜完成掺杂工艺,所述第一掺杂区域与所述第二掺杂阱形成齐纳二极管结构,两个所述第二掺杂阱与所述第一掺杂区域擦写所述存储单元,通过擦写所述存储单元调整齐纳二极管结构的击穿电压。

[0028] 在存储单元的形成中,所述存储单元为浮栅型存储单元,也就是通过形成浮栅和控制栅的结构,浮栅的存在可以保持住存储的电子,通过浮栅形成的电场环境影响齐纳二极管结构。

[0029] 相对应的,所述第一掺杂区域为N型掺杂或P型掺杂,与之对应的所述第二掺杂阱为P型掺杂或P型掺杂,

[0030] 其中,通过擦写所述存储单元调整齐纳二极管结构的击穿电压在1V以上,也就是存储单元对于齐纳二极管击穿电压的调整范围超过1V。在本实施例中,两个第二掺杂阱与第一掺杂区域即形与了齐纳二极管结构,又通过他们形成的MOS管基础结构实现存储单元的擦写,对于具体的电性连接以及相应的施加电流电压等情况,本领域技术人员在现有技术基础上均可实现本发明的核心,即实现调节齐纳二极管的击穿电压。

[0031] 综上所述,在本发明提供的半导体器件及其形成方法中,通过在第一掺杂区域中进行掺杂形成第二掺杂阱的齐纳二极管结构,并在第一掺杂区域上形成存储单元,可通过两个所述第二掺杂阱与所述第一掺杂区域实现对所述存储单元的擦写操作,从而通过存储单元中存储的电子形成的电场环境调整齐纳二极管的击穿电压,进而达到方便有效调整齐纳二极管的击穿电压。

[0032] 上述描述仅是对本发明较佳实施例的描述,并非对本发明范围的任何限定,本发明领域的普通技术人员根据上述揭示内容做的任何变更、修饰,均属于权利要求书的保护范围。

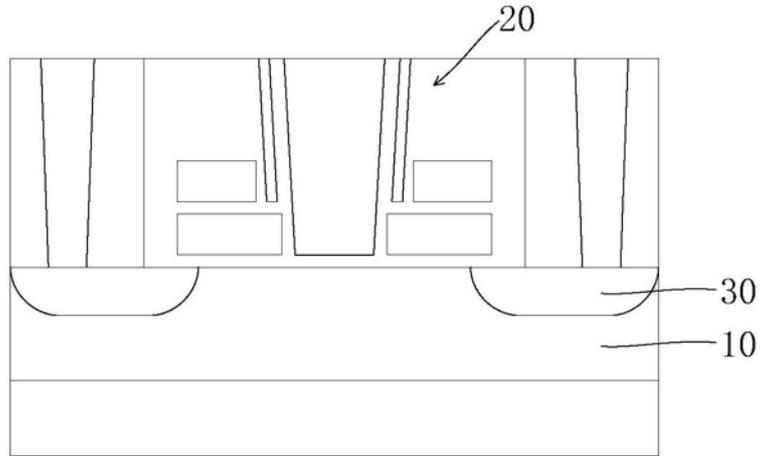


图1

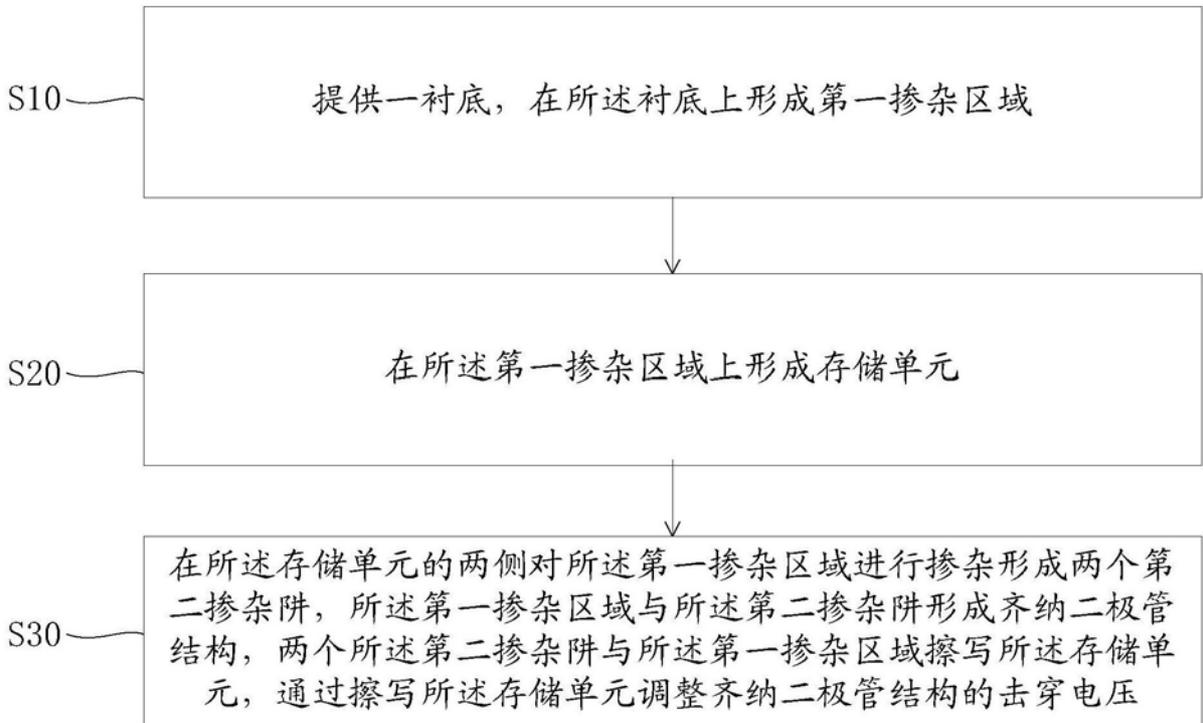


图2