

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5117001号
(P5117001)

(45) 発行日 平成25年1月9日(2013.1.9)

(24) 登録日 平成24年10月26日(2012.10.26)

(51) Int.Cl.		F I			
G09F	9/30	(2006.01)	G09F	9/30	338
H01L	51/50	(2006.01)	H05B	33/14	A
H01L	27/32	(2006.01)	G09F	9/30	365Z

請求項の数 2 (全 13 頁)

(21) 出願番号	特願2006-187506 (P2006-187506)	(73) 特許権者	502356528 株式会社ジャパンディスプレイイースト 千葉県茂原市早野3300番地
(22) 出願日	平成18年7月7日(2006.7.7)	(74) 代理人	110000350 ポレール特許業務法人
(65) 公開番号	特開2008-15293 (P2008-15293A)	(73) 特許権者	506087819 パナソニック液晶ディスプレイ株式会社 兵庫県姫路市飾磨区委鹿日田町1-6
(43) 公開日	平成20年1月24日(2008.1.24)	(74) 代理人	110000350 ポレール特許業務法人
審査請求日	平成21年7月2日(2009.7.2)	(74) 代理人	110000154 特許業務法人はるか国際特許事務所
		(72) 発明者	松浦 利幸 千葉県茂原市早野3300番地 株式会社 日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 有機EL表示装置

(57) 【特許請求の範囲】

【請求項1】

陽極となる上部電極と陰極となる下部電極との間に有機EL層が形成され、前記有機EL層に電流を流すことによる発光を利用する有機EL表示装置であって、基板上に半導体層、ゲート絶縁膜、ゲート電極を有するTFTが形成され、前記TFTを覆って、層間絶縁膜が形成され、SD配線は前記TFTの半導体層と接続するとともに、前記SD配線は前記層間絶縁膜上に延在して前記有機EL層の前記下部電極となり、前記SD配線は光を反射する金属または金属合金の層を含み、前記上部電極は透明電極からなり、前記基板には前記TFT、前記上部電極と接続する端子部が形成され、

前記端子部周辺はパッシベーション膜によって保護され、

前記SD配線は複数の層からなり、

前記SD配線は端子部において、最上層は、ITO、IZO、WO₃、またはMoO₃のいずれかで形成され、

前記端子部周辺において、前記最上層を形成するITO、IZO、WO₃、またはMoO₃は、前記SD配線の他の層と直接積層された状態で、前記パッシベーション膜で覆われていることを特徴とする有機EL表示装置。

【請求項2】

陽極となる上部電極と陰極となる下部電極との間に有機EL層が形成され、前記有機EL層に電流を流すことによる発光を利用する有機EL表示装置であって、基板上に半導体層、ゲート絶縁膜、ゲート電極を有するTFTが形成され、前記TFTを覆って、層間絶

10

20

縁膜が形成され、SD配線は前記TFTの半導体層と接続するとともに、前記層間絶縁膜上に延在して前記有機EL層の前記下部電極となり、前記SD配線は光を反射する金属または金属合金の層を含み、前記上部電極は透明電極からなり、前記基板には前記TFT、前記上部電極と接続する端子部が形成され、前記端子部は前記ゲート電極と同じ層で形成されており、

前記端子部周辺はパッシベーション膜によって保護され、

前記ゲート電極は複数の層からなり、最上層はTi、TiN、ITO、IZOのいずれかで形成され、

前記端子部周辺において、前記最上層を形成するTi、TiN、ITO、IZOは、前記ゲート電極の他の層と直接積層された状態で、前記パッシベーション膜で覆われていることを特徴とする有機EL表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は有機EL表示装置のうち、特にトップエミッションタイプの画素構造および端子構造に関連する。

【背景技術】

【0002】

従来表示装置の主流はCRTであったが、これに替わって、フラットディスプレイ装置である、液晶表示装置、プラズマ表示装置等が実用化され、需要が増大している。さらにこれらの表示装置に加え、有機エレクトロルミネッセンスを用いた表示装置（以下有機EL表示装置という）や、フィールドエミッションを利用する電子源をマトリクス状に配置して陽極に配置された蛍光体を光らすことによって画像を形成する表示装置（以後FED表示装置という）の開発、実用化も進んでいる。

20

【0003】

有機EL表示装置は（1）液晶と比較して自発光型であるので、バックライトが不要である、（2）発光に必要な電圧が10V以下と低く、消費電力を小さくできる可能性がある、（3）プラズマ表示装置やFED表示装置と比較して、真空構造が不要であり、軽量化、薄型化に適している、（4）応答時間が数マイクロ秒と短く、動画特性がすぐれている、（5）視野角が170度以上と広い、等の特徴がある。

30

【0004】

図11は従来から開発が進められているボトムエミッションタイプと称する有機EL表示装置の画素構造の断面図である。図11は薄膜トランジスタ（Thin Film Transistor、TFT）をスイッチング素子として有機ELを駆動する表示装置の画素部の断面図である。図11において、ガラス基板1の上に、アンダーコート2が施されている。このアンダーコート2はガラス基板からの不純物がTFTや有機ELを汚染するのを防止する役目を有する。半導体層3にはソース部、チャンネル部、ドレイン部が形成されている。半導体層3を覆ってゲート絶縁膜4が形成されており、このゲート絶縁膜の上にはゲート電極5が形成され、このゲート電極5を覆って層間絶縁膜6が形成される。この層間絶縁膜6の上には、SD配線7が形成されるが、このSD配線7は層間絶縁膜6に形成されたスルーホールを通して、半導体層3に形成されているソース部またはドレイン部と接続し、TFTから信号を取り出す役割をもつ。このSD配線7を覆って、TFT全体を保護するためのパッシベーション膜8が形成される。

40

【0005】

有機EL層の下部電極となる、透明電極（ITO）12がパッシベーション膜8上に形成されるが、この透明電極12はパッシベーション膜8に形成されたスルーホールを介してSD配線7とつながる。さらに、透明電極12およびパッシベーション膜8上には、各画素を分離するためのバンク11が形成される。バンク11が形成されていない部分には発光部である有機EL層9が堆積される。そして、有機EL層9の上には上部電極となる金属層10が形成される。有機EL層9は一般には複数層となっているが、陰極と陽極の

50

間に電圧を印加することによって発光する。ここで、下部電極は透明電極で形成されており、パッシベーション膜 8、層間絶縁膜 6、アンダーコート 2 のいずれも透明であるので、有機 EL 層 9 で発した光は図 12 の矢印 L の方向に向かう（ボトムエミッション）。一方、上部電極 10 へ向かう光は上部電極である金属 10 で反射されてやはり図 11 の矢印 L の方向に向かうことになる。

【0006】

ボトムエミッションでの問題点は、TFT 等スイッチング素子との関係で、発光有効領域に制限がある、EL からの光がスイッチング素子である TFT の動作に影響を与える可能性がある、EL からの光がパッシベーション膜 8、層間絶縁膜 6、アンダーコート 2、ガラス基板 1 等、いくつもの層を通過しなければならないため、各層での光の吸収、各層間の反射等によって、光の取り出し効率が低下する等である。

10

【0007】

トップエミッションタイプの有機 EL 表示装置は上記ボトムエミッションタイプの問題点のいくつかは解決できるが、依然として、構造が複雑で、製造コストが高い、信頼性が十分でない等の課題を持っている。

【0008】

なお、「特許文献 1」には上記説明した構造と類似で、トップエミッションタイプの構造に適用できる有機 EL 表示装置の画素構造が記載されている。また、「特許文献 2」には、SD 配線と同様の層を有機 EL 層の陽極として使用する構成が記載されている。

【0009】

20

【特許文献 1】特開 2001 - 56650 号公報

【特許文献 2】特開 2003 - 234188 号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

有機 EL 表示装置が他のフラットディスプレイを凌駕するためには、製造コストの削減、明るさの向上、信頼性の向上等の課題を克服することは必須である。トップエミッションタイプの有機 EL 表示装置は、有機 EL による発光部分の位置、面積等については、比較的自由度があり、また、発光層からの光が透過する層数は減らすことができるので、明るさについては、ボトムエミッションに比較して向上させることができるが、画素構造は上記説明したものと本質的には変化ないため、製造コストの抜本的な低減にはならない。すなわち、形成する層数が多いためにプロセスも長くなり、これがコストを押し上げることになる。

30

【0011】

一方、有機 EL を駆動させる電気信号を供給するための端子部は導電層が外気に曝されるため、安定性が問題になる。この端子部は、導電性をもって、かつ安定な金属酸化物等で形成しようとした場合、従来は端子部のために、特別な材料を用い、かつ、追加プロセスを用いていた。したがって、この端子部の構造も製造コストを押し上げる要因となっていた。

【課題を解決するための手段】

40

【0012】

本発明は、トップエミッションタイプの有機 EL 表示装置の動作の信頼性を保ったまま、製造コストを抑える手段を提供するものであり、具体的な手段は次のようである。

【0013】

(1) 陽極となる上部電極と陰極となる下部電極との間に有機 EL 層が形成され、前記有機 EL 層に電流を流すことによる発光を利用する有機 EL 表示装置であって、基板上に半導体層、ゲート絶縁膜、ゲート電極を有する TFT が形成され、前記 TFT を覆って、層間絶縁膜が形成され、SD 配線は前記 TFT の半導体層と接続するとともに、前記層間絶縁膜上に延在して前記有機 EL 層の前記下部電極となり、前記 SD 配線は光を反射する金属または金属合金の層を含み、前記上部電極は透明電極からなり、前期基板上には前記

50

TFT、前記上部電極と接続する端子部が形成され、前記端子部は前記SD配線と同じ層で形成されていることを特徴とする有機EL表示装置。

(2) 前記SD配線は複数の層からなり、最上層は透明導電膜で形成されていることを特徴とする(1)に記載の有機EL表示装置。

(3) 前記SD配線の最上層となる透明導電膜はITO、IZO、WO₃、またはMoO₃であることを特徴とする(2)に記載の有機EL表示装置

(4) 前記SD配線は複数の層からなり、最上層はTiまたはTiNで形成されていることを特徴とする(1)に記載の有機EL表示装置。

(5) 前記SD配線の前記半導体層と接する層はMo、W、Ta、Tiまたはこれらのひとつの金属を有する合金であることを特徴とする(1)に記載の有機EL表示装置。

(6) 前記SD配線の光を反射する金属または金属合金の層はAlまたはAlSiの合金であることを特徴とする(1)に記載の有機EL表示装置。

【0014】

(7) 陽極となる上部電極と陰極となる下部電極との間に有機EL層が形成され、前記有機EL層に電流を流すことによる発光を利用する有機EL表示装置であって、基板上に半導体層、ゲート絶縁膜、ゲート電極を有するTFTが形成され、前記TFTを覆って、層間絶縁膜が形成され、SD配線は前記TFTの半導体層と接続するとともに、前記層間絶縁膜上に延在して前記有機EL層の前記下部電極となり、前記SD配線は光を反射する金属または金属合金の層を含み、前記上部電極は透明電極からなり、前期基板上には前記TFT、前記上部電極と接続する端子部が形成され、前記端子部は前記ゲート電極と同じ層で形成されていることを特徴とする有機EL表示装置。

(8) 前記ゲート電極は、Mo、W、Ta、Tiまたはこれらのひとつの金属を有する合金であることを特徴とする(7)に記載の有機EL表示装置。

(9) 前記ゲート電極は複数の層からなり、最上層はTi、TiN、ITO、IZOのいずれかで形成されていることを特徴とする(7)に記載の有機EL表示装置。

【0015】

(10) 上部電極と下部電極との間に有機EL層が形成され、前記有機EL層に電流を流すことによる発光を利用する有機EL表示装置であって、基板上に半導体層、ゲート絶縁膜、ゲート電極を有するTFTが形成され、前記TFTを覆って層間絶縁膜が形成され、複数の層から形成されるSD配線は前記TFTの半導体層と接続し、前記SD配線の複数の層のうちの一部は前記層間絶縁膜上に延在して前記有機EL層の前記下部電極となり、前記SD配線は光を反射する金属または金属合金の層を含み、前記上部電極は透明電極からなり、前期基板上には前記TFT、前記上部電極と接続する端子部が形成され、前記端子部は前記SD配線と同じ層で形成されていることを特徴とする有機EL表示装置。

(11) 前記SD配線の最上層はITO、IZO、WO₃、またはMoO₃で形成され、ITO、IZO、WO₃、またはMoO₃は前記有機EL層の下部電極を構成しないことを特徴とする(10)に記載の有機EL表示装置。

(12) 前記SD配線は複数の層からなり、最上層はTiまたはTiNで形成されていることを特徴とする(10)に記載の有機EL表示装置。

(13) 前記SD配線の前記半導体層と接する層はMo、W、Ta、Tiまたはこれらのひとつの金属を有する合金であることを特徴とする(10)に記載の有機EL表示装置。

(14) 前記SD配線の光を反射する金属または金属合金の層はAlまたはAlSiの合金であることを特徴とする(10)に記載の有機EL表示装置。

【発明の効果】

【0016】

上記の手段ごとの効果は次のようである。

【0017】

手段(1)によれば、SD配線を有機EL層の下部電極とし、パッシベーション膜が各画素間を分離するバンクを兼用するので、有機EL層の下部電極を別途形成する工程、バンクを別途形成する工程を省略できるので、有機EL表示装置の製造コストの大幅な削減

10

20

30

40

50

になる。また、端子部にSD配線と同じ層を用いるので、端子部として別途配線を形成する必要がないので、さらに製造コストの削減になる。

手段(2)によれば、手段(1)の効果に加え、端子部の最上層は化学的に安定な透明導電膜で形成されているので、端子部の信頼性を保つことができる。

手段(3)によれば、手段(1)の効果に加え、端子部の最上層は、化学的に安定で、容易に入手可能な、ITO、IZO、WO₃、またはMoO₃を用いるので、端子部の信頼性を保つとともに、製造コストを抑制できる。

手段(4)によれば、手段(1)の効果に加え、端子部の最上層は化学的に安定な、TiまたはTiNで形成されているので、端子部の信頼性を保つことができる。

手段(5)によれば、手段(1)の効果に加え、SD配線が半導体層と接する面は半導体層の汚染をしない金属であるため、TFTの動作を安定化できる。

手段(6)によれば、手段(1)の効果に加え、SD配線の反射金属として、AlまたはAl-Si合金等を使用するので、配線としては電気抵抗が小さく、有機EL層の下部電極としては反射率の高い金属を使用することができ、有機EL表示装置として高い性能を発揮できる。

【0018】

手段(7)によれば、(1)の効果に加え、端子部にゲート電極と同じ層を用いるので、端子部として別途配線を形成する必要がないので、さらに製造コストの削減になる。

手段(8)によれば、手段(1)の効果に加え、ゲート電極は高融点の金属であり、TFTの他の層を汚染することが無い。また、ゲート端子の金属として使用しても安定である。

手段(9)によれば、手段(1)の効果に加え、端子部の最上層は化学的に安定なTi、TiN、ITO、IZOのいずれかで形成されているので、端子部の信頼性を保つことができる。

【0019】

手段(10)によれば、SD配線を複数の層で形成し、その1部の層を有機EL層の下部電極とし、パッシベーション膜に各画素間を分離するバンクを兼用するので、有機EL層の下部電極を別途形成する工程、バンクを別途形成する工程を省略できるので、有機EL表示装置の製造コストの大幅な削減になる。また、複数のSD配線層のうち、とくに有機EL層の陰極として適した材料を有機EL層の下部電極として用いることができるので、有機ELの特性を高く維持できる。さらに、端子部にSD配線と同じ層を用いるので、端子部として別途配線を形成する必要がないため、さらに製造コストの削減になる。

手段(11)によれば、手段(10)の効果に加え、端子部の最上層は化学的に安定な金属酸化物を使用するので、端子部の安定性を向上することができる。

手段(12)によれば、手段(10)の効果に加え、端子部の最上層は化学的に安定なTiまたはTiNを使用するので、端子部の安定性を向上することができる。

手段(13)によれば、手段(10)の効果に加え、SD配線が半導体層と接する面は半導体層を汚染しない金属であるため、TFTの動作を安定化できる。

手段(14)によれば、手段(10)の効果に加え、SD配線の反射金属として、AlまたはAl-Si合金を使用するので、配線としては電気抵抗が小さく、有機EL層の下部電極としては反射率の高い金属を使用することができ、有機EL表示装置として高い性能を発揮できる。

手段(15)によれば、手段(10)の効果に加え、有機EL層の下部電極として、陰極として優れた特性と持つAlまたはAl-Si合金層等を使用するので、有機EL表示装置として高い性能を発揮できる。

【発明を実施するための最良の形態】

【0020】

実施例にしたがって、本発明の詳細な内容を開示する。

【実施例1】

【0021】

10

20

30

40

50

図1は本発明によるトップエミッションタイプの有機EL表示装置の画素部の断面構造であり、図2は端子部12の断面構造である。図1において、基板1は本実施例においてはガラスを用いる。しかし、トップエミッションの場合は、基板1は光を透過させる必要は無いので、ガラスに限る必要は無く、SUSなどの金属や、PET、PE S等のプラスチック材料を用いることもできる。アンダーコート2は基板1からの不順物に対するバリアとしての役割をもつ。一方、アンダーコート2は、その上に形成される半導体層3との密着性も重要である。本実施例においては、酸化シリコン膜あるいは窒化シリコン膜またはそれらの積層膜が用いられる。アンダーコート2として2層膜が用いられる場合は、膜厚は例えば、下層の窒化シリコンが150nm、上層の酸化シリコンが100nmである。

10

【0022】

半導体層3はCVD法によって形成されるアモーフアスSi膜、またはアモーフアスSi膜をレーザーによってアニールすることによって形成されるポリシリコン膜が用いられる。該半導体層3の両側にはイオンインプランテーションによって、導電性が付与されたソース部あるいはドレイン部が形成される。この半導体層3の膜厚は例えば、50nmである。

【0023】

半導体層3を覆って、ゲート絶縁膜4が形成される。ゲート絶縁膜4にはCVD法で形成される酸化シリコンあるいは窒化シリコン、またはそれらの積層膜がもちいられる。ゲート絶縁膜4の膜厚は例えば、100nmである。ゲート絶縁膜4の上にゲート電極5となるゲート金属層がスパッタリング等によって形成される。この金属層をパターンニングすることにより、ゲート電極5を形成するだけでなく、ゲート配線層も形成する。さらに本実施例では、図2に示すように、端子部12として使用する場合もある。ゲート金属層はMo、W、Ta、Ti等の高融点金属、あるいはこれらの金属の合金が適している。さらには、これらの金属あるいは合金との積層膜を用いてもよい。ゲート金属層を端子部12としても使用する場合是最上層はTi、TiN、ITO、IZO等の安定な材料とする必要がある。ゲート電極5の膜厚は例えば、150nmである。

20

【0024】

ゲート電極5を覆って層間絶縁膜6が形成される。この層間絶縁膜6はゲート電極5と接続されるゲート配線と、SD配線7と接続される信号配線との絶縁をする役目をもつ。層間絶縁膜6はCVDで形成される酸化シリコンあるいは、窒化シリコンがもちいられる。層間絶縁膜6の膜厚は例えば、500nmである。

30

【0025】

この層間絶縁膜6をおおって、SD配線層7となるSD金属層がスパッタリング等によって形成される。このSD金属層が本発明では重要な役割を持つ。SD金属層はパターンニングされて信号線になるとともに、層間絶縁層に形成されたスルーホールを介して半導体層3のソース部あるいはドレイン部と接続する。そして、本発明ではこのSD配線層7は有機EL層の下まで伸びて、有機EL層9の下部電極として使用される。有機EL層9の下部電極として使用されるためにはSD配線層7は高反射率を有する物質でかつ、導電性を有していなければならない。また、SD配線層7が積層膜で出来ている場合は、少なくとも1層は高い反射率を持つ物質でなければならない。そして、SD配線層7のうち、有機EL等の下部電極となる層は有機EL層9の陰極材料として適した仕事関数の小さな材料であることが望ましい。本実施例でのSD配線層7としては、Al、Si、CuとAlの合金、ランタノイド系元素とAlの合金、Ag等が使用できる。

40

【0026】

SD配線7は半導体層3と直接接することになるため、半導体層3と接する部分のSD配線層7の材料は半導体を汚染しない材料とする必要がある。したがって、この部分のSD配線層7の材料はTi、TiN、W、またはこれらの合金、あるいはMoまたはその合金を使用するのがよい。

【0027】

50

また、本発明においては、SD配線層7を端子部12としても使用する場合がある。すなわち、図2では端子部12はゲート金属を用いるとしたが、ゲート金属に替えてSD配線層7を用いることもできる。このような場合、SD配線層7を多層化して、最上層に安定な金属あるいは金属酸化物を形成する。例えば、この場合の上層としては、ITO、IZO、WO₃、またはMoO₃等を用いることができる。したがって、SD配線層7を端子としても用いる場合は、SD配線層7は、EL下部電極としての高い反射特性、半導体の汚染の危険がないことに加えて、少なくとも最上層は外気に対して安定であるという性質を有する必要がある。このような物質はSD配線層7を積層構造とすることによって得ることができる。

【0028】

その後、SD配線層7と外部との絶縁を保つため、および、TFTへの外部からの汚染を防止するためのパッシベーション膜8が形成される。本実施例ではCVD法により形成した窒化シリコン膜が用いられる。この窒化シリコン膜の膜厚は例えば、300nmである。本実施例においては、このパッシベーション膜8は上記の役割と同時に、各画素を他の画素から分離するためのバンクの役割ももたせている。このパッシベーション膜8は有機ELが形成される部分はエッチングによって除去され、残った部分が他の画素と分離するためのバンクとなる。さらに、SD配線7が多層膜で形成されている場合、上層部をエッチングによって除去し、有機EL層に電子を注入し易い層、例えば、Al、またはAl合金等の層を有機EL層9の下部電極とすることも出来る。

【0029】

図3に発光部となる有機EL層9の1例である断面模式図を示す。図3において、下部電極であるSD配線層7の上に電荷注入層91が形成される。電荷注入層91は、例えば、LiFを0.5nm真空蒸着によって形成する。電荷注入層91の役割は下部電極である陰極からの電子の注入を容易にするものである。電荷注入層91の上には電子輸送層92が形成される。電荷輸送層92は例えば、真空蒸着によりトリス(8-キノリノール)アルミニウム(以下Alqと略す)を20nmの厚さに形成する。この層の役割は電子を発光層93まで、出来るだけ抵抗なしに、効率よく運ぶ役割を持つ。その上には発光層93が形成される。この発光層93において、電子とホールが再結合することによるEL発光が生ずる。発光層93は、例えば、Alqとキノクリドン(Qcと略す)の共蒸着膜を20nmの厚さに形成する。AlqとQcの蒸着速度の比は40:1である。発光層93の上にはホール輸送層94が形成される。このホール輸送層94は陽極から供給されたホールをできるだけ抵抗無しに効率よく発光層93に運ぶ役割をもつ。ホール輸送層94はNPDを蒸着により50nmの厚さに形成する。ホール輸送層94の上にはホール注入層95が形成される。このホール注入層95は、陽極からのホールの注入を容易にするものである。ホール注入層95は銅フタロシアニンを蒸着により50nmの厚さに形成する。ホール注入層95の上に陽極である、上部電極10が形成される。なお、ホール注入層95と上部電極10の間に、バッファ層として透明金属酸化物をEB蒸着等によって15nmの厚さに形成する場合もある。このバッファ層としての金属酸化物の材料としてはV₂O₅、MoO₃、WO₃等があげられる。バッファ層の主たる役割は陽極材料をスパッタリングするさいに、有機EL層がダメージを受けるのを防止するためである。

【0030】

本発明はトップエミッションタイプであるため、陽極となる上部電極10は透明電極である必要がある。有機ELで発光した光は図1の矢印Lの方向に出射する。上部電極10は有機EL層9に対して一定の直流電圧を加えるものであるため、画素毎に分離しなくともよい。画素毎に分離した場合であっても共通端子から電圧を供給することができる。また、外気にさらされる機会もあるために、化学的にも安定である必要がある。さらに長期間にわたって、抵抗等の電気的特性も安定である必要がある。本実施例に用いることができる上部電極10材料としては、Ti、TiN、ITO、IZO等である。

【0031】

10

20

30

40

50

以上のように、本実施例によれば、(1)SD配線7とは別個に形成されていた有機EL層9の下部電極の形成、パターニングの工程を省略できること、(2)パッシベーション膜8にバンクとしての役目をもたせているので、バンク形成のための別工程が省略でき、さらに(3)端子部12をSD配線層7または、ゲート配線層で形成するために、端子部12のためのプロセスも省略することができるために大幅な製造コストの削減をすることができる。そして、本実施例ではSD配線層7、あるいは、ゲート配線層に対して、本実施例に最適な材料、膜構造、あるいは積層構造とすることによって、信頼性、あるいは、表示特性を低下させること無しに、コスト低減を実現することができる。

【実施例2】

【0032】

10

図4および図5に本発明の第2の実施例をしめす。本実施例においては、基板1はガラス基板1を用いる、ガラス基板1上にCVD法により、アンダーコート2として窒化シリコン膜を形成する。アンダーコート2上にプラズマCVD法により、アモーフラスシリコン層を形成する。このアモーフラスシリコン層をレーザーアニール法によって、ポリシリコン層に変え、フォトリソグラフィによるパターニングによって半導体層3を形成する。半導体層3上にプラズマCVD法により、ゲート絶縁層を形成する。

【0033】

ゲート絶縁層上にスパッタリングにより、Mo-W合金層を積層し、フォトリソグラフィによるパターニングによってゲート電極5およびゲート配線層を形成する。ゲート電極5を覆って、層間絶縁膜6としての酸化シリコン膜を形成し、フォトリソグラフィによるパターニングによってスルーホールを形成し、SD配線7と半導体層3とのコンタクトホールとする。

20

【0034】

層間絶縁膜6の上に、スパッタリングによって、Ti/Al-Si合金/Ti/ITOの4層の積層膜を形成し、フォトリソグラフィによるパターニングによってSD配線層7を形成する。本実施例では、図5に示すように、SD配線層7を端子部12の金属としても使用する。ここで、下部Ti層71はSD配線層7による半導体層3の汚染を防止する役割を持ち、Al-Si合金層72は配線抵抗を下げる役割を持つ。また、Al-Si合金層72は有機EL層9の下部電極として用いられるため、高反射率の電極としての働きをする。上部Ti層73はITO74とAl-Si層72との反応を防止する役割を持つ。そして、ITO層74はSD配線層7が端子として使用されるので、端子部12では最外層部となって、端子部12の腐食を防止する役割をもつ。

30

【0035】

その後、パッシベーションの役割を持つ窒化シリコンをプラズマCVDによって堆積する。次に有機ELが堆積されることになる発光部、および端子部12から窒化シリコンを除去する。端子部12はITOが表面に残ることになる。さらに発光部からTiを除去する。これによって、Al-Siの合金が、有機ELの下部電極、すなわち陰極となる。

【0036】

その後蒸着により、発光部に有機EL層9を形成する。有機EL層9は実施例1と同じように複数層形成される。さらに、有機EL層9の上部に上部電極10、すなわち陽極となるIZOをスパッタリングによって形成する。しがたって、本実施例では、有機EL層9の陰極となる下部電極はAl-Si合金膜72で、陽極となる上部電極10はIZO膜である。IZOは透明であり、有機EL層9からの光はこのIZOを通して外部に出て行くことになる。

40

【0037】

本実施例の発明によれば、有機EL層9の下部電極を別途形成するプロセスを省けること、また、層間絶縁膜6を画素分離のためのバンクとして使用するために、バンクを別途形成するプロセスを省けることから、大幅なコスト削減になる。さらに、端子部12にSD配線層7として形成した金属層をそのまま使用するために、端子構造を別途形成するプロセスを省略できるので、この点からも製造コスト削減の効果がある。

50

【実施例 3】

【0038】

図6および図7に本発明の第3の実施例を示す。本実施例は、層間絶縁膜6の形成までは実施例2と同じである。実施例3では、層間絶縁膜6に半導体層3とのコンタクトを取るためのスルーホールを形成したあと、SD配線層7として、Ti/Al-Si合金/Tiを順にスパッタリングによって堆積してSD金属層とする。すなわち、本実施例ではSD配線層7は3層である。その後、フォトリソグラフィによるパターニングによって、SD配線層7および端子部12を形成する。図6および図7に示すように、SD配線層7と端子部12の層は同じ層によって形成されている。端子部12の表面には上部Ti層73が存在することになるが、Tiは大気中でも安定して存在できるため、端子部12の信頼性が損なわれることは無い。

10

【0039】

その後、基板1全面にCVD法により、パッシベーション膜8である窒化シリコン膜を形成する。その後、有機EL層9が形成されることになる発光部から窒化シリコン膜を除去し、続いて発光部から上部Tiを除去する。その後、端子部12から窒化シリコンを除去する。端子部12の窒化シリコンを最後に除去するのは発光部から上部Tiを除去するさいに、端子部12の上部Tiが除去されるのを防止するためである。

【0040】

その後、蒸着により、発光部に有機EL層9を形成する。有機EL層9は実施例1と同じように複数層形成される。さらに、有機EL層9の上部に上部電極10、すなわち陽極となるIZOをスパッタリングによって形成する。したがって、本実施例では、有機EL層9の陰極となる下部電極はAl-Si合金膜72で、陽極となる上部電極10はIZO膜である。IZOは透明であり、有機EL層9からの光はこのIZOを通して外部に行くことになる。

20

【0041】

本実施例の発明によれば、有機EL層9の下部電極を別途形成するプロセスを省けること、また、層間絶縁膜6を画素分離のためのバンクとして使用するために、バンクを別途形成するプロセスを省けることから、大幅なコスト削減になる。さらに、端子部12にSD配線層7として形成した金属層をそのまま使用するために、端子構造を別途形成するプロセスを省略できるので、この点からも製造コスト削減の効果がある。本実施例では、実施例2に比較して、ITOの被着工程、および、発光部からのITOの除去プロセスを省略することが出来るので、この面からも製造コストの削減となる。

30

【実施例 4】

【0042】

図8および図9に本発明の第4の実施例をしめす。本実施例はゲート絶縁膜4を形成するまでの工程は実施例2と同じである。本実施例では、ゲート絶縁膜4を形成した後、ゲート電極層5として、Mo-W合金膜51とITO膜52の積層構造とする。この積層構造となっているゲート電極層5を端子部12として用いる。端子部12は表面がITO膜52に覆われることになるため、端子部12が腐食する危険は防止することができる。

【0043】

その後、層間絶縁膜6を形成し、コンタクト用スルーホールを形成することは、実施例2と同じである。本実施例では、SD配線層7として、Ti/Al-Si合金の2層膜を用いる。本実施例においては、端子部12には、SD配線層7は用いず、ゲート電極5と同じ層を用いるので、SD層の表面に、化学的に安定なITO膜あるいはTi膜を用いる必要はないからである。

40

【0044】

その後、基板1全面にCVD法により、パッシベーション膜8である窒化シリコン膜を形成した後、有機EL層9が形成されることになる発光部、および端子部12から窒化シリコン膜を除去する。そして発光部には蒸着により、有機EL層9を形成する。有機EL層9は実施例1と同じように複数層形成される。さらに、有機EL層9の上部に上部電極

50

10、すなわち陽極となるIZOをスパッタリングによって形成する。しがたって、本実施例でも、有機EL層9の陰極となる下部電極はAl-Si合金膜72で、陽極となる上部電極10はIZO膜である。IZOは透明であり、有機EL層9からの光はこのIZOを通して外部に出て行くことになる。

【0045】

本実施例の発明によれば、有機EL層9の下部電極を別途形成するプロセスを省けること、また、層間絶縁膜6を画素分離のためのバンクとして使用するために、バンクを別途形成するプロセスを省けることから、大幅なコスト削減になる。さらに、端子部12にゲート電極5として形成した金属層をそのまま使用するために、端子構造を別途形成するプロセスを省略できるので、この点からも製造コスト削減の効果がある。本実施例では、実施例2に比較して、ゲート電極5を2層としてITOを被着する工程は増すものの、SD部におけるITOの被着工程、Tiの被着工程、および、発光部におけるITOおよび、Tiの除去プロセスを省略することが出来るので、この面からも製造コストの削減となる。

【実施例5】

【0046】

本実施例の画素部の断面構造を図10に示す。端子部12の構造は実施例2の端子構造である図5と同じである。本実施例は、図10に示すように、有機EL層9の下部電極となるSD配線7に対し、発光部においてはITOを除去する。したがって、本実施例においては、Tiが陰極として使用される。Tiの仕事関数は4.33eVであり、Alの仕事関数4.28eVと比較してもそれほど大きくはない。したがって、電子注入層の材料、構成を適切に設計することによって有機EL層9の下部電極、すなわち、陰極として使用することができる。

【0047】

本実施例においては、発光部以外のSD配線の最上部はITOで覆われており、端子部の最上層はITOで覆われているため、端子部においてTi以下の層が大気にさらされて腐食することはない。したがって、Ti以外でも、陰極材料として適当であり、かつ、ITOと反応して性質が変化するような材料でなければ、他の金属、あるいは合金を使用することもできる。

【0048】

本実施例の発明によれば、有機EL層9の下部電極を別途形成するプロセスを省けること、また、層間絶縁膜6を画素分離のためのバンクとして使用するために、バンクを別途形成するプロセスを省けることから、大幅なコスト削減になる。さらに、端子部12にSD配線層7として形成した金属層をそのまま使用するために、端子部を別途形成するプロセスを要しない。また、端子部の表面はITOによって覆われているために、端子部の信頼性が高い。さらに、発光部においてもITO一層を除去するだけなので、実施例1に比しても製造コストを削減することができる。

【図面の簡単な説明】

【0049】

【図1】本発明の画素部の断面図である。

【図2】本発明の端子部の断面図である。

【図3】有機EL層の断面図である。

【図4】本発明の第2の実施例による画素部の断面図である。

【図5】本発明の第2の実施例による端子部の断面図である。

【図6】本発明の第3の実施例による画素部の断面図である。

【図7】本発明の第3の実施例による端子部の断面図である。

【図8】本発明の第4の実施例による画素部の断面図である。

【図9】本発明の第4の実施例による端子部の断面図である。

【図10】本発明の第5の実施例による画素部の断面図である。

【図11】従来例の画素部の断面図である。

10

20

30

40

50

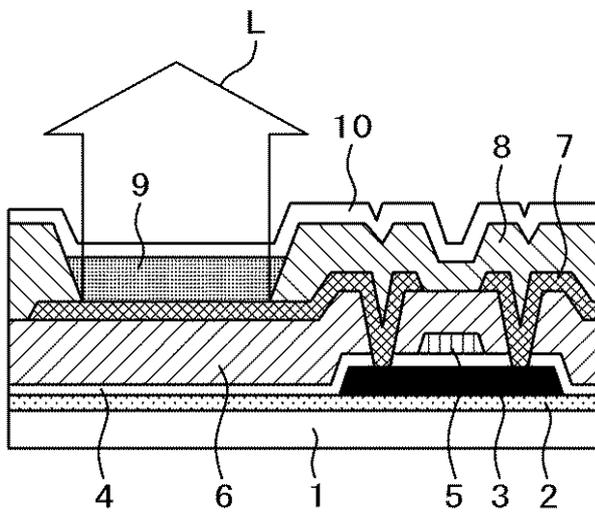
【符号の説明】

【0050】

1 ... 基板、 2 ... アンダーコート、 3 ... 半導体層、 4 ... ゲート絶縁膜、 5 ... ゲート電極、 6 ... 層間絶縁膜、 7 ... S D配線、 8 ... パッシベーション膜、 9 ... 有機EL層、 10 ... 上部電極、 11 ... バンク、 12 ... 端子部、 51 ... Mo - W合金層、 52 ... ITO層、 71 ... 下部Ti層、 72 ... Al - Si合金層、 73 ... 上部Ti層、 74 ... ITO層、 91 ... 電子注入層、 92 ... 電子輸送層、 93 ... 発光層、 94 ... ホール輸送層、 95 ... ホール注入層。

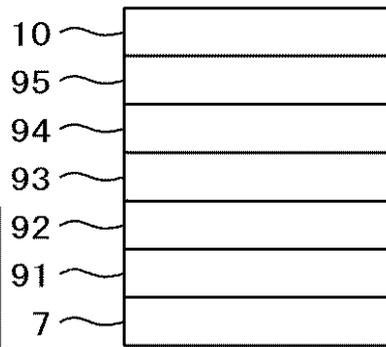
【図1】

図1



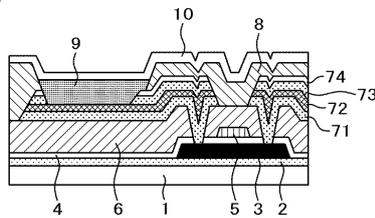
【図3】

図3



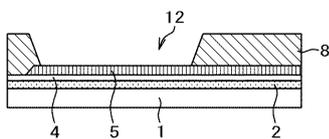
【図4】

図4



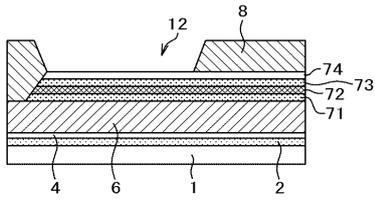
【図2】

図2



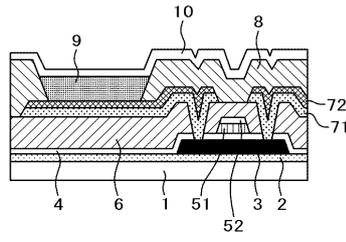
【図5】

図5



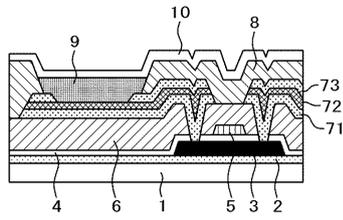
【図8】

図8



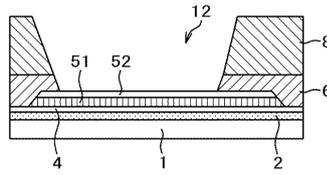
【図6】

図6



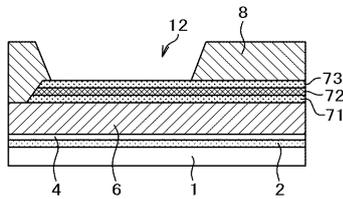
【図9】

図9



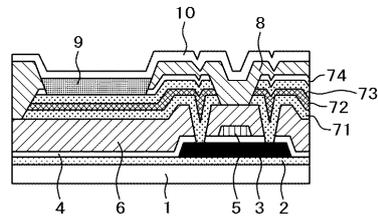
【図7】

図7



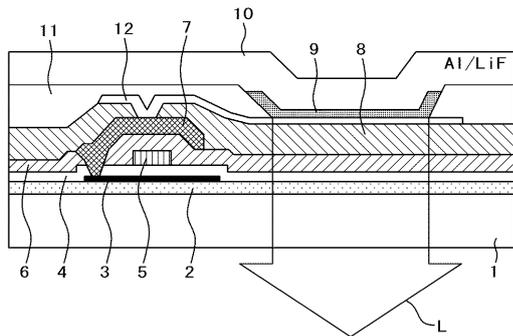
【図10】

図10



【図11】

図11



フロントページの続き

- (72)発明者 田中 政博
千葉県茂原市早野3300番地 株式会社 日立ディスプレイズ内
- (72)発明者 荒谷 介和
茨城県日立市大みか町七丁目1番1号 株式会社 日立製作所 日立研究所内
- (72)発明者 清水 政男
茨城県日立市大みか町七丁目1番1号 株式会社 日立製作所 日立研究所内

審査官 田辺 正樹

- (56)参考文献 特開2005-302740(JP,A)
特開2005-150685(JP,A)
特開2004-192876(JP,A)
特開2002-049333(JP,A)
特開2003-288983(JP,A)
特開2004-047410(JP,A)
特開2003-332073(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09F9/00-9/46
G02F1/13-1/141
H01L21/336、27/32、29/786、51/50
H05B33/00-33/28