



(12) 发明专利

(10) 授权公告号 CN 101499201 B

(45) 授权公告日 2014. 02. 26

(21) 申请号 200810176170. X

(22) 申请日 2003. 12. 26

(30) 优先权数据

2002-378853 2002. 12. 27 JP

(62) 分案原申请数据

200310123568. 4 2003. 12. 26

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 山崎舜平 高山彻 丸山纯矢

后藤裕吾 大野由美子 秋叶麻衣

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 朱海煜 张志醒

(51) Int. Cl.

G07G 1/06(2006. 01)

G06K 19/077(2006. 01)

G07F 7/08(2006. 01)

(56) 对比文件

CN 1098227 A, 1995. 02. 01, 说明书第 1 页第 1 段至说明书第 17 页第 2 段及图 1-8 (D).

CN 1109211 A, 1995. 09. 27, 说明书第 1 页第 1 段至说明书第 23 页第 1 段及图 1-8.

CN 1146629 A, 1997. 04. 02, 全文.

CN 1302418 A, 2001. 07. 04, 全文.

US 6019284 A, 2000. 02. 01, 全文.

审查员 王建良

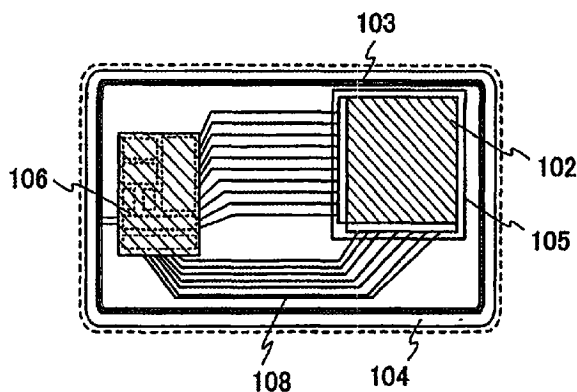
权利要求书2页 说明书17页 附图32页

(54) 发明名称

卡以及利用该卡的记帐系统

(57) 摘要

本发明的名称为卡以及利用该卡的记帐系统,目的是提供一种更高功能的智能卡,该智能卡可以防止更换脸部照片等伪造行为,从而可以确保该卡的安全,并且该卡可以显示脸部照片以外的图像。具有显示器件和薄膜集成电路的卡,该卡用薄膜集成电路来控制显示器件的驱动,用于显示器件以及薄膜集成电路的半导体元件由多晶半导体膜形成,所述薄膜集成电路和显示器件被树脂密封在所述卡的第一衬底和第二衬底之间,并且,第一和第二衬底是塑料衬底。



1. 一种形成薄膜集成电路的方法,包括:  
在衬底上形成金属膜;  
通过产生等离子体氧化所述金属膜的表面而在所述金属膜上形成金属氧化膜;  
在所述金属氧化膜上形成氧化膜;  
在所述氧化膜上形成底膜;  
通过使用半导体膜在所述底膜上形成至少一个薄膜晶体管;以及  
通过物理方式从所述衬底剥离所述薄膜晶体管和所述底膜,  
其中,使所述剥离发生在所述金属膜和所述金属氧化膜之间的界面处、在所述氧化膜和所述金属氧化膜之间的界面处或者在所述金属氧化膜内。
2. 根据权利要求1所述的形成薄膜集成电路的方法,还包括在形成所述金属膜前在所述衬底上形成绝缘膜。
3. 根据权利要求1所述的形成薄膜集成电路的方法,其中,所述金属膜包括钨。
4. 根据权利要求1所述的形成薄膜集成电路的方法,其中,在所述金属膜形成后,所述氧化膜被不暴露于空气而形成。
5. 一种形成卡的方法,包括:  
在衬底上形成天线线圈;  
形成薄膜集成电路,包括:  
在所述衬底上形成金属膜;  
在所述金属膜上形成氧化膜,其中,金属氧化膜形成在所述金属膜和所述氧化膜之间;  
在所述氧化膜上形成底膜;  
通过使用半导体膜在所述底膜上形成至少一个薄膜晶体管;以及  
通过物理方式从所述衬底剥离所述薄膜晶体管和所述底膜,  
通过粘合剂将所述薄膜集成电路附接到卡衬底,  
其中,使所述剥离发生在所述金属膜和所述金属氧化膜之间的界面处、在所述氧化膜和所述金属氧化膜之间的界面处或者在所述金属氧化膜内,并且  
其中,所述天线线圈电气连接到所述薄膜集成电路。
6. 根据权利要求5所述的形成卡的方法,还包括在形成所述金属膜前在所述衬底上形成绝缘膜。
7. 根据权利要求5所述的形成卡的方法,其中,所述金属膜包括钨。
8. 根据权利要求5所述的形成卡的方法,其中,在所述金属膜形成后,所述氧化膜被不暴露于空气而形成。
9. 一种形成卡的方法,包括:  
在衬底上形成天线线圈;  
形成显示装置与薄膜集成电路,包括:  
在所述衬底上形成金属膜;  
在所述金属膜上形成氧化膜,其中,金属氧化膜形成在所述金属膜和所述氧化膜之间;  
在所述氧化膜上形成底膜;

通过使用半导体膜在所述底膜上形成至少两个薄膜晶体管 ;以及  
通过物理方式从所述衬底剥离所述薄膜晶体管和所述底膜,  
通过粘合剂将所述显示装置和所述薄膜集成电路附接到卡衬底,  
其中,使所述剥离发生在所述金属膜和所述金属氧化膜之间的界面处、在所述氧化膜  
和所述金属氧化膜之间的界面处或者在所述金属氧化膜内,并且

其中,所述薄膜集成电路电气连接到所述天线线圈和所述显示装置。

10. 根据权利要求 9 所述的形成卡的方法,还包括在形成所述金属膜前在所述衬底上  
形成绝缘膜。

11. 根据权利要求 9 所述的形成卡的方法,其中,所述金属膜包括钨。

12. 根据权利要求 9 所述的形成卡的方法,其中,在所述金属膜形成后,所述氧化膜被  
不暴露于空气而形成。

## 卡以及利用该卡的记帐系统

[0001] 本申请是申请日为 2003 年 12 月 26 日、申请号为 200310123568.4、发明名称为“卡以及利用该卡的记帐系统”的发明专利申请的分案申请。

### 技术领域

[0002] 本发明涉及在其内部埋入存储器,微处理器(CPU)等集成电路的以电子卡为典型的卡,并且涉及将该电子卡利用于自动存取款卡(ATM(Automated Teller Machine)card)时,记录交易内容的记账系统。

### 背景技术

[0003] 利用磁性进行记录的磁卡可以记录的数据仅有几十字节(byte),相对于此,内部埋有半导体存储器的电子卡一般可以记录 5KB,或更多,后者可以确保的容纳量之大是前者不可同日而语的。而且,电子卡不象磁卡那样要使卡接触铁砂这样的物理方法从而读出数据,另外,电子卡还有存储的数据很难被篡改的优势。

[0004] 另外,以电子卡为典型的卡包括代替身份证的 ID 卡,以及如塑料卡那样可以弯曲的半硬卡等。

[0005] 近几年,除了存储器,CPU 也被搭载到智能卡(smart card,又称集成电路 IC 卡)上,使智能卡的高功能化得到进一步发展。智能卡的用途非常广泛,包括用于自动存取款卡,信用卡,预付卡,会诊卡,象学生证或职员证这样的身份证明证,月票,会员证等。作为高功能化的一个例子,下面的专利文件 1 中提出了一种智能卡,该卡搭载有可以显示简单文字和数字等的显示器件,以及用于数字输入的键盘。

[0006] 专利文件 1

[0007] 日本专利公开 HEI No. 2-7105

[0008] 如专利文件 1 所述,通过给智能卡附加新的功能,可以使智能卡有新的利用途径。目前利用智能卡的电子商务,电信办公,电信医疗,电信教学,行政服务的电信化,高速公路的自动收费,图像传送服务等实用化得到进一步发展,可以认为将来智能卡将在更为广泛的领域中被应用。

[0009] 象这样,随着智能卡的应用扩大,违法滥用智能卡成为一个不可回避的大问题,因此,在使用智能卡时,如何提高持卡人身份确认的准确性,将是今后的一个课题。

[0010] 作为防止滥用智能卡的一个对策,有人提出在智能卡上附贴脸部照片。通过附贴脸部照片,只要不是自动取款机 ATM(Automated Teller Machine)等无人终端设备,使用智能卡时,第三者可以用目视来确认本人。而且,即使不在近距离设置可以拍摄使用者脸部的监控相机,也可以有效地防止滥用智能卡。

[0011] 然而,通常脸部照片是用印刷转录在智能卡上的,这样就有一个能够比较容易更换照片的伪造的陷阱。

[0012] 另外,智能卡的厚度极薄,通常是 0.7mm。所以,在搭载集成电路的区域被限制时,要想实现高功能化,就有必要在有限的容积中尽量多搭载电路规模和存储器容量大的集成

电路。

## 发明内容

[0013] 所以,本发明的目的是提供一种具有更高功能的智能卡,该高功能智能卡可以防止更换脸部照片等伪造,从而可以确保安全,并且该智能卡可以显示脸部照片以外的图像。

[0014] 本发明除了集成电路,还可以将其厚度薄到能够容纳在智能卡内的显示器件搭载到智能卡上。确切地说,本发明使用以下方法制作集成电路和显示器件。

[0015] 首先,在第一衬底上形成金属膜,通过将该金属膜的表面氧化从而形成极薄的厚几 nm 的金属氧化膜。然后,在该金属氧化膜上依次形成绝缘膜,半导体膜。然后用该半导体膜制作用于集成电路以及显示器件的半导体元件。另外,本说明书中,为了区别常规的使用硅片形成的集成电路,将下文中用于本发明的上述集成电路称为薄膜集成电路。

[0016] 本发明借助在制作半导体元件的过程中执行的加热处理来晶化金属氧化膜,经过晶化,加强了金属氧化膜的脆性,使衬底容易从半导体元件上被剥离下来。另外,虽然不一定要借助在制作半导体元件的过程中执行的加热处理来作为兼用晶化该金属氧化膜的处理,但当在后面工艺中,粘接的卡的衬底,覆盖材料,以及用于液晶显示器件的对面衬底(counter substrate)等的耐热性不好时,最好在粘接这些衬底之前完成加热处理。

[0017] 形成半导体元件后,制作用于显示器件的显示元件之前,粘贴第二衬底并使第二衬底覆盖该半导体元件,这样就使半导体元件处于夹在第一衬底和第二衬底中间的状态。

[0018] 然后,在第一衬底的相反于形成有半导体元件的那一侧粘合第三衬底用来加固第一衬底的刚度。在第一衬底比第二衬底的刚度大的情况下,当剥离第一衬底时,就不容易损伤半导体元件,并且有利于顺利进行撕剥。注意,如果在后来的从半导体元件上剥离第一衬底时,该第一衬底有足够的刚度的情况下,就不用在第一衬底上粘接第三衬底。

[0019] 接着,连同第三衬底,从半导体元件撕剥第一衬底。由于该剥离的工艺,产生了金属膜和金属氧化膜之间分离的部分;绝缘膜和金属氧化膜之间分离的部分;以及金属氧化膜自身双方分离的部分。不管怎样,半导体元件粘附在第二衬底上,但要从第一衬底上被剥离下来。

[0020] 剥离第一衬底后,将半导体元件安装到用于智能卡的衬底(下文中简称为卡的衬底),并剥离第二衬底。随后,制作提供在显示器件中的显示元件。制作显示元件的工艺完成后,粘接用于保护该半导体元件和显示元件的衬底(下文中称作覆盖材料),并使该覆盖材料覆盖使用该半导体元件和显示元件的集成电路和显示器件,这样以来,集成电路和显示器件就处于夹在卡的衬底和覆盖材料中间的状态。

[0021] 注意,要求卡的衬底和覆盖材料的总厚度在不妨碍智能卡本身的薄膜化的范围内,确切地说,其厚度最好在几百  $\mu\text{m}$  左右。

[0022] 另外,可以在上述状态下完成智能卡,也可以将卡的衬底和覆盖材料用树脂密封,以便提高智能卡的机械刚度。

[0023] 显示器件的显示元件可以在将半导体元件安装到卡的衬底完后制作,但也可以在安装前制作。在安装前制作的情形中,可以在剥离第二衬底后,粘接覆盖材料,而且,只要第二衬底的厚度不足以成为问题,也可以在元件被粘贴在第二衬底的状态下完成制作。

[0024] 另一方面,在将半导体元件安装到卡的衬底完后制作显示元件的情形中,具体地,

在制作液晶显示器件的工艺中,比如在制作完和半导体元件之一的 TFT 电连接的液晶元件 (liquid crystal cell) 的像素电极,以及覆盖该像素电极的调准膜 (alignment film) 后然后再将半导体元件,像素电极,以及调准膜安装到卡的衬底,之后,粘接另外制作好的对面衬底,再注入液晶,就完成了显示器件的制作工艺。另外,可以在覆盖材料的表面制作反电极 (counter electrode),颜色滤光片,偏振片 (polarizing plate),以及调准膜 (alignment film) 等用来代替对面衬底。

[0025] 另外,可以粘贴另外制作的薄膜集成电路,叠加该薄膜集成电路从而使电路规模和存储容量增大。跟在硅片上制作的集成电路相比,本发明的智能卡使用总厚度被飞跃性地减少了的极薄的薄膜集成电路,所以,可以在智能卡有限的容积中更多地层叠和搭载薄膜集成电路。所以,本发明不但可以抑制薄膜集成电路在布局中所占的面积,而且可以使电路规模和存储器容量更大,因此,可以实现智能卡的多功能。另外,叠加的薄膜集成电路之间的连接可以用倒装芯片法 (FlipChip),卷带自动结合的 TAB (Tape Automated Bonding) 法,或线路接合法 (wire bonding) 等众所周知的连接方法来实现。

[0026] 另外,可以搭载使用硅片的集成电路,并使其与薄膜集成电路连接。使用硅片的集成电路包括电感器,电容器,电阻等。

[0027] 另外,叠加的薄膜集成电路或使用硅片的集成电路不限于以裸芯片直接被搭载的形式,也可以采用在内插板上安装并封装后,然后搭载的形式。至于封装,不仅可以采用芯片级封装的 CSP (Chip Size Package),多芯片封装的 MCP (Multi Chip Package),而且可以采用双列直插式封装的 DIP (Dual In-line Package),方型扁平式封装的 QFP (Quad Flat Package),小尺寸封装的 SOP (Small Outline Package) 等所有众所周知形式的封装。

[0028] 注意,在一个大面积的衬底上形成多个智能卡的情形中,在中途实施切割 (dicing),使薄膜集成电路和显示器件以智能卡为单位,相互分开。

[0029] 跟用硅片制作的膜的厚度为  $50\ \mu\text{m}$  的集成电路相比,本发明使用膜厚  $500\text{nm}$  或更薄的半导体膜可以形成总厚度被飞跃性地减少为  $1\ \mu\text{m}$ – $5\ \mu\text{m}$ ,典型的为  $2\ \mu\text{m}$  左右极薄的薄膜集成电路。另外,可以使显示器件的厚度为  $0.5\text{mm}$  左右,优选为  $0.02\text{mm}$  左右。所以,可以将这样的显示器件搭载到厚度为  $0.05\text{mm}$ – $1.5\text{mm}$  的智能卡上。

[0030] 本发明可以利用比硅片廉价并且面积大的玻璃衬底,因此可以低成本地,高产量地大量生产薄膜集成电路,并且可以飞跃性地减少薄膜集成电路的生产成本。此外,衬底可以被反复使用,这样,可以减少成本。

[0031] 另外,本发明没有必要象用硅片制作集成电路那样实施造成裂缝以及研磨痕迹原因的背面研磨,并且,薄膜集成电路厚度的不均匀是由于在形成构成薄膜集成电路的各个膜时的膜厚度不均匀而导致,这个不均匀多也不过几百  $\text{nm}$  左右,跟背面研磨处理导致的几–几十  $\mu\text{m}$  的不均匀相比,本发明可以飞跃性抑制该不均匀性。

[0032] 另外,因为可以依据卡的衬底的形状来粘接薄膜集成电路和显示器件,这样就提高了智能卡形状的自由程度。所以比如,可以在有曲面形状的圆柱状的瓶子等形成并粘接智能卡。

[0033] 另外,显示器件可以被应用于比如液晶显示器件;以有机发光元件为典型的在其各个像素中提供有发光元件的发光器件;以及数字微镜器的 DMD (Digital Micromirror Device) 等。另外,在薄膜集成电路中可以提供微处理器 (CPU),存储器,电源电路,或其他

的数字电路,或模拟电路。此外,还可以在薄膜集成电路中设置显示器件的驱动电路,以及生成馈送给该驱动电路信号的控制电路。

[0034] 另外,本发明不局限于卡,凡是具备如上所述的薄膜集成电路以及显示器件双方,并且可以和寄主(host)之间进行收发数据的便携型记录介质都包含在本发明的范围内。

#### 附图说明

- [0035] 图 1A-1C 分别是本发明的智能卡的外观图,以及表示其内部结构的视图;
- [0036] 图 2A-2C 是表示利用大尺寸的卡的衬底制作本发明的智能卡的方法的视图;
- [0037] 图 3A 和 3B 是本发明的智能卡的横截面图;
- [0038] 图 4 是表示薄膜集成电路和显示器件的方框图;
- [0039] 图 5A-5C 是表示半导体元件的制作方法的视图;
- [0040] 图 6A 和 6B 是表示半导体元件的制作方法的视图;
- [0041] 图 7A 和 7B 是表示半导体元件的制作方法的视图;
- [0042] 图 8A 和 8B 是表示半导体元件的制作方法的视图;
- [0043] 图 9A 和 9B 是表示半导体元件的制作方法的视图;
- [0044] 图 10A 和 10B 是表示输入输出接口的结构的方框图;
- [0045] 图 11A 和 11B 是液晶显示器件的横截面图;
- [0046] 图 12 是发光器件的横截面图;
- [0047] 图 13 是表示利用本发明的智能卡的方法的视图;
- [0048] 图 14A 和 14B 是本发明的智能卡的外观图;
- [0049] 图 15A-15F 是在塑料衬底上形成的薄膜集成电路和显示器件的照片;
- [0050] 图 16 是实施例 5 中使用的样品的通过 SEM 获得的横截面的照片;
- [0051] 图 17 是示出图 16 中 No. 1 的 EDX 测定结果的视图;
- [0052] 图 18 是示出图 16 中 No. 2 的 EDX 测定结果的视图;
- [0053] 图 19 是示出图 16 中 No. 19 的 EDX 测定结果的视图;
- [0054] 图 20 是示出图 16 中 No. 20 的 EDX 测定结果的视图;
- [0055] 图 21 是实施例 5 中使用的样品的通过 TEM 而获得的横截面照片;
- [0056] 图 22 是实施例 5 中使用的样品的通过 TEM 而获得的横截面照片;
- [0057] 图 23 是实施例 5 中使用的样品的通过 TEM 而获得的横截面照片;
- [0058] 图 24 是示出图 23 中的点(point)2 的 EDX 测定结果的视图;
- [0059] 图 25 是示出图 23 中的点(point)3 的 EDX 测定结果的视图;
- [0060] 图 26 是示出图 23 中的点(point)4-1 的 EDX 测定结果的视图;
- [0061] 图 27 是示出图 23 中的点(point)5 的 EDX 测定结果的视图;
- [0062] 图 28 是示出图 23 中的点(point)11 的 EDX 测定结果的视图;
- [0063] 图 29 是示出图 23 中的点(point)12 的 EDX 测定结果的视图;
- [0064] 图 30 是示出图 23 中的点(point)13 的 EDX 测定结果的视图;
- [0065] 图 31 是示出图 23 中的点(point)14 的 EDX 测定结果的视图;
- [0066] 图 32 是示出图 23 中的点(point)15 的 EDX 测定结果的视图;
- [0067] 图 33 是示出图 23 中的点(point)16 的 EDX 测定结果的视图;

- [0068] 图 34 是示出图 23 中的点 (point) 17 的 EDX 测定结果的视图；  
[0069] 图 35 是示出图 23 中的点 (point) 18 的 EDX 测定结果的视图；  
[0070] 图 36 是示出图 23 中的点 (point) 19 的 EDX 测定结果的视图。  
[0071] 注：本发明的选择图为图 1

## 具体实施方式

### [0072] 实施方案模式 1

[0073] 图 1A 是本发明的智能卡的俯视图。表示在图 1A 中的智能卡是非接触类型，即以非接触的形式来执行智能卡和终端设备的读出器 / 写入器 (reader/writer) 之间的数据收发信。图中数字 101 表示卡的主体，102 表示搭载在卡主体 101 上的显示器件的像素部分。

[0074] 图 1B 表示在图 1A 中示出的封闭在卡主体 101 内部的卡的衬底 104 的结构。在卡的衬底 104 的其中一个面上安装显示器件 105 和薄膜集成电路 106。显示器件 105 和薄膜集成电路 106 通过线路 108 电连接在一起。

[0075] 卡的衬底 104 上形成有电连接于薄膜集成电路 106 的环形天线 103。环形天线 103 可以利用电磁感应以非接触的形式执行终端设备和薄膜集成电路之间数据的收发信，比接触型更不容易使智能卡受到物理性的磨耗和损伤。

[0076] 图 1B 示出了环形天线 103 形成在卡的衬底 104 上的一个例子，然而也可以将另行制作的环形天线搭载到卡的衬底 104 上。例如，将铜线等卷成环形夹在厚度为 100  $\mu\text{m}$  左右的 2 张塑料膜之间，并施加压力，由此获得之物可以作为环形天线来使用。

[0077] 另外，图 1B 中，一个智能卡只使用了一个环形天线 103，然而如图 1C 所示，一个智能卡也可以使用多个环形天线 103。

[0078] 接下来，说明薄膜集成电路和显示器件的制作方法。本实施方案模式中虽然以 TFT 作为半导体元件进行举例，但在本发明中包含于薄膜集成电路和显示器件中的半导体元件并不局限于此，本发明的半导体元件可以使用所有的电路元件。例如，除了 TFT 以外，典型的还包括存储元件，二极管，光电转换元件，电阻元件，线圈 (coil)，电容元件，电感器等。

[0079] 首先，如图 5A 所示，在第一衬底 500 上用溅射法形成金属膜 501。在此，用钨作为金属膜 501 的材料，其膜的厚度设定为 10nm-200nm，优选 50nm-75nm。注意在本实施方案模式中，在第一衬底 500 上直接形成金属膜 501，但是也可以用氧化硅，氮化硅，氮氧化硅等的绝缘膜覆盖第一衬底 500 后，然后在其上形成金属膜 501。

[0080] 形成金属膜 501 后，在不暴露于大气的情况下，在金属膜 501 上层叠氧化物膜 502 作为绝缘膜。在此，形成厚 150nm-300nm 的氧化硅膜作为氧化物膜 502。注意如果使用溅射法形成该膜，在第一衬底 500 的边缘也会形成膜。这样在实施后面的剥离工艺时，氧化物膜 502 会残留在第一衬底 500 侧，为了防止该残留物遗留下来，最好用氧灰化 (O<sub>2</sub>ashing) 等方法将形成在衬底边缘的金属膜 501 以及氧化物膜 502 选择性地清除掉。

[0081] 另外，在形成氧化物膜 502 时，在靶和衬底之间用闸门屏蔽，产生等离子体从而实施作为溅射的前阶段的预溅射 (pre-sputtering)。预溅射在以下条件下实施，即设定流量 Ar 为 10sccm，O<sub>2</sub> 为 30sccm，第一衬底 500 的温度为 270℃，成膜功率为 3kW，并在这些条件被维持的状态下实施预溅射。通过该预溅射，在金属膜 501 和氧化物膜 502 之间形成了厚几 nm 左右 (在此为 3nm) 的极薄的金属氧化膜 503。金属氧化膜 503 是通过使金属膜 501



表面氧化而形成的。所以,本实施方案模式中的金属氧化膜 503 是由氧化钨而形成。

[0082] 另外,虽然本实施方案模式通过预溅射形成了金属氧化膜 503,但本发明并不局限于此,例如也可以添加氧,或给氧添加 Ar 等惰性气体,通过等离子体意向性地将金属膜 501 的表面氧化,从而形成金属氧化膜 503。

[0083] 形成氧化物膜 502 后,用等离子体化学气相沉积的 PCVD(PlasmaChemical Vapor Deposition) 法形成底膜 504。在此,形成厚 100nm 的氧氮化硅膜作为底膜 504。然后,在形成底膜 504 后,在不暴露于大气的情况下,形成厚 25-100nm(优选 30-60nm) 的半导体膜 505。顺便提一下,半导体膜 505 可以是非晶半导体,也可以是多晶半导体。另外,半导体不仅可以采用硅作为其材料,还可以采用锗硅。当采用锗硅时,锗的密度最好在 0.01-4.5atomic% 左右。

[0084] 随后,用众所周知的技术来晶化半导体膜 505。这个众所周知的晶化方法包括使用电热炉的热晶化法,使用激光束的激光晶化法,以及使用红外线的灯退火(lamp anneal) 晶化法。或者,可以根据日本专利公开 Hei 7-130652 号中公开的技术,利用使用催化剂的晶化方法。

[0085] 本实施方案模式使用激光晶化方法来晶化半导体膜 505。在用激光晶化之前,为了提高半导体膜的对激光的耐性,对该半导体膜执行 500℃,1 小时的热退火处理。本实施方案模式通过该加热处理,加强了金属氧化膜 503 的脆性,从而使后面的剥离第一衬底的程序变得容易执行。通过该晶化处理,可以使金属氧化膜 503 在晶界变得易碎,加强了其脆性。本实施方案模式的情形中,最好执行 420℃ -550℃,0.5-5 小时左右的加热处理来执行金属氧化膜 503 的晶化工艺。

[0086] 随后,借助于使用能够连续振荡的固态激光,照射基波的二次谐波至四次谐波的激光束,可以得到大晶粒尺寸的晶体。比如,最好采用典型的 Nd:YVO4 激光(1064nm 的基波)的二次谐波(532nm)或三次谐波(355nm)。具体地,使用非线性光学元件将由连续振荡型 YVO4 激光器发射的激光束转变为谐波,从而获得输出能源为 10W 的激光束。此外,也可以利用使用非线性光学元件发射谐波的方法。然后,更优选,通过光学系统形成激光束以使其照射面具有矩形或椭圆形,由此,照射半导体膜 505。此时,需要约 0.01 到 100MW/cm<sup>2</sup>(优选 0.1 到 10MW/cm<sup>2</sup>) 的能量密度。相对激光束以约 10 到 2000cm/s 的速率移动半导体膜,以达到照射半导体膜的目的。

[0087] 另外,激光晶化可以照射连续振荡的基波的激光束和连续振荡的谐波的激光束,也可以照射连续振荡的基波的激光束和脉冲振荡的谐波的激光束。

[0088] 另外,也可以在稀有气体或氮等惰性气体的气氛中照射激光束。通过该程序,可以减少由于照射激光束而引起的半导体表面的粗糙,而且可以抑制由因界面能级密度(interface level density) 的不均匀而导致的门栏值的不均匀。

[0089] 通过以上的对半导体膜 505 辐照激光束的程序,形成了其结晶性被提高了的半导体膜。另外,也可以事先用溅射法,等离子体 CVD 法,热 CVD 法形成多晶半导体膜的半导体膜。

[0090] 随后,如图 5B 所示,对半导体膜实施形成图案,从而形成岛形状的半导体膜 507,508,用该岛形状的半导体膜 507,508 形成以 TFT 为典型的各种半导体元件。另外,在本实施方案模式中,底膜 504 和岛形状的半导体膜 507,508 连接在一起,但是可以根据半导体元

件的情况,在底膜 504 和岛形状的半导体膜 507,508 之间形成电极以及绝缘膜等。例如,在半导体元件之一的底栅型 TFT 的情形中,在底膜 504 和岛形状的半导体膜 507,508 之间形成栅电极以及栅绝缘膜。

[0091] 在本实施方案模式中,用岛形状的半导体膜 507,508 形成顶栅型的 TFT 509,510(图 5C)。具体地说,形成栅绝缘膜 511 使其覆盖岛形状的半导体膜 507,508。然后,在栅绝缘膜 511 上形成导电膜,通过形成图案的程序形成栅电极 512,513。在本实施方案模式中,用该导电膜的图案形成环形天线 506。接着用栅电极 512,513,或形成抗蚀剂膜并形成图案用作掩膜,给岛形状的半导体膜 507,508 掺杂赋予 n 型导电性的杂质从而形成源区,漏区,以及 LDD(轻掺杂漏,Light Doped Drain)区。顺便提一下,虽然在此 TFT 509,510 被制作为 n 型,如制作为 p 型,可以掺杂赋予 p 型 TFT 导电性的杂质。

[0092] 通过上述工序,可以形成 TFT 509,510。注意,制作 TFT 的方法不限于上述工序。另外,环形天线 506 和薄膜集成电路的电连接不局限于上述形式。

[0093] 然后,形成覆盖 TFT 509,510 以及环形天线 506 的第一层间绝缘膜 514。随后,在栅绝缘膜 511 以及第一层间绝缘膜 514 中形成接触孔,然后,形成通过接触孔和 TFT 509,510 以及环形天线连接的线路 515-518,并且这些线路和第一层间绝缘膜 514 连接。

[0094] 用于薄膜集成电路的 TFT 509 和环形天线 506 通过线路 515 电连接在一起。另外,环形天线 506 不一定使用和栅电极相同的导电膜,它可以使用和线路 515-518 相同的导电膜。

[0095] 另外,作为显示器件的像素部分的开关元件使用的 TFT 510 和线路 518 电连接在一起,但是线路 518 的一部分还作为后面形成的液晶元件的像素电极发挥作用。

[0096] 接下来,形成使用绝缘膜的间隔物 519。然后,形成覆盖线路 518 和间隔物 519 的调准膜 520,并对调准膜实施磨搓(rubbing)处理。另外,也可以将调准膜 520 形成为和薄膜集成电路以及环形天线 506 重叠的形式。

[0097] 接着,形成密封液晶的密封材料 521。然后,如图 6A 所示,在用密封材料 521 围住的区域滴注液晶 522。然后如图 6B 所示,用密封材料 521 粘贴另外形成的对面衬底 523。另外,可以在密封材料中掺杂填充物。对面衬底 523 的厚度为几百  $\mu\text{m}$  左右,其上形成有透明导电膜制成的反电极 524,经磨搓处理过的调准膜 526。另外,除了这些以外,也可以形成颜色滤光片,以及为防止向错(disclination)的屏蔽膜等。另外,偏振片(polarizing plate)527 被粘贴在相反于对面衬底 523 的形成有反电极 524 的那一面。

[0098] 反电极 524 和液晶 522 以及线路 518 层叠的部分相当于液晶元件 528。完成了液晶元件也就完成了显示器件 529。另外,虽然在本实施方案模式中,薄膜集成电路 530 和对面衬底 523 没有重叠在一起,但是即使对面衬底 523 和薄膜集成电路 530 重叠也无妨。当重叠时,为了提高 IC 卡的机械刚度,可以在对面衬底和薄膜集成电路之间填充绝缘性的树脂。

[0099] 另外,本实施方案模式中使用分配方式(也称滴注方式,dispenser method)来封入液晶,然而本发明并不局限于此方式。本发明也可以采用在粘贴对面衬底后利用毛细现象封入液晶的浸渍方式(dipping method)。

[0100] 接下来,如图 7A 所示,形成覆盖薄膜集成电路 530 和显示器件 529 的保护层 531。保护层 531 在执行后面的粘接以及剥离第二衬底的工艺时,可以保护薄膜集成电路 530 和

显示器件 529, 并且, 该保护层采用在剥离第二衬底后能够被清除的材料。例如, 在整个表面涂敷可溶于水或醇的环氧基, 丙乙烯基, 硅基的树脂, 就可以形成保护层 531。

[0101] 在本实施方案模式中, 用旋涂涂敷由水溶性树脂 (东亚合成制: VL-WSHL10) 制成的厚度为  $30\ \mu\text{m}$  的膜, 随后进行 2 分钟的曝光以实现初步硬化, 然后用 UV 光从背面辐照 2.5 分钟, 表面 10 分钟, 共计 12.5 分钟以执行正式硬化, 这样就形成了保护层 531。

[0102] 另外, 层叠多个有机树脂膜的情形中, 在涂敷或焙烧时, 有这些有机树脂使用的溶剂的一部分出现溶解, 或出现粘合性变得过高的担忧。因此, 在第一层间绝缘膜 514 和保护层 531 双方使用可溶于相同介质的有机树脂时, 为使在后面的清除保护层 531 的工艺顺利进行, 最好形成覆盖第一层间绝缘膜 514 的无机绝缘膜 ( $\text{SiN}_x$  膜,  $\text{SiN}_x\text{O}_Y$  膜,  $\text{AlN}_x$  膜, 或  $\text{AlN}_x\text{O}_Y$  膜) 以作准备。

[0103] 然后, 形成引发剥离机制的部分, 这个程序可以使一部分金属氧化膜 503 和氧化物膜 502 之间的粘接性降低, 或可以使一部分金属氧化膜 503 和金属膜 501 之间的粘接性降低。具体地说, 沿着要剥离区域的周边部分从外部施加局部压力, 以损坏金属氧化膜 503 的层内的一部分或界面附近的一部分。在本实施方案模式中, 在金属氧化膜 503 的边缘附近垂直压下金刚石笔等硬针, 并且在施加负荷的状态下, 沿着金属氧化膜 503 移动。最好使用划线器装置并且将下压力设在  $0.1\text{mm}$  到  $2\text{mm}$ , 边移动边施加压力。以这种方式在剥离之前形成引发剥离机制的粘接性被降低的部分, 可以减少后面剥离工艺的次品率, 从而提高了成品率。

[0104] 接下来, 使用双面胶带 532 粘贴第二衬底 533 到保护层 531。并且, 使用双面胶带 534 粘贴第三衬底 535 到第一衬底 500。另外, 可以使用粘合剂来代替双面胶带。例如, 使用紫外线来执行剥离的粘合剂, 这样, 在剥离第二衬底时, 可以减轻落在半导体元件的负担。第三衬底 535 保护第一衬底 500 在后面的工艺中不受损伤。第二衬底 533 和第三衬底 535 最好采用刚度比第一衬底 500 更大的衬底, 比如, 石英衬底, 半导体衬底。

[0105] 然后, 用物理手段撕剥金属膜 501 和氧化物膜 502。开始撕剥的位置是在上面的步骤中, 一部分金属氧化膜 503, 金属膜 501 或氧化物膜 502 之间的粘接性被降低了的区域。

[0106] 通过该剥离工艺, 产生了金属膜 501 和金属氧化膜 503 之间分离的部分, 氧化物膜 502 和金属氧化膜 503 之间分离的部分, 以及金属氧化膜 503 自身双方分离的部分。并且, 在第二衬底 533 一侧粘附有半导体元件 (在此为 TFT 509, 510), 在第三衬底 535 一侧粘附有第一衬底 500 以及金属膜 501 的状态下, 执行分离。利用较小的力就可执行剥离 (例如, 利用人的手, 利用喷嘴吹出气体的吹压, 利用超声, 等等)。图 7B 表示剥离后的状态。

[0107] 接着, 用粘合剂 539 粘接卡的衬底 540 和附着有部分金属氧化膜 503 的氧化物膜 502 (图 8A)。在粘接时, 粘合剂 539 的材料选择是重要的, 通过该粘接剂粘接在一起的氧化物膜 502 和卡的衬底 540 之间的粘接力必须高于用双面胶带 532 粘接在一起的第二衬底 533 和保护层 531 之间的粘接力。

[0108] 作为粘合剂 539 的材料, 可以采用诸如反应固化粘合剂, 热固化粘合剂, UV 固化粘合剂等的光固化粘合剂, 厌氧粘合剂等各种固化粘合剂。理想的是在粘合剂 539 中添加银, 镍, 铝, 氮化铝等制成的粉末, 或填充物使粘合剂 539 具有高导热性。

[0109] 另外, 金属氧化膜 503 如残留在氧化物膜 502 的表面, 氧化物膜 502 和卡的衬底 540 之间的粘接力有可能因此而变小, 所以, 用蚀刻等方法完全清除该残留物, 然后粘接卡

的衬底,这样就提高了粘接力。

[0110] 然后,如图 8B 所示,从保护层 531 按双面胶带 532,第二衬底 533 的顺序剥离,或者二者同时一起剥离。

[0111] 然后,如图 9A 所示,清除保护层 531。在此,因保护层 531 使用水溶性树脂,所以用水融化后清除。当残留下的保护层 531 会成为次品的原因时,最好在清除完毕后,对表面实施清洗处理或氧等离子体处理,以便除去残留的保护层 531 的那一部分。

[0112] 接下来如图 9B 所示,用树脂 542 覆盖薄膜集成电路 530 和显示器件 529,并且提供保护薄膜集成电路 530 和显示器件 529 的覆盖材料 543。可以以这样状态作为智能卡的完成,但也可以用密封材料密封卡的衬底 540 和覆盖材料 543。另外,不一定必须设置覆盖材料 543,也可以用密封材料来密封卡的衬底 540。

[0113] 智能卡的密封可以使用普遍使用的材料,比如,可以使用聚酯,丙烯酸,聚乙烯烯酯,丙烯,氯乙烯,丙烯腈-丁二烯-苯乙烯树脂,聚对苯二甲酸乙酯等聚合材料。另外,在密封时,要使显示器件的像素部分暴露出来,并且,在接触型智能卡的情形中,除了像素部分,也要暴露出连接端子。完成了密封,就形成了具有如图 1A 所示外观的智能卡。

[0114] 经用密封材料密封后,可以增加智能卡的机械刚度,扩散在薄膜集成电路和显示器件中产生的热,并且阻挡来自智能卡邻接电路的电磁噪音。

[0115] 另外,卡的衬底 540,覆盖材料 543,对面衬底 523 可以使用塑料衬底。塑料衬底可以采用由具有极性基的冰片烯 (norbornene) 树脂组成的 ARTON:日本 JSR 公司制造。此外,还可以采用聚对苯二甲酸乙二醇酯 (PET)、聚醚砜 (PES)、聚萘酸乙酯 (polyethylenenaphthalate) (PEN)、聚碳酸酯 (PC)、尼龙、聚醚醚酮 (PEEK)、聚砜 (PSF)、聚醚酰亚胺 (PEI)、聚芳酯 (PAR)、聚对苯二甲酸丁二酯 (PBT) 和聚酰亚胺等的塑料衬底。另外,为了扩散薄膜集成电路和显示器件内部产生的热,卡的衬底 540 最好具有 2-30W/mK 左右的高导热率。

[0116] 在本实施方案模式中,金属膜 501 采用钨作材料,但本发明的金属膜的材料并不限于该材料。只要是能够在其表面形成金属氧化膜 503,并且通过晶化该金属氧化膜 503 可以将衬底剥离的含有金属的材料,任何材料都可以被利用。例如,除了 W,还使用 TiN,WN,Mo 等。另外,利用这些金属的合金作为金属膜时,在晶化时的最佳加热温度根据其成分比例而不同。所以,调节该合金的成分比例,可以使加热处理在不妨碍制作半导体元件的工艺温度范围内被执行,所以形成半导体元件工艺的选择范围不容易被限制。

[0117] 另外,在执行激光晶化时,通过使各个薄膜集成电路落在垂直于激光束的聚束光的扫描方向的幅宽区域中,防止了薄膜集成电路被安排到横穿在聚束光长轴两端形成的结晶性欠佳的区域(边缘)。通过这样的布置,至少可以将几乎不存在结晶晶界的半导体膜用作薄膜集成电路内的半导体元件。

[0118] 通过上述制作方法,可以形成总膜厚在  $1\mu\text{m}$  至  $5\mu\text{m}$  的范围,典型的是  $2\mu\text{m}$  左右的,其厚度被飞跃性地减少了的极薄膜集成电路。另外,可以使显示器件 WDP 的厚度为 0.5mm,优选为 0.02mm 左右。所以,显示器件可以被搭载到厚度为 0.05mm-1.5mm 的智能卡上。另外,薄膜集成电路的厚度 WIC 不仅包括半导体元件本身的厚度,还包括:提供在金属氧化膜和半导体元件之间的绝缘膜的厚度,以及形成半导体元件后覆盖的层间绝缘膜的厚度。

[0119] 另外,本实施方案模式示出的液晶显示器件是反射类型,然而如果可以搭载后照光(back light),这个液晶显示器件也可以是透射类型。当是反射型液晶显示器件时,可以使显示图像消耗的功率比透射类型液晶显示器件更小。当是透射类型液晶显示器件时,其与反射型不同的是在暗处容易辨认图像。

[0120] 另外,本发明使用的显示器件必须达到用脸部照片可以辨认出本人的清晰度(resolution)程度。所以,如果该显示器件是用来代替证明照片,至少需要有QVGA(320X240)左右的清晰度。

[0121] 接下来说明用大尺寸的衬底形成多个智能卡的例子。图2A示出一个状态,其中大尺寸卡的衬底201上形成有和多个智能卡相应的显示器件,环形天线,集成电路。图2A相当于除去保护层后,用树脂粘贴覆盖材料前的状态。用虚线围住的区域202对应于一个智能卡。另外,当使用液晶显示器件作为显示器件时,注入液晶的方式可以采用滴注方式,也可以采用浸渍方式。但是,如果象图2A那样,在利用浸渍方式时使用的液晶的注入口不能被安排在卡的衬底的边缘的情况下,就要采用滴注方式。

[0122] 然后,如图2B所示,涂敷覆盖对应于各个智能卡的集成电路,显示器件以及环形天线的树脂203。另外,图2B中,为了对应各个智能卡,涂敷树脂203的区域相互分开,但是,也可以在整個衬底表面涂敷树脂。

[0123] 接着,如图2C所示,粘贴覆盖材料204。然后沿虚线205执行切割,使智能卡相互分开。可以将这时的状态作为完成状态,但也可以在此之后,用密封材料进行密封后然后作为完成状态。

[0124] 图3A是沿图2C中的虚线A-A'切割的横截面图。图3A表示的横截面图中,卡的衬底201和覆盖材料204之间,除了薄膜集成电路207和显示器件206,还提供有用硅片形成的集成电路208。集成电路可以包括电容器,电感器,电阻等。

[0125] 其次,图3B表示一个和图3A结构不同的智能卡的横截面图。图3B表示的智能卡中,卡的衬底221上提供有薄膜集成电路222和显示器件223。并且,图3B中,用来密封显示器件的显示元件的衬底224的一部分在覆盖材料225的开口部分暴露出来。衬底224用透光材料形成。确切地说,例如,如果是液晶显示器件时,衬底224相当于对面衬底,如果是发光器件,衬底224相当于密封发光元件的衬底。另外,覆盖材料225使用不透光的材料。另外,卡的衬底221也可以使用不透光的材料。根据上述结构,只有像素部分可以透过光。

[0126] 接下来,将说明非接触型智能卡中薄膜集成电路和显示器件的结构的一种形式。图4示出了搭载在本发明的智能卡中的薄膜集成电路401和显示器件402的方框图。

[0127] 图中数字400表示输入用环形天线,413表示输出用环形天线。另外,403a表示输入接口,403b表示输出接口。另外,各种环形天线的数量不受表示在图4中的个数限制。

[0128] 通过输入用环形天线400,从终端设备输入的交流电源电压和各种信号在输入接口403a处被解调或转换为直流,并被馈送到各个电路。另外,从薄膜集成电路401输出的各种信号在输出接口403b处被调制,并通过输出用环形天线413被馈送到终端设备。

[0129] 图4中表示的薄膜集成电路401中提供有CPU(中央处理器)404,ROM(只读存储器,Read Only Memory)405,RAM(随机存储器,Random Access Memory)406,EEPROM(电擦写可编程只读存储器,Electrically Erasable Programmable ROM)407,协同处理器(coprocessor)408,控制器409。

[0130] CPU 404 控制智能卡的全部处理,ROM 405 则存储 CPU 404 中使用的各种程序。协同处理器 408 是辅助主体 CPU 404 工作的副处理器,RAM 406 除了在终端设备和薄膜集成电路 401 之间进行通信时作为缓冲器发挥作用以外,还可以作为在数据处理时的工作区域。另外,EEPROM 407 将作为信号输入的数据存储到预定的地址。

[0131] 另外,如以可以重写的状态存储脸部照片等图像数据,则将其存储到 EEPROM 407,如以不可以重写的状态存储脸部照片等图像数据,则将其存储到 ROM 405。另外,也可以另外准备其他的用于存储图像数据的存储器。

[0132] 控制器 409 配合显示器件 402 的规格,对包含图像数据的信号进行数据处理,并给显示器件 402 馈送视频信号。另外,控制器 409 根据从输入接口 403a 输入进来的电源电压以及各种信号,生成 Hsync 信号,Vsync 信号,时钟信号 CLK,交流电压 (AC cont),并馈送到显示器件 402。

[0133] 显示器件 402 包括:显示元件提供在各个像素中的像素部分 410;选择提供在上述像素部分 410 中的像素的扫描线驱动电路 411;以及给被选中的像素馈送视频信号的信号线驱动电路 412。

[0134] 图 10A 示出了输入接口 403a 的更为详细结构。图 10A 所示的输入接口 403a 包括整流电路 420,解调电路 421。从输入用环形天线 400 输入进来的交流电源电压在整流电路 420 处被整流,然后以直流的电源电压的形式被馈送到薄膜集成电路 401 中的各种电路。另外,从输入用环形天线 400 输入进来的交流的各种信号在解调电路 421 处被解调,然后通过解调被波形整形的各种信号被馈送到薄膜集成电路 401 中的各种电路。

[0135] 图 10B 示出了输出接口 403b 的更为详细结构。图 10B 所示的输出接口 403b 包括调制电路 423,放大器 424。从薄膜集成电路 401 中的各种电路输入到输出接口 403b 的各种信号在调制电路 423 处被调制,并在放大器 424 处被放大或缓冲放大后,从输出用环形天线 413 被馈送到终端设备。

[0136] 另外,本实施方案模式中虽示出了非接触型环形天线的例子,但非接触型智能卡并不局限于此,也可以使用发光元件或光电探测器等用光来进行数据的收发信。

[0137] 另外,本发明的智能卡不局限于非接触型,它也可以是接触型。图 14A 示出了接触型智能卡的外观图。接触型智能卡提供有连接端子 1501,连接端子 1501 和终端设备的读出器/写入器电连接在一起,从而进行数据的收发信。

[0138] 本实施方案模式中示出了从终端设备的读出器/写入器供应电源电压的例子,然而本发明并不局限于此。例如,如图 14B 所示,在智能卡中配备太阳能电池 1502。另外,也可以在智能卡中埋入锂电池等超薄型电池。

[0139] 图 4,10A,10B 表示的薄膜集成电路 401 和显示器件 402 的结构只不过是一个例子而已,本发明并不局限于此例。显示器件 402 只要具有显示图像的功能,不管是有源类型也好,无源类型也好都可以。另外,薄膜集成电路 401 只要有能够给显示器件 402 馈送控制显示器件 402 驱动的信号的功能就可以。另外,还可以具备,比如 GPS 等功能。

[0140] 象这样,通过将脸部照片的数据显示在显示器件,跟通过印刷的显示方法相比,可以使更换脸部照片变得更困难。而且,通过将脸部照片的数据存储到不可以重写的 ROM 等,可以防止伪造,更加确保了智能卡的安全性。另外,将智能卡设计成如果强行分解该卡,ROM 就坏掉的结构,可以更进一步地确保防止伪造。

[0141] 另外,如果在用于显示器件的半导体膜或绝缘膜等上刻下编号的印,例如还未在ROM上存储图像数据的智能卡即使因被盗而被不正当地传到第三者的手中,通过编号可以在一定程度上推算出其流通途径。这种情况下,如在不将显示器件分解到已不可以被修复的程度就不能消掉编号的位置上刻下编号的印,就更有效。

[0142] 另外,塑料衬底因其对半导体元件制作过程中的加热处理温度的耐热性低,所以使用塑料衬底作衬底有困难。然而,本发明使用对包括加热处理的制作过程中的温度有较高耐性的玻璃衬底或硅片等,并在该制作工艺完成后将制成的半导体元件转移到由塑料制成的衬底上,因此,本发明可以在比玻璃衬底薄的塑料衬底上形成薄膜集成电路和显示器件。而且,在玻璃衬底上形成的显示器件至多能薄到2mm,3mm左右,然而本发明通过使用塑料衬底,可以将显示器件的厚度飞跃性地减薄为0.5mm左右,优选0.02mm左右。所以,显示器件可以被搭载到厚度是0.05-1.5mm的智能卡中,在不妨碍智能卡的小体积化,轻巧化的情况下,可以实现智能卡的多功能。

[0143] 因为本发明可以形成其厚度被飞跃性地减薄了的薄膜集成电路,所以可以在智能卡有限的容积中通过叠加层叠该薄膜集成电路更多地搭载电路规模和存储器容量更大的薄膜集成电路。

[0144] 另外,可以配合卡的衬底的形状来粘接薄膜集成电路和显示器件,这样就提高了智能卡形状的自由度。所以比如,可以在有曲面形状的圆柱状的瓶子等形成并粘接智能卡。

[0145] 实施例

[0146] 下文中将说明本发明的实施例。

[0147] 实施例1

[0148] 本实施例将说明在完成液晶显示器件后剥离第一衬底时使用的液晶材料。

[0149] 图11示出了本实施例的液晶显示器件的横截面图。图11A表示的液晶显示器件的像素中提供有柱状的间隔物(spacer)1401,对面衬底1402和像素侧的衬底1403之间的密接性因该柱状间隔物1401而得到提高。并且据此,在剥离第一衬底时可以防止和密封材料重叠的区域以外的半导体元件残留在第一衬底侧。

[0150] 另外图11B是一个液晶显示器件的横截面图,该液晶显示器件使用向列液晶,近晶型液晶,铁磁性液晶或上述液晶包含在聚合树脂中的聚合物分散型液晶PDLC(Polymer Dispersed Liquid Crystal)。使用聚合物分散型液晶的PDLC1404可以使对面衬底1402和元件一侧的衬底1403之间的密接性提高,在剥离第一衬底时可以防止和密封材料重叠的区域以外的半导体元件残留在第一衬底侧。

[0151] 实施例2

[0152] 本实施例将说明搭载在本发明的智能卡上的发光器件的结构。

[0153] 在图12中,卡的衬底6000上形成有底膜6001,在该底膜6001上形成了晶体管6002。另外,晶体管6002被第一层间绝缘膜6006覆盖,第一层间绝缘膜6006上叠加层叠有第二层间绝缘膜6007和第三层间绝缘膜6008。

[0154] 第一层间绝缘膜6006可以采用使用等离子体CVD法或溅射法而形成的氧化硅,氮化硅,或氮氧化硅的单层膜或这些膜的叠层。或者,可以采用一个叠层作为第一层间绝缘膜,该叠层是在氮元素的摩尔分数(mole fraction)比氧元素大的氧氮化硅膜上叠加氧元素的摩尔分数比氮元素大的氧氮化硅膜而形成。

[0155] 另外,形成第一层间绝缘膜 6006 后,执行加热处理(300-550℃,1-12 小时的热处理),这样第一层间绝缘膜 6006 中含有的氢元素就可以终结包含在激活层 6003 中的半导体的悬空键(也就是氢化)。

[0156] 另外,第二层间绝缘膜 6007 可以采用以有机树脂膜,无机绝缘膜,硅氧烷基材料为基础材料而形成的含有 Si-O 键和 Si-CH<sub>x</sub> 键的绝缘膜。本实施例使用非光敏性丙烯酸。第三层间绝缘膜 6008 采用比其他绝缘膜更不容易透过湿气和氧气等这样成为促使发光元件退化原因的膜。典型的最好采用例如,类金刚石的 DLC 膜,氮化碳膜,用 RF 溅射法形成的氮化硅膜等。

[0157] 图 12 中,在 TiN 形成的阳极 6010 上按以下顺序层叠:作为空穴注入层 6011 的厚 20nm 的 CuPc;作为空穴输运层 6012 的厚 40nm 的  $\alpha$ -NPD,作为发光层 6013 的掺杂了 DMQD 的厚 37.5nm 的 Alq<sub>3</sub>,作为电子输运层 6014 的厚 37.5nm 的 Alq<sub>3</sub>,作为电子注入层 6015 的厚 1nm 的 CaF<sub>2</sub>,用 Al 形成的厚 10-30nm 的阴极 6016。图 12 中,阳极 6010 使用不透光的材料,阴极 6016 的厚度是 10-30nm,并且透光,通过这样的结构,就可以从阴极 6016 那一侧获取光。另外,从阴极 6016 侧获取光的方法,除了将阴极的膜减薄的方法以外,还有采用通过掺杂 Li 的使功函数变小的 ITO 的方法。本实施例示出了从阴极侧发光的发光元件的结构。

[0158] 晶体管 6002 是控制供应给发光元件电流的驱动用晶体管,它和发光元件直接,或者通过其他的电路元件,串行连接在一起。

[0159] 阳极 6010 形成在第三层间绝缘膜 6008 上,另外,第三层间绝缘膜 6008 上形成有作为隔离物使用的有机树脂膜 6018。虽然本实施例使用有机绝缘膜作为隔离物,但是以无机绝缘膜,硅氧烷基材料为基础材料而形成的含有 Si-O 键和 Si-CH<sub>x</sub> 键的绝缘膜也可以作为隔离物。有机树脂膜 6018 具有开口部分 6017,在该开口部分,阳极 6010,空穴注入层 6011,空穴输运层 6012,发光层 6013,电子输运层 6014,电子注入层 6015,阴极 6016 叠加重叠,这样就形成了发光元件 6019。

[0160] 其次,在有机树脂膜 6018 和阴极 6016 上形成保护膜 6020。保护膜 6020 和第三层间绝缘膜 6008 同样,采用比其他绝缘膜更不容易透过湿气和氧气等这样成为促使发光元件退化原因的膜。典型的最好采用例如,类金刚石的 DLC 膜,氮化碳膜,用 RF 溅射法形成的氮化硅膜等。另外,保护膜也可以采用一种层叠的膜,该膜是由不容易透过湿气和氧气等物质的膜和比这个膜容易透过湿气和氧气等物质的膜层叠而形成。

[0161] 另外,有机树脂膜 6018 的开口部分 6017 的边缘部分中,为了不使在有机树脂膜 6018 上部分重叠形成的场致发光层的边缘部分开洞,该边缘部分最好呈圆形。具体地说,开口部分的有机树脂膜的横截面所呈曲线的曲率半径最好是 0.2-2 $\mu$ m 左右。

[0162] 根据上述结构,可以使后来形成的包括空穴注入层 6011,空穴输运层 6012,发光层 6013,电子输运层 6014,电子注入层 6015 的场致发光层,阴极 6016 有良好的覆盖度,并且可以防止阳极 6010 和阴极 6016 短路。另外,通过缓和上述各层的应力,可以抑制发光区域减少的被称为‘收缩’(shrink)的次品,从而提高了可靠性。

[0163] 另外,实际完成到图 12 的工艺后,为了不暴露于大气,最好用密封性好,漏气少的保护膜(层压薄膜,紫外线固化树脂膜)或有透光性的密封衬底进行封装。在封装时,为了防止在剥离第二衬底的过程中密封用衬底也被剥离掉,封入树脂来提高密封用衬底的密接性。



[0164] 另外,图 12 示出的发光设备相当于粘贴覆盖材料前的状态。本实施例中,发出发光元件 6019 的光按如箭头所指那样,照射覆盖材料。但是,本发明并不局限于此,发出发光元件的光也可以朝向卡的衬底侧。这种情况时,显示在像素部分的图像要从卡的衬底那一侧看。

[0165] 另外,本发明的发光器件不局限于图 12 所示的结构。

[0166] 实施例 3

[0167] 本实施例将对本发明的智能卡的具体利用方法的一个实例进行说明,该实例利用本发明的智能卡作为银行的自动存取款的 ATM 卡。

[0168] 如图 13 所示,首先,在银行等金融机构新开设一个账号时,将存款人脸部照片的图像数据存储到 ATM 卡的薄膜集成电路中的 ROM。通过在 ROM 存储脸部照片的数据,可以防止更换脸部照片等的伪造。然后该 ATM 卡被提供给存款人,这样该 ATM 卡就开始被使用了。

[0169] ATM 卡在自动存取款机 ATM 或柜台被用于交易。随后,取款,存款,汇款等交易被执行后,配备在该 ATM 卡的薄膜集成电路中的 EEPROM 就会存储存款余额以及交易日期时间等详细账目。

[0170] 可以设定一个程序,使 ATM 卡的像素部分在上述交易结束后显示存款余额以及交易日期时间等详细信息,并在一定时间后使该显示消失。而且,可以在进行交易的过程中,将例如通过自动汇款的出帐等不使用 ATM 卡而进行的结算全部记录在智能卡中,并可以在像素部分中确认到上述记账。

[0171] 另外,可以像提款卡那样使用银行的 ATM 卡,在没有现金交易的情况下直接从帐户付款,并在结算前,利用在结算时使用的终端设备,从银行的主计算机提出余额的信息,并在智能卡的像素部分显示该余额。如在终端设备显示余额,在使用过程中有被第三者从背后偷看的担忧,然而如在智能卡的像素部分显示余额,智能卡的使用者不用担心被偷看就能确认到余额。而且,因为余额的确认还可以利用设置在经销商店的结算时使用的终端设备来进行,所以不用在结算前专门到银行的柜台或 ATM 去办理查询余额以及更新帐目记录等确认余额的繁杂手续。

[0172] 另外,本发明的智能卡并不局限于 ATM 卡。本发明的智能卡还可以作为月票或预付卡来应用,并且可以将余额显示在像素部分。

[0173] 实施例 4

[0174] 在本实施例中,用图 15 示出了安装在塑料衬底上的显示器件,以及集成电路之一的 CPU 的照片。

[0175] 图 15A 示出了本发明的智能卡的卡的衬底的结构。数字 1501 表示显示器件,1502 表示集成电路,1503 相当于包括在集成电路的 CPU。

[0176] 图 15B 示出了在  $200\ \mu\text{m}$  的聚碳酸酯衬底上形成的显示器件的照片。图 15B 示出的显示器件是发光器件,照片是从聚碳酸酯衬底那一侧拍摄的。数字 1504 表示信号线驱动电路,1505 表示扫描线驱动电路,1506 表示像素部分。图 15C 表示的是图 15B 中示出的发光器件的像素部分 1506 的扩大图。如图 15C 所示,各个像素中提供有发光元件。发出发光元件的光朝向聚碳酸酯衬底。

[0177] 另外,图 15D 示出了和显示器件电连接的线路的扩大图。各个线路 1507-1509 按顺序被输入时钟条信号 (clock bar signal),时钟信号,起动脉冲信号,这些信号供应给配

备在显示器件的扫描驱动电路 1505。并且,该线路 1507-1509 由和用于显示器件的电连接 TFT 之间的线路相同的导电膜来形成。

[0178] 图 15E 示出了在 200  $\mu\text{m}$  的聚碳酸酯衬底上形成的 CPU 1503 的照片。图 15E 示出的 CPU 1503 的照片是从聚碳酸酯衬底那一侧拍摄的。图 15F 表示的是 CPU 1503 具备的运算电路 1510 的扩大图。

[0179] 象这样,借助于在塑料衬底上形成集成电路和显示器件,可以形成有弯曲性的智能卡。

[0180] 实施例 5

[0181] 本实施例中说明利用转移技术实际在塑料衬底上形成的发光器件的横截面,以及其结构。

[0182] 首先说明在本实施例中观察的样品。本实施例中将控制发光元件动作的 TFT 转移到由聚碳酸酯制成的塑料衬底上。然后,形成和该 TFT 电连接的发光元件,并在先前的塑料衬底上粘贴另行准备的另一张塑料衬底,二者中间夹该发光元件。另外,为了将先前的塑料衬底和后来粘贴的塑料衬底区别开来,称前者为第一塑料衬底,称后者为第二塑料衬底。还有,转移 TFT 时使用的粘接剂,以及粘贴第二塑料衬底时使用的粘接剂都使用环氧树脂。

[0183] 图 16 显示了本实施例样品的横截面照片,该照片通过扫描电子显微镜 (SEM, Scanning Electron microscope) 而获得。在图 16 中, No. 20 表示第一塑料衬底, No. 19 表示粘接剂, No. 2 表示粘接剂, No. 1 表示第二塑料衬底。在 No. 19 表示的粘接剂和 No. 2 表示的粘接剂之间形成有 TFT 和发光元件。另外, No. 1 表示的第二塑料衬底和 No. 2 表示的粘接剂之间虽然看起来象是存在着一个层,这个层相当于在为测定研磨横截面时,第二塑料衬底和 No. 2 表示的粘接剂的一部分剥离的区域。

[0184] 其次,图 17 示出了为鉴别 No. 1 表示的第二塑料衬底的成分而实施的 EDX 测定的结果。并且,图 20 示出了为鉴别 No. 20 表示的第一塑料衬底的成分而实施的 EDX 测定的结果。如图 17 和图 20 所示,除了测出了聚碳酸酯成分的碳和氧以外,还测出了包含在为防止电子射线导致样品带电而形成的导电膜中的 Pt。

[0185] 其次,图 18 示出了为鉴别 No. 2 表示的粘接剂的成分而实施的 EDX 测定的结果。并且,图 19 示出了为鉴别 No. 19 表示的粘接剂的成分而实施的 EDX 测定的结果。如图 18 和图 19 所示,除了测出了环氧树脂成分的碳和氧以外,还测出了包含在为防止电子射线导致样品带电而形成的导电膜中的 Pt。

[0186] 其次将说明本实施例样品的 TFT 和发光元件的照片,该照片通过透射式电子显微镜 (TEM, Transmission Electron microscope) 而获得。

[0187] 图 21 示出了通过 TEM 而获得的 TFT,以及和该 TFT 连接的线路的照片。4001 相当于由环氧制成的粘接剂;4002 相当于按氧化硅,氮化硅的顺序层叠的底膜;4003 相当于 TFT 具有的岛状的半导体膜;4004 相当于由氧化硅制成的栅绝缘膜;4005 相当于按 TaN 和 W 的顺序层叠的栅电极;4006 相当于由氮化硅制成的第一层间绝缘膜;4007 相当于由丙烯酸制成的第二层间绝缘膜;4008 相当于按 Ti, Al-Si, Ti 顺序层叠而成的线路;4009 相当于由氮化硅制成的第三层间绝缘膜;4010 相当于由丙烯酸制成的隔离物;4011 相当于在隔离物 4010 上形成的氮化硅膜;4012 相当于场致发光层;4013 相当于 Al 制成的阴极;4014 相当于由环氧树脂制成的粘接剂。

[0188] 图 22 示出了用 TEM 获得的发光元件的照片。另外,已经在图 21 中表示过的部件使用相同的符号。4015 相当于由 ITO 制成的阳极。阳极 4015 和场致发光层 4012 以及阴极 4013 重叠的地方相当于发光元件。

[0189] 图 23 示出了用 TEM 获得的 TFT 的照片。另外,已经在图 21 中表示过的部件使用相同的符号。图 24-36 示出了为鉴别图 23 所示的各个层的成分而实施的 EDX 测定的结果。另外图 24-36 中测出的 Ga 的最高值可以认为是在用聚焦离子束 FIB(Focused Ion Beam)设备加工样品时,用于形成射束的 Ga。

[0190] 图 24 相当于图 23 所示的粘接剂 4014 中的点 (point)2 的 EDX 测定结果。如图 24 所示,测出了相当于环氧树脂成分的碳元素和氧元素。

[0191] 图 25 相当于图 23 所示的阴极 4013 中的点 (point)3 的 EDX 测定结果。如图 25 所示,测出了 Al。

[0192] 图 26 相当于图 23 所示的场致发光层 4012 中的点 (point)4-1 的 EDX 测定结果。如图 26 所示,测出了相当于场致发光层成分的碳元素,氧元素以及 Al。

[0193] 图 27 相当于图 23 所示的氮化硅膜 4011 中的点 (point)5 的 EDX 测定结果。如图 27 所示,测出了氮元素和硅元素。

[0194] 图 28 相当于图 23 所示的第三层间绝缘膜 4009 中的点 (point)11 的 EDX 测定结果。如图 28 所示,测出了相当于氮化硅成分的氮元素和硅元素。

[0195] 图 29 相当于图 23 所示的第二层间绝缘膜 4007 中的点 (point)12 的 EDX 测定结果。如图 29 所示,测出了相当于丙烯酸成分的碳元素和氧元素。

[0196] 图 30 相当于图 23 所示的第一层间绝缘膜 4006 中的点 (point)13 的 EDX 测定结果。如图 30 所示,测出了相当于氮化硅成分的氮元素和硅元素。

[0197] 图 31 相当于图 23 所示的栅电极 4005 中的点 (point)14 的 EDX 测定结果。图 32 相当于图 23 所示的栅电极 4005 中的点 (point)15 的 EDX 测定结果。如图 31 所示,栅电极 4005 的点 14 中测出了 W。另外,如图 32 所示,栅电极 4005 的点 15 中测出了 Ta。

[0198] 图 33 相当于图 23 所示的栅绝缘膜 4004 中的点 (point)16 的 EDX 测定结果。如图 33 所示,测出了相当于氧化硅成分的硅元素和氧元素。

[0199] 图 34 相当于图 23 所示的岛形状的半导体膜 4003 中的点 (point)17 的 EDX 测定结果。如图 34 所示,测出了硅元素。

[0200] 图 35 相当于图 23 所示的底膜 4002 中的点 (point)18 的 EDX 测定结果。如图 35 所示,测出了相当于氧化硅成分的硅元素和氧元素。另外,实际上底膜 4002 包括在用氧化硅形成的膜上由氮氧化硅形成的膜。

[0201] 图 36 相当于图 23 所示的粘接剂 4001 中的点 (point)19 的 EDX 测定结果。如图 36 所示,测出了相当于环氧树脂成分的碳元素和氧元素。

[0202] 跟用硅片制作的膜的厚度为  $50\ \mu\text{m}$  的集成电路相比,本发明使用膜厚 500nm 或更薄的半导体膜可以形成总厚度被飞跃性地减少为  $1\ \mu\text{m}$ - $5\ \mu\text{m}$ ,典型的为  $2\ \mu\text{m}$  左右极薄的薄膜集成电路。另外,可以使显示器件的厚度为 0.5mm 左右,优选为 0.02mm 左右。所以,可以将这样的显示器件搭载到厚度为 0.05mm-1.5mm 的智能卡上。

[0203] 本发明可以利用比硅片廉价并且面积大的玻璃衬底,因此可以低成本地,高产量地大量生产薄膜集成电路,并且可以飞跃性地减少薄膜集成电路的生产成本。此外,衬底可

以被反复使用,这样,可以减少成本。

[0204] 另外,本发明没有必要象用硅片制作集成电路那样实施造成裂缝以及研磨痕迹原因的背面研磨,并且,薄膜集成电路厚度的不均匀是由于在形成构成薄膜集成电路的各个膜时的膜厚度不均匀而导致,这个不均匀至多也不过几百 nm 左右,跟背面研磨处理导致的几 - 几十  $\mu\text{m}$  的不均匀相比,本发明可以飞跃性抑制该不均匀性。

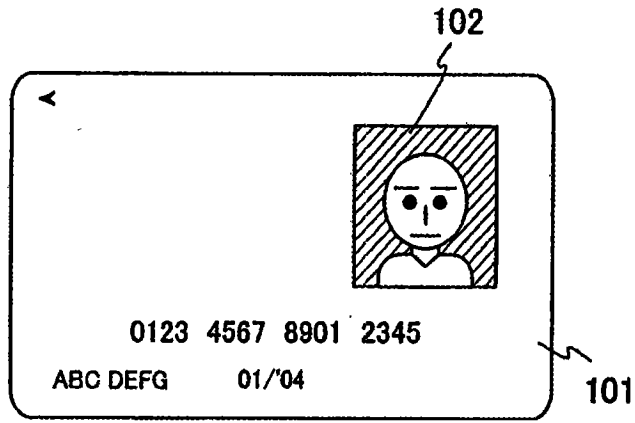


图 1A

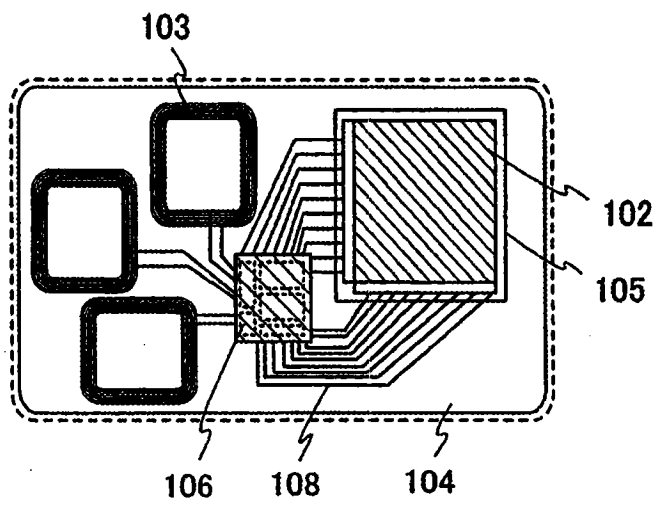
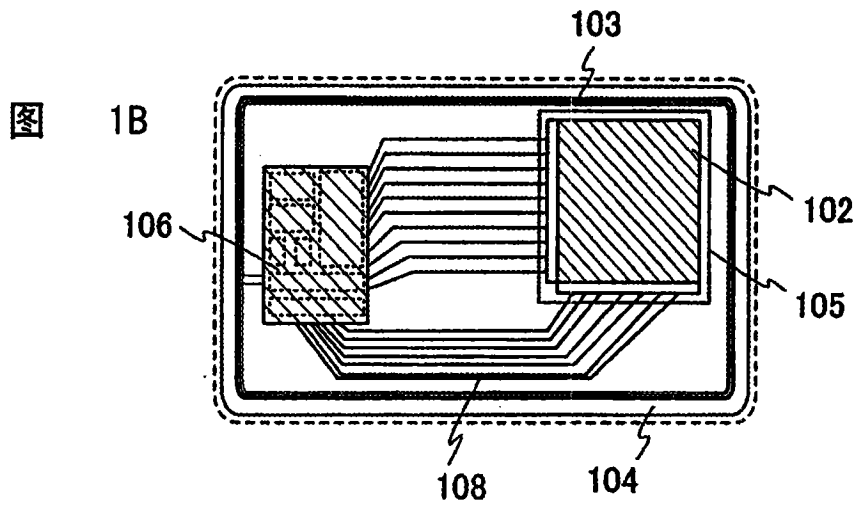


图 1C

图 2A

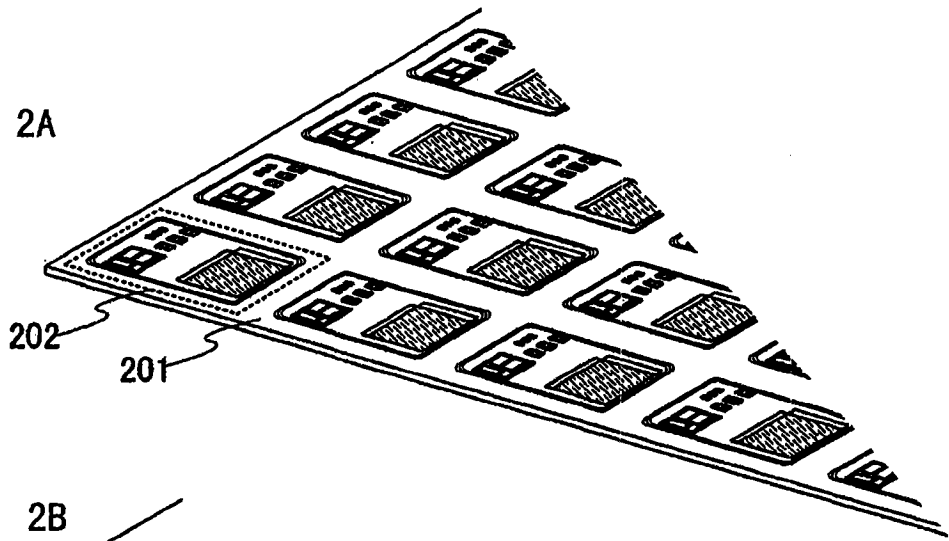
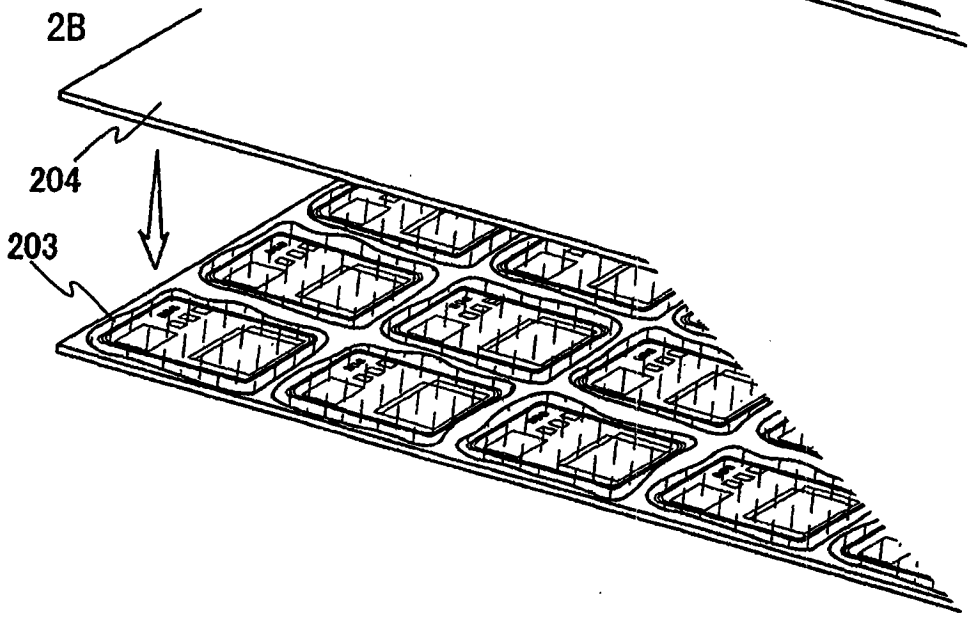


图 2B



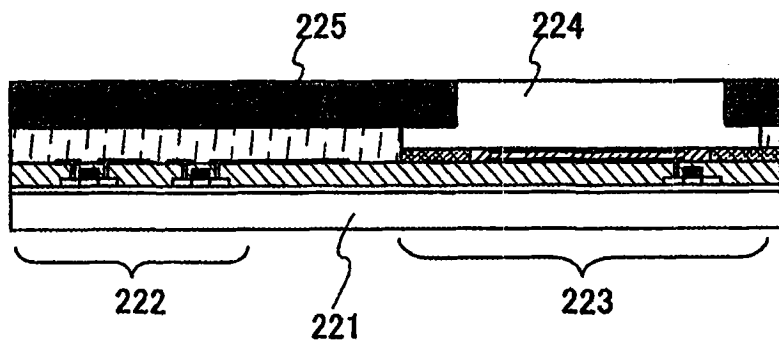
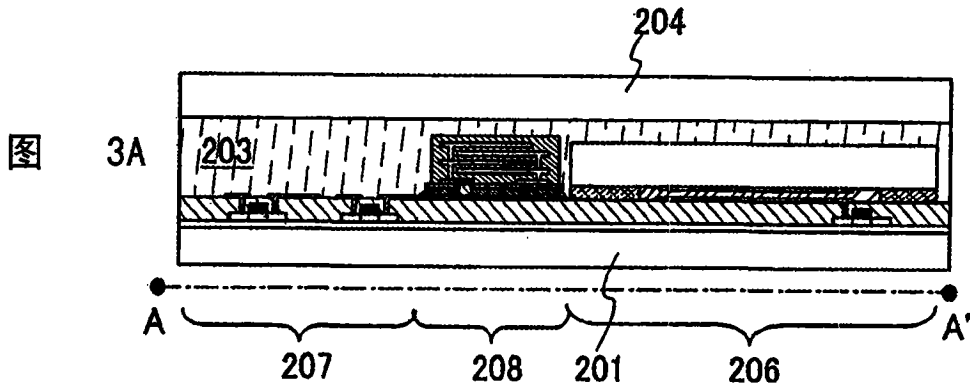
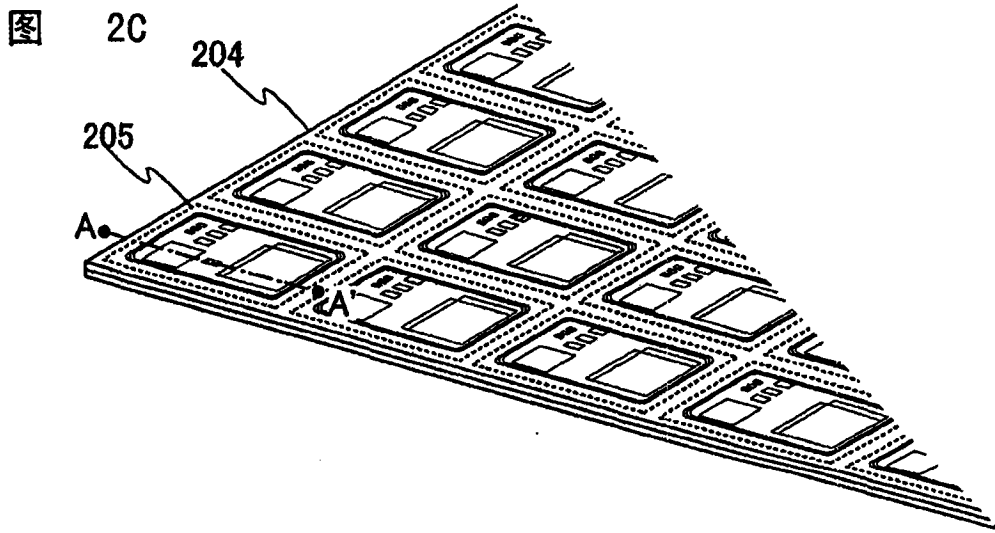


图 3B

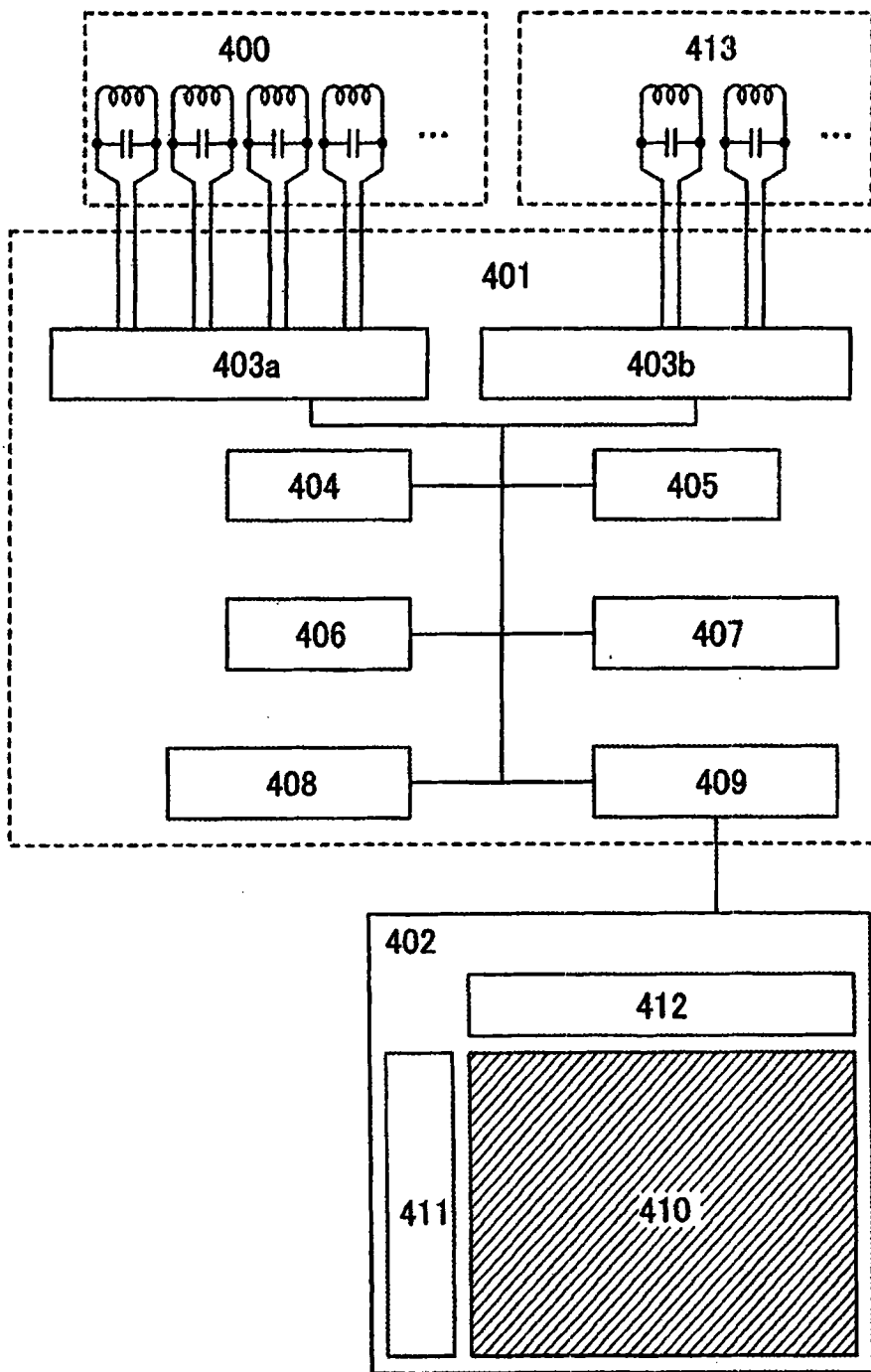


图 4

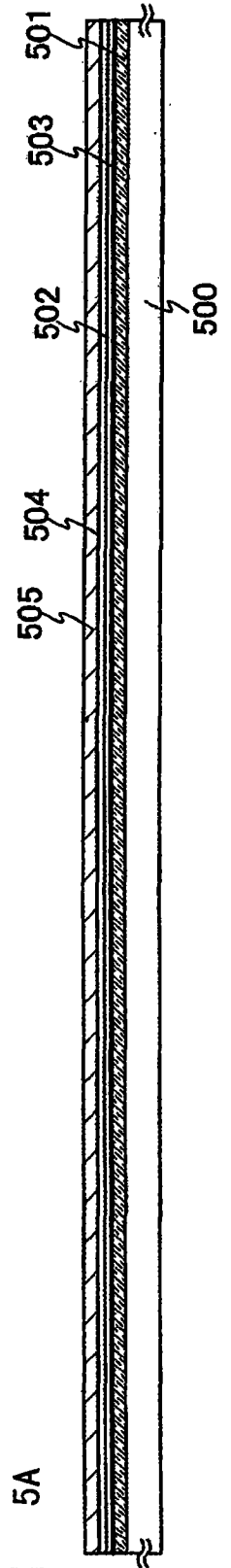
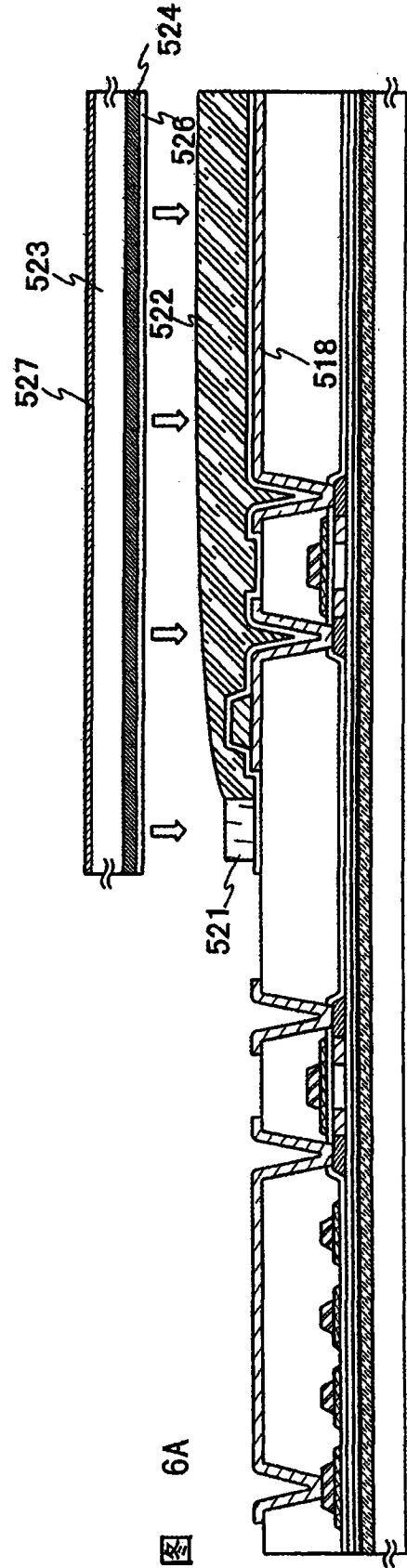
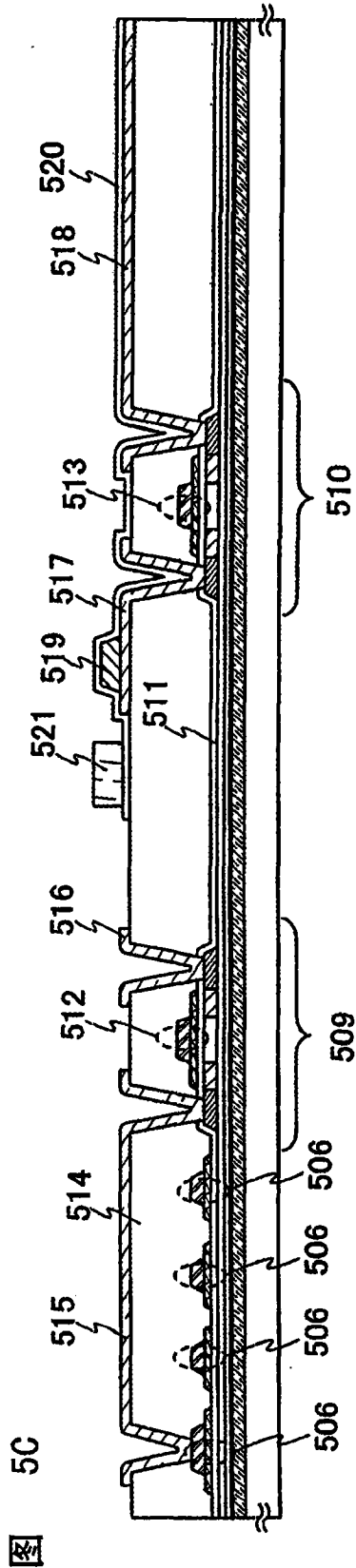
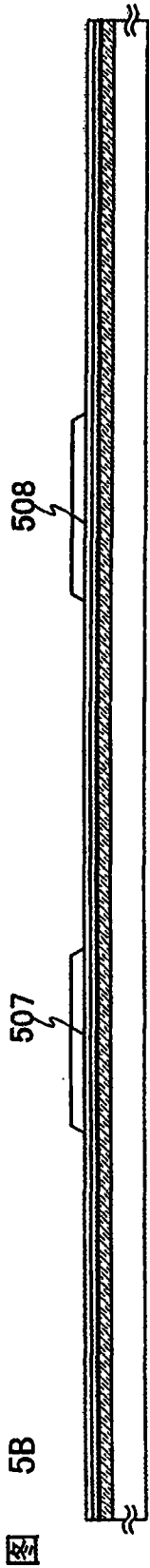
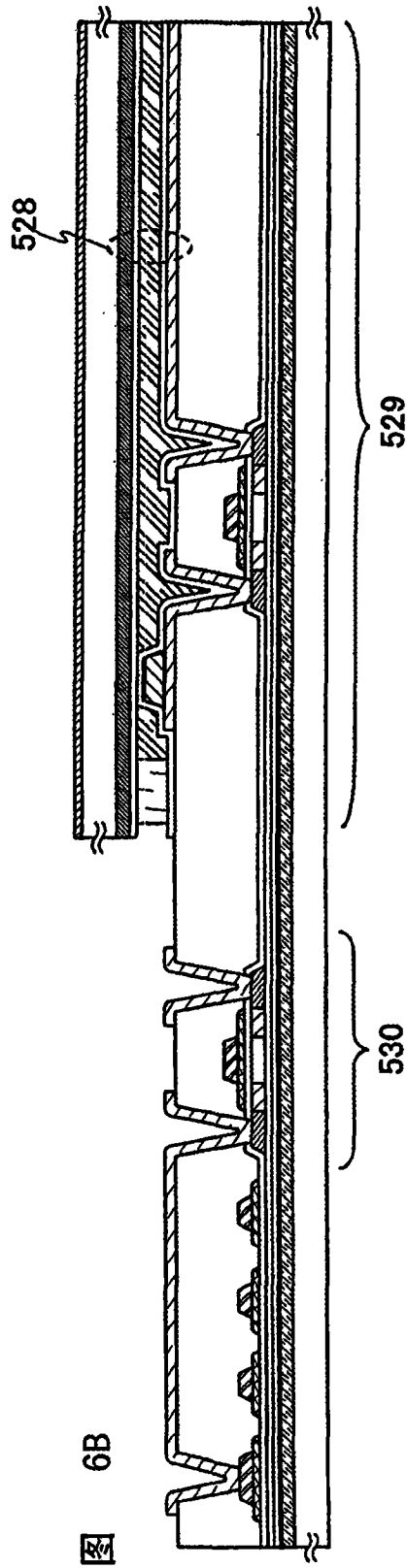


图 5A







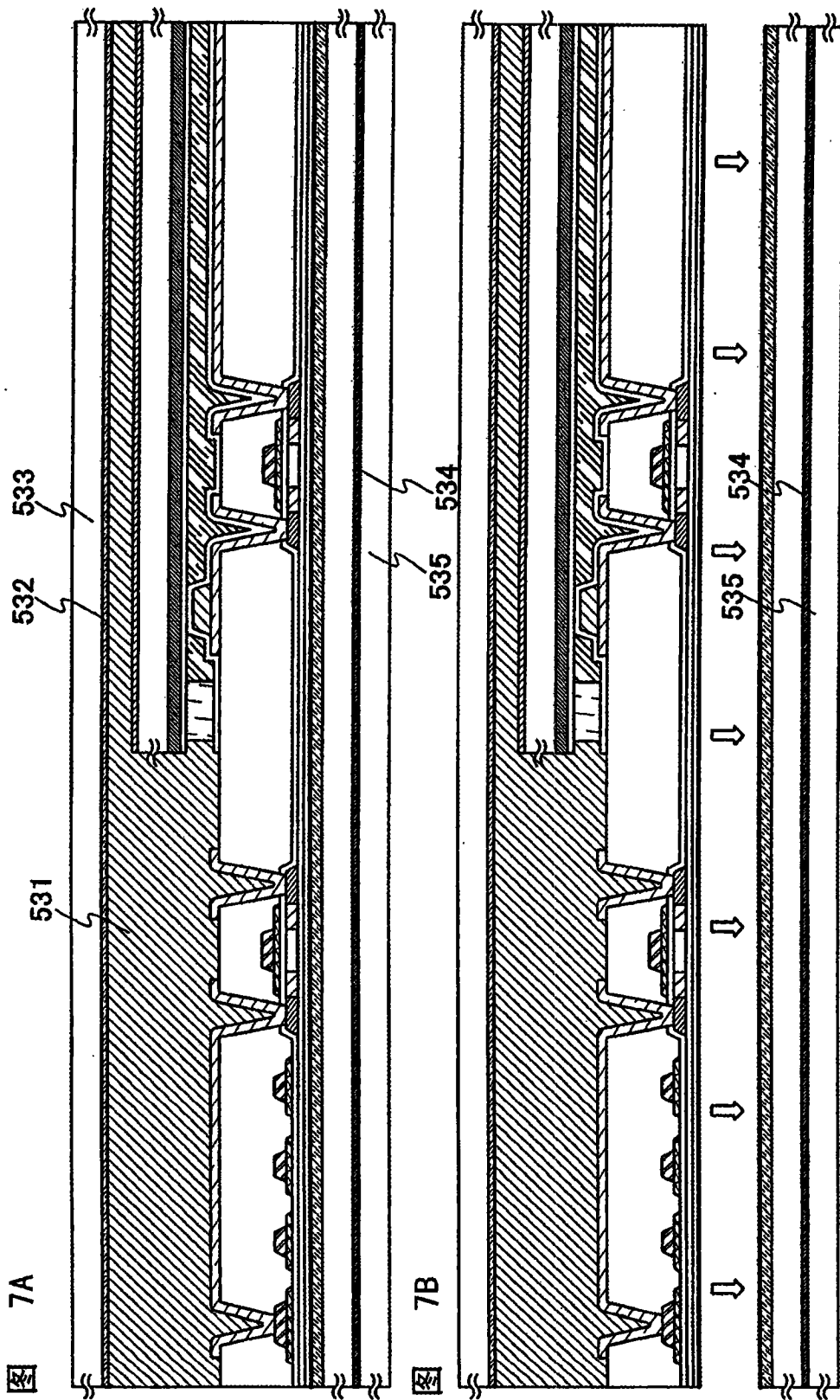


图 8A

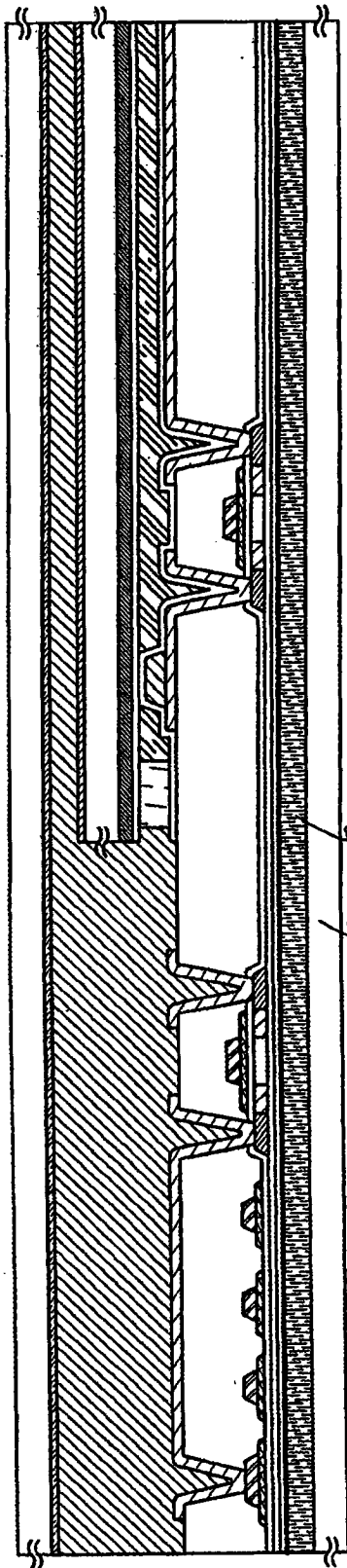
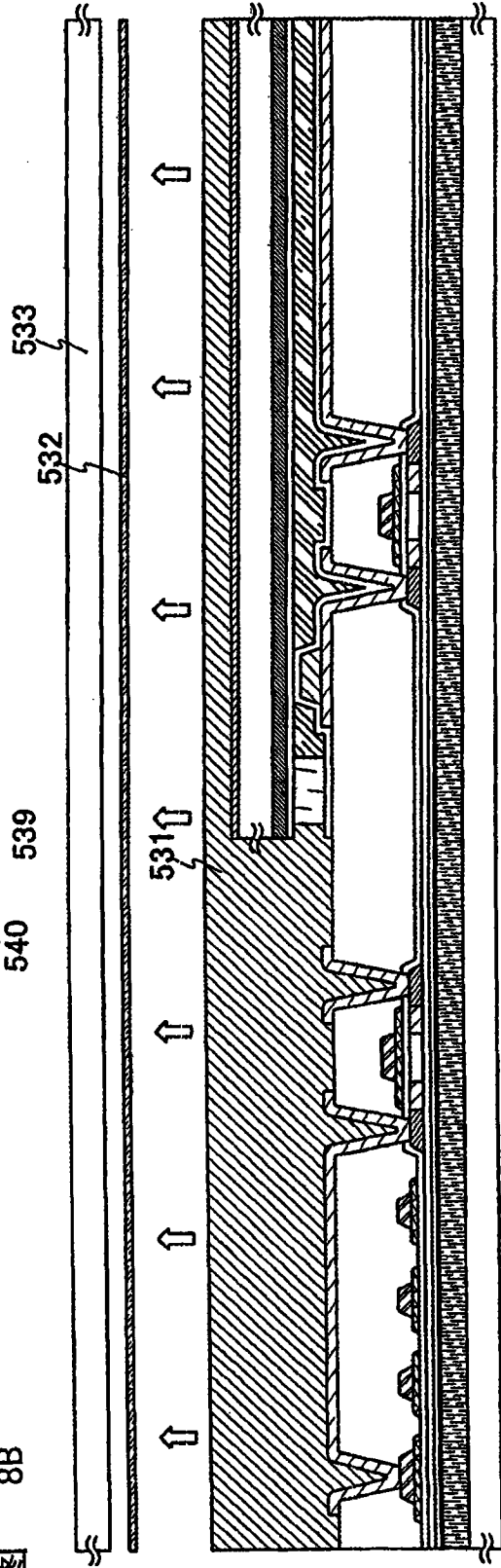


图 8B



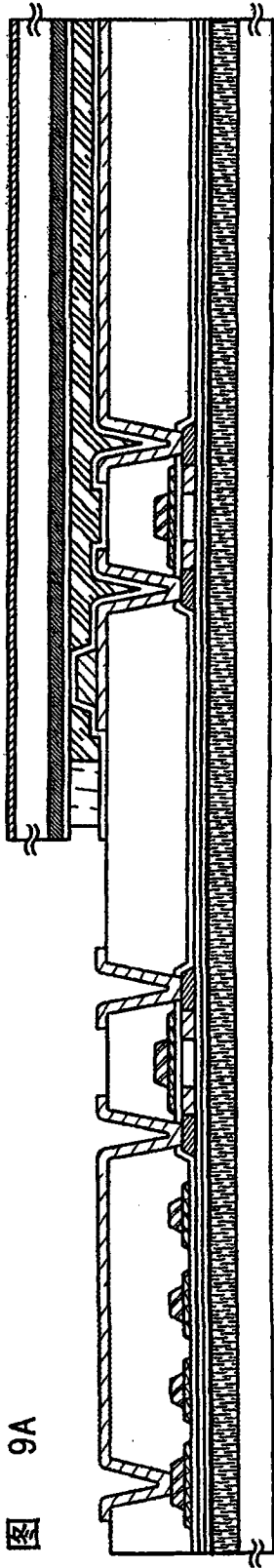


图 9A

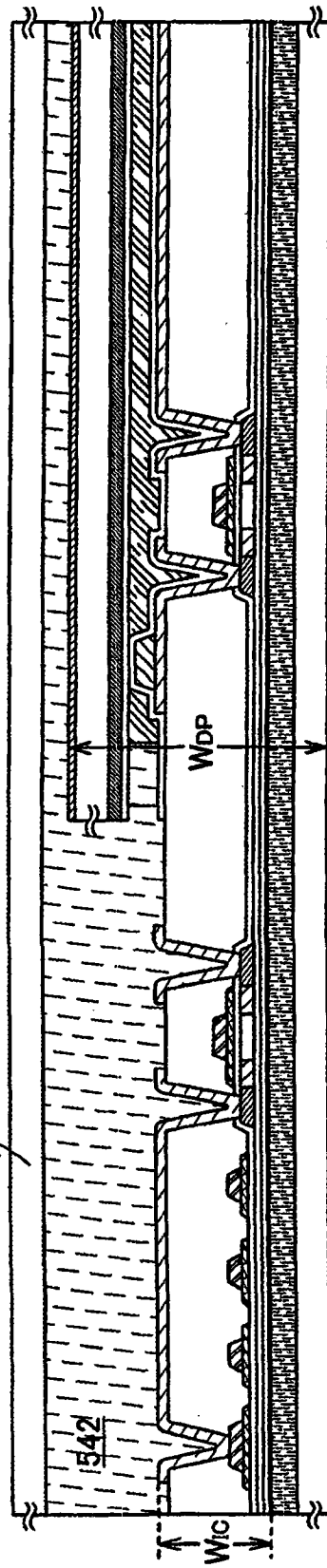


图 9B

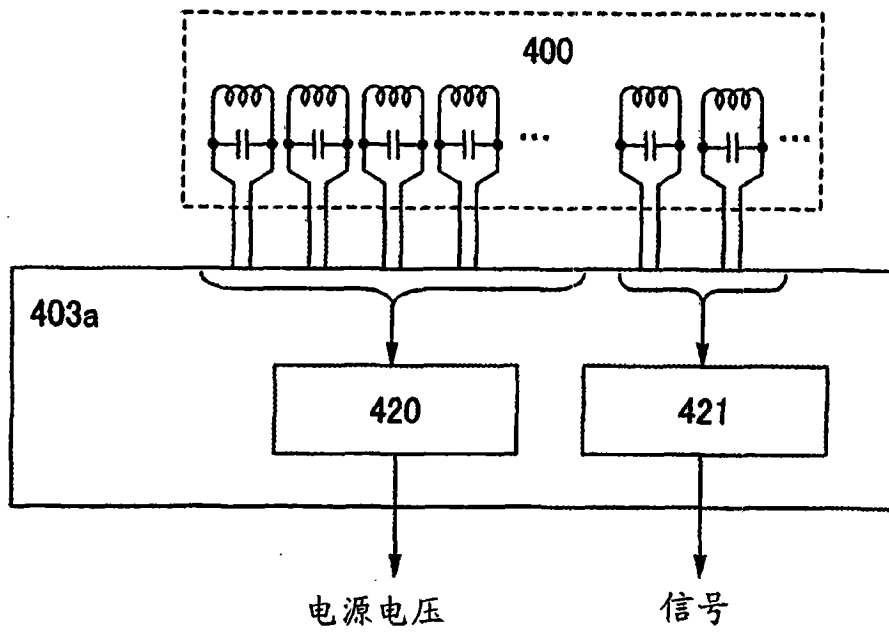


图 10A

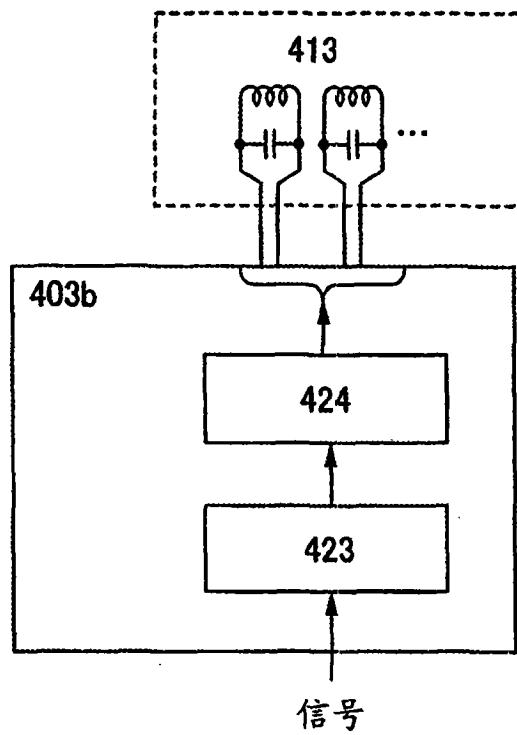


图 10B

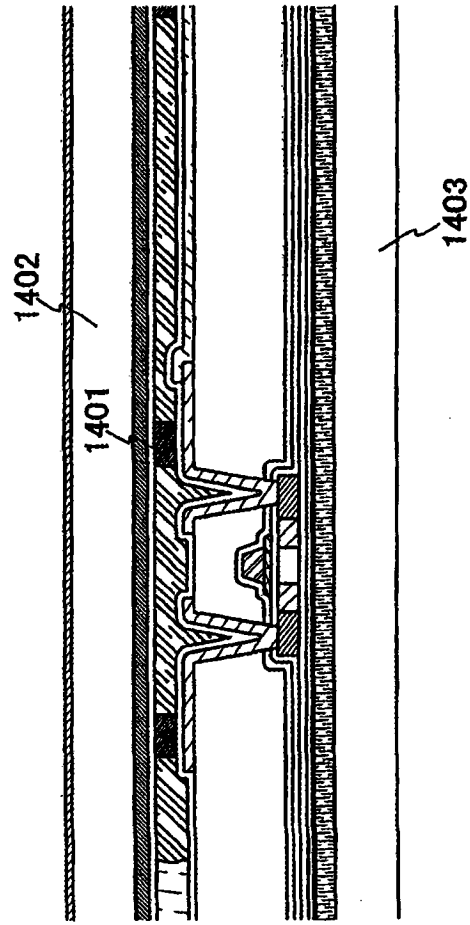


图 11A

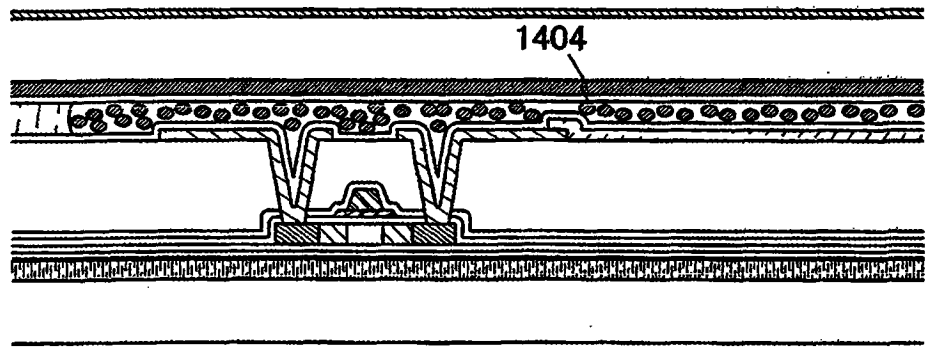


图 11B



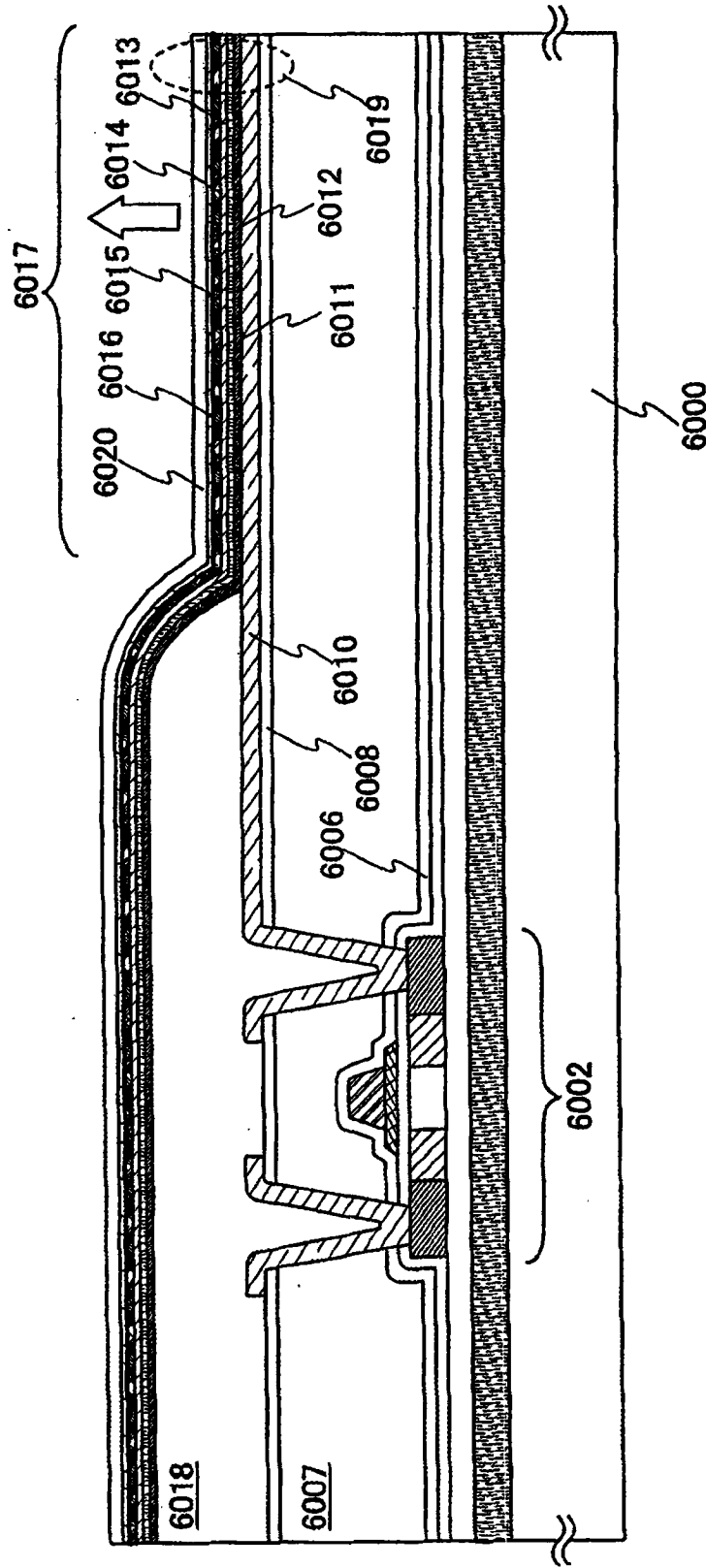


图 12

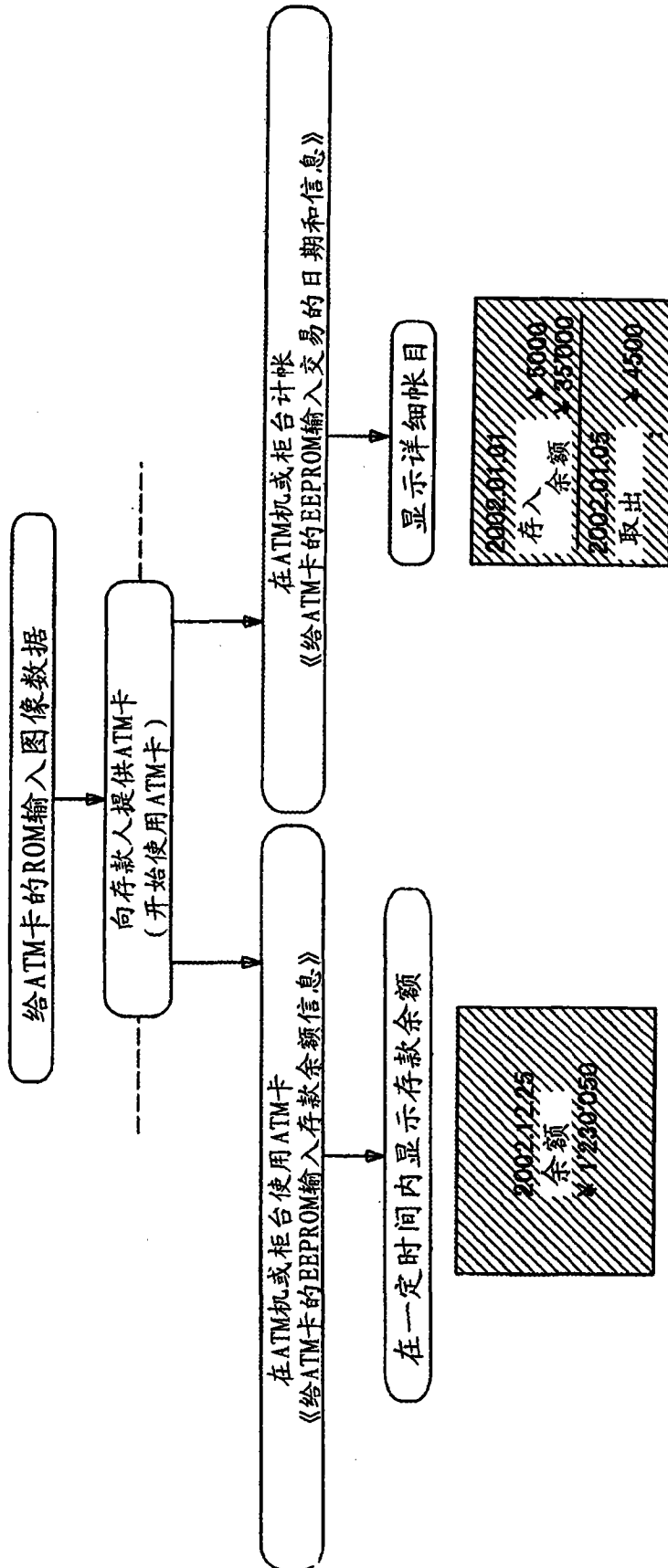


图 13

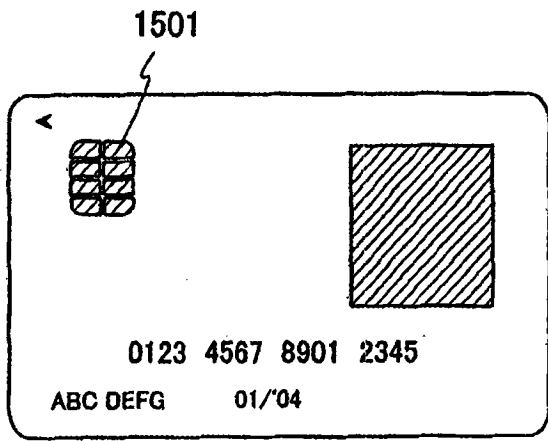


图 14A

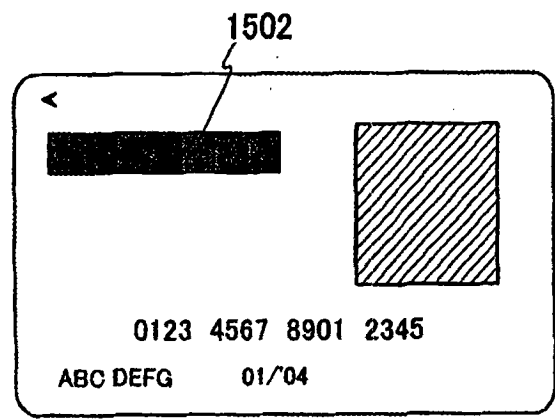
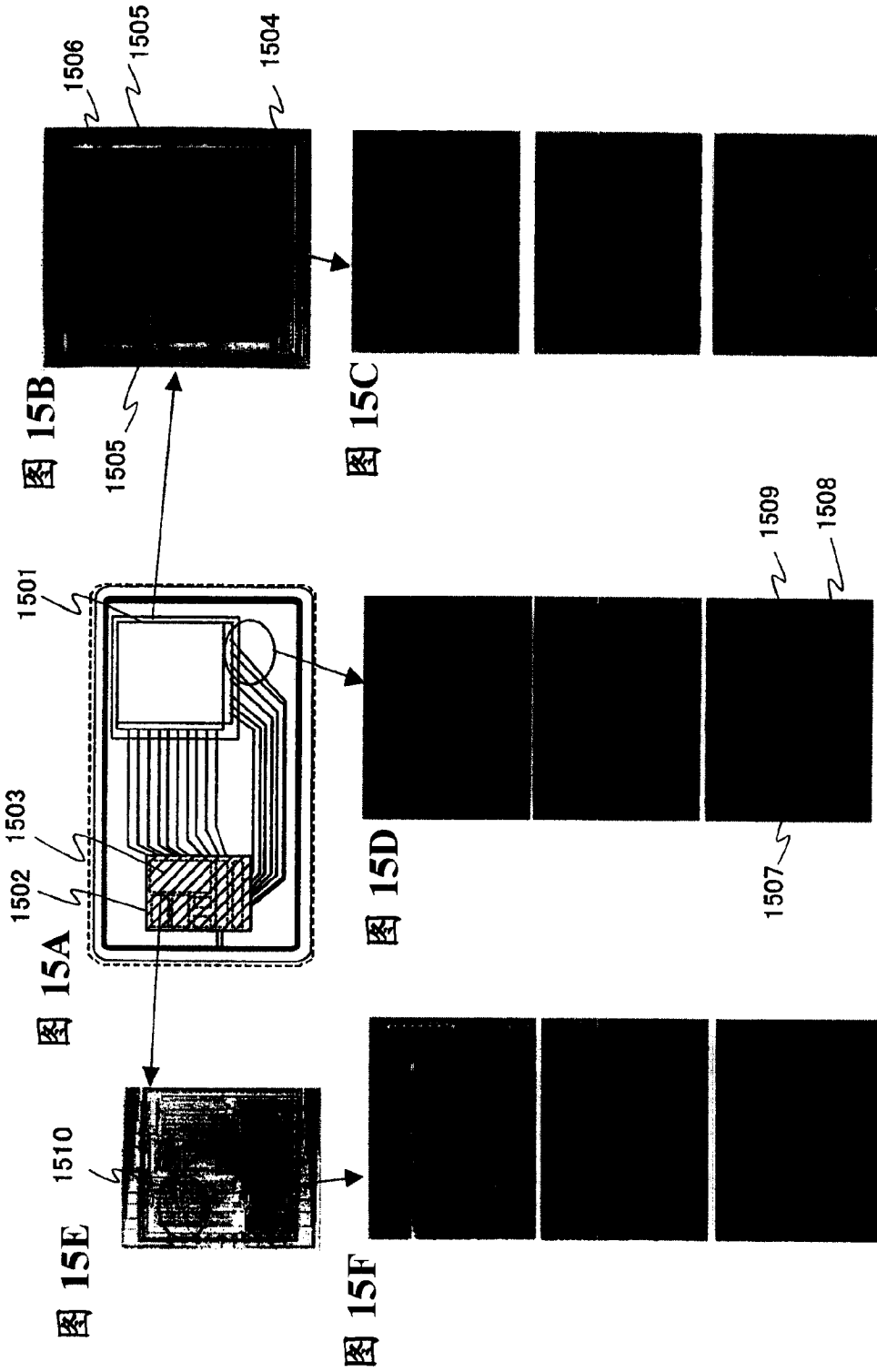


图 14B



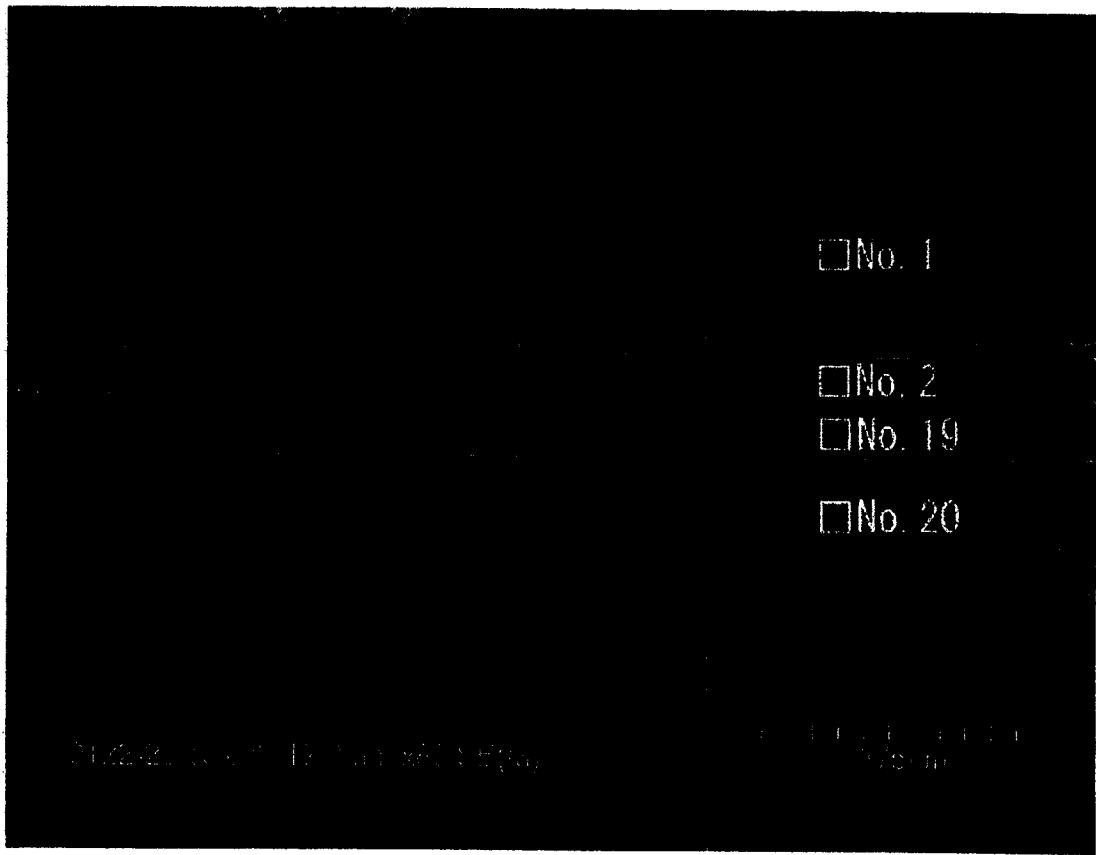


图 16

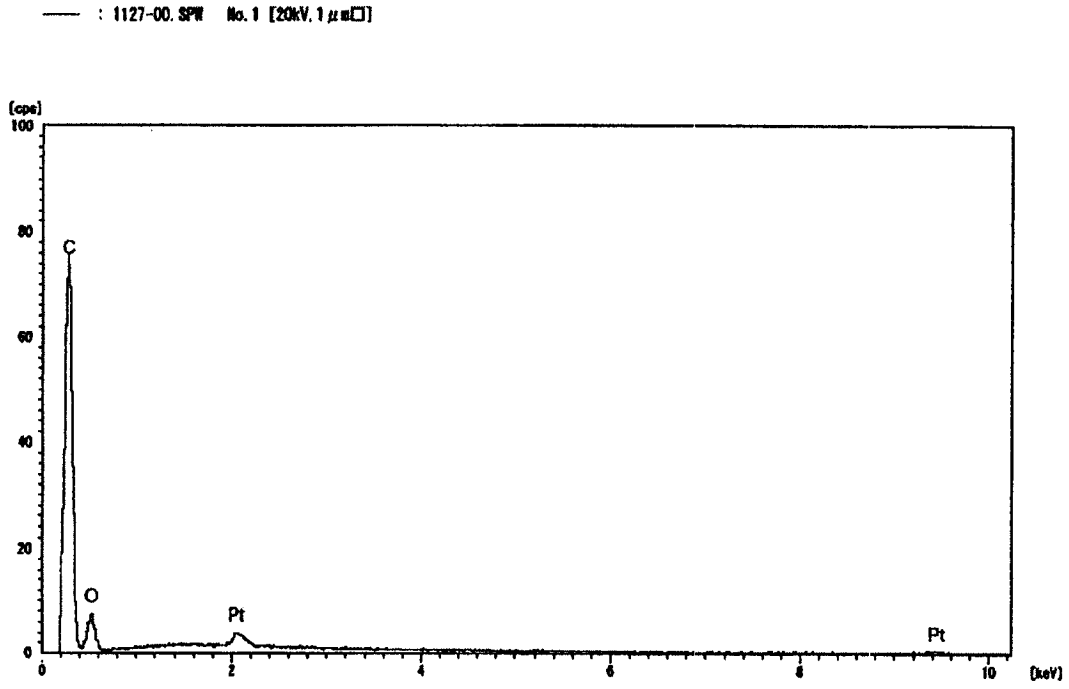


图 17

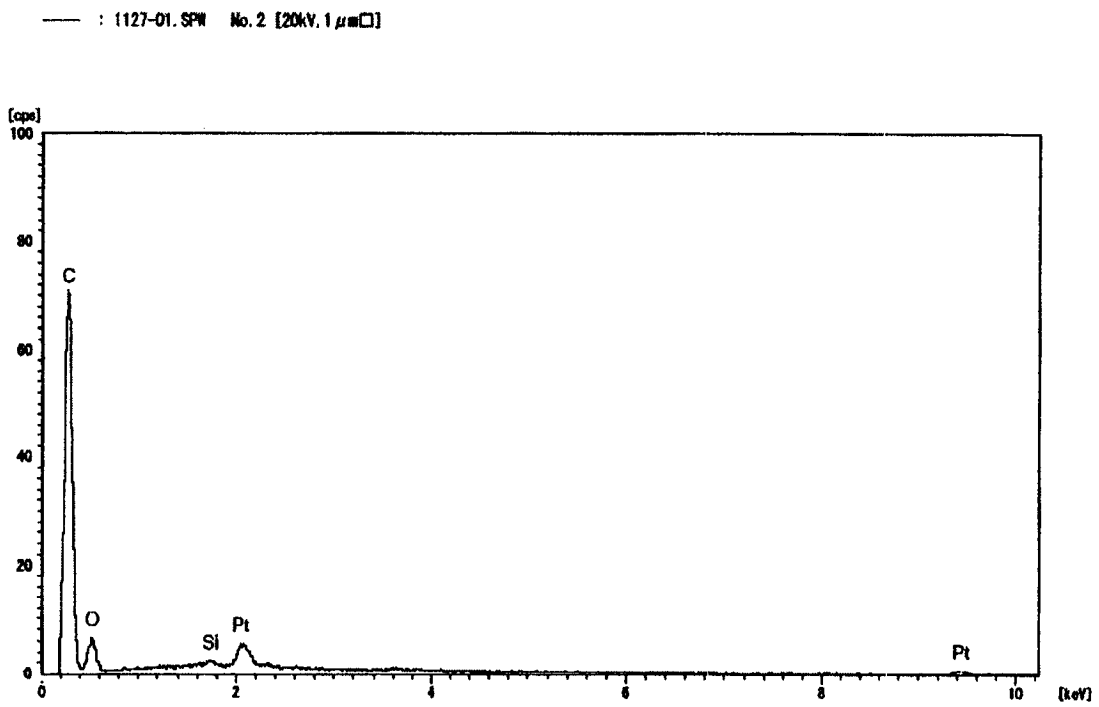


图 18

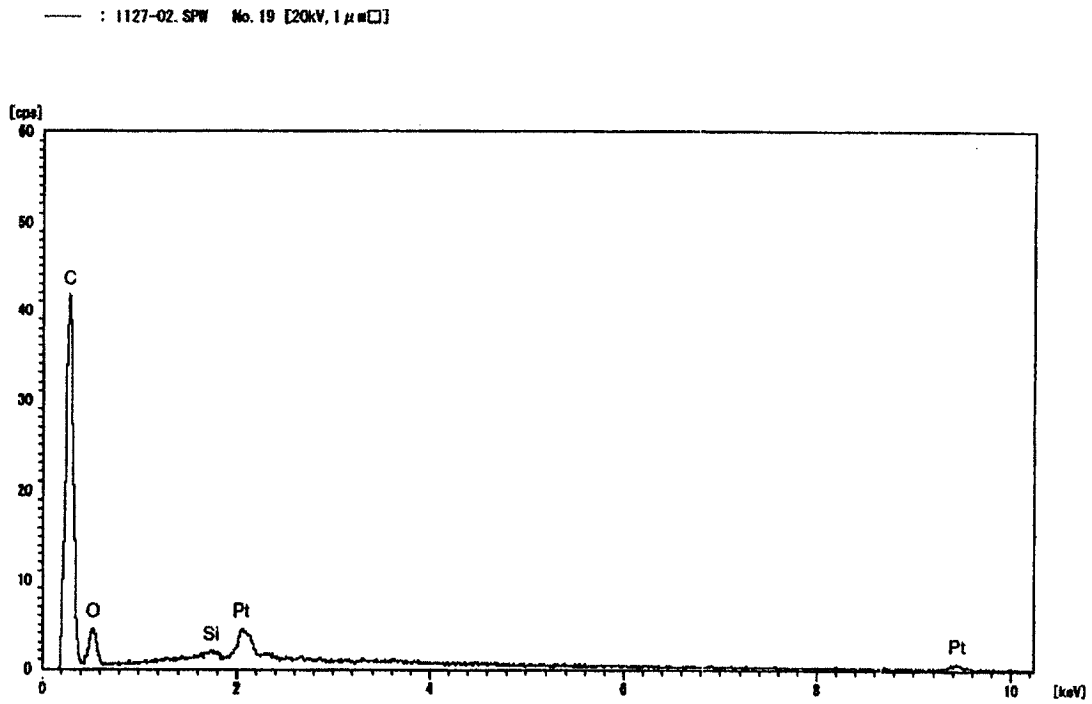


图 19

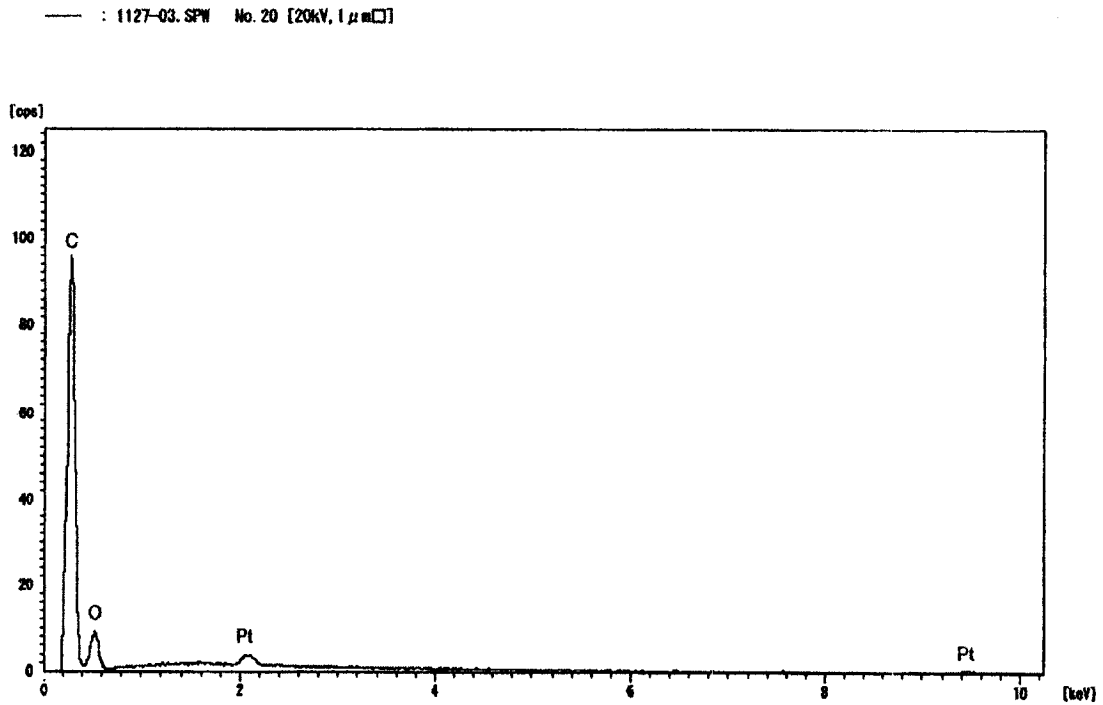


图 20

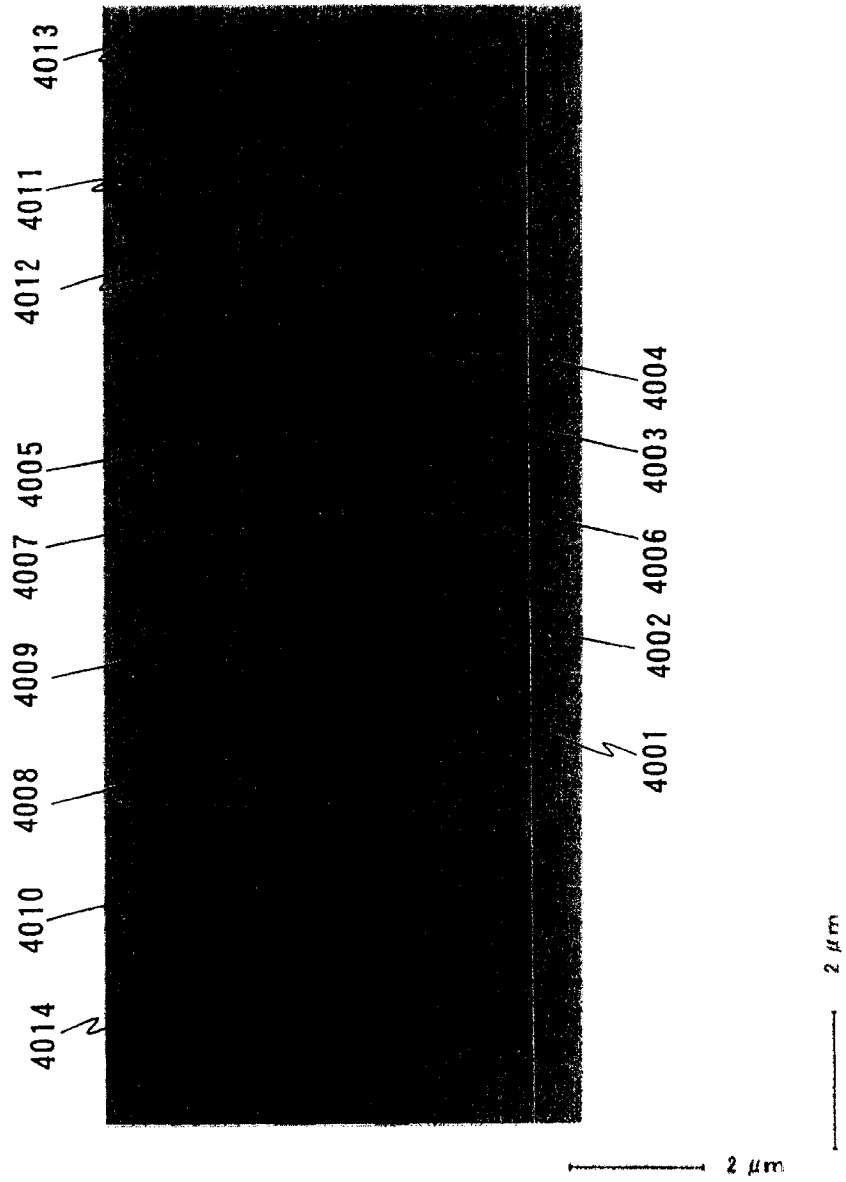


图 21



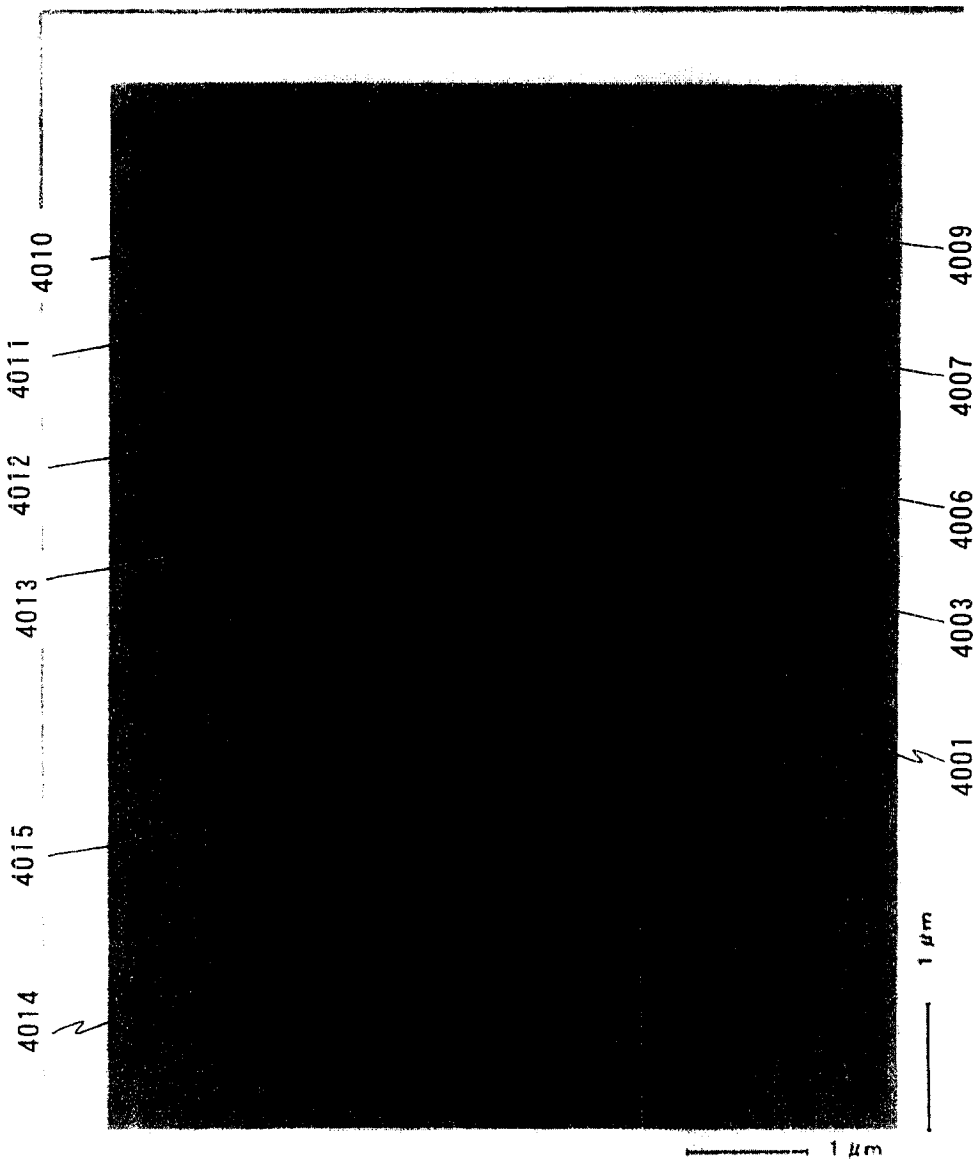


图 22

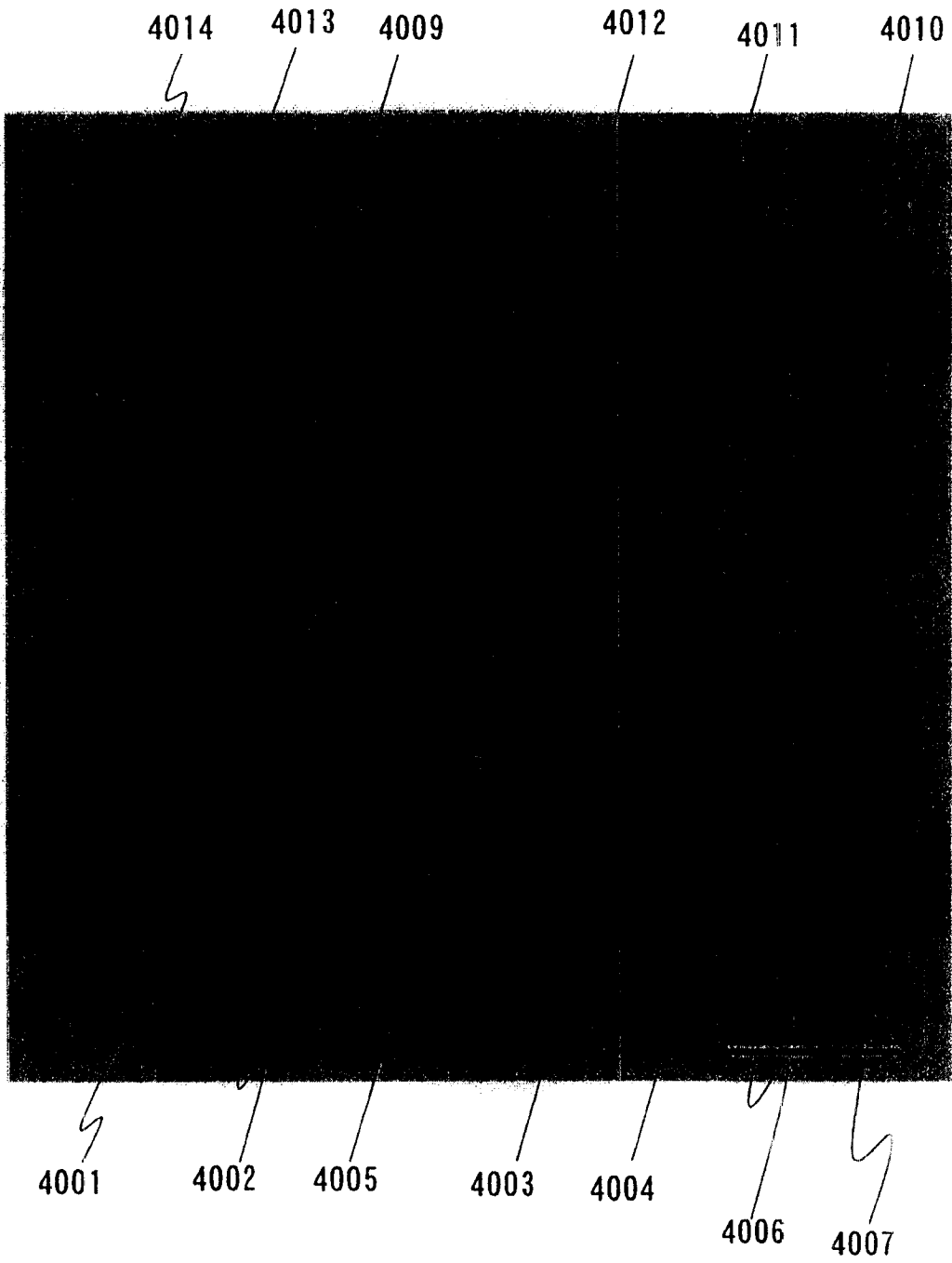


图 23

点2

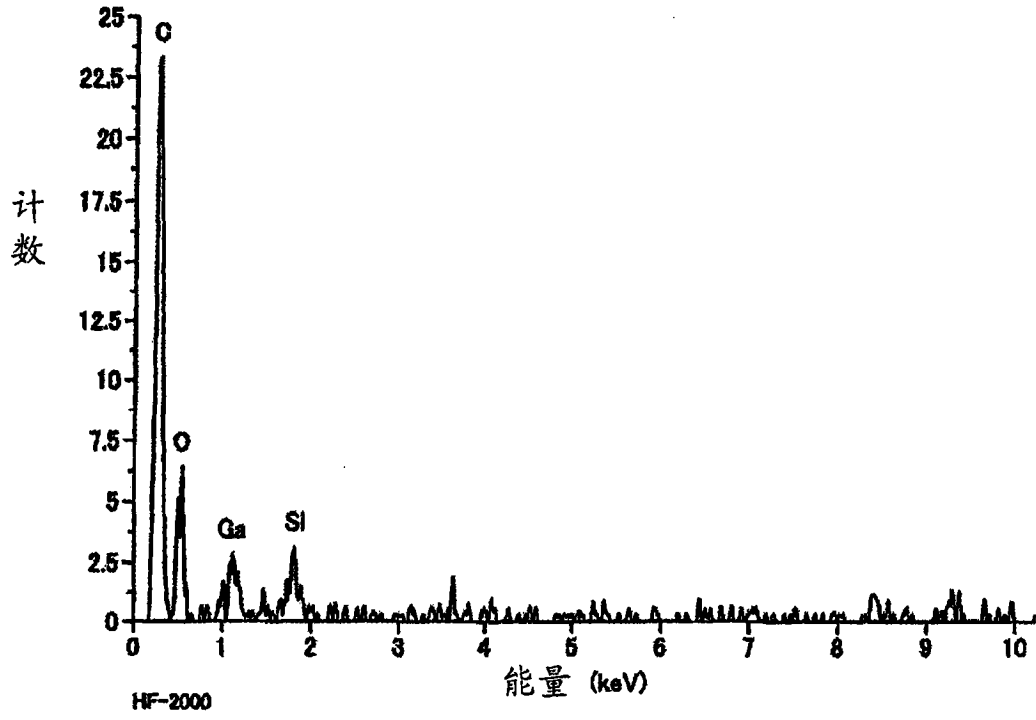


图 24

点3

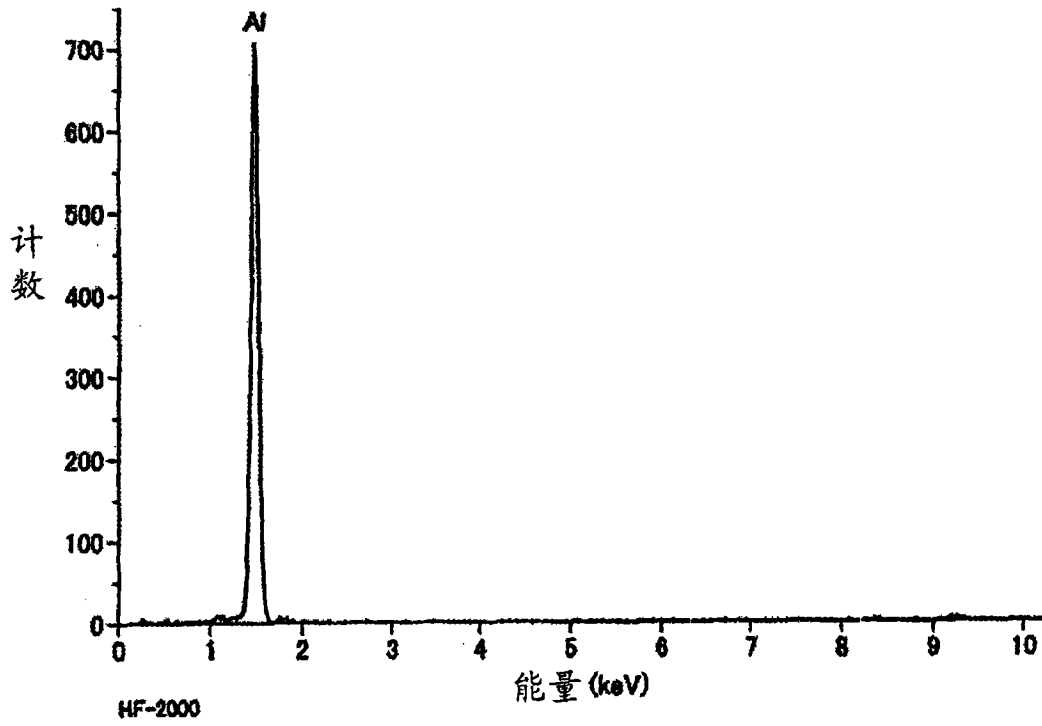


图 25

点4-1

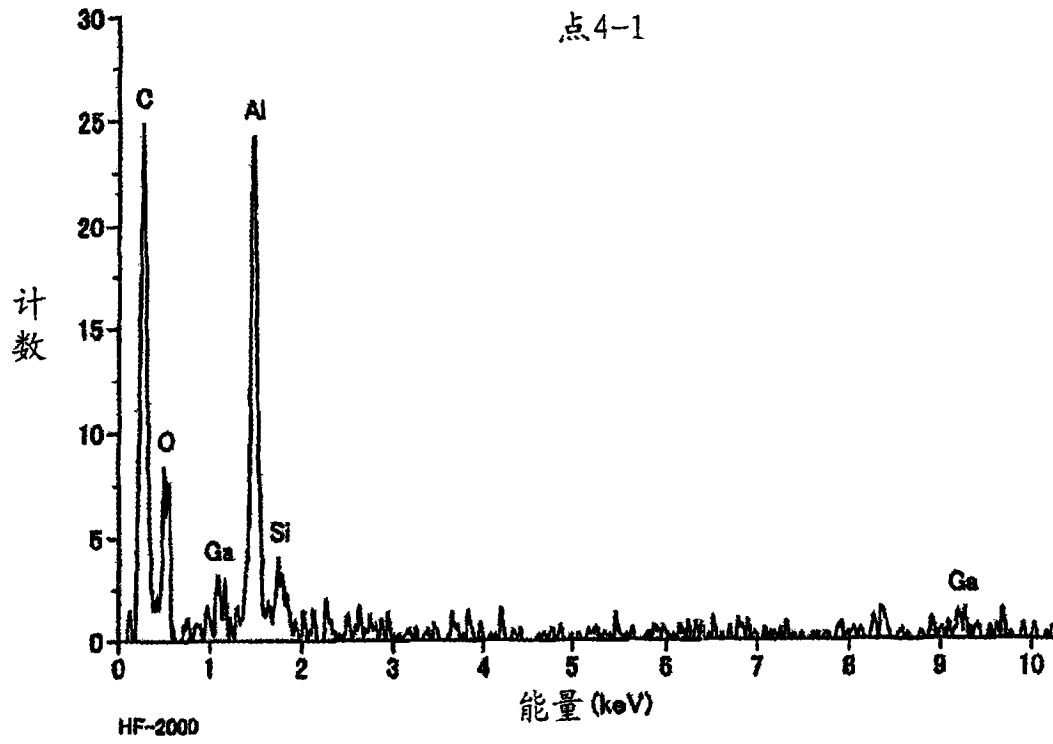


图 26

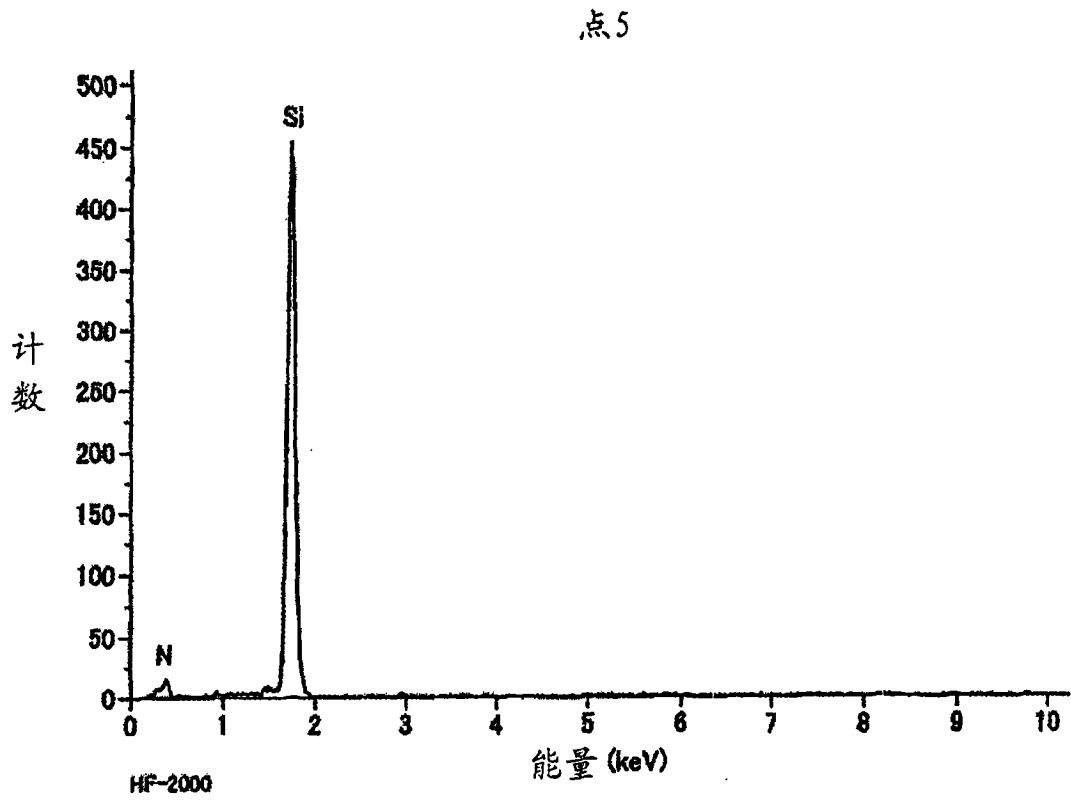


图 27

点11

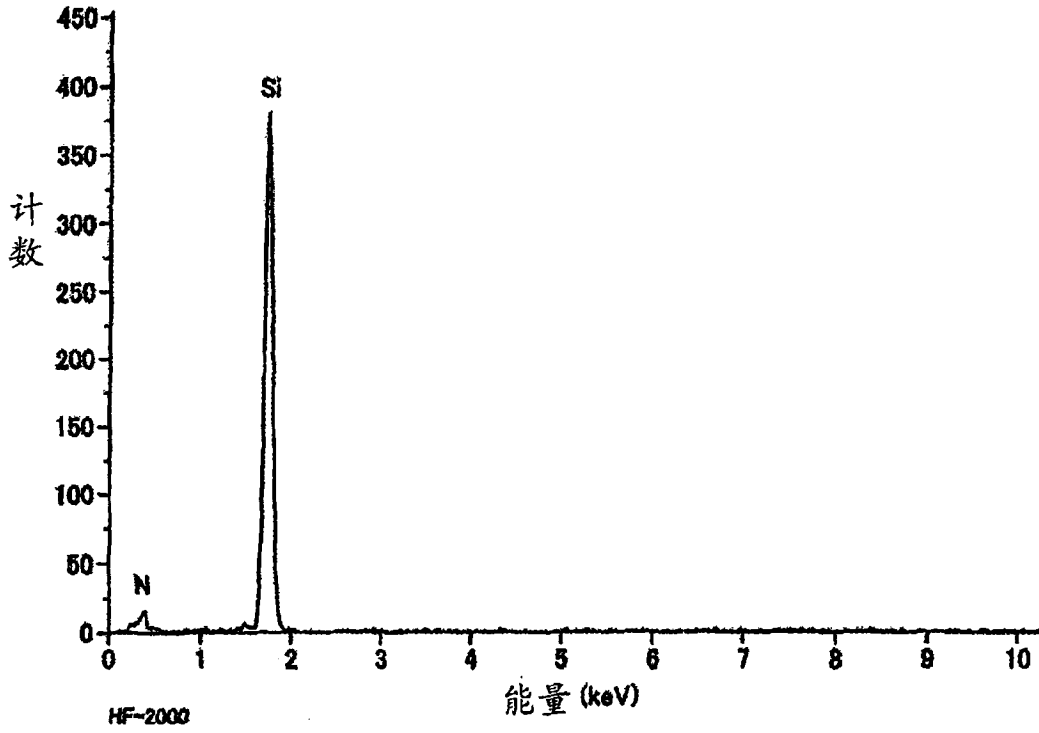


图 28

点12

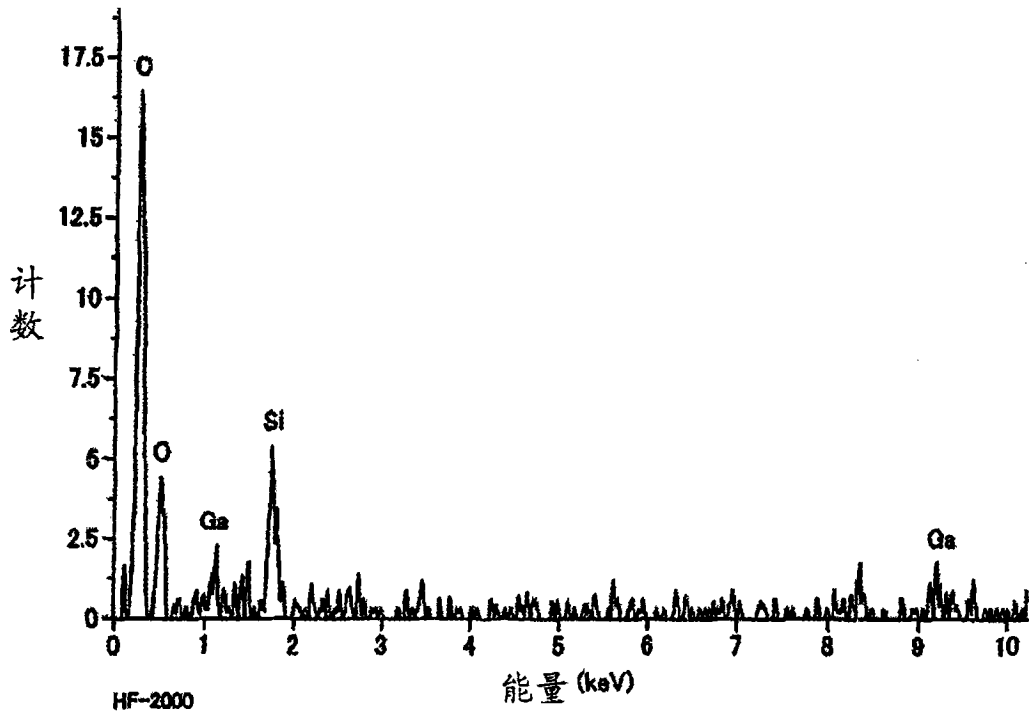


图 29

点13

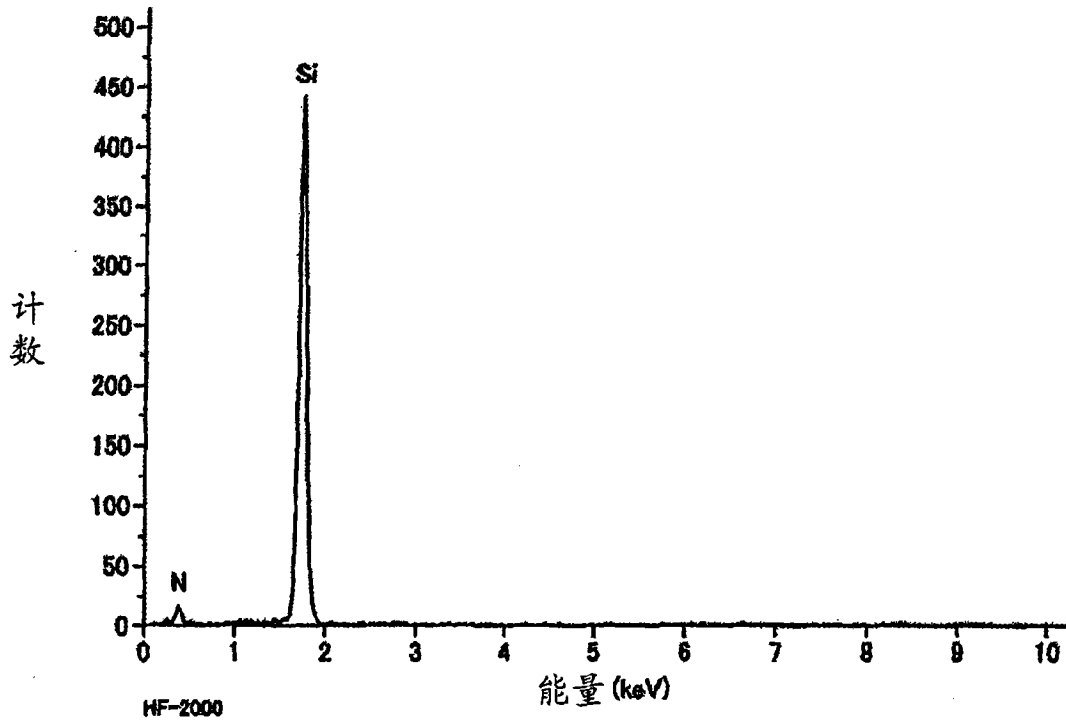


图 30

点14

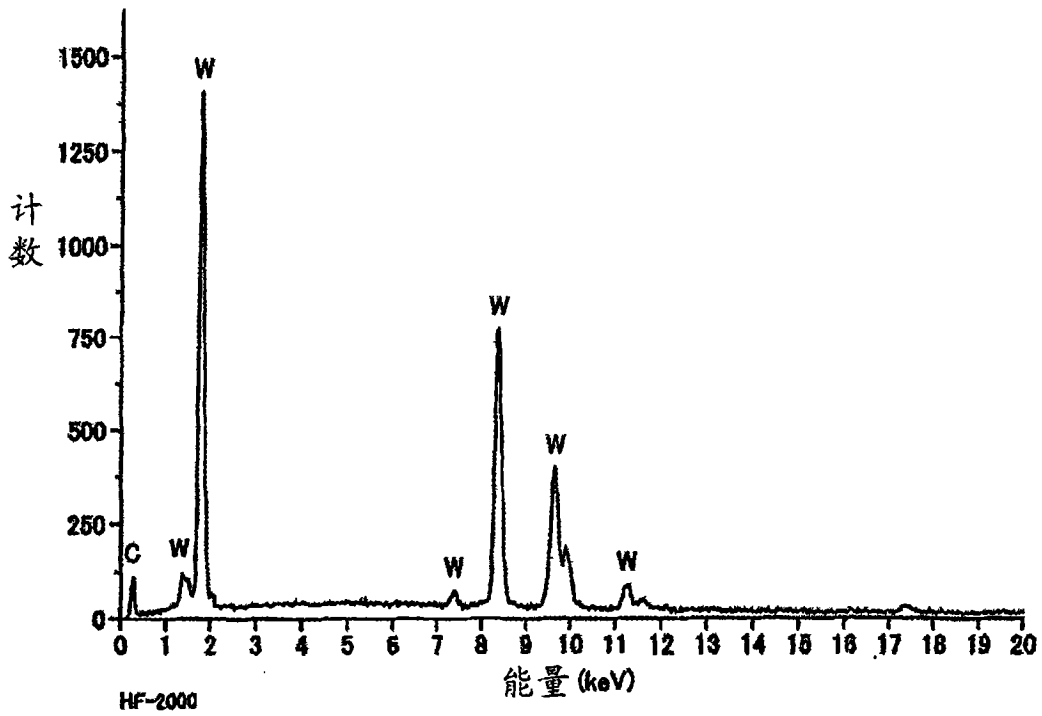


图 31

点15

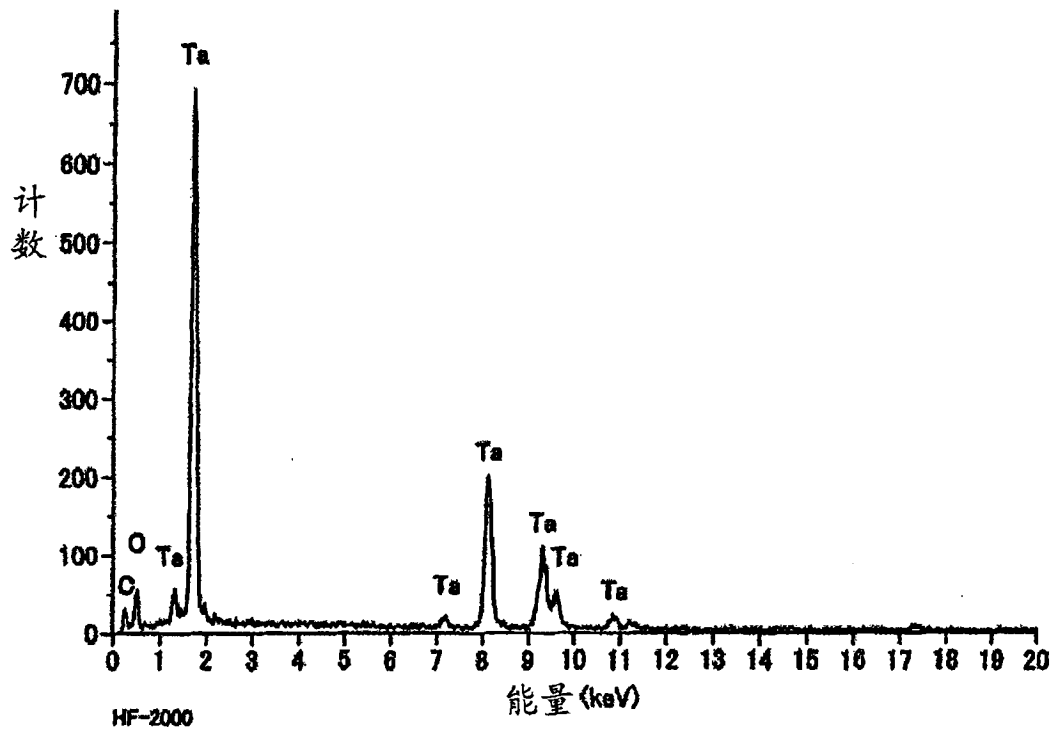


图 32



点16

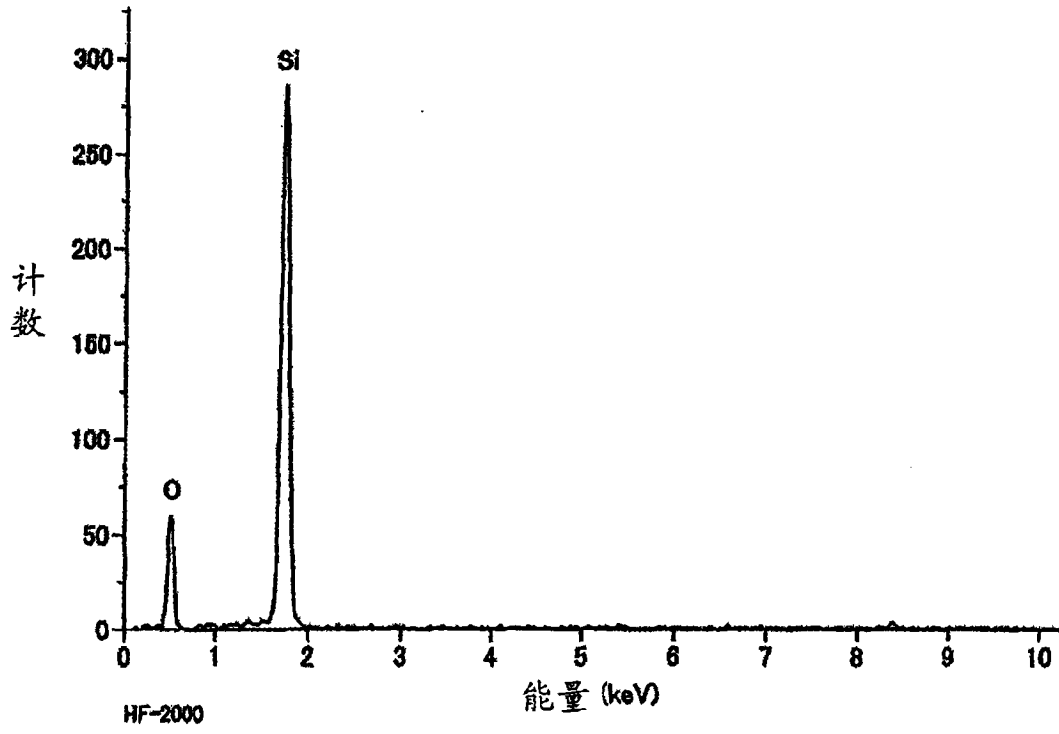


图 33

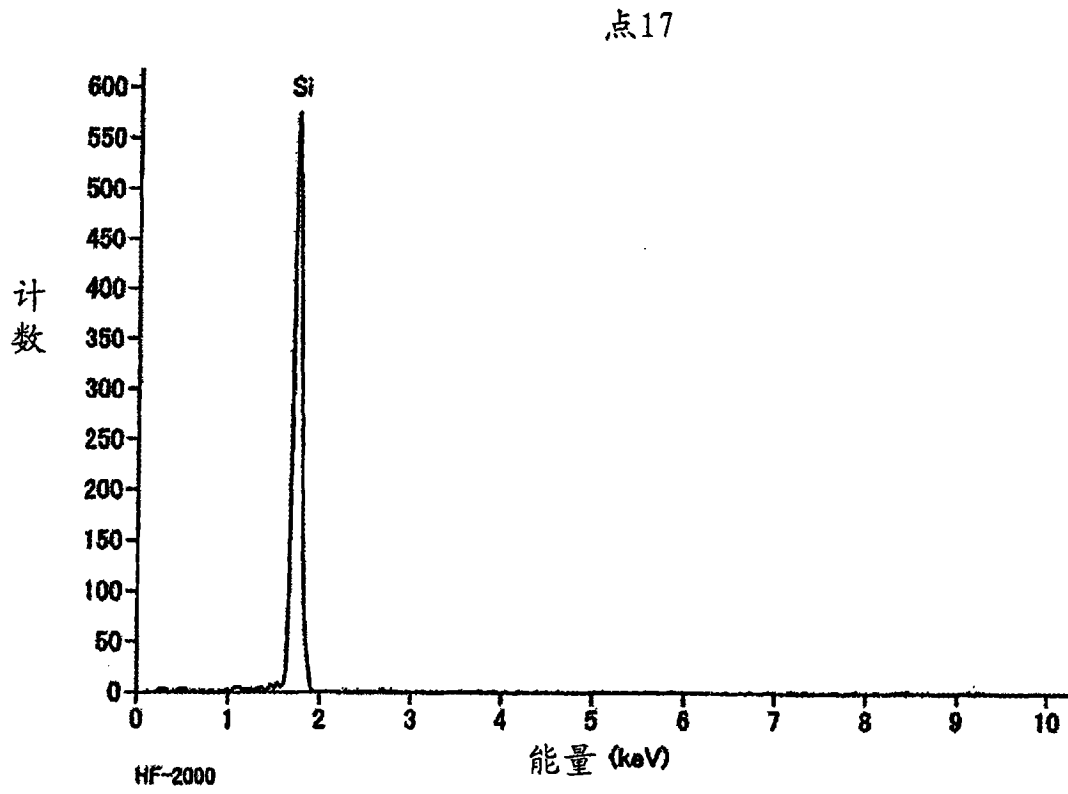


图 34

点18

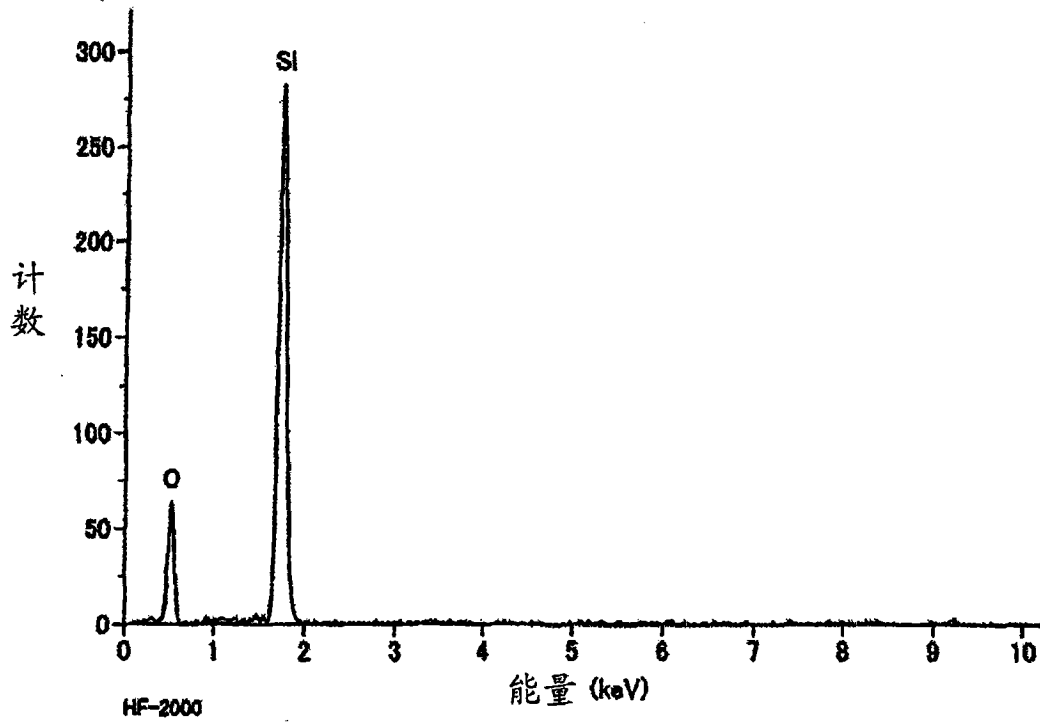


图 35

点19

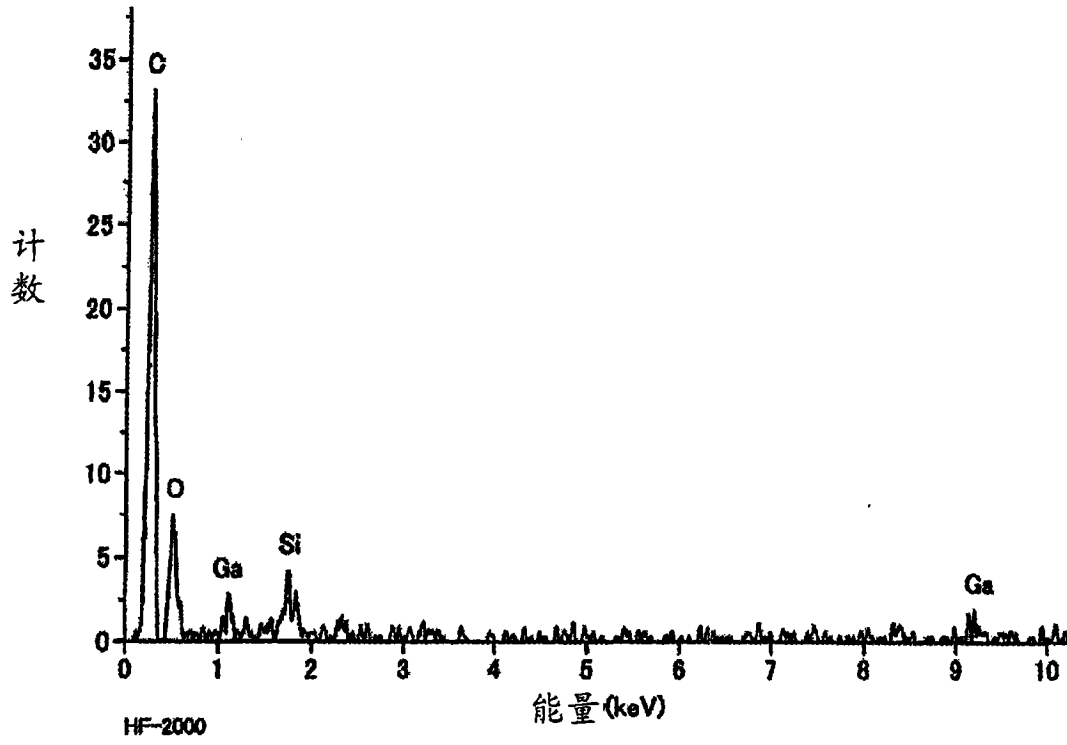


图 36