

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4963148号  
(P4963148)

(45) 発行日 平成24年6月27日(2012.6.27)

(24) 登録日 平成24年4月6日(2012.4.6)

(51) Int.Cl.		F I
HO 1 L 23/12 (2006.01)		HO 1 L 23/12 F
HO 1 L 21/52 (2006.01)		HO 1 L 23/12 5 O 1 W
HO 1 L 21/56 (2006.01)		HO 1 L 21/52 A
		HO 1 L 21/56 T

請求項の数 10 (全 26 頁)

(21) 出願番号	特願2001-283717 (P2001-283717)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成13年9月18日(2001.9.18)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2003-92374 (P2003-92374A)	(74) 代理人	100083552 弁理士 秋田 収喜
(43) 公開日	平成15年3月28日(2003.3.28)	(72) 発明者	木村 美香子 東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内
審査請求日	平成20年9月9日(2008.9.9)	(72) 発明者	杉山 道昭 東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

(a) 第1主面、前記第1主面に形成された複数の第1主面電極、前記複数の第1主面電極を露出するように前記第1主面上に形成された絶縁膜、前記第1主面とは反対側の第1裏面、及び前記第1裏面に形成された複数の第1裏面電極を有する配線基板を準備する工程；

(b) 前記(a)工程の後、前記配線基板の前記絶縁膜におけるチップ搭載領域の一部に、ペースト状の接着材を配置する工程；

(c) 前記(b)工程の後、第2主面、前記第2主面に形成された複数の第2主面電極、前記第2主面とは反対側の第2裏面、及び前記第2主面と前記第2裏面との間の側面を有する半導体チップを、前記複数の第1主面電極の内側に位置するように、前記配線基板の前記絶縁膜上に配置し、前記接着材を介して前記半導体チップを前記配線基板の前記絶縁膜におけるチップ搭載領域に固定する工程；

(d) 前記(c)工程の後、トランスファモールディングにより前記半導体チップを樹脂で封止する工程；

を含み、

前記絶縁膜は、前記複数の第1主面電極のそれぞれと前記半導体チップとの間に溝を有しており、

前記(c)工程では前記半導体チップを前記配線基板に押し付け、前記配線基板の前記絶縁膜から前記半導体チップの前記側面に向かって傾斜するように前記接着材を這い上が

らせていることを特徴とする半導体装置の製造方法。

【請求項 2】

請求項 1 に記載の半導体装置の製造方法において、

前記 (a) 工程では、前記配線基板の前記第 1 主面の一部が前記絶縁膜に形成された前記溝の底から露出している前記配線基板を準備することを特徴とする半導体装置の製造方法。

【請求項 3】

請求項 2 に記載の半導体装置の製造方法において、

前記配線基板の前記第 1 主面には、複数の第 1 主面配線が形成され、

前記複数の第 1 主面電極は、前記複数の第 1 主面配線を介して前記複数の第 1 裏面電極とそれぞれ電氣的に接続されており、

前記配線基板の前記複数の第 1 主面配線のそれぞれの一部は、前記絶縁膜に形成された前記溝の前記底から露出していることを特徴とする半導体装置の製造方法。

【請求項 4】

請求項 3 に記載の半導体装置の製造方法において、

前記 (c) 工程では、前記半導体チップの前記第 2 裏面が前記配線基板の前記第 1 主面と対向するように、前記接着材を介して前記半導体チップを前記配線基板の前記絶縁膜上に固定し、

前記半導体チップを前記配線基板の前記絶縁膜上に固定した後、前記配線基板の前記複数の第 1 主面電極と前記半導体チップの前記複数の第 2 主面電極とを、複数のワイヤを介してそれぞれ電氣的に接続し、

前記 (d) 工程では、前記半導体チップ及び前記複数のワイヤを樹脂で封止することを特徴とする半導体装置の製造方法。

【請求項 5】

請求項 4 に記載の半導体装置の製造方法において、

前記 (c) 工程の後で、かつ前記配線基板の前記複数の第 1 主面電極と前記半導体チップの前記複数の第 2 主面電極とを前記複数のワイヤを介してそれぞれ電氣的に接続する前に、前記接着材をベーキングすることを特徴とする半導体装置の製造方法。

【請求項 6】

請求項 4 に記載の半導体装置の製造方法において、

前記 (c) 工程では、前記半導体チップを真空吸着保持するボンディングツールで、前記半導体チップを前記配線基板に押し付けることを特徴とする半導体装置の製造方法。

【請求項 7】

請求項 4 に記載の半導体装置の製造方法において、

前記封止体の一部は、前記配線基板の前記第 1 主面に形成された前記絶縁膜と接触していることを特徴とする半導体装置の製造方法。

【請求項 8】

請求項 4 に記載の半導体装置の製造方法において、

前記配線基板の前記第 1 裏面電極には、複数のバンプ電極が形成されていることを特徴とする半導体装置の製造方法。

【請求項 9】

請求項 4 に記載の半導体装置の製造方法において、

前記半導体チップの平面形状は四角形から成り、

前記配線基板の前記複数の第 1 主面電極は、前記半導体チップの各辺に沿って配置され、

前記絶縁膜に形成された溝は、前記半導体チップの各辺に沿って、複数個形成されていることを特徴とする半導体装置の製造方法。

【請求項 10】

請求項 1 に記載の半導体装置の製造方法において、

前記 (c) 工程後の前記半導体チップと前記配線基板の間における前記接着材の厚さは、

10

20

30

40

50

前記(c)工程前の前記接着材の厚さよりも小さいことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置及びその製造方法に関し、特に、主面に縦横に複数の半導体チップ(半導体素子)を整列搭載した配線基板(基板)の主面側を、絶縁性の樹脂で一括モールド(block molding)して封止体で覆い、その後相互に重なる基板及び封止体を縦横に分割して複数の半導体装置を製造する技術(MAP: Matrix Array Packaging method)に適用して有効な技術に関する。

10

【0002】

【従来の技術】

携帯電話、携帯型情報処理端末機器、携帯型パーソナルコンピュータ等の小型電子機器に組み込まれる半導体装置においては、薄型化、小型化及び多ピン化が要求されている。このような多機能・高密度化に適応する半導体装置のパッケージ形態として、BGA(Ball Grid Array)やCSP(Chip Saiz Package)等のパッケージ構造が知られている。

【0003】

これらBGAやCSP等の製造における一手法として、配線基板(基板)を用意した後、配線基板の主面の所定箇所に半導体チップ(半導体素子)を搭載するとともに、この半導体チップの電極と配線基板の主面の配線を導電性のワイヤで接続し、その後配線基板の主面側を絶縁性の封止樹脂で被い、さらに配線基板の裏面に各配線に接続される突起電極(バンプ電極)を設けて半導体装置を製造する方法が知られている。

20

【0004】

また、配線基板上に接着材を用いて半導体チップを固定する工程を有する半導体装置の製造方法において、前記接着材の流出によって配線基板上の電極を汚染し、前記電極との電気的な接続を形成することが困難になるなどの問題が認識されている。

【0005】

図34や図35は本発明に先立って本発明者が検討した従来構造(第1の従来製品)における配線基板(基板)1と、この配線基板上に接着材2を介して固定される半導体チップ3との関係を示す図である。配線基板1の主面(上面)及び裏面にはそれぞれ所定パターンに絶縁膜(ソルダーレジスト)4,5が形成され、配線基板1の主面上の絶縁膜4上に接着材2を介して半導体チップ3が固定されている。

30

【0006】

また、半導体チップの図示しない電極と配線基板1の主面に設けられる電極7bは導電性のワイヤで接続される。このため、配線基板1の主面に前記電極7bを露出させる必要がある。電極7bを露出させる構造として、一般に図34や図35で示す構造が採用されている。図34に示す構造は、配線基板1の主面上の絶縁膜4を所定幅取り除いて開口溝9を設け、この開口溝9内に電極7bを位置させる構造であり、図35に示す構造は電極7bを被う絶縁膜部分を除去させて電極7bを露出させる構造である。なお、接着材2は、エポキシ樹脂(ペースト材)が用いられる。

40

【0007】

このような構造において、半導体チップ3を配線基板1に固定する接着材2がチップ端から流出したとしても配線基板1上の電極7bを汚染しないように、図34及び図35に示すように、チップ端と電極7bとの間の距離を十分に確保して対処していた。例えば一例を挙げるならば、図34の開口溝9を有する構造では、チップ端と開口溝9の縁との距離aを、0.50mmと長くし、図35の構造ではチップ端と電極5の縁との距離bを、0.525mmと長くしている。これらの構造では、チップ端と配線基板1の端との距離mは1.10mmとなる。

【0008】

なお、配線基板1の厚さfは0.210mm、絶縁膜4の厚さhは0.30mm、絶縁膜

50

5の厚さgは0.30mm、半導体チップ3の厚さjは0.22mm、半導体チップ3を配線基板1に接着する接着材部分の厚さkは0.025mm程度である。

【0009】

また、接着材の流出による基板上の電極の汚染を防止する他の技術として、図36に示す構造が知られている。図36は本発明に先立って本発明者が検討した第2の従来製品である。この第2の従来製品においては、接着材2による配線基板1面上の電極7bの汚染を防止するために、配線基板1の主面に設ける絶縁膜4の開口溝9の内周縁上に縁に沿って一定幅にさらに絶縁膜4aを積層形成し、この絶縁膜4aを接着材2が開口溝9内に流入させないダムとして使用している。

【0010】

さらに、前記チップボンディング用接着材の流出による基板主面上電極の汚染防止という観点から独自に公知例調査を行った結果、特開平8-181166号公報、特開平7-45641号公報、特開平8-167678号公報、特開2000-286271号公報といった公知例が抽出された。

【0011】

一方、半導体装置の製造方法において、一括モールド法(block molding method)が知られている。一括モールド法とは、複数の製品形成領域を有する配線基板の各製品形成領域上に半導体チップを実装した後に、前記複数の製品形成領域を覆う大きなキャビティを有するモールド金型(成形型)内に前記配線基板を配置して、前記複数の製品形成領域を封止樹脂によって一括で封止した後に、ダイシング装置によって封止体と配線基板を一括に切断し個片化する工程を有する半導体装置の製造方法である。前記一括モールド法については例えば特開平2000-12578号公報(U.S. Patent No.6,200,121)に記載されている。

【0012】

前記一括モールド法においては、封止後に、封止体を基板と共に切断して個片化するためにダイシング装置によって切断をするが、前記ダイシング装置によって切断する結果、封止体が垂直に切断され、テーパ部の無い封止体になる。また、封止体と基板を一括に切断するため、基板の切り代が不要になるという特徴を持つ。従って、チップ端と基板端の距離を小さくすることができ、製品(半導体装置)を小型化することが可能となる。前記チップ端と基板端の距離は、例えば実施例中では800μmである。

【0013】

【発明が解決しようとする課題】

前記一括封止法(一括モールド法)を採用する半導体装置の製造方法においては、チップ側面と基板主面でできる角の部分にボイドを形成しやすいという問題があり、この問題を回避するためには、チップ裏面と基板主面の間はチップボンディング用接着材によってより確実に充填する必要がある、そのために例えばチップ端の70%以上の部分で接着材はみ出るように接着材の量をコントロールする必要がある。

【0014】

また、一括モールド後の個片化工程時に基板主面と封止体との界面にダイシングによるダメージが入るが、前記界面から基板はがれなどの不良を発生しないために、封止体との接着力の弱い基板側配線がチップ主面上に露出する部分は、基板端部からなるべく遠ざける必要があり、例えば基板端部に沿って配線を覆う絶縁膜(ソルダーレジスト)の幅を200μm以上確保するのが好ましい。

【0015】

前記一括モールド法によって半導体装置を形成する場合に、従来採用されていた接着材の流出による配線基板上的電極の汚染防止の手段を適用しようとすると、様々な問題が生じることが新たに見出された。

【0016】

前記第1の従来製品において採用されていた手段は、チップ端と電極間の距離が大きくなるが故に、一括モールド法を採用することによって目指す製品(半導体装置)の小型

10

20

30

40

50

化のためには不利である。そして、前記の手段に基づいて一層の小型化を目指す場合には、配線基板上の電極の端部から、配線基板端部までの距離を小さくすることによって対処する必要があるが、前記のようにダイシングダメージによる基板剥がれへの対策を考慮する場合には、前記電極の端部から配線基板端部までの距離を小さくすることは非常に不利である。

【0017】

また、第2の従来製品においては、ダム状に形成された絶縁膜（ソルダーレジスト）によって、接着材が流出する距離を制限することができるが、特に一括モールド法において、ポイドの形成を防ぐために、チップ端から十分にはみ出る程度までの量の接着材の流出を確実に食い止めるためには、チップ端とダムとの間の領域を十分に確保しなければならず、やはり小型化のためには不利であった。一括モールド法を採用することによって目指す程度の小型化を実現するために、チップ端とダムとの間の領域を狭くしすぎると、チップ側壁とダムの間の狭い領域に閉じ込められて行き場を失った接着材が、ダムの上部や、チップ主面上に這い上がるなどの現象を生じ、図37に示すように、チップボンディング時、半導体チップ3を真空吸着保持するボンディングツール（コレット：角錐コレット）10に接着材2が接触してボンディングツール10を接着材によって汚染してしまうなどの問題を生じる。

10

【0018】

本発明の目的は、一括モールド法を採用する半導体装置の製造において、好適な接着材の流出防止法を提供することにある。

20

【0019】

本発明の他の目的は、半導体装置の製造コストの低減が図れる半導体装置の製造方法を提供することにある。

【0020】

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0021】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

30

【0022】

(1) 第1主面、前記第1主面に形成された複数の第1主面電極、前記複数の第1主面電極を露出するように、前記第1主面上に形成された絶縁膜、前記第1主面とは反対側の第1裏面、及び前記第1裏面に形成された複数の第1裏面電極を有する配線基板と、

前記配線基板の前記絶縁膜上に配置されたペースト状の接着材と、

第2主面、前記第2主面に形成された複数の第2主面電極、前記第2主面とは反対側の第2裏面、及び前記第2主面と前記第2裏面との間の側面を有し、前記接着材を介して前記配線基板の前記絶縁膜上に固定された半導体チップと、

前記半導体チップを封止する封止体と、

を含む半導体装置であって、

40

前記複数の第1主面電極は、前記半導体チップの周囲に配置され、前記接着材は、前記半導体チップの前記側面を覆っており、前記絶縁膜は、前記複数の第1主面電極のそれぞれと前記半導体チップとの間に溝を有することを特徴とする。

【0023】

このような半導体装置は以下の方法によって製造される。

【0024】

(a) 第1主面、前記第1主面に形成された複数の第1主面電極、前記複数の第1主面電極を露出するように、前記第1主面上に形成された絶縁膜、前記第1主面とは反対側の第1裏面、及び前記第1裏面に形成された複数の第1裏面電極を有する配線基板を準備する工程；

50

(b) 前記配線基板の前記絶縁膜上に、ペースト状の接着材を配置する工程；  
 (c) 第2主面、前記第2主面に形成された複数の第2主面電極、前記第2主面とは反対側の第2裏面、及び前記第2主面と前記第2裏面との間の側面を有する半導体チップを、前記複数の第1主面電極の内側に位置するように、前記配線基板の前記絶縁膜上に配置し、前記接着材を介して前記半導体チップを前記配線基板の前記絶縁膜上に固定する工程；  
 (d) 前記半導体チップを樹脂で封止する工程；  
 を含む半導体装置の製造方法であって、

前記絶縁膜は、前記複数の第1主面電極のそれぞれと前記半導体チップとの間に溝を有しており、前記(c)工程では、前記接着材が前記半導体チップの側面を這い上がるように、前記半導体チップを前記配線基板に押し付けることを特徴とする。

10

## 【0025】

前記(1)の手段によれば、(a)封止体及び配線基板はダイシングによって切断された側面を有する一括モールド方式採用の半導体装置であり、配線基板に接着材を介して固定される半導体チップと、配線基板主面の電極との間には絶縁膜を除去した溝が設けられているため、流出した前記接着材は前記溝内に溜まり前記配線基板主面の電極には到達していないので、この電極に接続されるワイヤの接続の信頼性が高くなる。従って、半導体装置の製造における歩留りも向上する。

## 【0026】

(b) 溝を設け、この溝内に接着材の流出分を溜める構成にすることによって従来に比較して溝の内周と半導体チップとの距離を短くできることから一括モールド法を採用する半導体装置の製造方法においても半導体装置の小型化が達成できる。

20

## 【0027】

(c) 溝の外周と配線基板端までの距離を所定長さ確保することによって、配線基板と封止体との接着力を確保でき、配線基板と封止体との剥離に伴う耐湿性低下不良を防止することができる。即ち、前記溝による接着材流出防止の構成を採用することによって、チップ端と基板上電極との距離を小さくすることができ、一括モールド法によって形成する半導体装置の限られた大きさの中でも、基板端部に沿って配線を覆う絶縁膜(ソルダーレジスト)の幅を基板剥がれ防止のために十分な程度、例えば200 $\mu$ m以上確保することが可能となる。また、配線基板及び封止体の端面から半導体チップのチップ端面までの距離は0.8mm程度と小さくなり、半導体装置の小型化が達成できる。

30

## 【0028】

(d) 前記絶縁膜への溝の形成は、チップ裏面と基板上配線間の絶縁を目的として前記チップ裏面と基板上配線との間に配置される絶縁膜(ソルダーレジスト膜)に、基板上電極を露出させるための開口を形成する工程で同時に形成することができるために、絶縁膜を一部重ねて用いてダム状の構造を形成する場合に比較して、より単純な工程によって形成することができる。

## 【0029】

(e) 基板の両面(主面及びその裏面)に絶縁膜(ソルダーレジスト)を形成してあることから、ソルダーレジストにおいて内部応力を有することがあっても基板の両面で絶縁膜の内部応力同士が相殺されるため基板の反りが防止でき、品質の優れた半導体装置となる。

40

## 【0030】

(f) 溝部内にはみ出た接着材を溜めることによって、チップ側面への接着材の必要以上の這い上がりを防止できる。従って、チップボンディング時角錐コレットを使用して半導体チップを保持する際、コレットが接着材によって汚れ難くなり、コレットの汚れに起因するチップボンディングの歩留り低下等が抑止でき、歩留り低下に伴う半導体装置の製造コストの低減を抑止することができる。

## 【0031】

(g) 半導体チップと配線基板との間に延在する絶縁膜は複数の配線がショートするのを防ぐことができる。

50

## 【0032】

(h) 半導体チップを前記配線基板に接着する接着材は半導体チップのチップ端面をも被い、例えば、接着材はチップ端面の70%前後を被うことから、封止時の樹脂の流れにおいてチップ端面に空気を巻き込み難くなり、ポイドが発生し難くなる。

## 【0033】

(i) 半導体装置の製造方法においては、製品形成領域を縦横に複数整列配置する配線基板が使用され、各製品形成領域に半導体チップを接着材を介して固定するが、この固定時、流出した接着材は溝内に入り、溝を越えて流出することがないことから、配線基板主面の電極は接着材によって汚染されることがない。従って、配線基板主面の電極にワイヤを確実に固定することができ、ワイヤボンディングの信頼性の高い半導体装置を高歩留りで製造することができ、半導体装置のコスト低減が達成できる。

10

## 【0034】

## 【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

## 【0035】

## (実施形態1)

図1乃至図25は本発明の一実施形態(実施形態1)であるMAP方式の半導体装置及びその製造方法に関わる図である。本実施形態1は特に限定はされるものではないが、例えば、64MDRAMを構成する半導体チップを並列に2個搭載したメモリー半導体装置に本発明を適用したものである。図1乃至図7は半導体装置の構造に関わる図であり、図8乃至図25は半導体装置の製造方法に関わる図である。

20

## 【0036】

本実施形態1の半導体装置20は、図2乃至図7に示すような構造となっている。図2は半導体装置の正面図、図3は平面図、図4は側面図、図5は底面図である。また、図6は図3のA-A線に沿う拡大断面図であり、図7は図3のB-B線に沿う拡大断面図である。

## 【0037】

半導体装置20は図2乃至図5に示すように、外観的には、四角形状の配線基板1と、この配線基板1の主面(図2では上面)上に重なる配線基板1と同一外形寸法の封止体21と、配線基板1の主面とは反対面となる裏面(図2では下面)に設けられた複数の突起電極22とからなっている。

30

## 【0038】

配線基板1は、図7に示すように、所定パターンの配線7が配線基板1の主面、裏面、1乃至複数の中層に設けられ、かつ上下の配線7は貫通孔(スルーホール)に充填された導体7a(配線)によって電氣的に接続される多層構造からなり、例えば、ガラスエポキシ樹脂基板構成になっている。また、配線7は配線基板1の主面においてはワイヤ24を接続するための電極7bを構成するとともに、裏面においては突起電極22を固定するための台座となる電極7cが設けられている。

40

## 【0039】

ワイヤを接続するための電極7bは、配線基板1の主面に2個の半導体チップ3が搭載されるため、これら半導体チップ3を搭載するためのチップ搭載領域の周囲に配置される。また、突起電極22を固定するための台座となる電極7cの配列パターンは、図5に示す突起電極22の配列パターンとなる。

## 【0040】

図8は図7の一部を示す拡大断面図であり、半導体装置20の一端、即ち、配線基板1の一端から半導体チップ3の端部分に至る部分の拡大断面図である。この図では封止体21、ワイヤ24、導体7a、電極7c及び突起電極22は省略してある。

## 【0041】

50

配線基板 1 の主面（上面）及び裏面には配線等を被うようにそれぞれ所定パターンに絶縁膜（ソルダーレジスト）4, 5 が形成されている。配線基板主面の電極 7 b はワイヤボンディングが可能となるように露出し、配線基板裏面の電極 7 c は突起電極 2 2 を固定するため露出する構造になっている。

【0042】

図 8 及び図 9 はいずれもワイヤボンディングが可能になるように電極 7 b を露出させる構造である。図 8 は電極 7 b を露出させるために、一定幅絶縁膜 4 を除去するような開口溝 9 を形成し、この開口溝 9 の中央に沿って電極 7 b が配列構造となっている。図 9 は各電極毎に絶縁膜の開口を設けて、絶縁膜 4 で電極 7 b の側面部分をも被う構造となっている。以下の説明では、図 8 に示す開口溝を有する例で本発明を説明するが、本発明の効果においては図 9 の構造の配線基板 1 を使用しても同様な効果を有するようになる。

10

【0043】

図 7 に示すように、配線基板 1 の主面上の絶縁膜 4 上に接着材 2 を介して四角形の半導体チップ 3 が固定されている。この接着材 2 は、例えば、絶縁性のエポキシ樹脂（ペースト材）が用いられ、半導体チップ 3 を接着材 2 を介して固定した後、150 程度の温度で接着材 2 の硬化処理が行われる。配線基板主面の絶縁膜 4 は半導体チップ 3 の裏面を介して複数の配線がショートするのを防止する役割を果たしている。

【0044】

一方、これが本発明の特徴の一つであるが、開口溝 9 と半導体チップ 3 の固定部分間の絶縁膜 4 は部分的にその深さ方向一杯（全域）に除去されて前記絶縁膜を貫通する溝 2 5 が設けられている。この溝 2 5 は半導体チップ 3 を固定する接着材 2 の流出を抑止する溝となる。また、溝 2 5 の底部には、配線基板 1 の配線が露出している（図 12 参照）。さらに詳述するならば、溝 2 5 は半導体チップ 3 の裏面と配線基板 1 の主面の間に跨がっている。

20

【0045】

半導体チップ 3 を固定する接着材 2 は、半導体チップ 3 の周面にもある程度までは盛り上がり付着することが、封止体 2 1 を形成するトランスファモールドリング時に半導体チップ 3 の周縁部分に気泡（ボイド）を発生し難くすることから望ましい。即ち、半導体チップ 3 の周面を接着材 2 の盛り上がりによってゆるやかなスロープ面としておくことによって、樹脂の流れの陰になる半導体チップの周面に空気を巻き込み難くなり、ボイド発生が防止できる。このため、半導体チップ 3 の周囲の 70% 以上の部分で接着材がはみ出しているようにすることが望ましい。

30

【0046】

しかし、このように接着材 2 をチップ端面で盛り上がるようにすると、接着材の流出分 2 a は電極 7 b にまで到達するおそれがある。特にチップ端面から開口溝 9 を形成する絶縁膜 4 の縁（内壁）までの距離 a（図 8 参照）が短いと、容易に接着材の流出分 2 a は電極 7 b にまで到達し、電極 7 b 面を接着材の流出分 2 a で被うため、ワイヤボンディングが確実にできなくなる。

【0047】

そこで、本実施形態 1 では溝 2 5 を設けて、接着材の流出分 2 a が溝 2 5 内に溜まり、溝 2 5 を乗り越えないようにしている。この構造にすることによって、チップ端面から開口溝 9 の内壁までの距離 a を、図 3 4 の 0.50 mm から 0.35 mm と短くすることができる。さらに、開口溝 9 の外壁と配線基板 1 の端までの距離を短くすることによって、チップ端面から配線基板 1 の端までの距離 m を、図 3 4 の 1.10 mm から 0.8 mm と短くすることができる。これによって、半導体装置 2 0 を 0.6 mm 小さくすることができる。これら数値は絶対的なものではないが、本実施形態 1 の構造の採用によって、図 3 4 に示す半導体装置に比較して半導体装置の小型化が図れる。

40

【0048】

開口溝 9 の外壁から配線基板 1 の端までの距離 u は、配線基板 1 に密着する封止体 2 1 の接着強度に大きく係わり、距離 u が長い程接着強度は高くなる。この場合、溝 2 5 と開口

50

溝 9 との間の絶縁膜 4 も接着強度を高めることになる。

【 0 0 4 9 】

このようなことから、封止体 2 1 と配線基板 1 の剥離を防止して半導体装置 2 0 の耐湿性を向上させるためには前記距離  $u$  は長い程よいが、それでは半導体装置 2 0 の小型化ができなくなる。そこで、本実施形態 1 では半導体装置 2 0 の耐湿性を低下させない接着強度を得るべく実験を繰り返して、距離  $u$  を、例えば、 $0.2\text{ mm}$  としても問題がないことを検証し、これを使用することにした。

【 0 0 5 0 】

一方、半導体チップ 3 の周面の接着材 2 のはみ出し部分を 70% 程度としておくことによって、チップボンディング時半導体チップ 3 を保持するコレット面に接着材が付着せず、コレットの汚染が防止できることも確認してある。

10

【 0 0 5 1 】

後述するように、半導体チップ 3 を固定する接着材 2 は配線基板 1 の主面にディスペンサで高精度な量供給される。従って、接着材 2 の流出分も正確に想定できる。そこで、溝 2 5 の断面積（容積）を所定の容積になるように設定すれば、接着材の流出分  $2a$  が溝 2 5 を乗り越えなくさせることができ、溝 2 5 内に溜めることができる。

【 0 0 5 2 】

このような条件を満足する寸法の一例が、図 8 に示す寸法である。即ち、配線基板 1 の厚さ  $f$  は  $0.210\text{ mm}$ 、絶縁膜 4 の厚さ  $h$  は  $0.30\text{ mm}$ 、絶縁膜 5 の厚さ  $g$  は  $0.30\text{ mm}$ 、半導体チップ 3 の厚さ  $j$  は  $0.22\text{ mm}$ 、半導体チップ 3 を配線基板 1 に接着する接着材部分の厚さ  $k$  は  $0.025\text{ mm}$  程度、チップ端面から配線基板 1 の端までの距離  $m$  は  $0.8\text{ mm}$ 、チップ端面から開口溝 9 の内壁までの距離  $a$  は  $0.35\text{ mm}$ 、開口溝 9 の幅  $d$  は  $0.25\text{ mm}$ 、最外周の絶縁膜 4 の長さ  $u$  は  $0.2\text{ mm}$  である。また、半導体チップ 3 の大きさは特に限定はされないが、縦  $8.2\text{ mm}$ 、横  $4.6\text{ mm}$  である。

20

【 0 0 5 3 】

半導体チップ 3 は、図 7 に示すように並んで 2 個搭載されている。従って、中央においては両方の半導体チップ 3 の電極からワイヤ 2 4 が延在する。このため、電極 7 b は 2 列に配置されている。これら 2 列の電極 7 b は前記説明の開口溝 9 よりも幅広の開口溝 9 a となる。この開口溝 9 a の幅は  $0.25\text{ mm}$  となっている。各列間の電極 7 b 同士の間隔は電氣的ショートが起きない間隔、例えば、 $0.1\text{ mm}$  以上となっている。

30

【 0 0 5 4 】

半導体チップ 3 の上面の電極は、図示しないが半導体チップ 3 の長辺方向に沿いかつ中央に沿って 1 列に配置されている。従って、本実施形態 1 では、溝 2 5 は 2 個の半導体チップ 3 の長辺方向に沿って延在し、半導体チップ 3 と半導体チップ 3 の間に平行に 2 本設けられるとともに、各半導体チップ 3 の外側の長辺に沿って各 1 本設けられている。そして、各溝 2 5 に沿って配線基板主面の電極 7 b が配列されている。従って、これら電極 7 b と半導体チップ 3 の電極は導電性のワイヤ 2 4 で接続されている。ワイヤ 2 4 としては、例えば、金線が使用されている。

【 0 0 5 5 】

また、これら 2 個の半導体チップ 3 は、配線基板主面全体に形成された封止体 2 1 で被われている。封止体 2 1 は絶縁性樹脂で形成されている。また、本実施形態 1 の半導体装置の製造方法では、一枚の大きい配線基板の各製品形成領域に 2 個の半導体チップをそれぞれ搭載し、その後、トランスファモールディング装置によって配線基板の主面側に一定の厚さに絶縁性樹脂による一括封止体を形成し、最終的に配線基板と一括封止体を各製品形成領域の界面で切断（ダイシング）して形成することから、封止体 2 1 の側面は配線基板 1 の主面に垂直な面となっている。

40

【 0 0 5 6 】

他方、配線基板 1 の主面と反対の面となる裏面（図 2 では下面）には突起電極 2 2 が複数形成されている。突起電極 2 2 は半田ボールによって形成される半田バンプ電極である。半田ボールとしては、例えば、直径  $0.35\text{ mm}$  の半田ボールが使用され、突起電極 2 2

50

は配線基板 1 の裏面から約 0.25 mm 突出するようになる。前記突起電極 22 は配線基板 1 の長辺方向に沿って並ぶ 6 列の電極列となっている。電極列を対称配置とするため、電極列は 3 列ごとに分けられ、両側に寄って配置され中央領域には配列されないパターンになっている。

【0057】

つぎに、本実施形態 1 の BGA 型の半導体装置 20 の製造方法について、図 10 乃至図 25 を参照しながら説明する。半導体装置 20 は図 10 のフローチャートに示すように、作業開始後、チップボンディング (S101)、ワイヤボンディング (S102)、プラズマクリーニング (S103)、一括モールド (S104)、半田パンプ形成 (突起電極形成: S105)、洗浄 (S106)、切断 (S107) の各工程を経て製造される。

10

【0058】

図 11 乃至図 14 は本実施形態 1 の半導体装置 20 の製造に用いる基板 (配線基板) 30a に関わる図であり、図 11 は基板 30a の平面図、図 12 は基板 30a の製品形成領域の主面側を示す平面図、図 13 は基板 30a の製品形成領域の主面に対面する裏面側の配線パターンの透視図、図 14 は基板 30a の一部を示す拡大断面図である。

【0059】

図 11 に示すように、基板 30a は例えば長方形からなるとともに、基板 30a の半導体チップを搭載する面となる主面には、複数の製品形成領域 31 が所定の間隔を置いて行列状に配置されている。例えば、製品形成領域 31 は、基板 30a の長辺方向に沿って 14 個配列され、短辺方向に沿って 4 個配列され、14 列 4 行配置になっている。製品形成領域 31 には精緻な配線パターンが形成されているが、図 11 ではその配線パターンは微細であることから明瞭には目視できない状態にある。

20

【0060】

また、図 11 において基板 30a の上側長辺に所定間隔で示される矩形部分 32 は、封止体 21 を形成する際のトランスファモールド装置における樹脂を注入するゲート位置を示すものである。ゲート位置を密に配置することにより、一括封止時、封止樹脂の未充填部の発生を防止することができる。また、基板 30a の両側、即ち、長辺縁には円形あるいは長孔となるガイド孔 33a ~ 33g が設けられ、半導体装置 20 の製造時、搬送や位置決時に使用される。

【0061】

図 12 乃至図 14 は製品形成領域 31 に関わる図である。図 12 は製品形成領域 31 の主面側の配線パターンを透視的に示す平面図、図 13 は製品形成領域 31 の裏面側の配線パターンを透視的に示す平面図、図 14 は長辺方向に沿う断面図である。基板 30a の表裏面 (主面及び裏面) は、図 14 に示すように、絶縁膜 (ソルダーレジスト) 4, 5 で被われているが、図 12 及び図 13 では絶縁膜 4, 5 は省略されている。

30

【0062】

基板 30a は、図 14 に示すように、所定パターンの配線 7 が配線基板 1 の主面、裏面、1 乃至複数の中層に設けられ、かつ上下の配線 7 は貫通孔 (スルーホール) に充填された導体 7a (配線) によって電氣的に接続される多層構造からなり、例えば、ガラスエポキシ樹脂基板構成になっている。また、配線 7 は配線基板 1 の主面においてはワイヤ 24 を接続するための電極 7b を構成するとともに、裏面においては突起電極 22 を固定するための台座となる電極 7c が設けられている。配線 7 は隣接する製品形成領域 31 の配線 7 に繋がっている。

40

【0063】

図 12 に示すように、基板 30a の各製品形成領域 31 には、長辺方向に沿って 2 つのチップ搭載領域 34 が並んで配置されている。そして、これらチップ搭載領域 34 の長辺側の両側には、それぞれ開口溝 9 が設けられている。この開口溝 9 は絶縁膜を一定の幅除去した溝であり、この開口溝 9 内には配線 7 の一部である電極 7b が露出される (図 14 参照)。

【0064】

50

チップ搭載領域 3 4 とチップ搭載領域 3 4 との間の開口溝 9 a は左右 2 つのチップ搭載領域 3 4 に搭載される半導体チップとの間で接続されるワイヤボンディング用の電極 7 b が共に位置するように幅広の 1 本の開口溝 9 a となる。即ち、開口溝 9 a 内にはその延在方向に沿って 2 列に電極 7 b が配列される。電極 7 b は細い配線 7 を一定長さ太くし、この太い箇所を電極 7 b としている。

【 0 0 6 5 】

また、細い配線 7 を一部で円形状に太くした部分はスルーホールが設けられた箇所であり、導体 7 a が設けられた箇所である（図 1 4 参照）。これは、図 1 3 においても同様である。図 1 3 においては小さい円形の箇所がスルーホールが設けられた箇所であり、大きい円形の部分で製品形成領域 3 1 の長辺方向に沿って並んで配置される部分が突起電極を形成する際の台座となる電極 7 c である。これら電極 7 c は製品形成領域 3 1 の短辺の中央部分を除いて 3 列ずつ配列され、合計 6 列配列されている。

10

【 0 0 6 6 】

一方、これが本発明の特徴の一つであるが、チップ搭載領域 3 4 と開口溝 9（開口溝 9 a）との間には絶縁膜を一定幅除去した溝 2 5（図 8，図 1 4 参照）が設けられている。この絶縁膜の除去は絶縁膜の厚さ方向全域に亘って除去されている。従って、溝 2 5 の底には配線 7 が露出することになる。なお、絶縁膜 4、開口溝 9、電極 7 b、溝 2 5 及び搭載される半導体チップ 3 の位置寸法関係は、図 8 を用いて説明してある通りである。

【 0 0 6 7 】

このような基板 3 0 a に対して、各チップ搭載領域 3 4 に半導体チップ 3 を接着材 2 を介して接続する（チップボンディング：S 1 0 1）。図 1 5 は半導体チップ 3 が搭載された状態を示す基板 3 0 a の平面図である。半導体チップ 3 としては、同種の半導体チップ、例えば、6 4 M D R A M チップが搭載される。このチップは四角形となっている。

20

【 0 0 6 8 】

図 1 6（a）乃至図 1 6（d）はチップボンディングの各作業ステップを示す模式図である。図 1 6 では基板 3 0 a における単一の製品形成領域 3 1 の一チップ搭載領域部分を示す。図 1 6（a）に示すように、複数のノズル 4 0 を下面に有するディスペンサヘッド 4 1 を基板 3 0 a 上に降下させ、図 1 6（b）に示すように、チップ搭載領域に、例えば、エポキシ樹脂系のペースト状接着材 2 c を塗布させる。この塗布量は高精度に制御される。

30

【 0 0 6 9 】

つぎに、図 1 6（c）に示すように、下面に半導体チップ 3 を真空吸着保持したボンディングツール（コレット：角錐コレット）1 0 をチップ搭載領域に降下させ、かつ所定の加圧力を加えて図 1 6（d）に示すように、ペースト状接着材 2 c で半導体チップ 3 を基板 3 0 a の主面に固定する。その後、ペースト状接着材 2 c をベーキングして硬化処理して半導体チップ 3 を基板 3 0 a に固定する。前記ベーキングは例えば 1 5 0 程度の温度で行われる。

【 0 0 7 0 】

このチップボンディングにおいて、半導体チップ 3 はペースト状接着材 2 c に対して押し付けられるが、ペースト状接着材 2 c はその粘性によってチップ端面を這い上がる（盛り上がる）とともに、外方に向かって流れだす。しかし、塗布されるペースト状接着材 2 c の総量は高精度に制御されていることと、この総量に対応するように溝 2 5 の容積が形成されていることから、図 1 に示すように、接着材の流出分 2 a は溝 2 5 内に溜まり、溝 2 5 を乗り越えて電極 7 b に到達しなくなる。この結果、後工程で電極 7 b にワイヤが接続されるが、電極 7 b の表面は接着材 2 で汚染されていないことから確実なワイヤボンディングが可能になり、製品の品質向上を図ることができる。

40

【 0 0 7 1 】

また、ペースト状接着材 2 c の総量は高精度に制御されていることから、チップ端面に盛り上がる接着材の流出分 2 a は半導体チップ 3 の高さ（厚さ）の途中までを這い上がる。そして、その表面はゆるやかな傾斜を有するスロープとなる。このスロープの存在によっ

50

て、後工程で行う一括封止においてボイドの発生を防ぐことができる。即ち、封止において半導体チップ3の表面を流れる樹脂は、チップ端面が前記接着材の流出分2aで被われ、かつ接着材の流出分2aの表面がスロープとなっていることから、空気を巻き込み難くなり、ボイドの発生を防ぐことができる。従って、製品品質の向上を図ることができる。また、少なくとも半導体チップ3の裏面と、配線基板の主面との間を確実に充填し、封止樹脂中のボイドの発生を防ぐためには、チップ端面の70%以上の部分で、接着材の流出が形成されるように接着材の量を制御することが好ましい。

**【0072】**

また、チップ端面に盛り上がる接着材の流出分2aを半導体チップ3の高さ(厚さ)の70%程度の高さとすることによって、コレット10に接着材2が付着しなくなり、接着材の付着によるトラブルが発生しなくなる。これは製品の品質向上は勿論のこととして作業性向上を図ることができ、製品コストの低減が図れる。

**【0073】**

なお、図1においてチップ端面から距離mの外側のwが一括封止体及び基板30aを切断するダイシングによる切断代であり、除去される幅である。本実施形態1では前記mは0.8mmとなる。

**【0074】**

図17は半導体チップ3が固定された基板30aの製品形成領域31を示す平面図である。64MDRAMチップは、図17に示すようにチップの長辺方向の中心線に沿って1列に電極45を配列した構造になっている。図17及び以降の図18においても絶縁膜は省略してある。

**【0075】**

つぎに、図18に示すように、各半導体チップ3の電極45と、その両側に配置される電極7bを導電性のワイヤ24で電氣的に接続する(ワイヤボンディング:S102)。ワイヤ24は例えば、金線である。このワイヤボンディングにおいて、基板30aは例えば125程度に加熱されボンディング性能を良好とさせる。図19はワイヤボンディングされた基板30aの一部を示す拡大断面図である。

**【0076】**

つぎに、図20に示すように、後工程の封止において、一括封止体と基板30aの主面側の表面との密着性を高めるため、プラズマクリーニングが基板30aの主面全域に亘って行われる(S103)。即ち、矢印に示すようにプラズマクリーニングを行って基板30aの主面側を清浄にする。これにより、基板30aの主面の絶縁膜4を始めとする表面、半導体チップ3や接着材2の表面、さらにはワイヤ24の表面が清浄化されることになる。

**【0077】**

つぎに、トランスファモールディング装置によって一括封止(一括モールド)を行って基板30aの主面側に単一の一括封止体46を形成する(S104)。この一括封止体46は、図21乃至図23に示すように、基板30aの製品形成領域31から外れた周縁を除いて一体に形成される。即ち、14列4行の製品形成領域31は完全に一括封止体46で被われる。この一括封止体46は半導体チップ3及びワイヤ24を完全に被う様な厚さとなるとともに、一定の厚さになっている。一括封止体46は絶縁性のエポキシ樹脂によって形成される。

**【0078】**

本実施形態1ではゲート位置を密に配置することによって、成形金型のキャビティ(モールド空間)全域に均一に充填される。また、半導体チップ3のチップ端面は接着材の流出分で埋められ、基板30aの主面と半導体チップ3の段差部分は接着材によって埋められ、かつ埋め込み部分の表面は半導体チップ3の主面側から基板30aの主面側に亘ってゆるやかなスロープを形作るため、樹脂の流れを乱さなくなり、半導体チップ3の手前のチップ端面は勿論のこと樹脂が流れ去る後方や両側のチップ端面でも空気を巻き込まなくなり、ボイドの発生を防ぐことができる。

10

20

30

40

50

## 【 0 0 7 9 】

つぎに、図 2 4 に示すように、基板 3 0 a の裏面に配置された電極 7 c ( 図示せず：図 7 参照 ) の表面上に突起電極 2 2 を例えばボール供給法で形成する。例えば、半田ボールを供給して半田バンプ電極を形成する ( S 1 0 5 ) 。

## 【 0 0 8 0 】

つぎに、一括封止体 4 6 が形成された基板 3 0 a を洗浄する ( S 1 0 6 ) 。

## 【 0 0 8 1 】

つぎに、図 2 5 に示すように、一括封止方式で形成した一括封止体 4 6 がダイシングシート 4 7 と向い合う状態でダイシングシート 4 7 に基板 3 0 a を接着固定し、その後、図示しないダイシング装置で一括封止体 4 6 及び基板 3 0 a を各製品形成領域 3 1 毎に切断して分割する ( S 1 0 7 ) 。この分割によって基板 3 0 a は基板 1 となり、一括封止体 4 6 は封止体 2 1 となる。ついで、ダイシングシート 4 7 と一括封止体 4 6 ( 封止体 2 1 等 ) を分離することによって、図 2 乃至図 7 に示すような半導体装置 2 0 を多数製造することができる。半導体装置 2 0 の側面、即ち、周面はダイシングによって切断された面となる。この面は配線基板 1 の主面に対して略垂直な面になる。

10

## 【 0 0 8 2 】

本実施形態 1 によれば以下の効果を有する。( 1 ) 封止体 2 1 及び配線基板 ( 基板 ) 1 はダイシングによって切断された側面を有する一括モールド方式採用の半導体装置 2 0 であり、配線基板 1 に接着材 2 を介して固定される半導体チップ 3 と、配線基板主面の電極 7 b との間には絶縁膜 4 を除去した溝 2 5 が設けられているため、接着材の流出分 2 a は溝 2 5 内に溜まり配線基板主面の電極 7 b には到達していないので、この電極 7 b に接続されるワイヤ 2 4 の接続の信頼性が高くなる。従って、半導体装置 2 0 の品質向上が図れるとともに、半導体装置 2 0 の製造歩留り向上から製造コストの低減を図ることができる。

20

## 【 0 0 8 3 】

( 2 ) 溝 2 5 を設け、この溝 2 5 内に接着材の流出分 2 a を溜める構成にすることによって従来に比較して開口溝 9 の内壁と半導体チップ 3 との距離を短くできることから一括モールド法を採用する半導体装置の製造方法においても半導体装置 2 0 の小型化が達成できる。

## 【 0 0 8 4 】

( 3 ) 開口溝 9 の外壁と配線基板端までの距離を所定長さ確保することによって、配線基板 1 と封止体 2 1 との接着力を確保でき、配線基板 1 と封止体 2 1 との剥離に伴う耐湿性低下不良を防止することができる。即ち、前記溝 2 5 による接着材流出防止の構成を採用することによって、チップ端と基板上電極 7 b との距離を小さくすることができ、一括モールド法によって形成する半導体装置の限られた大きさの中でも、基板端部に沿って配線を覆う絶縁膜 ( ソルダーレジスト ) の幅を基板剥がれ防止のために十分な程度、例えば 2 0 0  $\mu$  m 以上確保することが可能となる。また、配線基板 1 及び封止体 2 1 の端面から半導体チップ 3 のチップ端面までの距離は 0 . 8 m m 程度と小さくなり、半導体装置 2 0 の小型化が達成できる。

30

## 【 0 0 8 5 】

( 4 ) 絶縁膜 4 への溝 2 5 の形成は、チップ裏面と基板上配線間の絶縁を目的として前記チップ裏面と基板上配線 7 との間に配置される絶縁膜 ( ソルダーレジスト膜 ) 4 に、基板上電極を露出させるための開口溝 9 を形成する工程で同時に形成することができるために、絶縁膜 4 を一部重ねて用いてダム状の構造を形成する場合に比較して、より単純な工程によって形成することができる。

40

## 【 0 0 8 6 】

( 5 ) 基板 1 の両面 ( 主面及びその裏面 ) に絶縁膜 ( ソルダーレジスト ) 4 , 5 を形成してあることから、ソルダーレジストにおいて内部応力を有することがあっても基板 1 の両面で絶縁膜 4 , 5 の内部応力同士が相殺されるため基板 1 の反りが防止でき、品質の優れた半導体装置 2 0 となる。

## 【 0 0 8 7 】

50

(6) 溝 25 部内にはみ出た接着材 2 を溜めることによって、チップ側面への接着材 2 の必要以上の這い上がり防止できる。従って、チップボンディング時角錐コレット 10 を使用して半導体チップを保持する際、コレット 10 が接着材によって汚れ難くなり、コレット 10 の汚れに起因するチップボンディングの歩留り低下等が抑止でき、歩留り低下に伴う半導体装置 20 の製造コストの低減を抑止することができる。

【0088】

(7) 半導体チップ 3 と配線基板 1 との間に延在する絶縁膜 4 は複数の配線 7 がショートするのを防ぐことができる。

【0089】

(8) 半導体チップ 3 を前記配線基板 1 に接着する接着材 2 は半導体チップ 3 のチップ端面をも被い、例えば、接着材 2 はチップ端面の 70% 前後を被うことから、封止時の樹脂の流れにおいてチップ端面に空気を巻き込み難くなり、ボイドが発生し難くなる。従って、品質の優れた半導体装置 20 を安価に製造することができる。

10

【0090】

(9) 半導体装置の製造方法においては、製品形成領域 31 を縦横に複数整列配置する基板(配線基板) 30a が使用され、各製品形成領域 31 に半導体チップ 3 を接着材 2 を介して固定するが、この固定時、流出した接着材(接着材の流出分 2a) は溝 25 内に入り、溝 25 を越えて流出することがないことから、配線基板主面の電極 7b は接着材 2 によって汚染されることがない。従って、配線基板主面の電極 7b にワイヤ 24 を確実に固定することができ、ワイヤボンディングの信頼性の高い半導体装置 20 を高歩留りで製造することができ、半導体装置 20 のコスト低減が達成できる。

20

【0091】

(実施形態 2)

図 26 及び図 27 は本発明の他の実施形態(実施形態 2)である半導体装置の製造方法に関わる図であり、図 26 は半導体装置の製造で使用する基板の製品形成領域主面を示す平面図、図 27 は半導体チップを搭載した製品形成領域主面を示す平面図である。

【0092】

本実施形態 2 の半導体装置の製造方法においては、実施形態 1 の製品形成領域 31 において、溝 25 を製品形成領域 31 の長辺方向に沿って設けられている。即ち、実施形態 1 ではチップ搭載領域 34 の外側の長辺方向に沿って設けているが、本実施形態 2 ではチップ搭載領域 34 の外側の短辺方向に沿っても設けている。これら長辺側及び短辺側の溝 25 は直接接触はしていない。

30

【0093】

即ち、半導体チップ 3 は四角形となり(図 27 参照)、この半導体チップ 3 を固定するチップ搭載領域 34 も半導体チップ 3 と相似形の四角形となっている。そして、半導体チップ 3 (チップ搭載領域 34) の 4 辺に沿って溝 25 が配置されている。また、前記四角形の角部側で溝 25 の内部の絶縁膜と前記溝 25 の外部の絶縁膜が繋がっている。

【0094】

本実施形態 2 においては、電極 7b が無い部分のチップ端部と基板端部の間にも溝 25 を配置することにより、接着材 2 がダイシング切断面に露出することを防止することができ、絶縁膜 4 と封止体 21 の接着力と比較して接着力の低い接着材 2 と封止体 21 の界面が露出することによる剥がれ不良の発生や、封止体 21 と比較して、水分を吸収しやすい接着材 2 が露出することによる封止体(パッケージ)内部への水分の侵入を防ぐことができる。

40

【0095】

また、絶縁膜(ソルダーレジスト) 4, 5 が内部応力を有する場合には、基板 1 の両面にソルダーレジスト 4, 5 を形成して、基板 1 の両面で絶縁膜 4, 5 の内部応力同士を相殺して基板 1 の反りを防止する場合がある。このような場合には、基板表/裏面での応力のバランスが崩れないように、基板主面上のソルダーレジスト 4 は内部応力を保持できる形状にすることが好ましい。このような観点に基づいて、図 26 に示すように例えば四角形

50

のチップの4辺に沿って絶縁膜に溝25を形成する場合でも、チップの角部では溝25の内側と外側の絶縁膜が繋がった形状にするのが良い。

【0096】

(実施形態3)

図28及び図29は本発明の他の実施形態(実施形態3)である半導体装置の製造方法に関わる図であり、図28は半導体装置の製造で使用する基板の製品形成領域主面を示す平面図、図29は半導体チップを搭載した製品形成領域主面を示す平面図である。

【0097】

本実施形態3は実施形態1の製品形成領域31のパターンにおいて、チップ搭載領域34の全周を囲むように溝25を設けた例である。この例では、チップ全周において、チップボンディングの際ペースト材がチップ周辺の溝に入り込み、チップ上へのペースト材這上がりや、チップ側面からのペースト突出を制御する効果がある。

10

【0098】

(実施形態4)

図30乃至図32は本発明の他の実施形態(実施形態4)である半導体装置の製造方法に関わる図であり、図30は半導体チップを搭載した製品形成領域主面を示す平面図、図31は半導体チップと溝との関係を示す一部の拡大断面図、図32は半導体チップと溝との関係を示す他の基板の一部の拡大断面図である。

【0099】

本実施形態4の製品形成領域31は実施形態1の製品形成領域31において、図30及び図31に示すように、半導体チップ3の長辺方向に沿って設けられる溝25を半導体チップ3の下側にまで延在させたものである。

20

【0100】

このような構造にすることで、接着材2の溜める空間を大きくできる。接着材2を溜める空間を同じにする場合、接着材2を溜める溝25を半導体チップ3側に動かすことも可能である。この結果、溝25と開口溝9との間の絶縁膜4の幅が広くなり、絶縁膜と封止体21との接着面積が増大し、封止体21と配線基板1との接着力が増大し、耐湿性が高い半導体装置20となる。

【0101】

図32は開口溝9を設けることなく電極7bのワイヤボンディング面を露出させる構造であり、絶縁膜4は電極7bの周縁をも被うようになっている。この構造では、絶縁膜と封止体21との接着面積が増大し、封止体21と配線基板1との接着力が増大し、耐湿性が高い半導体装置20となる。

30

【0102】

(実施形態5)

図33は本発明の他の実施形態(実施形態5)である半導体装置の製造方法における半導体チップを搭載した基板の一部を示す平面図である。

【0103】

本実施形態5は、実施形態1の製品形成領域31のパターンにおいて、チップ搭載領域34の全周を囲むように溝25を設け、この溝25は実施形態4と同様に半導体チップ3の下側にまで延在させたものである。本実施形態5によれば、実施形態4と同様な効果を得ることができるとともに、チップ搭載領域34の全周を囲むように溝25を設けることから、チップ全周において、チップ上面へのペースト材這上がりやチップ側面からのペースト突出を防ぐ効果がある。

40

【0104】

以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない、たとえば、実施形態では基板30aとしてガラエポ基板を用いた例について説明したが、本発明は基板30aとしてBT樹脂からなる基板を用いた場合においても有効である。

50

## 【 0 1 0 5 】

絶縁膜 4 に設ける溝 2 5 は、接着材 2 を外にあふれさせないようにするために十分な幅を設けることが好ましいが、仮に溝 2 5 の外の絶縁膜 4 まであふれ出たとしても、電極とボンディングワイヤが接続する部分に到達しない程度であれば良い。

## 【 0 1 0 6 】

また、その場合、溝 2 5 と配線基板上的電極 7 b との間の絶縁膜 4 の高さが、チップが搭載される領域の絶縁膜 4 の高さと同じかそれよりも低いため、図 3 7 のようにダム状に形成された絶縁膜 4 a の上に接着材 2 があふれた場合と比較して、接着材 2 によってボンディングツールを汚染する惧れは小さい。

## 【 0 1 0 7 】

本発明は少なくとも一括封止を採用する半導体装置の製造技術には適用できる。

## 【 0 1 0 8 】

## 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

## 【 0 1 0 9 】

( 1 ) 一括モールド法を採用し、かつ配線基板に接着材を介して半導体チップを固定する半導体装置の製造方法において、好適な接着材の流出防止法を提供することができる。

## 【 0 1 1 0 】

( 2 ) 一括モールド法の採用と接着材の流出に伴う不良発生を抑止できることから、半導体装置の製造コストの低減を図ることができる。

## 【図面の簡単な説明】

【図 1】本発明の一実施形態（実施形態 1）である半導体装置の製造方法における接着材流出が防止できたチップ固定状態を示す模式図である。

【図 2】本実施形態 1 の半導体装置の製造方法によって製造された半導体装置の正面図である。

【図 3】本実施形態 1 による半導体装置の平面図である。

【図 4】本実施形態 1 による半導体装置の側面図である。

【図 5】本実施形態 1 による半導体装置の底面図である。

【図 6】図 3 の A - A 線に沿う拡大断面図である。

【図 7】図 3 の B - B 線に沿う拡大断面図である。

【図 8】本実施形態 1 の半導体装置における半導体チップの端部分と溝等の寸法関係を示す模式的断面図である。

【図 9】本実施形態 1 の半導体装置における半導体チップの端部分と溝等の寸法関係を示す他の基板の模式的断面図である。

【図 1 0】本実施形態 1 の半導体装置の製造方法を示すフローチャートである。

【図 1 1】本実施形態 1 の半導体装置の製造方法で使用する配線基板（基板）の平面図である。

【図 1 2】前記基板の製品形成領域の主面側を示す平面図である。

【図 1 3】前記基板の製品形成領域の主面に対面する裏面側の配線パターンの透視図である。

【図 1 4】前記基板の一部を示す拡大断面図である。

【図 1 5】本実施形態 1 の半導体装置の製造方法において半導体チップを搭載した基板の平面図である。

【図 1 6】本実施形態 1 の半導体装置の製造方法において基板に半導体チップを固定する状態を示す模式図である。

【図 1 7】前記基板の製品形成領域上に並んで 2 つの半導体チップを搭載した状態を示す模式的平面図である。

【図 1 8】本実施形態 1 の半導体装置の製造方法において半導体チップの電極と基板の電極をワイヤで接続した状態を示す模式的平面図である。

10

20

30

40

50

【図 19】本実施形態 1 の半導体装置の製造方法において半導体チップの電極と基板の電極をワイヤで接続した状態を示す模式的断面図である。

【図 20】本実施形態 1 の半導体装置の製造方法において半導体チップ及び基板の表面をプラズマクリーニングする状態を示す模式的断面図である。

【図 21】前記一括モールドされた基板の正面図である。

【図 22】前記一括モールドされた基板の平面図である。

【図 23】前記一括モールドされた基板の側面図である。

【図 24】本実施形態 1 の半導体装置の製造方法において半田バンプ電極を形成した基板を示す断面図である。

【図 25】本実施形態 1 の半導体装置の製造方法においてダイシングシートに一括モールド体側を貼り付けた基板を一括モールド体共々分割した状態を示す模式的断面図である。

10

【図 26】本発明の他の実施形態（実施形態 2）である半導体装置の製造方法で使用する基板の一部を示す平面図である。

【図 27】本実施形態 2 の半導体装置の製造方法における半導体チップを搭載した基板の一部を示す平面図である。

【図 28】本発明の他の実施形態（実施形態 3）である半導体装置の製造方法で使用する基板の一部を示す平面図である。

【図 29】本実施形態 3 の半導体装置の製造方法における半導体チップを搭載した基板の一部を示す平面図である。

【図 30】本発明の他の実施形態（実施形態 4）である半導体装置の製造方法における半導体チップを搭載した基板の一部を示す平面図である。

20

【図 31】本実施形態 4 の半導体装置の製造方法における半導体チップと溝との関係を示す一部の拡大断面図である。

【図 32】本実施形態 4 の半導体装置の製造方法における半導体チップと溝との関係を示す他の基板の一部の拡大断面図である。

【図 33】本発明の他の実施形態（実施形態 5）である半導体装置の製造方法における半導体チップを搭載した基板の一部を示す平面図である。

【図 34】従来の半導体装置の製造方法における半導体チップを搭載した基板の一部を示す平面図である。

【図 35】従来の半導体装置の製造方法における半導体チップを搭載した他の基板の一部を示す平面図である。

30

【図 36】従来の半導体装置の製造方法における半導体チップを搭載した他の基板の一部を示す平面図である。

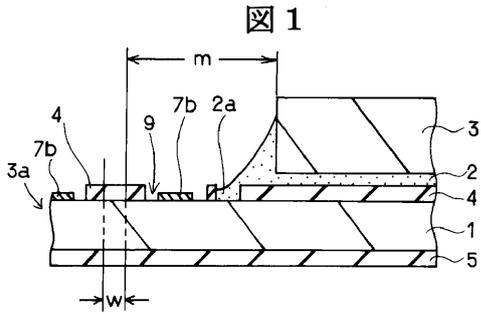
【図 37】従来の半導体装置の製造方法における半導体チップの搭載時にコレットに接着材が接触した状態を示す模式図である。

【符号の説明】

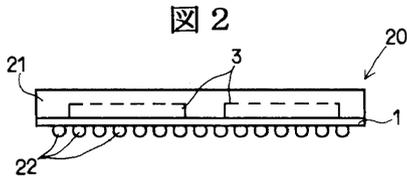
1 ... 基板（配線基板）、2 ... 接着材、2 a ... 接着材の流出分、2 c ... ペースト状接着材、3 ... 半導体チップ、4, 5 ... 絶縁膜（ソルダーレジスト）、4 a ... 絶縁膜、7 ... 配線、7 a ... 導体、7 b, 7 c ... 電極、9, 9 a ... 開口溝、10 ... ボンディングツール（コレット）、20 ... 半導体装置、21 ... 封止体、22 ... 突起電極（半田バンプ電極）、24 ... ワイヤ、25 ... 溝、30 a ... 基板（配線基板）、31 ... 製品形成領域、32 ... 矩形部分、33 a ~ 33 g ... ガイド孔、34 ... チップ搭載領域、40 ... ノズル、41 ... ディスペンサヘッド、45 ... 電極、46 ... 一括封止体、47 ... ダイシングシート。

40

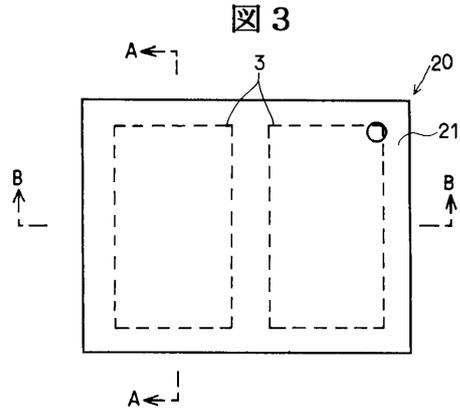
【 図 1 】



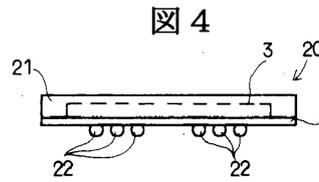
【 図 2 】



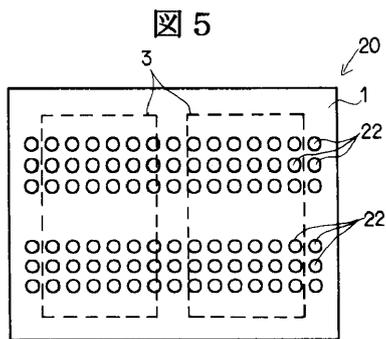
【 図 3 】



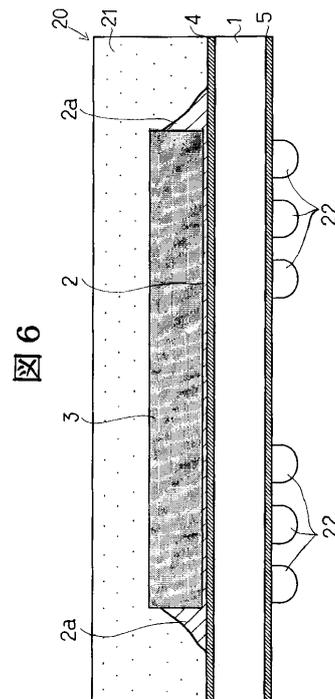
【 図 4 】



【 図 5 】

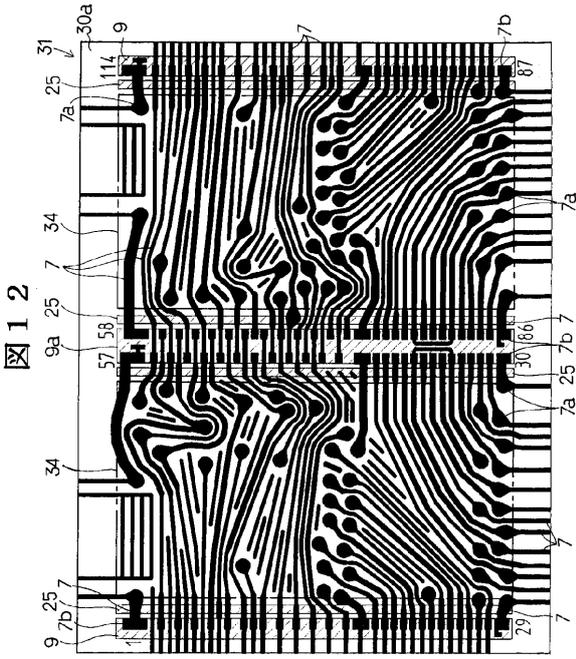


【 図 6 】

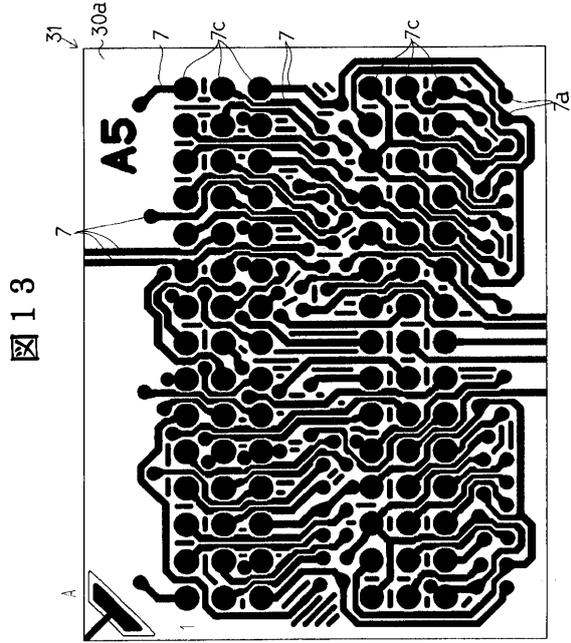




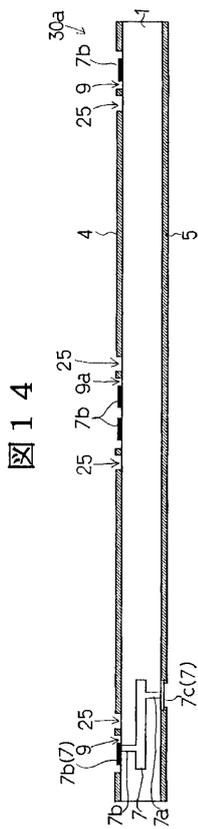
【 図 1 2 】



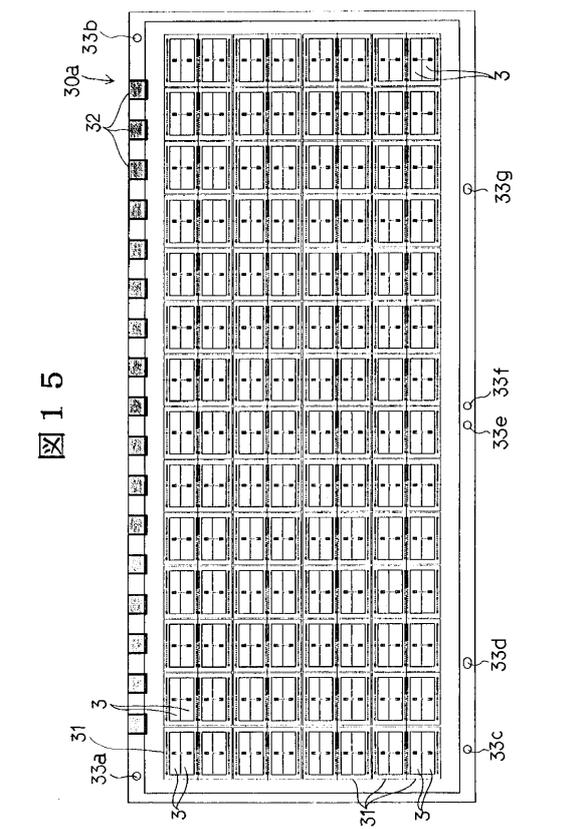
【 図 1 3 】



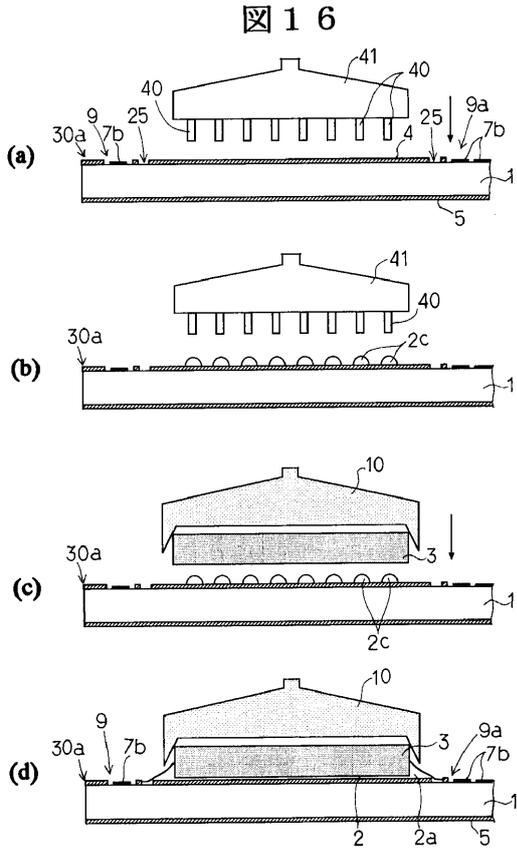
【 図 1 4 】



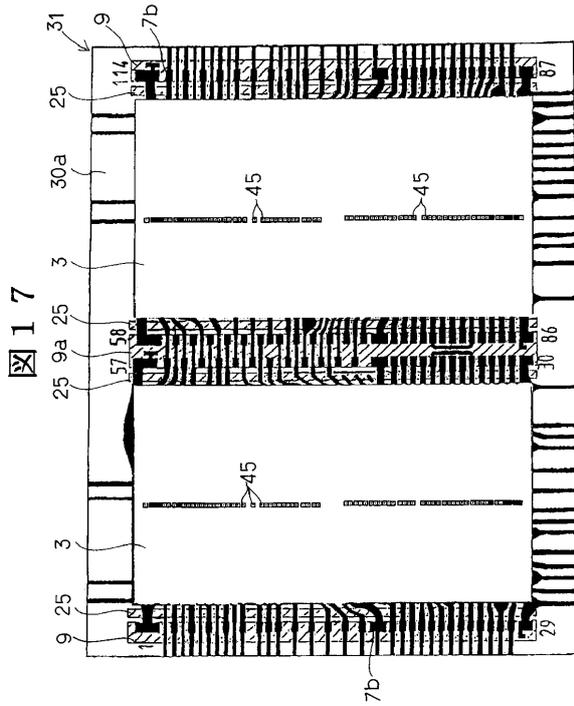
【 図 1 5 】



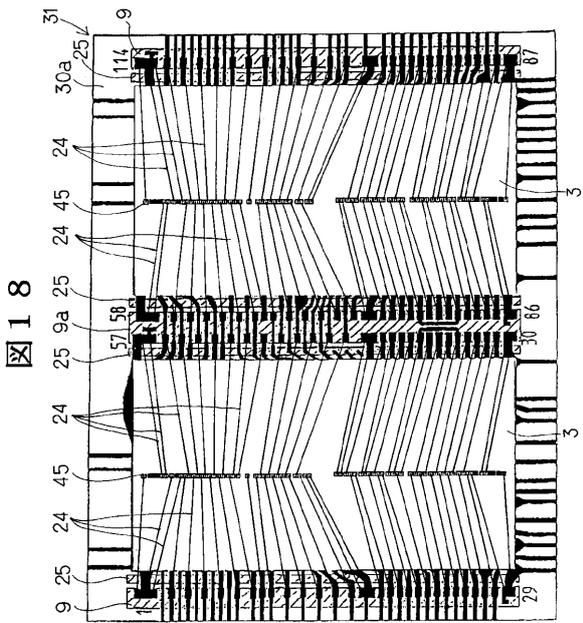
【 図 16 】



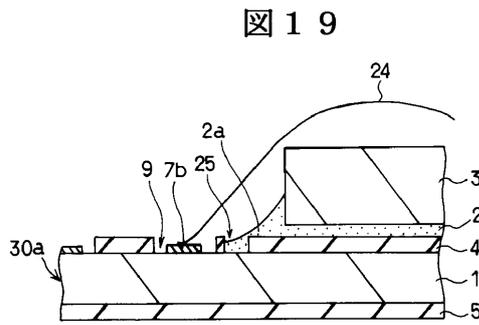
【 図 17 】



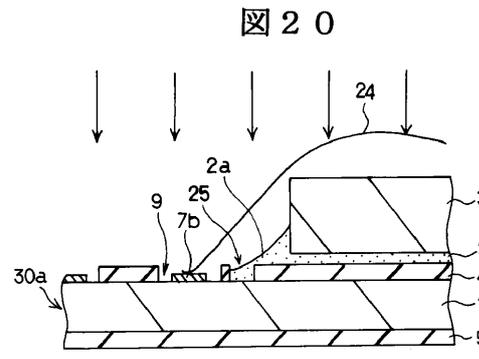
【 図 18 】



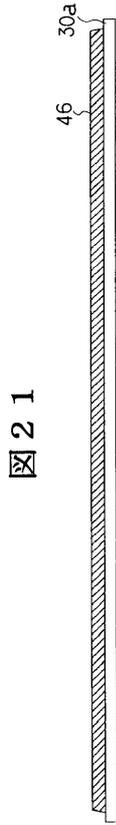
【 図 19 】



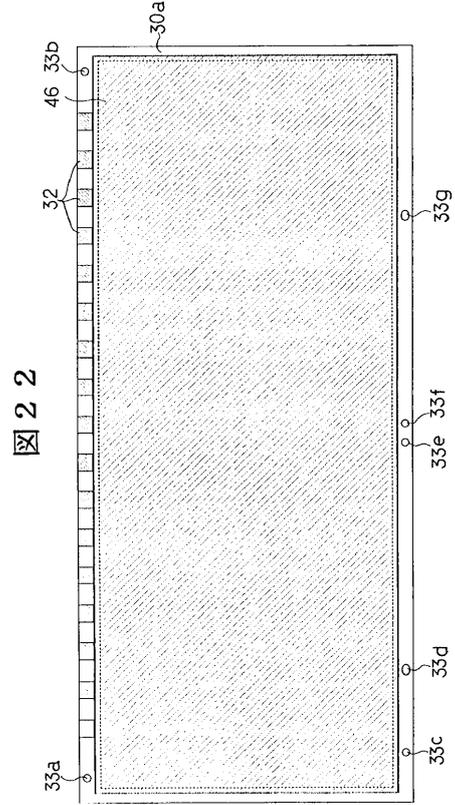
【 図 20 】



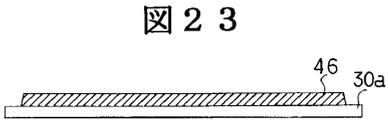
【 図 2 1 】



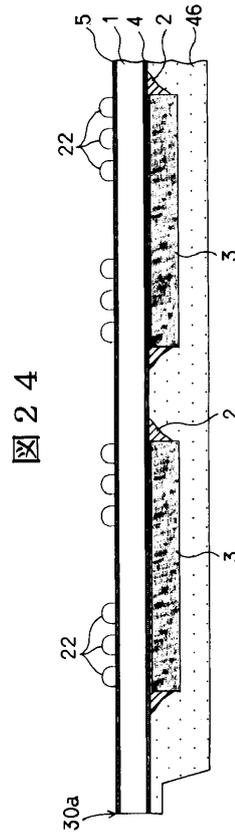
【 図 2 2 】



【 図 2 3 】

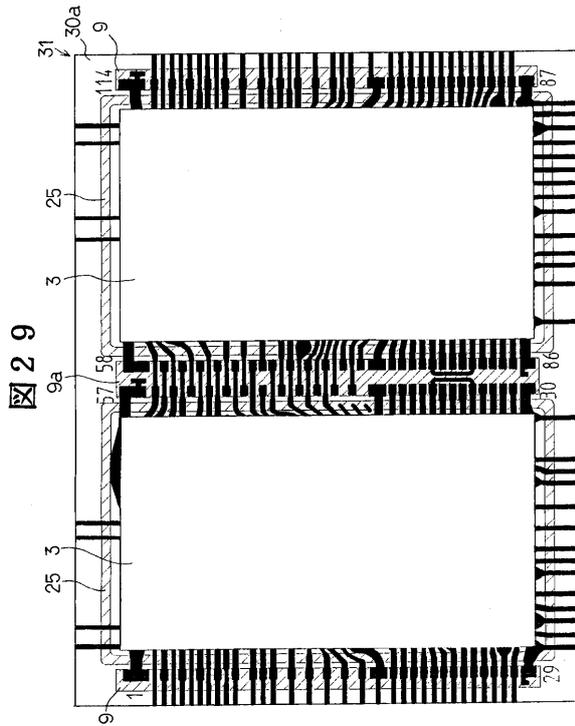


【 図 2 4 】

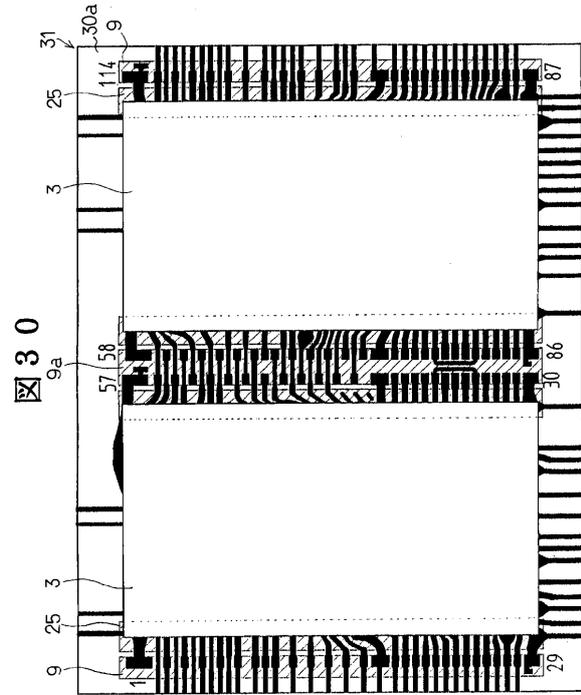




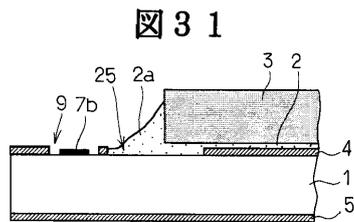
【 図 29 】



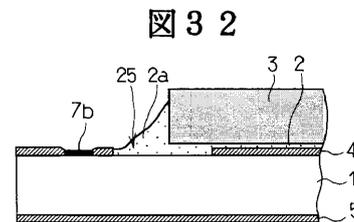
【 図 30 】



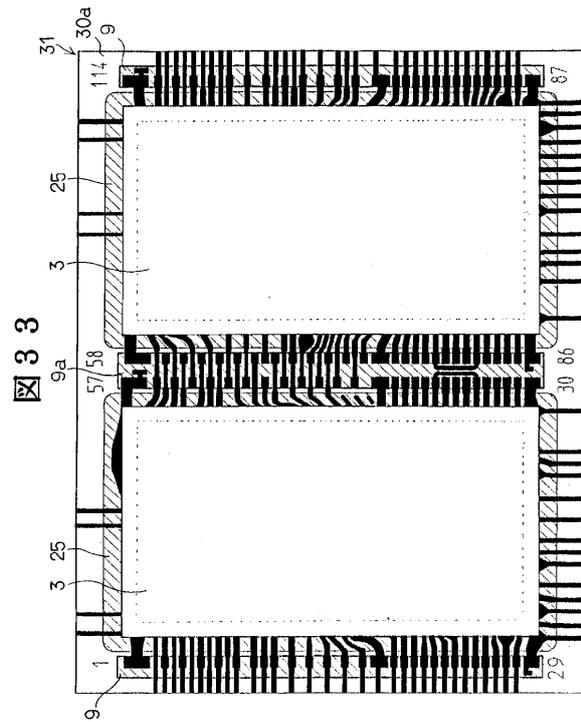
【 図 31 】



【 図 32 】

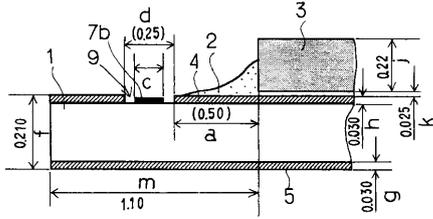


【 図 33 】



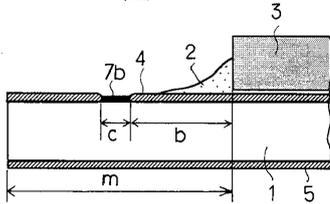
【 図 3 4 】

図 3 4



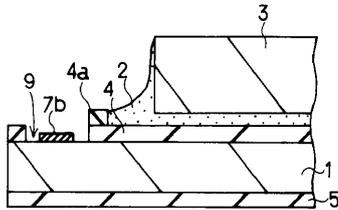
【 図 3 5 】

図 3 5



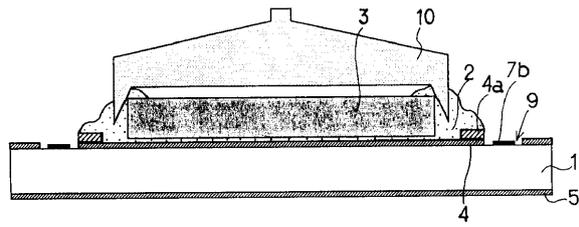
【 図 3 6 】

図 3 6



【 図 3 7 】

図 3 7



---

フロントページの続き

(72)発明者 鈴木 一成

東京都小平市上水本町5丁目2番1号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 増田 正親

東京都小平市上水本町五丁目2番1号 株式会社日立製作所 半導体グループ内

(72)発明者 和田 環

東京都小平市上水本町5丁目2番1号 株式会社日立超エル・エス・アイ・システムズ内

審査官 山本 雄一

(56)参考文献 特開平04-223361(JP,A)

特開平11-251337(JP,A)

特開平04-252040(JP,A)

特開平08-288316(JP,A)

特開平11-260954(JP,A)

特開平07-045641(JP,A)

特開平11-087470(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12

H01L 21/52

H01L 21/56