

224553

公告本

申請日期	82年8月19日
案號	82106688
類別	H03M 7/40

A4
C4

(以上各欄由本局填註)

發明專利說明書
~~新~~型

一、發明名稱	中文	反離散餘弦變換方法或反離散餘弦變換裝置，及使用反離散餘弦變換方法或反離散餘弦變換裝置之動畫編碼或動畫解碼之方法或裝置
	英文	逆離散コサイン變換方法又は逆離散コサイン變換裝置、及び逆離散コサイン變換方法又は逆離散コサイン變換裝置を使用した動画像符号化又は動画像復号化方法。
二、發明人	姓名	(1) 鈴木輝彦 (2) 矢ヶ崎陽一 (3) 須藤達也
	籍貫 (國籍)	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都品川區北品川六丁目七番三五號 ソニー株式会社 (2) 日本國東京都品川區北品川六丁目七番三五號 ソニー株式会社 (3) 日本國東京都品川區北品川六丁目七番三五號 ソニー株式会社
三、申請人	姓名 (名稱)	(1) 蘇妮股份有限公司 ソニー株式会社
	籍貫 (國籍)	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都品川區北品川六丁目七番三五號
	代表人姓名	(1) 大賀典雄

(請先閱讀背面之注意事項再填寫本頁各欄)

裝訂線

經濟部中央標準局員工消費合作社印製

224553

申請日期	82年8月19日
案號	82106688
類別	

A4
C4

(以上各欄由本局填註)

發明
專利說明書
新型

一、發明 創作名稱	中文	
	英文	
二、發明 創作人	姓名	(4) 岡崎透
	籍貫 (國籍)	(4) 日本
	住、居所	(4) 日本國東京都品川區北品川六丁目七番三五號 ソニー株式会社
三、申請人	姓名 (名稱)	
	籍貫 (國籍)	
	住、居所 (事務所)	
	代表人 姓名	

(請先閱讀背面之注意事項再填寫本頁各欄)

裝
訂
線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

(產業上之利用領域)

本發明係有關於適用於動畫的資料壓縮之編碼方法、解碼方法、編碼裝置、解碼裝置、記錄有利用編碼方法或編碼裝置來編碼過的訊號之記錄媒體以及由這些所組成的裝置。

(先前技術)

一般而言，以往所知的 N T S C 電視方式的視訊訊號 (V I D E O S I G N A L) 等的動畫資料因資訊量極多，所以欲長時間的進行記錄或再生時，需要使用資料傳送速度極高之記錄媒體。因此，無論是磁帶或光碟都必須使用到大型者。

是以，若想要在較小型的記錄媒體中長時間地記錄視訊訊號時，則必須要有可將視訊訊號予以高效率編碼後，記錄下來，並且又可高效率地將所讀出的訊號予以解碼之「手段」。為因應這種需求乃有人提出利用「視訊訊號的相關」之編碼方式。其中一種有所謂的「M P E G (Moving Picture Experts Group)」之方式。

這種 M P E G 方式係先取得視訊訊號的畫像圖格 (frame) 之間的差值，藉以降低時間軸方向上的冗長度，然後使用反離散餘弦變換 (D C T (Discrete cosine transform)) 等直交變換方法來降低空間軸方向的冗長度。如此一來，可有效地將視訊訊號予以編碼，而得以記錄在預定的記錄媒體上。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(2)

而對於以這種方式記錄有高效率編碼的視訊訊號之記錄媒體進行再生時，則利用反直交變換方式來高效率地解碼，而得以將視訊訊號再生出來。

(本發明所欲解決之問題)

若在於對畫像實施編碼時使用反離散餘弦變換(DCT)的情況，其輸出輸入雖然為整數，但因執行實數計算之故，該實數計算的方式若DCT和IDCT不同時，在利用反離散餘弦變換(IDCT)來行解碼時，會解碼出與原訊號不同的訊號。這就叫做「反離散餘弦變換不吻合誤差」。

在構築畫像的編碼·解碼系統時，雖可規定IDCT的精度，但對於IDCT之計算方法，則是任由解碼的這一方的人之自由設計。因此特別容易發生：編碼器的區域解碼(Local decoded)畫像與解碼器的再生畫像不一樣之情形。

然而在上述的MPEG方式的編碼中，一個視訊序列(Vedio sequence)係被分割成圖格群(GOP: Group Of Picture)例如：12個圖格之單位，而各圖格又分類成3種類。第1圖係顯示該序列的一部份。一般都將這3種圖格分別稱為：I圖格、P圖格、B圖格。I表示圖格內編碼圖格，P表示由過去的圖格來進行動向預測之圖格，又B表示由過去和未來的圖格來進行向預測之圖格。

在於P圖格時若產生這不吻合誤差的話，P圖格的誤

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

五、發明說明(3)

差逐漸被累積到圖格記憶體中。更而如第1圖所示般，P圖格的圖像也會影響及B圖格之故，畫質惡化會更趨於明顯。為解決這種問題，MPEG的方式在於進行IDCT之前，就圖格內編碼巨區塊(Intra Macro Block)中若獲得如第2圖所示的DC T係數的時候，針對於(0, 0)成份(即DC成份)以外的係數，進行圓滑處理以將其變成奇數。

例如，在第2圖中，(0, 1)、(7, 1)、(2, 3)、(5, 3)、(1, 5)、(6, 5)、(3, 7)、(4, 7)的各成份之DC T係數皆為568，為偶數之故，而將其限制在於例如：變成567。而且，藉由將圖格內編碼巨區塊的DC成份的精度限制在8位元，以防止這種不吻合誤差的發生。此外，圖格間編碼巨區塊(Non-Intra Macro Block)的DC T係數，則進行與圖格內編碼巨區塊的DC成份以外的係數同樣的處理，以將係數都只限定在奇數。

但是為了要求高精度而提高位元率(bit rate)以提高圖格內編碼巨區塊的DC成份的精度時，所進行的這種圓滑處理將使DC T係數的精度降低，而成為畫質惡化之原因。

(解決課題之手段)

為解決上述之問題，本發明乃是提供可較之前述之利用圓滑化成奇數之操作方式的「不吻合誤差對策」更不影

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(4)

響畫質之不吻合誤差對策。

首先，所謂的「不吻合誤差對策」係指在於進行 I D C T 時，因為將最終的運算結果圓滑化成某一範圍內而引起的。例如：在於 M P E G 時，為將輸出結果予以整數化，乃進行將小數點以下予以四捨五入或者捨掉之操作。而四捨五入的情況， $*.5$ （*代表整數）便成為臨界值。

此處，具體地就將某一 D C T 係數進行 I D C T 之情況來檢討。例如係有多種運算手法，其中某一方式例如：I D C T 之輸出變成 $*.49$ 的話，便利用四捨五入來予以捨掉。相對地，另一種方式則是當 I D C T 之輸出變成 $*.50$ 的話，便利用四捨五入來予進位。因此，只要 I D C T 的運算方式不確定於一種的話，便無法解決上述的情況的不吻合誤差。然而實際上，運算方式係有好幾種，很難只將其確定在那一種。

有鑑於此，也有考慮到將 I D C T 的運算結果限制成不使其趨於 $*.5$ 的附近之方法來當作不吻合誤差的解決對策者。首先就 I D C T 的運算結果趨於 $*.5$ 的情況來檢討，例如：在於 8×8 的 2 次元 D C T 中，係以 $X(i, j)$ 來代表 D C T 係數。

此時，就實際的畫像資料的 D C T 係數之中，舉出幾個發生頻率較高的型態來看的話，例如：在於下列的：

(1) $X(0, 0)$ 、 $X(0, 4)$ 、 $X(4, 0)$ 、 $X(4, 4)$ 的和為 4 的倍數，且不是 8 的倍數的情況；

五、發明說明(5)

(2) $X(2n+1, 2m+1)$ 、 $X(2m+1, 2n+1)$ 為相同的值，且該值為 4 的倍數，且不是 8 的倍數之情況；

(3) $X(2n+1, 2n+1)$ 、 $X(8-2n-1, 8-2n-1)$ 為相同的值，且該值為 4 的倍數，且不是 8 的倍數之情況；其 IDCT 的運算結果都趨於 * . 5。

因此，藉由針對於這些情況採取對策，可降低不吻合誤差之機率。根據 MPEG 的話，係無視於 DCT 係數多於 2 個而引起不吻合誤差之情況，但為了防止 1 個至 2 個係數時的不吻合誤差，乃將 DCT 係數予以奇數化。然而這種手法對於上述的 (2)、(3) 之兩種情況係可防止不吻合誤差之發生，但對於上述 (1) 的情況則只能防止一部份的不吻合誤差之發生。

本發明係著眼於上述的 (1) ~ (3) 的例中的共通特徵點，也就是 DCT 係數的和為偶數之點，因此藉由禁止 DCT 係數的和為偶數，以降低不吻合誤差之機率。換言之，本發明的畫像編碼及解碼方法中，在於進行 IDCT 之前，係先將 DCT 係數予以反量化之後，求出 DCT 係數的和，並將 DCT 係數的和一定變成奇數之後才進行 IDCT。

(作用)

為防止 IDCT 的不吻合誤差之發生，藉由進行將

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(6)

D C T 係數的和變換成奇數之「奇數化操作」，使得因此種奇數化操作而實際上值產生變化的係數只有一個。因此，可減少因進行「奇數化操作」所導致的畫質惡化。

(實施例)

第 1 實施例

以下佐以圖面詳細說明本發明之編碼方法、解碼方法、編碼裝置、解碼裝置及記錄媒體之實施例。

首先利用第 3 圖及第 4 圖說明本發明的畫像訊號之高效率編碼及解碼方法之概要。

這是組合了動向補償預測編碼以及 D C T 等編碼而成的混合 (hybrid) 編碼方式。混合 (hybrid) 編碼方式在於用來制定動畫的編碼規格之國際性委員 C C I T T (國際電信電話諮詣委員會) 的 H . 2 6 1 、 I S O - I E C / J T C 1 / S C 2 / W G 1 1 (通稱為 M P E G) 正在被檢討之中，在於存放用媒體的動畫編碼等方面亦被廣泛地採用，係為一種既知的方式。

所謂動向補償預測編碼，係指利用動畫訊號的時間軸方向上的相關來削減冗長成份之方法。係由既已解碼過的畫像訊號來預測目前的編碼對象之畫像，而利用傳送當時的預測誤差、動向量、預測模式等動向資訊來將資訊量壓縮之方法。

利用振幅軸方向的相關來將此時的動向補償預測訊號

五、發明說明(7)

予以編碼。至於這種差值訊號編碼器之一例，係以 D C T 和量化所組合之方式較具有代表性。而 D C T 係利用畫像訊號所具的圖格內(或圖場內)的 2 次元相關性，令訊號電力集中於特定的頻率，並只針對於此集中分佈的係數進行編碼，藉此而壓縮資訊量。

編碼係可用圖格(frame)為單位來進行，而對於交錯畫像的時候，則可用圖場(field)為單位來進行。也可以因應畫像的性質對應性地在於兩者之間進行切換。

第 3 圖係顯示使用了混合編碼器的本發明之動畫編碼裝置之第 1 實施例之構成。

由畫像輸入端子 1 所輸入的畫像訊號係被供給到第 1 圖場記憶體群 2。記憶體控制器 3 係依照預設的視訊序列來控制第 1 圖場記憶體群 2 及第 2 圖場記憶體群 4 之讀出。記憶體控制器 3 係與目前的編碼對象之從第 1 圖場記憶體群 2 所讀出的畫像的分格(slice)的每一個前頭或者巨區塊的每一個前頭同步來將分格啓始訊號 S S 以及巨區塊始訊號 B S 供給到分格/巨區塊計數器 5。

動向預測電路 6 針對被供給到第 1 圖場記憶體群 2 的畫像訊號係參考過去的畫像以及未來的畫像來進行對於目前的編碼對象之畫像中的像素之動向預測。所謂動向預測係指目前的編碼對象之畫像中的區塊像素訊號與所參考的過去的畫像或者未來的畫像之間的「區塊匹配」，而區塊的大小係例如 16×16 像素。此時的過去和未來的參考畫像係依照從記憶體控制器 3 所輸出的動向預測參考畫像

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

指示訊號而從第1圖場記憶群體2中來指定。動向預測電路6係將區塊匹配時預測誤差趨於最小時的參考畫像中的區塊位置作為動向量 MV 供給到動向補償電路7。

動向補償電路7係從存放著已經被解碼的畫像之第2圖場記憶體群體群4來指示位於被動向量 MV 所指定的位址之區塊畫像訊號之輸出。此時的參考畫像係根據從記憶體控制器3所輸出的動向預測參考畫像指示訊號而從第1圖場記憶體群2中來指定。

從第2圖場記憶體群體群4所輸出的已經動向補償之區塊畫像訊號係成為適應性的訊號，係可用區塊單位而從下列的4種作動做最適當的切換。也就是：根據過去的再生畫像之動向補償模式；根據未來的再生畫像之動向補償模式；根據過去和未來的兩再生畫像之動向補償模式（針對每一個像素就由過去的再生畫像來的參考區塊和由未來的再生畫像來的參考區塊進行線性運算例如平均值運算）；以及無動向補償（即畫像內編碼模式，此時的區塊畫像訊號的輸出等於零）。

至於模式的切換方法，例如係選擇：以上述4種模式所輸出的各區塊像素訊號與目前的編碼對象之區塊像素訊號之間的每一像素的差值的絕對值之總和為最小之模式。此處所選擇的模式係被當作動向補償模式訊號 MM 輸出到後述的 VLC 器16。

由第1圖場記憶體群2所供給的目前編碼對象之區塊像素訊號 $S1$ 和由動向補償器18所供給的區塊像素訊號

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(9)

S 2 係藉由減算器 8 來計算每一像素的差值，結果係獲得區塊差值訊號 S 3。區塊差值訊號 S 3 係被供給到差值訊號編碼器 9，而得到編碼訊號 S C。此一編碼訊號再被供給到差值訊號解碼器 1 0，在此被解碼後成為區塊再生差值訊號 S 4。此外，動畫編碼裝置內的差值訊號解碼器 1 0 一般稱為區域解碼器 (Local Decoder)，雖然採用與動畫解碼裝置類似的構成，但兩者有所區別。

差值訊號編碼器 9 係由：D C T 1 1 以及用以量化其輸出係數的量化器 1 2 所組成。而差值訊號解碼器 1 0 則是由根據量化表將量化係數予以反量化的反量化器 1 3、及用以在於對於反量化器 1 3 的輸出進行 I D C T 時不使其產生不吻合誤差之奇數化操作器 1 4、以及對該輸出係數進行 I D C T 變換之 I D C T 1 5 所構成。

其次，說明量化器 1 2。D C T 1 1 的輸出係數被量化器 1 2 所量化。至於此處的量化之步驟，先就圖格內編碼 (Intra) 巨區塊的量化來說明的話，量化係 8×8 像素所成的區塊單位來進行。內編碼的 D C 係數為 8 位元係數的時候為 8，9 位元精度的時候為 4，1 0 位元精度的時候為 2，1 1 位元精度的時候為 1，利用這種方式進行圓滑化之除算。

[數式 1]

五、發明說明 (10)

$$\begin{aligned} QDC &= dc // 8 \\ QDC &= dc // 4 \quad (9bit) \\ QDC &= dc // 2 \quad (10bit) \\ QDC &= dc // 1 \quad (11bit) \end{aligned}$$

Q D C : 量子化後的 D C 係數

而內編碼的各 A C 係數則依照數式 2 來求出量化因數
(a c - (i 、 j)) 。

[數式 2]

$$ac^-(i, j) = (16 * ac(i, j)) // Wi(i, j)$$

此處，W i 係為內編碼的量化行列，其係數如數式 3 所示。

[數式 3]

五、發明說明 (11)

W i =	8	16	19	22	26	27	29	34
	16	16	22	24	27	29	34	37
	19	22	26	27	29	34	34	38
	22	22	26	27	29	34	37	40
	22	26	27	29	32	35	40	48
	26	27	29	32	35	40	48	58
	26	27	29	34	38	46	56	69
	27	29	35	38	46	56	69	83

接下來，依照數式 4 來進行量化，而獲得各 A C 係數的量化位準。

[數式 4]

$$QAC(i, j) = \left[ac(i, j) + \text{sign}(ac(i, j)) \cdot (p - m_{\text{quant}}) / q \right] / (2 * m_{\text{quant}})$$

QAC : 量子化後的 A C 係數

此處，p、q 雖可為固定的任意之整數，但係使用例如：p = 3，q = 4。

接下來，就圖格間編碼 (non-intra) 巨區塊的量化做說明。在圖格間編碼時，首先係根據數式 5 就所有的係數求出量化因數 (ac(i, j))。

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

五、發明說明(12)

〔數式 5〕

$$ac^-(i, j) = (16 * ac(i, j)) // W_n(i, j)$$

此處， W_n 為圖格間編碼量化行列，其係數如數式 6 所示。

〔數式 6〕

$W_n =$	16	17	18	19	20	21	22	23
	17	18	19	20	21	22	23	24
	18	19	20	21	22	23	24	25
	19	20	21	22	23	24	26	27
	20	21	22	23	25	26	27	28
	21	22	23	24	26	27	28	30
	22	23	24	26	27	28	30	31
	23	24	25	27	28	30	31	33

各係數接下來又依照數式 7 進行量化，而獲得量化位準。

〔數式 7〕

(請先閱讀背面之注意事項再填寫本頁)

裝 訂

五、發明說明 (13)

$$\begin{aligned}
 QAC(i, j) &= ac^-(i, j) / (2 * mquant) && \text{if } (mquant == \text{odd}) \\
 &= (ac^-(i, j) + 1) / (2 * mquant) && \text{if } (mquant == \text{even AND } ac^- < 0) \\
 &= (ac^-(i, j) - 1) / (2 * mquant) && \text{if } (mquant == \text{even AND } ac^- > 0)
 \end{aligned}$$

被量化器 1 2 所量化的 D C T 係數則被輸出到 V L C 器 1 6 。

在於 V L C 器 1 6 係進行可變長度編碼。此處，就可變長度編碼來說明的話，圖格內編碼的 D C 係數乃就 4 種亮度區塊求出差值，而被當成 V L C。這是根據因為相鄰的 4 個亮度區塊，其相關性很高，且 D C 係數幾乎具有相同的值。除此之外，又求出色差的差值以當作 V L C。此時的亮度和色差分別具有其他的 V L C 表。

各區塊的其他中 D C T 係數以 (0 , 0) 係數為前頭，藉由鋸齒狀掃描而被讀出其值來進行 V L C。鋸齒狀掃描的路徑方式係具體地顯示於第 1 1 圖。D C T 一般而言其值都集中在 (0 , 0) 係數旁邊之故，利用這種路徑方式可有效地發揮 V L C 的作用。

藉由鋸齒狀掃描可求出非零的係數之值 (level) 以及在於該值之前的 0 係數的個數 (run)，並以 (run , level) 之組合進行 2 次元的 V L C。然後，在於非零的係數之後，附加上表示非零的係數為最後之記號 E O B (2 bit)。V L C 器 1 6 則是將鋸齒狀掃描順序的最後的非零的係數的位置所示的位址輸出到未圖示的位址變換器。位址變換器係將鋸齒狀掃描所得的位址變換成光柵掃描

五、發明說明 (14)

的位址，並輸到奇數化操作器 14。而稱這個輸出為 EOB 位址 (EOB adrs)。

接下來說明反量化器 13。圖格內編碼的 DC 係數的反量化乃依照數式 8 來進行，圖格內編碼的 AC 係數的反量化乃依照數式 9 來進行。又，圖格間編碼 (non-intra) 的係數之反量化乃依照數式 10 來進行。

【數式 8】

$$\begin{aligned} \text{rec}(1, 1) &= 8 * \text{QDC} \\ \text{rec}(1, 1) &= 4 * \text{QDC} \quad (9\text{bit}) \\ \text{rec}(1, 1) &= 2 * \text{QDC} \quad (10\text{bit}) \\ \text{rec}(1, 1) &= 1 * \text{QDC} \quad (11\text{bit}) \end{aligned}$$

【數式 9】

$$\begin{aligned} \text{rec}(i, j) &= (\text{mquant} * 2 * \text{QAC}(i, j) * \text{Wi}(i, j)) / 16 \\ \text{if}(\text{QAC}(i, j) == 0) \\ &\quad \text{rec}(i, j) = 0 \end{aligned}$$

【數式 10】

$$\begin{aligned} \text{if}(\text{QAC}(i, j) > 0) \\ &\quad \text{rec}(i, j) = ((2 * \text{QAC}(i, j) + 1) * \text{mquant} * \text{Wn}(i, j)) / 16 \\ \text{if}(\text{QAC}(i, j) < 0) \\ &\quad \text{rec}(i, j) = ((2 * \text{QAC}(i, j) - 1) * \text{mquant} * \text{Wn}(i, j)) / 16 \\ \text{if}(\text{QAC}(i, j) == 0) \\ &\quad \text{rec}(i, j) = 0 \end{aligned}$$

五、發明說明 (15)

接下來利用第 4 圖來說明奇數化操作器 1 4。奇數化操作器 1 4 係爲了消除 I D C T 不吻合誤差而進行奇數化操作器。計數器 1 8 係計數由反量反器 1 3 所輸出的係數的數目，並將計數值 (coeff adrs) 輸到偶數 / 奇數判定器 1 9，及記憶體擇器 2 0。

利用加算器 2 1 來將係數、以及被保存於暫存器 2 2 中的先行的係數的和進行加算後，再度保存到暫存器 2 2，同時亦輸出到偶數 / 奇數判定器 1 9。至於加算則是只要將係數的最下位的位元進行加算即可。此外也可以如第 1 2 圖的奇數化操作器的方塊圖所示般，使用 X O R (互斥或閘) 2 7 來取代加算器 2 1。這種情況的話，對於 X O R 2 7 的輸入只有利用最下位位元檢測器 2 8 所檢測出來的係數的最下位位元而已。在第 1 2 圖中，其他的部份係和第 4 圖中所示者相同之故，省略其說明。

偶數 / 奇數判定器 1 9 係參考計數值 (coeff adrs)，在求出所有的係數的和時 (8 × 8 D C T 的時候爲 6 4 個係數之和)，判定該保存於暫存器 2 2 的係數的和爲偶數或奇數。此時，暫存器 2 2 中係保存著所有的係數的和，或者其最下位位元。

當偶數 / 奇數判定器 1 9 判定保存於暫存器 2 2 中的資料的最下位位元，而該最下位位元爲 1 時，其和爲奇數之故，奇數化操作器 1 4 不竹任何操作直接將係數資料輸出到反 D C T 器 1 5。當最下位位元爲 0 時，和爲偶數之故，要進行奇數化操作器之故，乃將要求處理訊號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

R E Q 1 輸出到奇數化操作器 1 4 。

輸入到奇數化操作器 1 4 的係數資料除了送到加算器之外，也被記錄在第 1 記憶體 2 5、第 2 記憶體 2 6。記憶體選擇器 2 0 係指定記錄的記憶體。在參考計數值 (coeff-adrs) 記錄了所有的係數資料後，記憶體選擇器 2 0 便將要記錄的記憶體由第 1 記憶體 2 5 切換到第 2 記憶體 2 6 或由第 2 記憶體 2 6 切換到第 1 記憶體 2 5。此時，記錄了全部係數資料的記憶體將記憶額滿訊號 (F U L L 1, F U L L 2) 輸出到奇數化操作器 1 4。

奇數化操作器 1 4 收到記憶額滿訊號 (F U L L 1, F U L L 2) 後，便從發出該記憶額滿訊號 (F U L L 1, F U L L 2) 來讀取資料並輸出到反 D C T 器 1 5。

奇數化操作器 1 4 被輸入了要求處理訊號 R E Q 1 後，便依照 E B O adrs 所示的鋸齒狀掃描順序將最後的非零係數的最下位位元予以反轉。藉由此一作動，由先頭起至最後的非零係數為止的和成為奇數。其他的資料則照其原樣輸出到反 D C T 器 1 5。此一奇數化操作器 1 4 的內部處理的流程圖係顯示於第 1 3 圖。

對於係數則判定該係數是否要奇數化 (1 3 1)，若是要奇數化者的話，接下來就判定 R E Q 1 之有無 (1 3 2)，若有 R E Q 1 的話，便將最下位的位元予以反轉後 (1 3 3)，再予輸出 (1 3 4)。若無應予以奇數化的係數存在時，或無 R E Q 1 時，則依照原來的樣子輸出該資料 (1 3 5)。

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

五、發明說明 (17)

又此一奇數化處理器的具體構成係顯示於第 14 圖。此處乃係由複數個閘電路 (144, 145, 147, 148) 以及或閘電路 (146, 149) 所構成，並進行奇數化處理。

亦即，奇數化處理收到記憶額滿訊號 (FULL) 後，便啓始讀出計數器 (141)，而輸出可閱讀訊號 RD-EN。另外，又從記憶體讀出資料 (RDATA)。讀出計數器 (141) 的值係輸入到比較器 (142)。比較器 (142) 係進行判定是否為要行奇數化操作的係數。當操作 EOB 位址所示的位置的係數時，係利用比較器 (142) 來比較 EOB 位址和計數值。當兩者為一致時 (進行奇數化操作的係數)，比較器 (142) 係輸出 1，兩者不一致時，係輸出 0。如此一來，當 EOB 位址和計數值不一致時，閘 2 (148) 便關閉，而閘 1 (147) 打開，就原樣輸出資料 (RDATA)。相反地，若為一致地，則閘 1 (147) 便關閉，而以進行了奇數化操作的資料經由閘 2 (148) 而輸出。

由偶數 / 奇數判定器 19 輸出的 REQ1 訊號係輸入閘 4 (145)，又經由反向器而輸入到閘 3 (144)。係數的和為偶數時，REQ1 訊號採用 1 (進行奇數化) 的值，非 0 值時，則 REQ1 訊號採用 0 的值。REQ1 訊號為 0 值時，閘 4 (145) 關閉，閘 3 (144) 打開，資料 (RDATA) 經由閘 3 (144)、閘 2 (148) 輸出。而當 REQ1 訊號為 1 值時，閘 3 (

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (18)

1 4 4) 關閉，閘 4 (1 4 5) 打開，資料 (R D A T A) 的最下位位元被反轉後，經由閘 4 (1 4 5)、閘 2 (1 4 8) 而輸出。

又，另一種變化例，例如 R E Q 1 被輸入時，也可以僅對於輸入的資料 (這時係為最高頻率係數) 加入 1 而予以奇數化。這種情況的流程圖顯示於第 1 5 圖。相對於前述的第 1 3 圖，在第 1 5 圖中係利用在資料中加入 1，來進行奇數化處理 (1 5 3)，以替代將最下位的位元反轉。

而此一奇數化處理的具體構成例則顯示於第 1 6 圖。其中除了將最下位位元反轉器 (1 4 3) 換成加算器 (1 6 3) 之外，其他的構成部份皆同於第 1 4 圖。因此省略其詳細之說明。

又，另一種變化例，例如以數式 1 1 所示方式 R E Q 1 被輸入時，也可藉由以促使係數趨近於 0 之方式，當最後的非零係數為正時進行 - 1，為負時進行 + 1，而進行奇數化。

[數式 1 1]

```
if (rec > 0)
    rec = rec - 1
```

```
if (rec < 0)
    rec = rec + 1
```

r e c : 進行奇數化操作器之係數

五、發明說明 (19)

此時的流程圖係顯示於第 17 圖。也就是和第 15 圖的流程圖同樣地就係數來判定其是否需奇數化 (117)，若為需要奇數化者的話，接下來便判定是否有 REQ 1 (172)，若有的話，進而判定此一係數為正或負 1 (173)。係數若為正的話，加入 -1 (174)，係數若為負的話則加入 +1 (176)，而予以輸出。係數若不是需要奇數化者時，或者沒有 REQ 1 時，便將資料照其原樣輸出 (178)。

又此時的奇數化處理器的具體構成係顯示於第 18 圖。此處除了利用用來判定正負的處理電路 (150) (虛線內的部份) 來代替最下位位元反轉器 (143) 之外，其他部份皆與第 14 圖的奇數化處理電路的構成相同。因此省略其他部份的說明。

正負判定器 (151) 係判定 RDATA 的正負，正的時候輸出 1，而於 0 或負的時候輸出 0。正的時候，閘 6 (155) 關閉，而從閘 5 (154) 經過閘 4 (145)，閘 2 (148) 輸出一個被「-1 減算器 (152)」減去了 1 的資料。而於 0 或負的時候，閘 5 (154) 關閉，而從閘 6 (155) 經過閘 4 (145)，閘 2 (148) 輸出一個被「+1 加算器 (153)」加進了 +1 的資料。

此外，同樣地將此改變一下，當以數式 12 所示般被輸入 REQ 1 時，也可以藉由促使係數離開 0 之方式，將最後的非零係數當其為正的時候加入 +1，為負的時候加

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (20)

入 - 1 之方式來進行奇數化亦可。

[數式 1 2]

```
if(rec > 0)
    rec = rec + 1
```

```
if(rec < 0)
    rec = rec - 1
```

r e c : 進行奇數化操作之係數

這種情況的流程圖係顯示於第 1 9 圖。第 1 9 圖中，係與第 1 7 圖同樣，就係數來判定該係數是否需要奇數化 (1 9 1)，若為需要行奇數化者，接下來便判定是否有 R E Q 1 (1 9 2)，若有 R E Q 1 的話，進一步判定係數的正負 (1 9 3)。若係數為正的話，便加入 + 1 (1 9 4)，若係數為負的話則減去 1 (1 9 6) 之後，予以輸出。係數若是不需要行奇數化者、或者沒有 R E Q 1 的話，則將資料就其原樣輸出 (1 9 8)。

又奇數化處理器的構成圖係顯示於第 2 0 圖。其中除了用來判定正負的處理電路 (2 0 0) (虛線內部份) 的構成不同於第 1 8 圖中的用來判定正負的處理電路 (1 5 0) 的構成之外，其餘皆同於第 1 8 圖。

正負判定器 (2 0 1) 先判定 R D A T A 的正負，正的時候輸出 1，而於 0 或負的時候則輸出 0。正的時候，閘 6 (2 0 5) 關閉，而從閘 5 (2 0 4) 經過閘 4 (

五、發明說明 (21)

1 4 5)、閘 2 (1 4 8) 輸出一個被 + 1 加算器 (2 0 2) 加入了 + 1 後的資料。為 0 或負的時候，閘 5 (2 0 4) 關閉，而從閘 6 (2 0 5) 經過閘 4 (1 4 5)、閘 2 (1 4 8) 輸出一個被 - 1 減算器 (2 0 3) 減去了 1 後的資料。

而在此一奇數化處理器 1 4 中，也是做成當無 R E Q 1 輸入時，就將所輸入的資料就其原樣輸出到反量化器之方式。

又，關於上述的奇數化處理的變更方式，亦可將進行奇數化操作的係數當作：並不是利用鋸齒狀掃描所讀出的最後的非零係數。也就是說，可當作：D C 成份、最高頻率係數 (7 , 7) 成份、右上的係數 (7 , 0) 成份、或者左下的係數 (0 , 7) 成份 (8 × 8 D C T 的時候)。

又，關於上述的奇數化處理器的變更例之一，也可以只求出某一特定的係數例如：(0 , 0)、(4 , 0)、(0 , 4)、(4 , 4) 成份的和，並進行奇數化使得此一和奇數化。這種情況的奇數化操作器係顯示於第 2 1 圖。其中除了在於加算器 2 1 之前具有選擇器 2 9 之點外，其他各點則與第 4 圖大略相同。

選擇器 2 9 係參考 coef adrs 來判定所供給的係數是否為需進行加算的係數。若為需進行加算的係數時，即 coef adrs 顯示出例如為：(0 , 0)、(4 , 0)、(0 , 4)、(4 , 4) 時，便將係數資料輸出到加算器 2 1。而此一加算器 2 1 係和前述的第 1 2 圖的實施例同

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

五、發明說明 (22)

樣地，也可以做成採用係數的最下位位元的 X O R 之構成方式來取代最下位位元檢出器 2 8 以及 X O R 2 7。

區塊再生差值訊號 S 4 係就每一像素被加算進去從第 2 圖場記憶體群 4 所輸出的區塊畫像訊號 S 2，而獲得區塊再生訊號 S 5。此一區塊再生訊號 S 5 係被存放到由記憶體控制器 3 所指定的第 2 圖場記憶體群 4 中的圖場記憶體。

另外，由差值訊號編碼器 9 所輸出的編碼訊號 S c 則與動向量 M V、動向補償模式 M M、量化表資料等一起在於 V L C 器 (可變長度編碼器) 1 6 處，被進行例如霍夫曼碼 (Huffman code) 之類可變長度編碼，並且先儲存到未經圖示的緩衝記憶體後，再從輸出端子當作位元流以一定的傳送率送出。此一位元流係經由傳送路而被傳送的。而且也被記錄到記錄媒體之中。至於記錄媒體則以光碟最為適當。

分格 / 巨區塊計數器 5 係與目前的編碼對象也就是從第 1 圖場記憶體群 2 所讀出的畫像同步地，計數從記憶體控制器 3 所輸出的分格開始訊號 S S 以及巨區塊開始訊號 B S。該計數值若達到預設值的話，分格 / 巨區塊計數器 5 便輸出啓始訊號 S 0，收到該訊號，V L C 器 1 6 便輸出各層的啓始碼。

其次，佐以第 5 圖以說明在本實施例中的動化解碼裝置。經由光碟等傳送媒體而從輸入端子 3 1 輸入進來的位元流訊號係被供給到反 V L C 器 3 2。反 V L C 器 3 2 係

五、發明說明 (23)

先將其各層的前頭資訊予以解碼，而將所獲得的用於畫像解碼上的控制資訊 P H 記憶到記憶體控制器 3 3。

而從反 V L C 器 3 2 取出的編碼巨區塊 C b 則供給到差值訊號解碼器 3 4，在此處被解碼後而成區塊再生差值訊號 B s。差值訊號解碼器 3 4 係由：利用從反 V L C 器 3 2 取出的量化表來將量化係數予以反量化之反量化器 3 5、及奇數化操作器 4 0、及將其輸出係數予以反 D C T 化之反 D C T 器 3 6 所構成。

另外，從反 V L C 器 3 2 取出的動向量 M V、動向補償模式 M M 則被輸往動向補償器 3 7，收到該訊號後，動向補償器 3 7 便從儲存有已解碼的再生畫像之圖場記憶體群 3 8 之中指示輸出區塊畫像訊號。

而從圖場記憶體群 3 8 所輸出的區塊畫像訊號係處於對應於動向補償模式之動作，而可用區塊之單位來進行下述 4 種動作中的最適當的切換。也就是：根據過去的再生畫像而來的動向補償模式、根據未來的再生畫像而來的動向補償模式、根據過去和未來的兩種再生畫像而來的動向補償模式（就每一個像素對於由過去的再生畫像來的參考區塊和由未來的再生畫像來的參考區塊進行線性運算（例如平均值運算））、以及無補償編碼模式（即畫像內編碼模式，這種情況下的區塊訊號的輸出等於是零）。又，此處所謂的區塊的大小，例如係為 16×16 像素。

區塊再生差值訊號 B S 係就每一個像素與由圖場記憶體群 3 8 所輸出的區塊畫像訊號相加，結果便得到區塊再

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (24)

生訊號。區塊再生訊號係存放到由記憶體控制器 3 3 所指定的圖場記憶體群 3 8 中的圖場記憶體。而被存放到圖場記憶體群 3 8 中的再生畫像則依照記憶體控制器 3 3 所指定的輸出畫像指示訊號而從端子 3 9 輸出再生畫像。藉由上述的方式構成畫像解碼裝置，而從位元流來再生出動畫。

以下佐以第 6 圖說明差值訊號解碼器 3 4。

反 V C L 器 3 2 所取出的資料係利用 I Z 器 4 1 而從 (run, level) 之組合回復成係數資料，係數資料則保持在鋸齒狀掃描的順序的狀態，輸出到第 1 記憶體 4 2 或第 2 記憶體 4 3。並將這個時候的鋸齒狀掃描的順序的最後的非零係數的位置之位址之值輸出到位址變換器。

這是如第 7 圖的時序圖所示般，在檢出 E O B 時的位址計數器顯示出最後的非零係數位置之位址之故，只要將這個值輸入到位址變換器就可以達成。

位址變換器係將原本鋸齒狀掃描順序的位址變換成光柵掃描之順序之位址，並輸出到第 1 暫存器 4 4 或第 2 暫存器 4 5。

所有的係數資料都輸入到第 1 記憶體 4 2 及第 2 記憶體 4 3 後，反量化器 3 5 便開始進行反量化。此處的反量化器 4 6 和奇數化操作器 4 0 之構成係與本發明第 1 實施例的編碼裝置中的反量化器 1 3 和奇數化操作器 1 4 相同。

反量化器 4 6 係依據位址產生器所產生的位址，而從

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (25)

第 1 記憶體 4 2 及第 2 記憶體 4 3 讀出資料。位址產生器係參考用以將鋸齒狀掃描變換成光柵掃描的位址表，而產生為進行光柵掃描的應讀出的位址。此時，光柵掃描的方向無論在於縱方向或橫方向皆同。

反量化器 4 6 係與在編碼裝置中的反量化器同樣地進行反量化之後，輸出到奇數化操作器 4 0，而與在編碼裝置中的奇數化操作器同樣地寫入到奇數化操作器內的記憶體。

至於 I Z 器 4 1，係先藉由反 V L C 3 2 從位元流中以 (run, level) 之組合取出 D C T 係數。然後將表示可以讀出乙事的訊號 (1EV-EN:EVENT-ENABLE) 輸出到 I Z 器 4 1。

而且將 (run, level) 之組合數 (EVENT數 : 2EVENT) 輸出到 I Z 器 4 1。I Z 器 4 1 收到此一訊號後，便對反 V L C 器 3 2 輸出要求讀出之訊號 3 R L - R E Q。反 V L C 器 3 2 中輸入此 3 R L - R E Q 的話，反 V L C 器 3 2 便將一組 (run, level) 輸到 I Z 器 4 1，並將此一動作反覆執行 EVENT 的數目。

I Z 器 4 1 將 (run, level) 予以解碼並依鋸齒狀掃描順序將係數寫入到記憶體。同時並輸出代表係數的位址之位址訊號 5 adrs1。若被輸入 E B O 的話，則輸出代表已達到 E B O 的意思之 6 E O B - E N、以及當時的係數位址 8 E O B - P O S。E O B - P O S 被位址變換器變換成光柵掃描時的位址後，便被記錄到 P O S 暫存器 4 4

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (26)

。將 E B O 以後的係數資料全都當作 0。一旦輸出所有的係數資料後，I Z 器 4 1 便輸出記憶庫切換訊號 B A N K，以將輸出目標的第 1 記憶體 4 2 切換到第 2 記憶體 4 3，或者由第 2 記憶體 4 3 切換到第 1 記憶體 4 2。然後開始進行下一個區塊的資料之寫入。當所有的係數都記錄到第 1 記憶體 4 2 及第 2 記憶體 4 3 後，便將一個表示所有的係數已經記錄好了的訊號 F U L L 1 / 2 輸出到反量化器 4 6。

反量化器 4 6 收到 F U L L 1 / 2 後，便將要求讀出之訊號 R D - E N 1 / 2 送往第 1 記憶體 4 2 及第 2 記憶體 4 3，以讀出資料。反量化器 4 6 的動作係與在編碼裝置中的反量化器相同。進行過反量化後的資料則被輸入到奇數化操作器 4 0。

奇數化操作器 4 0 的動作係與在編碼器中的奇數化操作器 1 4 相同。此時係參考 P O S 暫存器 4 4，4 5 來進行判定是否為鋸齒狀掃描順序的最後的非零係數。

進行奇數化操作的係數不僅是鋸齒狀掃描順序的最後的非零係數，D C 係數、最高頻率成份的時候也是一樣。而且掃描的順序不是鋸齒狀掃描順序的時候也是一樣。在於編碼器及解碼器上的奇數化操作都必須是一樣的。

第 2 實施例

第 2 實施例的編碼裝置係顯示於第 8 圖。而奇數化操作器則顯示於第 9 圖。第 2 實施例中的編碼裝置及解碼裝

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (27)

置除了奇數化操作器 5 1 的構成之外，其餘皆與第 1 實施例相同。圖中，就與第 1 實施例相同的電路部份，均標註上與第 1 實施例的第 3 圖、第 5 圖所用的圖號相同之圖號，並省略其詳細說明。

計數器 1 8 係計數由反量化器 1 3 所輸出的係數之數目，並將計數值 (coeff adrs) 輸出到偶數 / 奇數判定器 1 9。利用加算器 2 1 將係數與保存於暫存器 2 2 中的先行的係數的和予以相加，並保存於暫存器 2 2 中，且輸出到偶數 / 奇數判定器 1 9。此時，係與第 1 實施例同樣地，可以利用係數的最下位位元檢出器 2 8 而僅對於最下位的位元進行加算。

又，第 2 2 圖係顯示與第 1 實施例同樣地使用 X O R 2 7 來取代加算器的實施例。在此一實施例中，與第 9 圖共通的部份均標註同一圖號，並省略其說明。

在第 9 圖中，偶數 / 奇數判定器 1 9 參考計數值而求出所有的係數的和時 (8 × 8 D C T 的時候為 6 4 個)，判定保存在暫存器 2 2 中的係數的和是偶數或奇數。因暫存器 2 2 中保存著所有係數的和之故，偶數 / 奇數判定器 1 9 乃判定暫存器中最下位的位元。最下位的位元為 1 時，和就是奇數之故，奇數化操作器不必進行任何操作，直接將係數資料輸出到反 D C T 1 5。最下位的位元為 0 的時候，和為偶數之故，必須進行奇數化操作，因此便輸出要求處理之訊號 R E Q 1 到奇數化操作器 1 4。

輸入到反量化器 1 3 的係數資料除了被送往加算器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (28)

2 1 之外，亦經由延遲電路 1 6 而送往奇數化操作器 1 4 。此時延遲電路 1 6 當 R E Q 1 進入奇數化操作器 1 4 時，延遲相當於由 I Q 所輸出的最後的係數，亦即本實施例的情況之最高頻係數（ 8×8 D C T 的時候為（7，7）成份）進入到奇數化操作器 1 4 之時間。

奇數化操作器 1 4 通常是將資料依照其原來樣子輸出，但如果有 R E Q 1 被輸入的話，則將資料的最下位的位元反轉後輸出。當 R E Q 1 被輸入的話，則奇數化操作器 1 4 中係被輸入最高頻率係數。因此這種情況變成以最高率係數被進行奇數化處理。藉此使得由前頭起至最後的非零係數為止的和變成奇數。

奇數化操作器的具體構成係顯示於第 2 3 圖。

奇數化處理係可考慮各種電路，而在第 2 3 圖中，虛線內的電路（a），（b），（c），（d）則是顯示出其變更例。

（a）是利用前述的最下位位元反轉器來將最下位位元反轉而達成奇數化者。

（b）是當有 R E Q 1 被輸入的話，利用 + 1 加算器對於輸入的資料（這種情況係為最高頻率係數）加入 + 1 而予以進行奇數化者。

（c）是如前述的數式 1 1 所示般，當有 R E Q 1 被輸入時，所輸入的資料（這種情況係為最高頻率係數）為正數時，利用 - 1 減算器減去 1，所輸入的資料為 0 或負數時，利用 + 1 加算器加入 + 1 而予以進行奇數化者。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明 (29)

(d) 則是如前述的數式 1 2 所示般，當有 R E Q 1 被輸入時，所輸入的資料（這種情況係為最高頻率係數）為正數時，利用 + 1 加算器加入 + 1，所輸入的資料為 0 或負數時利用 - 1 減算器減去 1 而予以進行奇數化者。而無論那一種情況，若無 R E Q 1 被輸入時，奇數化處理器

1 4 便將所輸入的資料依照其原樣輸出到反 D C T 1 5。

此外，關於上述的奇數化處理的變形例，例如由 I Q 所輸出的最後的資料為 D C 成份時（亦即光柵掃描的順序與上述的實施例相反時），要進行奇數化操作的係數就不是最高頻率係數成份，而是 D C 成份（（0，0）係數）。

此外，關於上述的奇數化處理的變形例，例如求出某一特定的係數例如：（0，0）、（4，0）、（0，4）、（4，4）成份的和，而只進行可令此一和值變成奇數之奇數化處理之方式亦可。這種情況的奇數化處理器係顯示於第 2 4 圖。這個奇數化處理器除了在於加算器 2 1 之前具有選擇器 2 9 之點外，其餘皆與第 9 圖的實施例相同。選擇器 2 9 係參考 coef adrs 而來判定是否為應該進行加算之係數。若為應該進行加算之係數時，例如位址為：（0，0）、（4，0）、（0，4）、（4，4）係數時，則將資料輸出到加算器 2 1。又此一加算器 2 1 係與第 1 2 圖所示的實施例同樣地，也可以採用係數的最下位位元的 X O R 來作為最下位位元抽出器及 X O R。

第 2 實施例中的解碼裝置係顯示於第 1 0 圖。在此一

五、發明說明 (30)

解碼裝置中的奇數化操作器係與在於編碼裝置中的奇數化操作器相同。而且除了奇數化操作器以外，其餘的部份係與第 1 實施例相同。而與第 1 實施例的不同點還有例如在本實施例中，不需要由反 V L C 3 2 送往奇數化處理器 4 0 之 E O B 位址。

(發明之效果)

如上所述，根據本發明的話，在進行反離散餘弦變換時，產生不吻合誤差之機率非常低，因此可達成非常具有實用性之無不吻合誤差反離散餘弦變換裝置、以及使用這種反離散餘弦變換裝置之畫像訊號編碼裝置和解碼裝置。

(圖面之簡單說明)

第 1 圖係用以說明 M P E G 所提議的動畫之序列。

第 2 圖係顯示 D C T 係數之例。

第 3 圖係本發明相關的動畫編碼裝置的第 1 實施例的構成所示之圖。

第 4 圖係本發明相關的動畫編碼裝置中的差值訊號解碼器的第 1 實施例的構成所示之圖。

第 5 圖係本發明相關的動畫解碼裝置的第 1 實施例的構成所示之圖。

第 6 圖係本發明相關的動畫編碼裝置中的差值訊號解碼器的第 1 實施例的詳細構成所示之圖。

第 7 圖係用以說明本發明相關的動畫編碼裝置的作動

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (31)

之波形圖。

第 8 圖係本發明相關的動畫解碼裝置的第 2 實施例的構成所示之圖。

第 9 圖係本發明相關的動畫解碼裝置的第 2 實施例的構成所示之圖。

第 10 圖係本發明相關的動畫編碼裝置中的差值訊號解碼器的第 2 實施例的詳細構成所示之圖。

第 11 圖係 D C T 係數的鋸齒狀掃描之例。

第 12 圖係本發明相關的動畫編碼裝置中的差值訊號解碼器的第 3 實施例的詳細構成所示之圖。

第 13 圖係奇數化處理之一例所示的流程圖。

第 14 圖係奇數化處理器之一構成例所示之圖。

第 15 圖係奇數化處理之另一例所示的流程圖。

第 16 圖係奇數化處理器之另一構成例所示之圖。

第 17 圖係奇數化處理之另一例所示的流程圖。

第 18 圖係奇數化處理器之另一構成例所示之圖。

第 19 圖係奇數化處理之另一例所示的流程圖。

第 20 圖係奇數化處理器之另一構成例所示之圖。

第 21 圖係本發明相關的動畫編碼裝置中的差值訊號解碼器的第 1 實施例的構成所示之圖。

第 22 圖係本發明相關的動畫編碼裝置其他實施例構成所示之圖。

第 23 圖係奇數化處理器之構成所示之圖。

第 24 圖係本發明相關的動畫編碼裝置其他實施例構

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (32)

成所示之圖。

(圖號說明)

- | | |
|---------------|------------------|
| 9 : 差值訊號編碼器 | 1 0 : 差值訊號解碼器 |
| 1 3 : 反量化器 | 1 4 : 奇數化處理器 |
| 1 5 : 反 D C T | 1 6 : 延遲電路 |
| 1 8 : 計數器 | 1 9 : 偶數 / 奇數判定器 |
| 2 0 : 記憶體選擇器 | 2 1 : 加算器 |
| 2 2 : 暫存器 | 2 5 , 2 6 : 記憶體 |
| 2 7 : X O R | 2 8 : 最下位位元檢出器 |
| 2 9 : 選擇器 | 3 0 : 差值訊號解碼器。 |

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要(發明之名稱：

反離散餘弦變換方法或反離散餘弦變換裝置，及使用反離散餘弦變換方法或反離散餘弦變換裝置之動畫編碼或動畫解碼之方法或裝置

本發明係有關於反離散餘弦變換方法或反離散餘弦變換裝置，及使用反離散餘弦變換方法或反離散餘弦變換裝置之動畫編碼或動畫解碼之方法或裝置。

本發明之目的在於防止於利用反離散餘弦變換(I D C T)來進行解碼時所產生的不吻合誤差。

本發明的構成要點，簡單的說，係在於進行 I D C T 之前，先將 D C T 係數予以反量化之後，求出 D C T 係數之和，並將 D C T 係數的和必須予以奇數化之後才進行反 D C T。利用此一「奇數化」之作法以減小所產生的畫質惡化之現象。此一「奇數化」之操作，係利用計數器來計數由反量化器所輸出之係數的值，在將計數值輸往奇偶值判定器。而加算器係將係數以及保存於暫存器中的先行的係數的和予以相加，再度保存於暫存器。而奇偶值判定器則是判定保存於暫存器中的資料的最下位的位元。若最下

英文發明摘要(發明之名稱：

附註：本案已向 日本 國(地區)申請專利、申請日期 93.3.1 案號 05-040203
日本 1993.3.19 P05-059909

(請先閱讀背面之注意事項再填寫本頁各欄)

裝
訂
線

四、中文發明摘要(發明之名稱：
 位的位元是 0 時，和為偶數之緣故，乃進行奇數化處理。
 此一奇數化處理係將 1 的係數的最下位的位元予以反轉。

英文發明摘要(發明之名稱：

附註：本案已向 國(地區)申請專利、申請日期： 案號：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝
訂
線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1. 一種反離散餘弦變換方法，其特徵為：先求出複數的輸入係數的和值，再判定該和值為偶數或奇數，該和值為偶數時，為將該和值變成奇數，乃至至少對於一個輸入的係數進行操作，然後進行反離散餘弦變換。

2. 如申請專利範圍第 1 項之反離散餘弦變換方法，其中上述反離散餘弦變換方法係為 2 次元的反離散餘弦變換方法，而上述操作係操作 DC 成份以外的成份的係數，以將其奇數化者。

3. 如申請專利範圍第 2 項之反離散餘弦變換方法，其中上述操作係將最下位位元予以反轉。

4. 如申請專利範圍第 2 項之反離散餘弦變換方法，其中上述操作係以促使係數趨於 0 之方式對於係數進行加入或減去預定值者。

5. 如申請專利範圍第 2 項之反離散餘弦變換方法，其中上述係數係為代表最高頻率的成份之係數。

6. 如申請專利範圍第 2 項之反離散餘弦變換方法，其中上述係數係為係數讀出順序的最後的係數者。

7. 如申請專利範圍第 1 項之反離散餘弦變換方法，其中上述複數的輸入係數為具有 0 以外的值之係數者。

8. 如申請專利範圍第 1 項之反離散餘弦變換方法，其中上述和值係為輸入的係數以 2 進位表示時的最下位位元的和值者。

9. 如申請專利範圍第 1 項之反離散餘弦變換方法，其中上述和值係為某一特定的輸入係數的和值者。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

1 0 . 一種反離散餘弦變換方法，其特徵為：

先判定複數的輸入係數的以 2 進位表示之最下位位元為 0 或 1，然後求出 1 的個數，再判定該個數為偶數或奇數，該個數為偶數時，為使該個數或奇數，乃至少對於一個輸入係數進行操作，然後再進行反離散餘弦變換。

1 1 . 一種反離散餘弦變換裝置，其特徵為：

係由：用以求出複數的輸入係數的和值之機構、及用以判定該和值係為偶數或奇數之偶數／奇數判定機構、及當該和值為偶數時用以將該和值變成奇數之奇數化機構所構成，上述奇數化機構至少對於上述的一個輸入係數進行操作，然後針對此一被進行操作的係數進行反離散餘弦變換。

1 2 . 一種反離散餘弦變換裝置，其特徵為：

係由：用以判定複數的輸入係數之以 2 進位表示之最下位位元為 0 或 1 之判定機構；以及用以求出該最下位位元的 1 的個數之機構；以及用以判定其個數為偶數或奇數之機構；以及當該判定的結果顯示個數為偶數時，為了將該個數變成奇數，而至少對於一個輸入的係數進行操作之機構所構成者。

1 3 . 一種動畫編碼裝置，係屬於由：用以儲存所輸入的動畫之第 1 圖場記憶體、及用以從此一第 1 圖場記憶體的輸出訊號來形成編碼訊號之差值訊號編碼器、及用以將此一差值訊號編碼器的編碼輸出予以可變長度編碼之 VLC、以及用以從上述差值訊號編碼器的編碼輸出來將

六、申請專利範圍

差值訊號予以解碼之差值訊號解碼器、以及用以儲存此一差值訊號解碼器的輸出之第2圖場記憶體、及用以從此一第2圖場記憶體的輸出訊號和第1圖場記憶體的輸出訊號來檢測出動向，以形成已完成動向補償的預測畫像之機構所構成之型態的動畫編碼裝置，其特徵為：

上述差值訊號編碼器至少具有：反量化器以及反離散餘弦變換器，而反離散餘弦變換器則具有：用以求出上述反量化器所輸出之複數的輸入係數的和之機構、及用以判定該和值為偶數或奇數之偶數／奇數判定機構、及當該和值為偶數時之用以將該和值變成奇數之奇數化機構，而上述奇數化機構至少對於一個上述的輸入係數進行操作，然後對於此一被操作過的係數進行反離散餘弦變換。

14. 一種動畫編碼裝置，係屬於由：用以儲存所輸入的動畫之第1圖場記憶體、及用以從此一第1圖場記憶體的輸出訊號來形成編碼訊號之差值訊號編碼器、及用以將此一差值訊號編碼器的編碼輸出予以可變長度編碼之VLC、以及用以從上述差值訊號編碼器的編碼輸出來將差值訊號予以解碼之差值訊號解碼器、以及用以儲存此一差值訊號解碼器的輸出之第2圖場記憶體、及用以從此一第2圖場記憶體的輸出訊號和第1圖場記憶體的輸出訊號未來測出動向，以形成已完成動向補償的預測畫像之機構所構成之型態的動畫編碼裝置，其特徵為：

上述差值訊號編碼器至少具有：反量化器以及反離散餘弦變換器，而反離散餘弦變換器則具有：用以判定上述

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

反量化器所輸出的複數的輸入係數之以 2 進位表示時的最下位位元為 0 或 1 之機構、及用以求出該最下位位元的 1 的個數之機構、以及用以判定其個數為偶數或奇數之機構、以及當該判定的結果顯示個數為偶數時，為了將該個數變成奇數，而至少對於一個輸入的係數進行操作，然後對於此一被操作過的係數進行反離散餘弦變換。

1 5 . 一種動畫解碼裝置，其特徵為：

係由：將可變長的編碼予以解碼，並且又至少輸出動向量及動向補償模式之反 V L C、以及用以將從上述反 V L C 的輸出予以解碼之之差值訊號解碼器、以及用以儲存此一已解碼之訊號，並且因應上述動向量及動向補償模式來構成畫像之圖場記憶體所構成，上述差值訊號解碼器至少具有：反量化器以及反離散餘弦變換器，而反離散餘弦變換器則具有：用以判定上述反量化器所輸出之複數的輸入係數和之機構、及用以判定該和值為偶數或奇數之偶數／奇數判機構、及當該和值為偶數時之用以將該和值變成奇數之奇數化機構，而上述奇數化機構至少對於一個上述的輸入係數進行操作，然後對於此一被操作過的係數進行反離散餘弦變換。

1 6 . 一種動畫解碼裝置，其特徵為：

係由：將可變長度的編碼予以解碼，並且又至少輸出動向量及動向補償模式之反 V L C、以及用以將從上述反 V L C 的輸出予以解碼之之差值訊號解碼器、以及用以儲存此一已解碼之訊號，並且因應上述動向量及動向補償模

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

式來構成畫像之圖場記憶體所構成，上述差值訊號解碼器至少具有：反量化器以及反離散餘弦變換器，而反離散餘弦變換器則具有：用以判定上述反量化器所輸出的複數的輸入係數之以2進位表示時的最下位位元為0或1之機構、及用以求出該最下位位元的1的個數之機構、以及用以判定其個數為偶數或奇數之機構、以及當該判定的結果顯示個數為偶數時，為了將該個數變成奇數，而至少對於一個輸入的係數進行操，然後對於此一被操作過的係數進行反離散餘弦變換。

17. 一種資訊記錄媒體，係記錄著經過一種由：用以儲存所輸入的動畫之第1圖場記憶體、及用以從此一第1圖場記憶體的輸出訊號來形成編碼訊號之差值訊號編碼器、及用以將此一差值訊號編碼器的編碼輸出予以可變長度編碼之VLC、以及用以從上述差值訊號編碼器的編碼輸出來將差值訊號予以解碼之差值訊號解碼器、以及用以儲存此一差值訊號解碼器的輸出之第2圖場記憶體、及用以從此一第2圖場記憶體的輸出訊號和第1圖場記憶體的輸出訊號來測出動向，以形成已完成動向補償的預測畫像之機構所構成，且上述差值訊號編碼器至少具有：反量化器以及反離散餘弦變換器而反離散餘弦變換器則具有：用以判定上述反量化器所輸出的複數的輸入係數之以2進位表示時的最下位位元為0或1之機構、及用以求出該最下位位元的1的個數之機構、以及用以判定其個數為偶數或奇數之機構、以及當該判定的結果顯示個數為偶數時，為

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

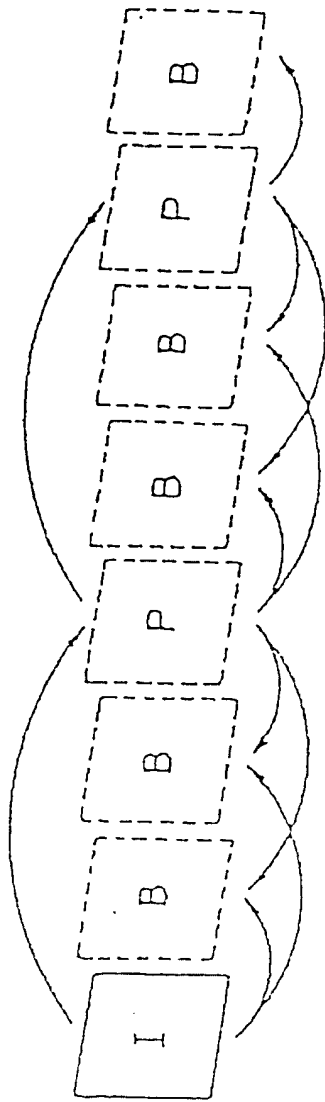
六、申請專利範圍

了將該個數變成奇數，而至少對於一個輸入的係數進行操作，然後對於此一被操作過的係數進行反離散餘弦變換之動畫編碼裝置來進行過編碼的動畫訊號者。

18. 一種資訊記錄媒體，係記錄著經過一種由：用以儲存所輸入的動畫之第1圖場記憶體、及用以從此一第1圖場記憶體的輸出訊號來形成編碼訊號之差值訊號編碼器、及用以將此一差值訊號編碼器的編碼輸出予以可變長度編碼之VLC、以及用以從上述差值訊號編碼器的編碼輸出來將差值訊號予以解碼之差值訊號解碼器、以及用以儲存此一差值訊號解碼器的輸出之第2圖場記憶體、以及用以從此一第2圖場記憶體的輸出訊號和第1圖場記憶體的輸出訊號來檢測出動向，以形成已完成動向補償的預測畫像之機構所構成，且上述差值訊號編碼器至少具有：反量化器以及反離散餘弦變換器，而反離散餘弦變換器則具有：用以判定上述反量化器所輸出的複數的輸入係數之以2進位表示時的最下位位元為0或1之機構、及用以求出該最下位位元的1的個數之機構、以及用以判定其個數為偶數或奇數之機構、以及當該判定的結果顯示個數為偶數時，為了將該個數變成奇數，而至少對於一個輸入的係數進行操作，然後對於此一被操作過的係數進行反離散餘弦變換之動畫編碼裝置來進行過編碼的動畫訊號者。

(請先閱讀背面之注意事項再填寫本頁)

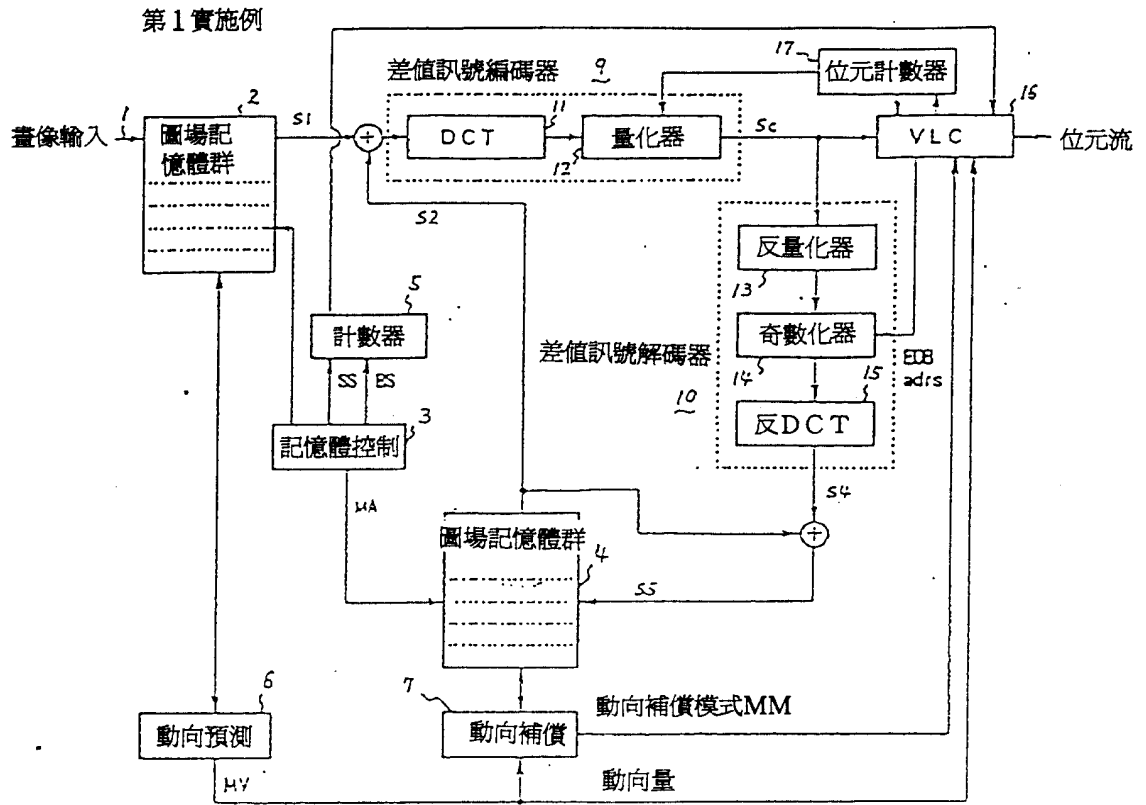
裝
訂
線



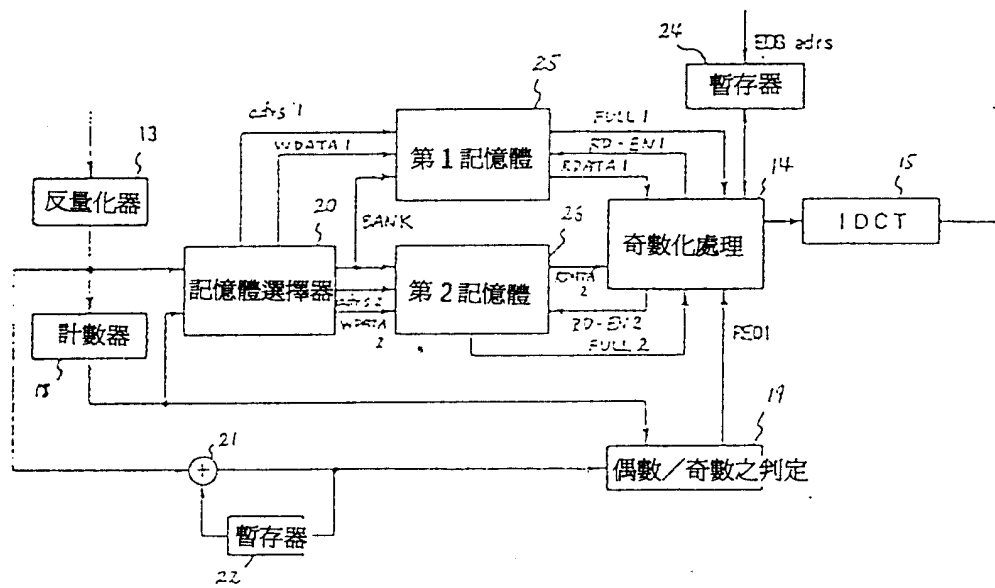
第 1 圖

4 0 9 (0, 0)	4 0 9 (1, 0)	4 0 9 (2, 0)	4 0 9 (3, 0)	4 0 9 (4, 0)	4 0 9 (5, 0)	4 0 9 (6, 0)	4 0 9 (7, 0)
5 6 8 (0, 1)	4 8 1 (1, 1)	3 2 1 (2, 1)	1 1 3 (3, 1)	— (4, 1)	— (5, 1)	— (6, 1)	— (7, 1)
5 3 5 (0, 2)	2 2 1 (1, 2)	— (2, 2)	— (3, 2)	— (4, 2)	— (5, 2)	— (6, 2)	— (7, 2)
4 8 1 (0, 3)	— (1, 3)	— (2, 3)	— (3, 3)	— (4, 3)	— (5, 3)	— (6, 3)	— (7, 3)
4 0 9 (0, 4)	— (1, 4)	— (2, 4)	— (3, 4)	— (4, 4)	— (5, 4)	— (6, 4)	— (7, 4)
3 2 1 (0, 5)	— (1, 5)	— (2, 5)	— (3, 5)	— (4, 5)	— (5, 5)	— (6, 5)	— (7, 5)
2 2 1 (0, 6)	— (1, 6)	— (2, 6)	— (3, 6)	— (4, 6)	— (5, 6)	— (6, 6)	— (7, 6)
1 1 3 (0, 7)	— (1, 7)	— (2, 7)	— (3, 7)	— (4, 7)	— (5, 7)	— (6, 7)	— (7, 7)

第 2 圖

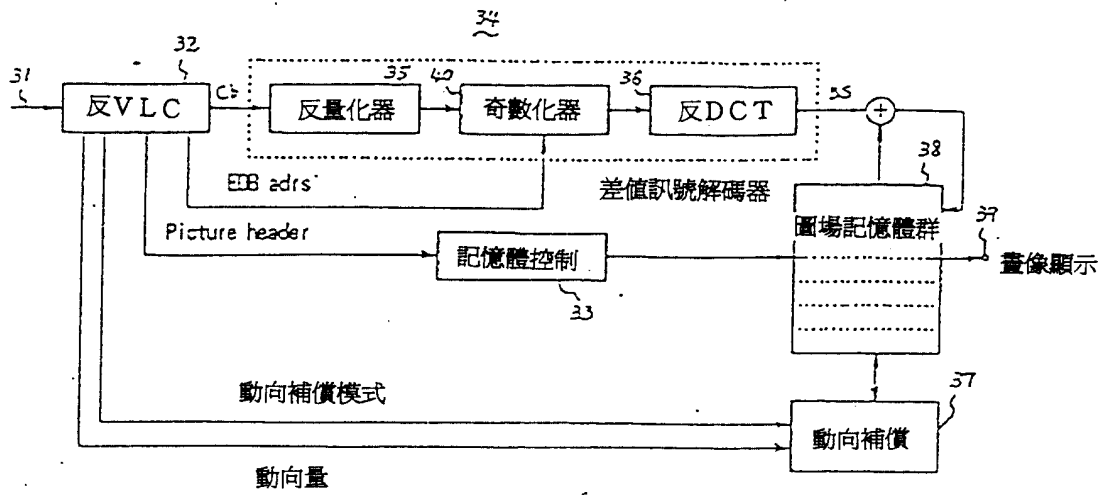


第3圖

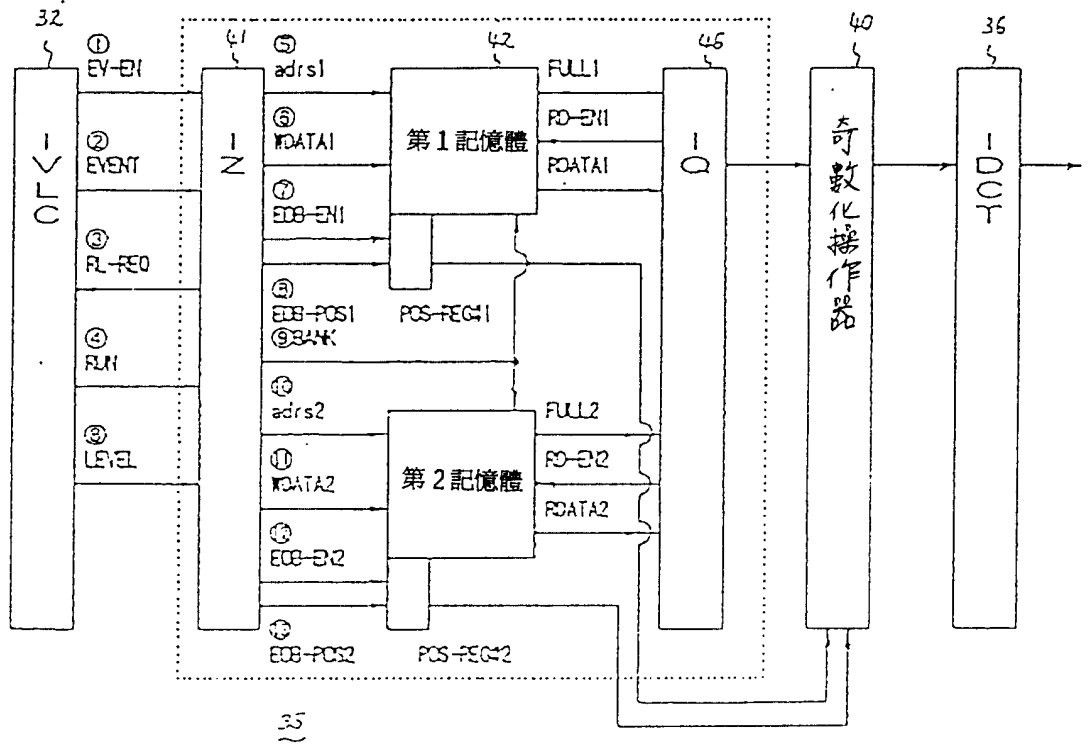


第4圖

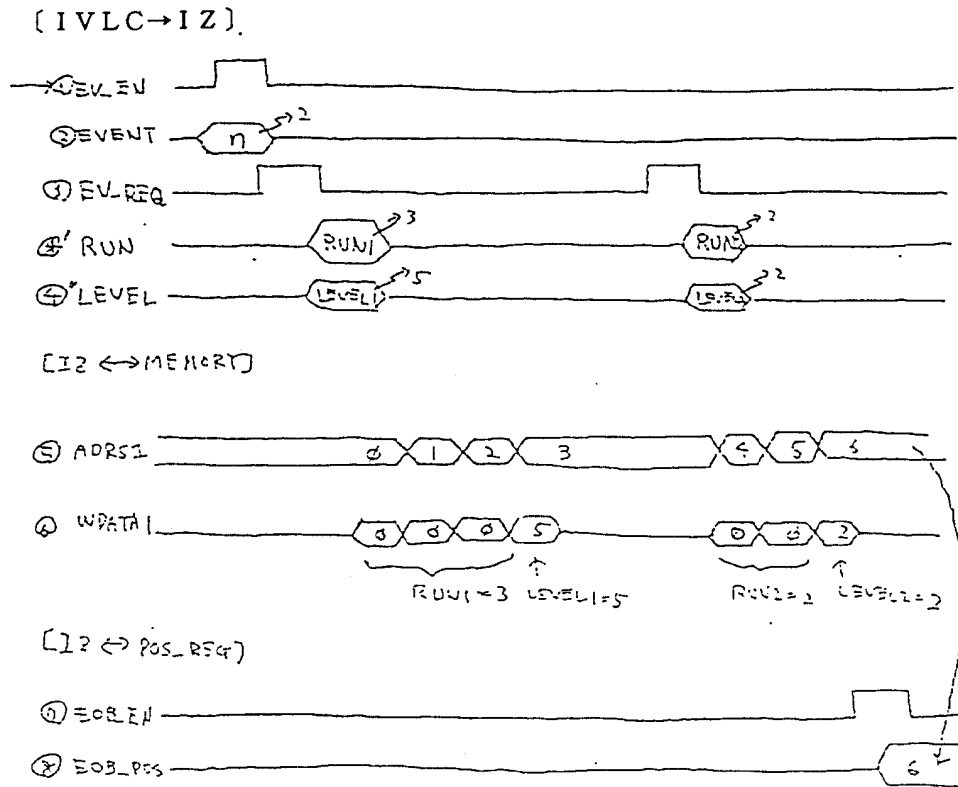
第1實施例



第5圖

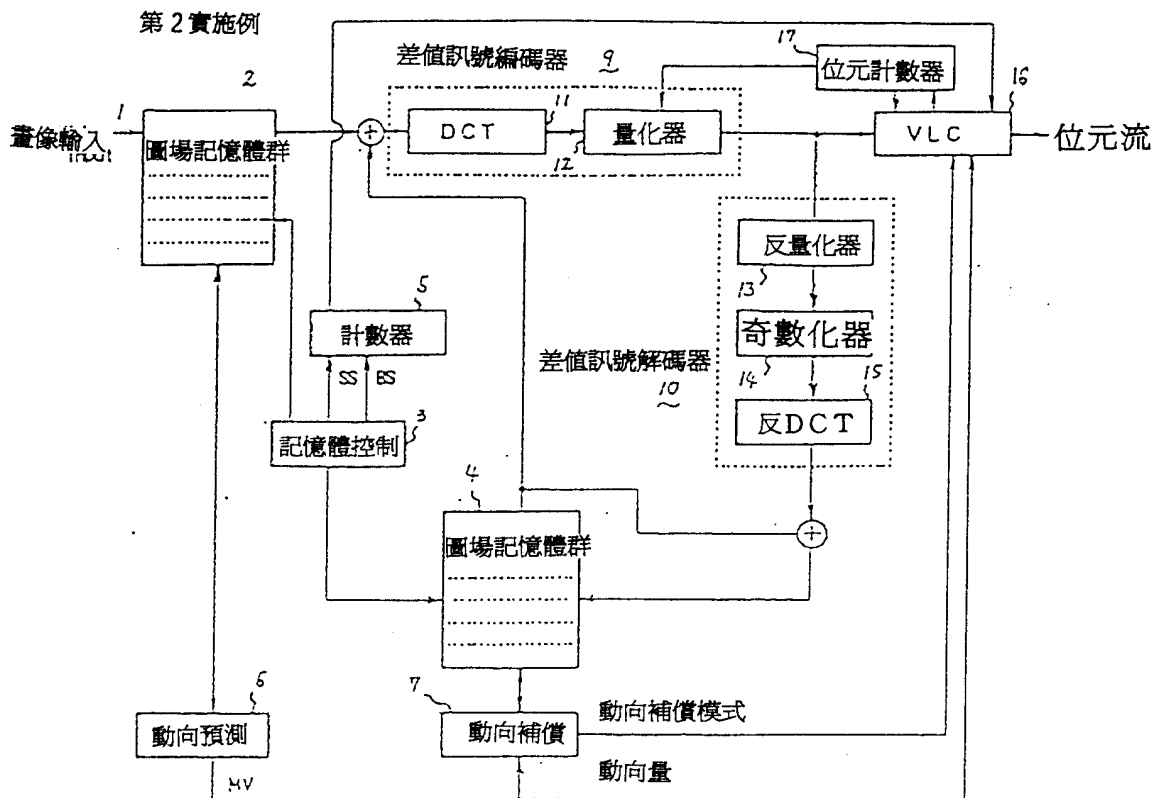


第6圖

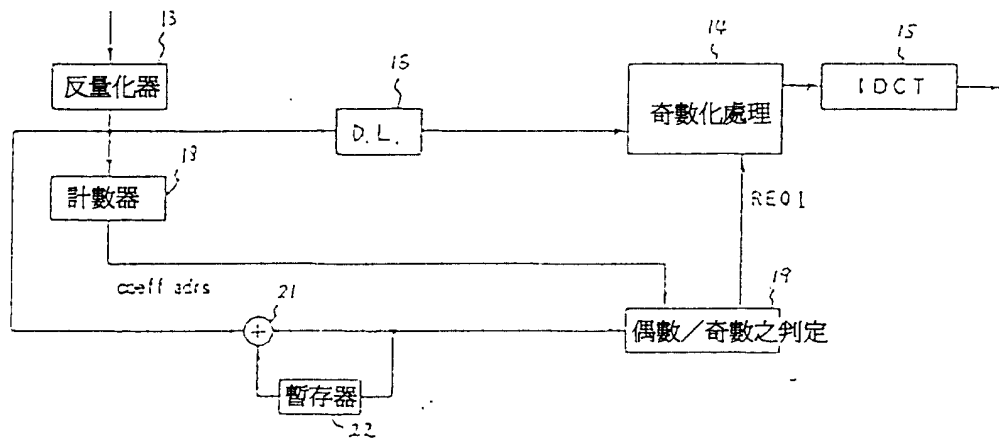


EVENT = 2
 (RUN1 = 3
 LEVEL1 = 5
 (RUN2 = 2
 LEVEL2 = 2) 例

第 7 圖

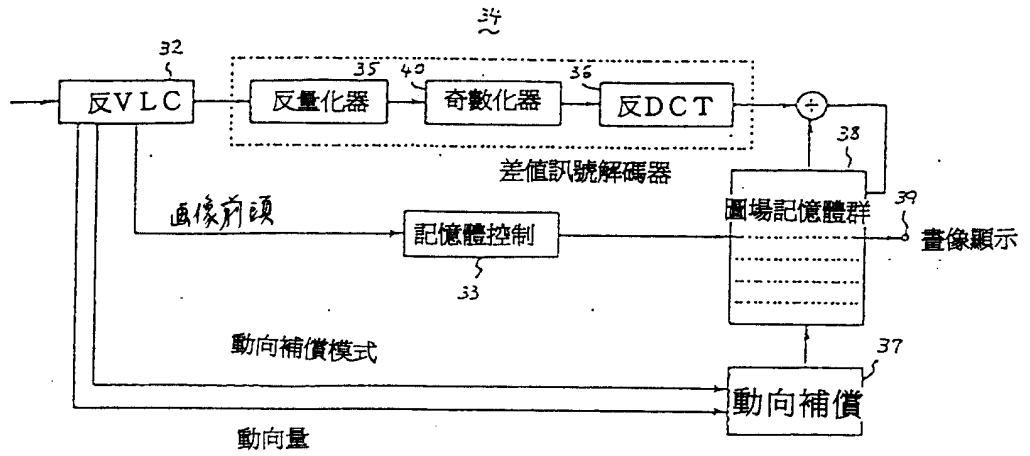


第 8 圖



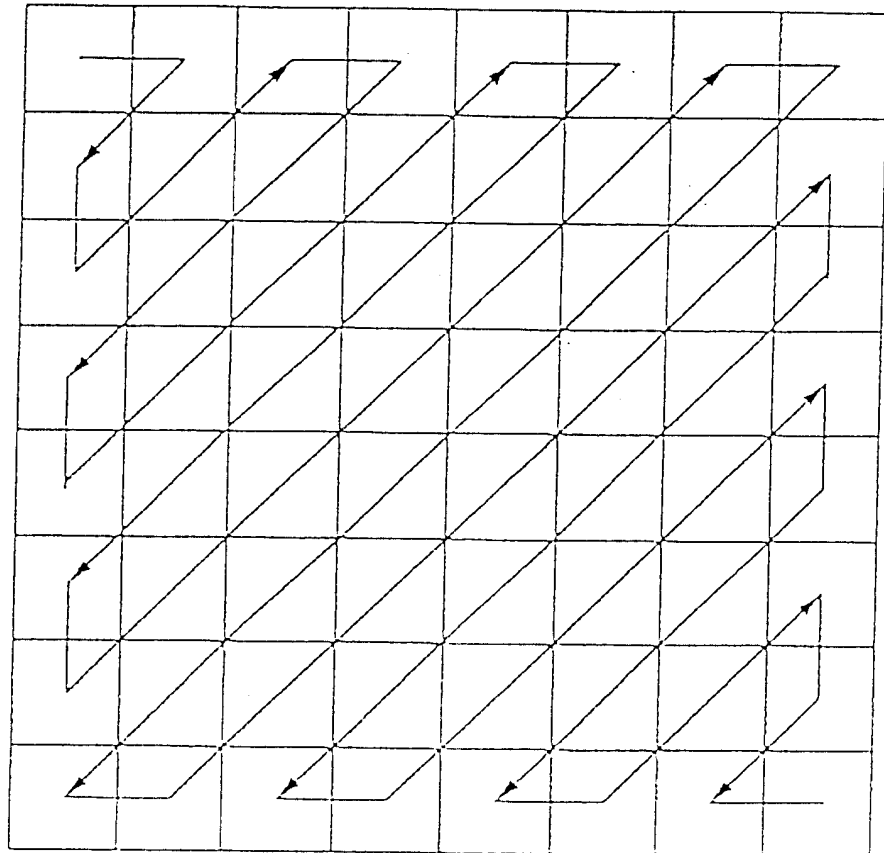
第 9 圖

第2實施例

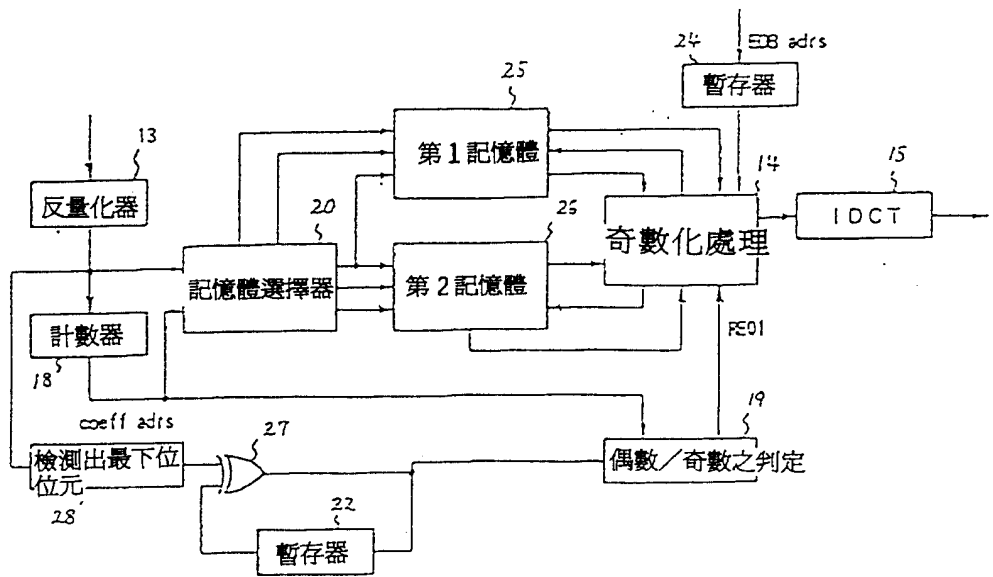


第10圖

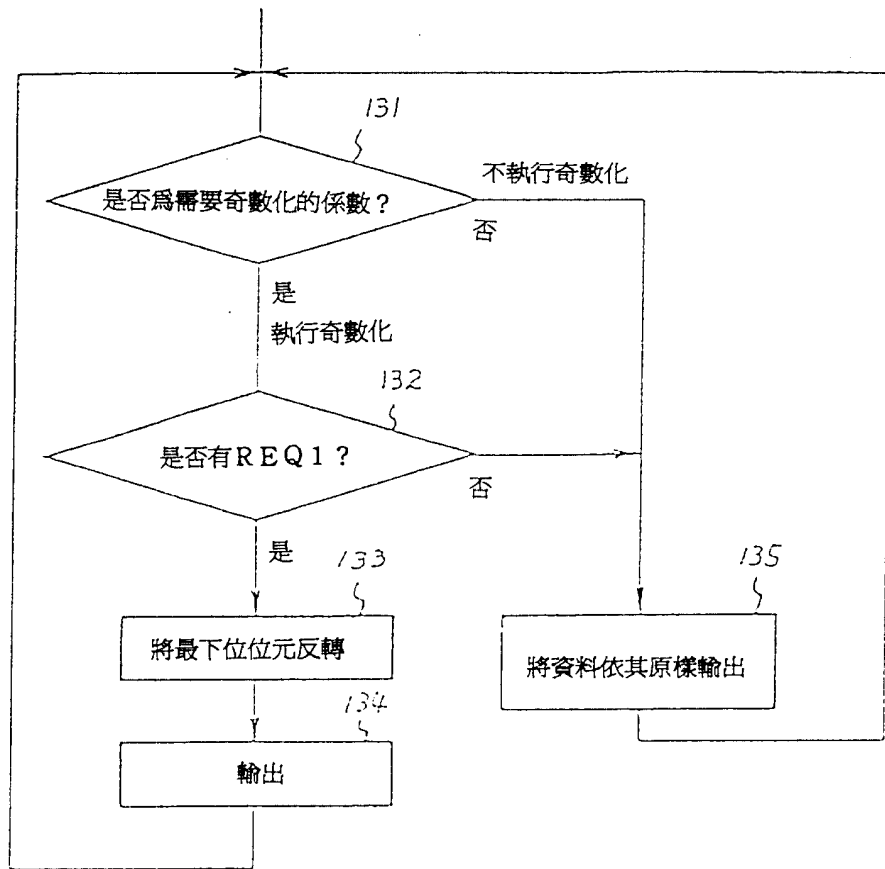
8 X 8 DCT 係數



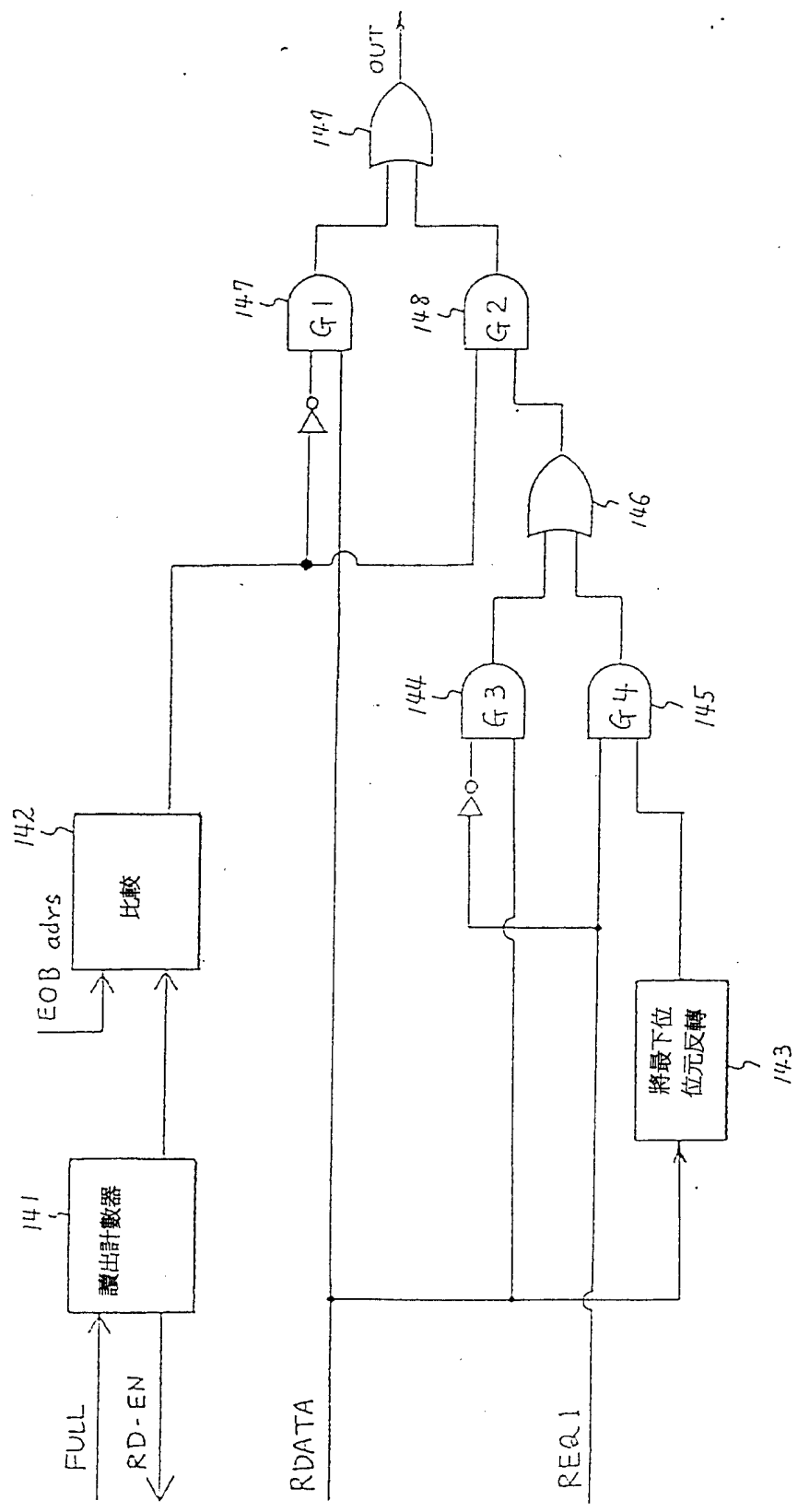
第11圖



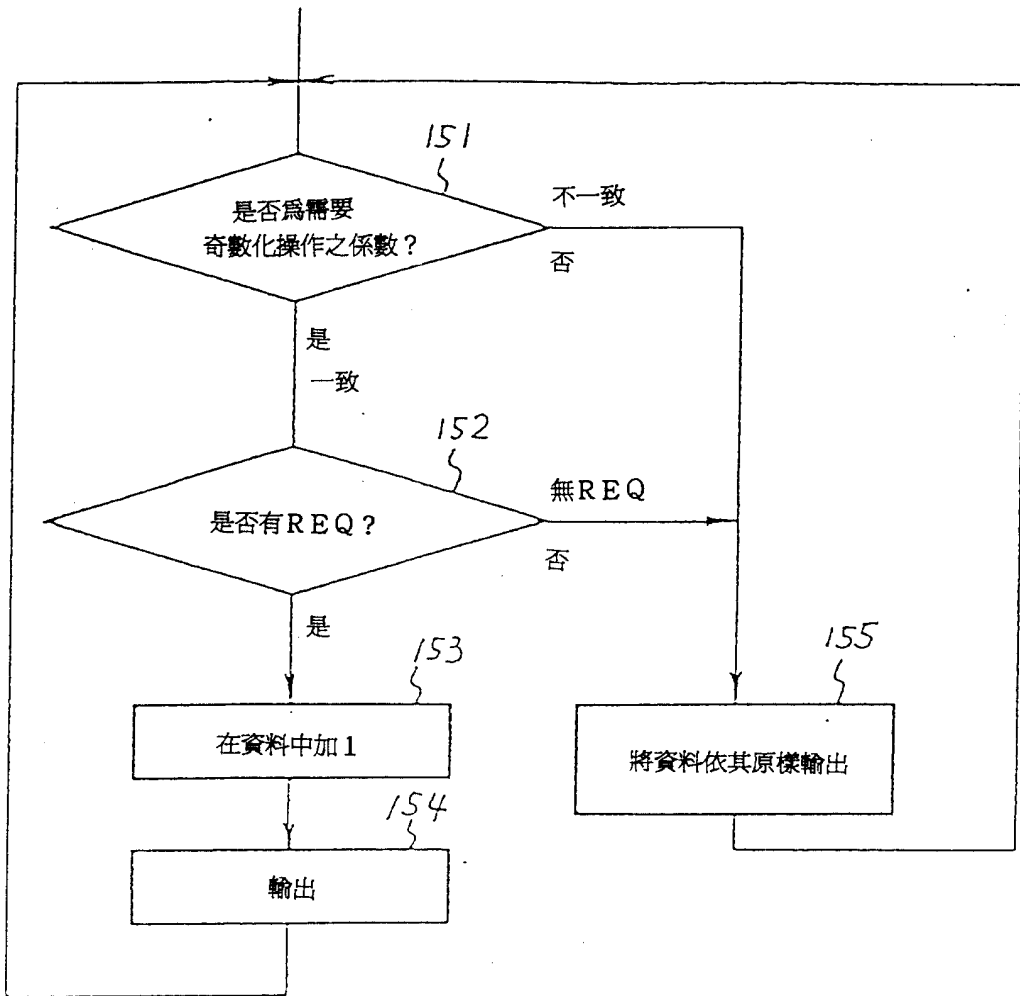
第12圖



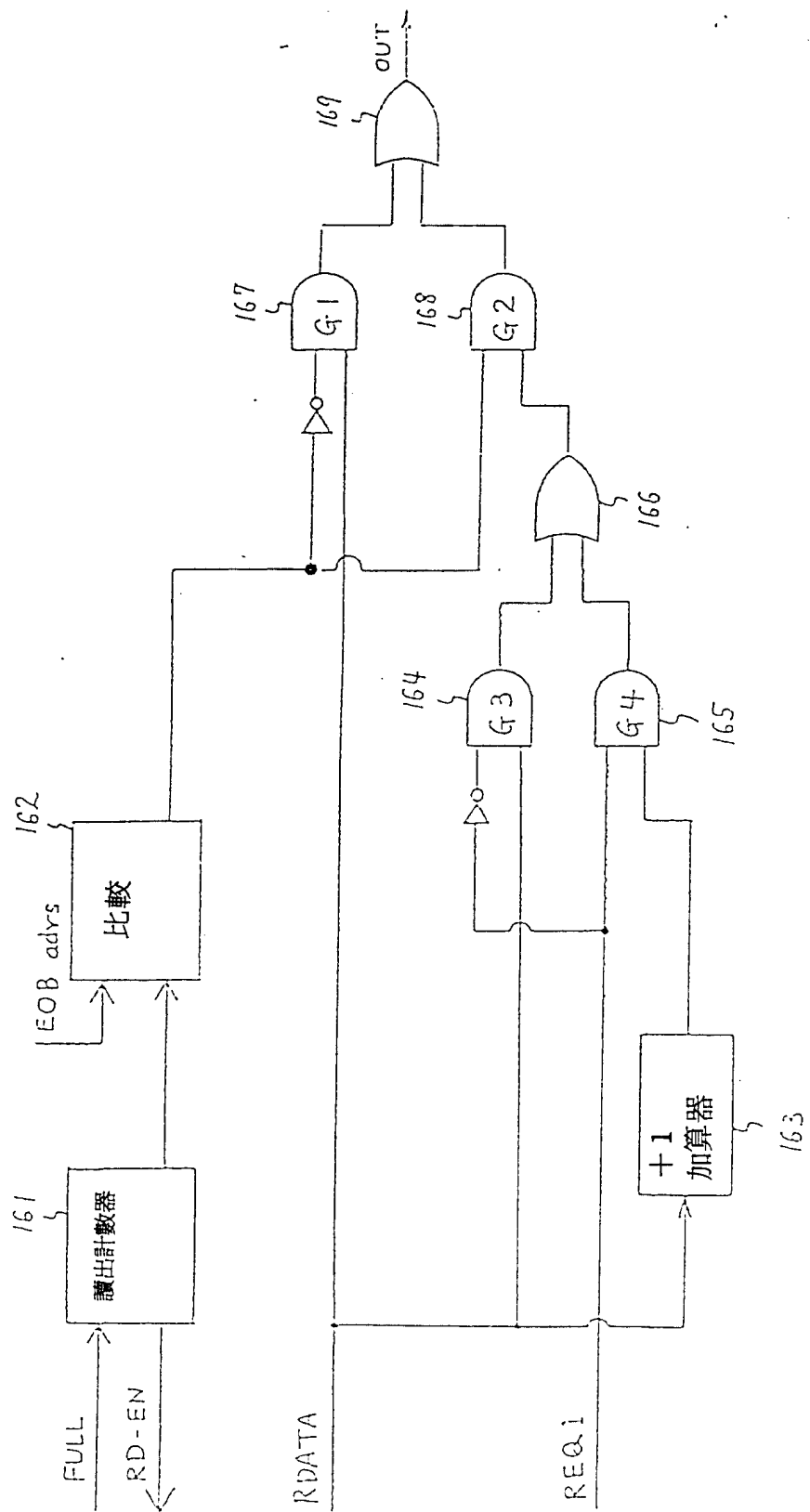
第13圖



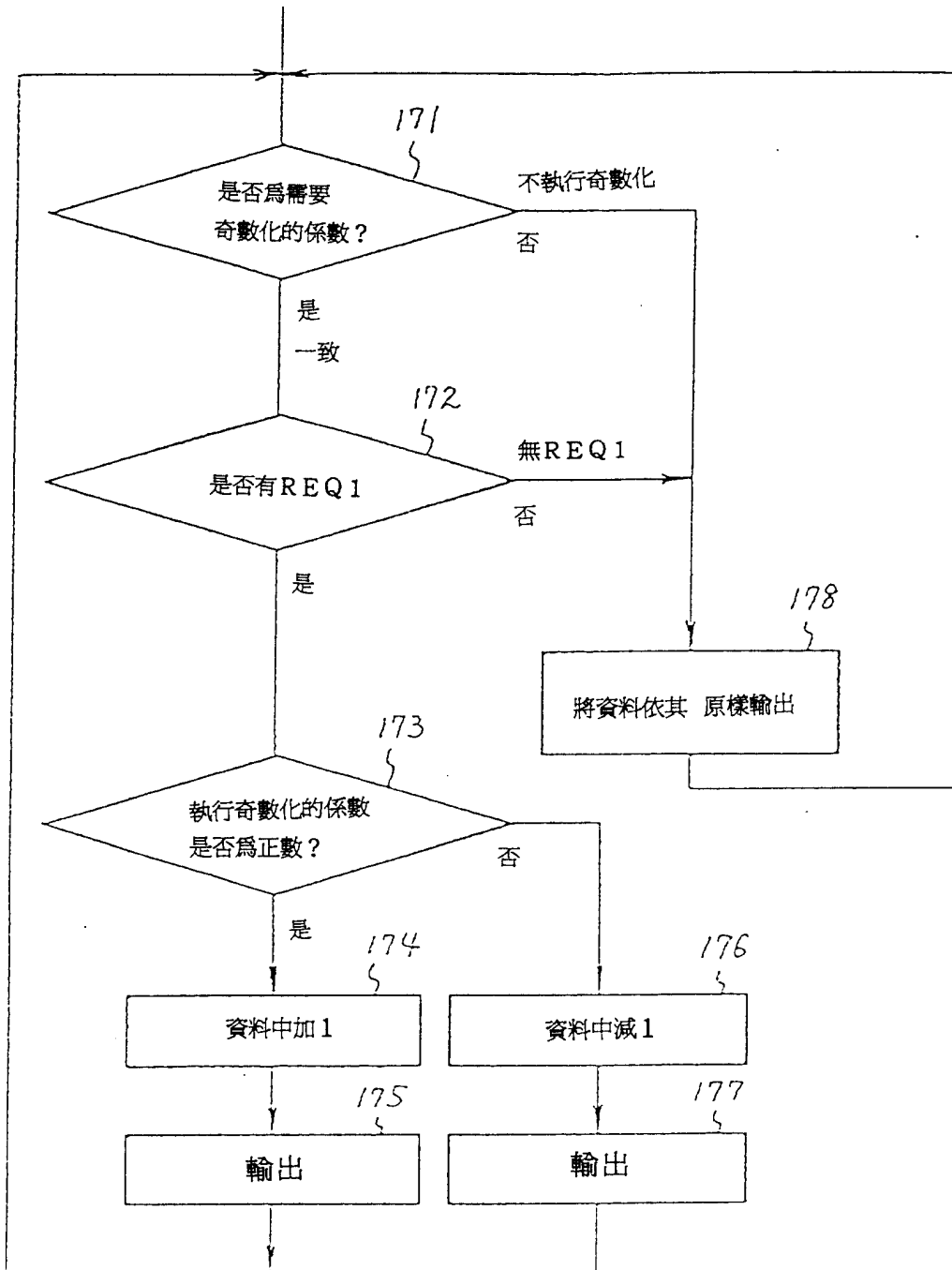
第14圖



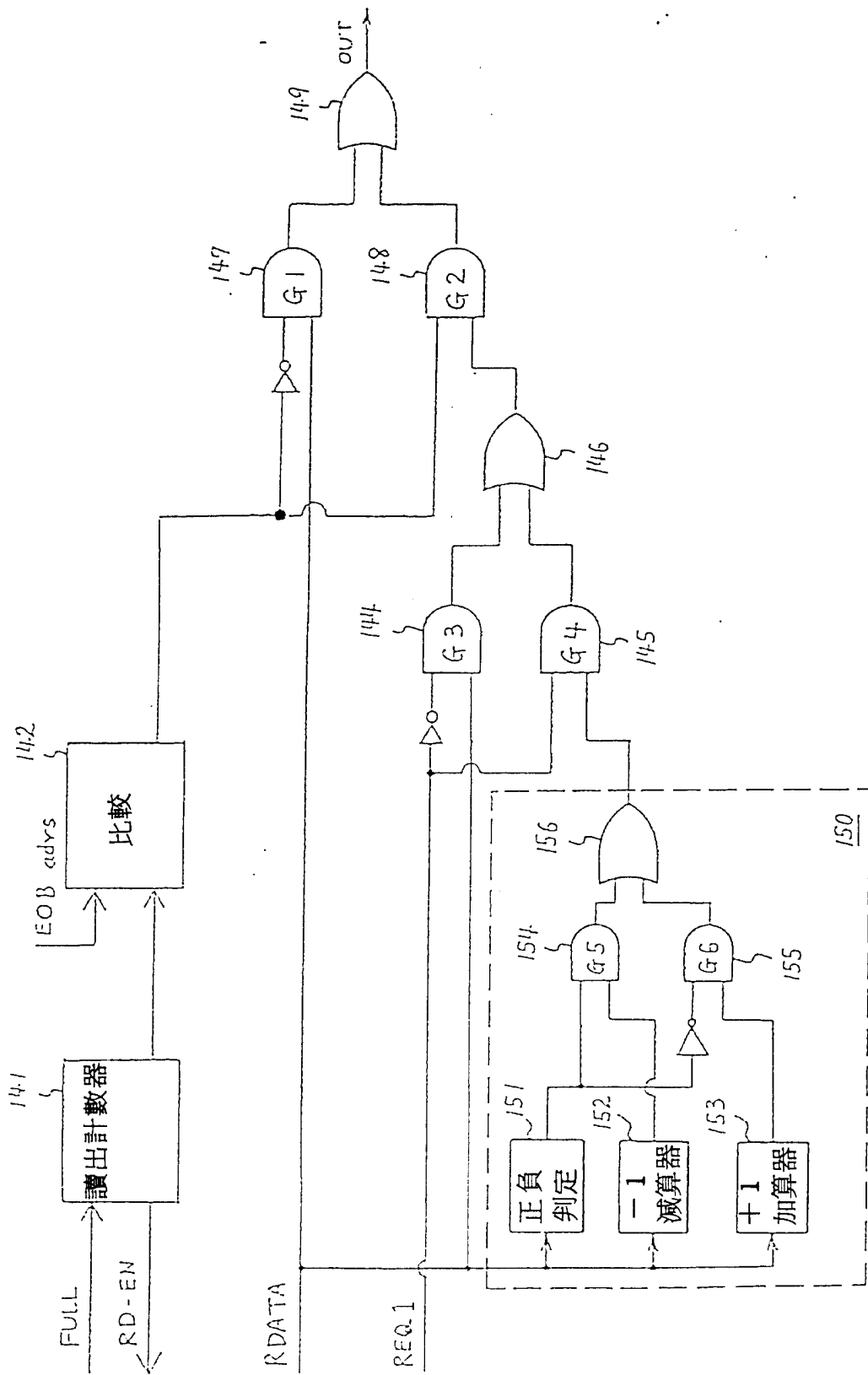
第15圖



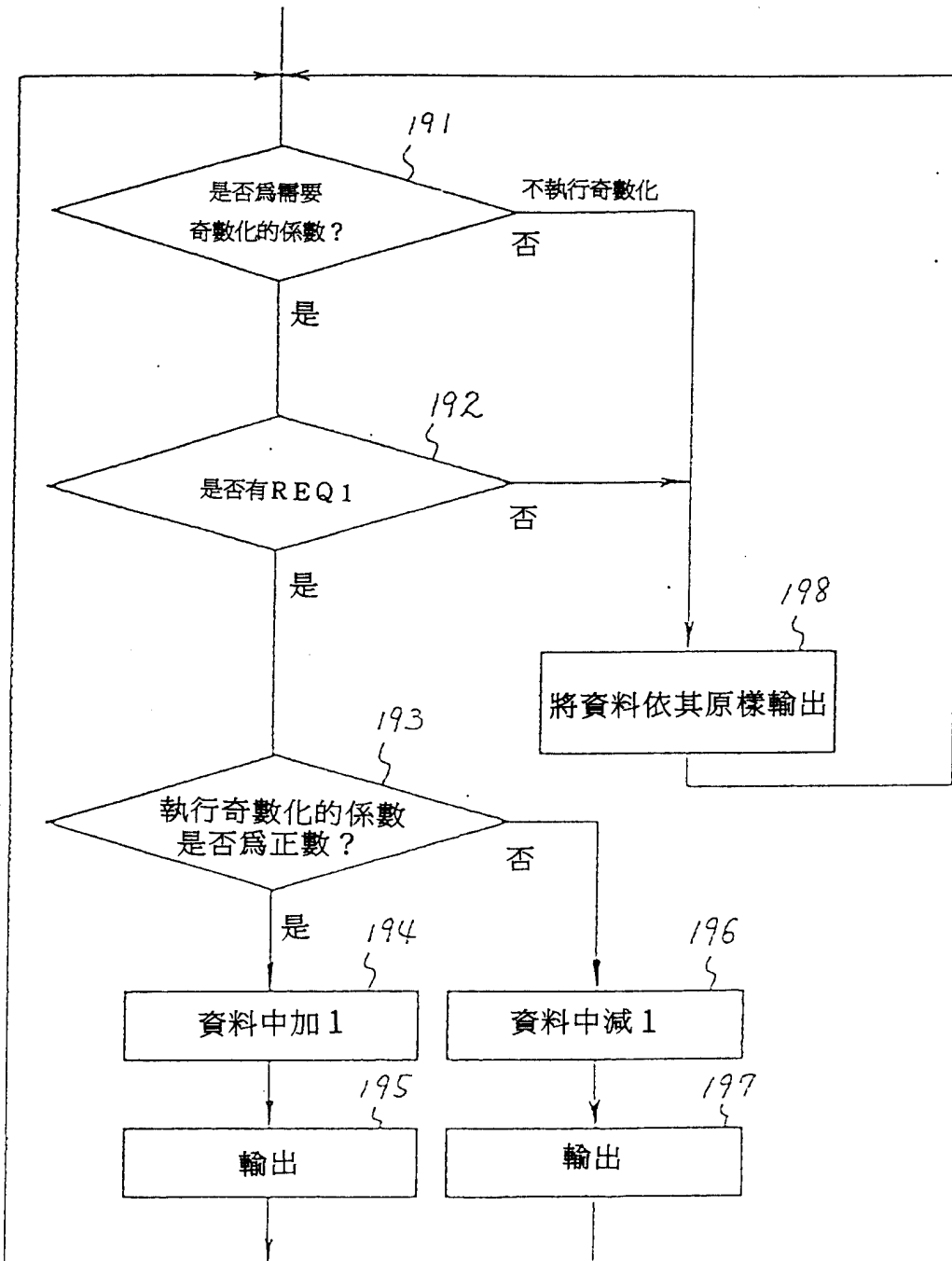
第16圖



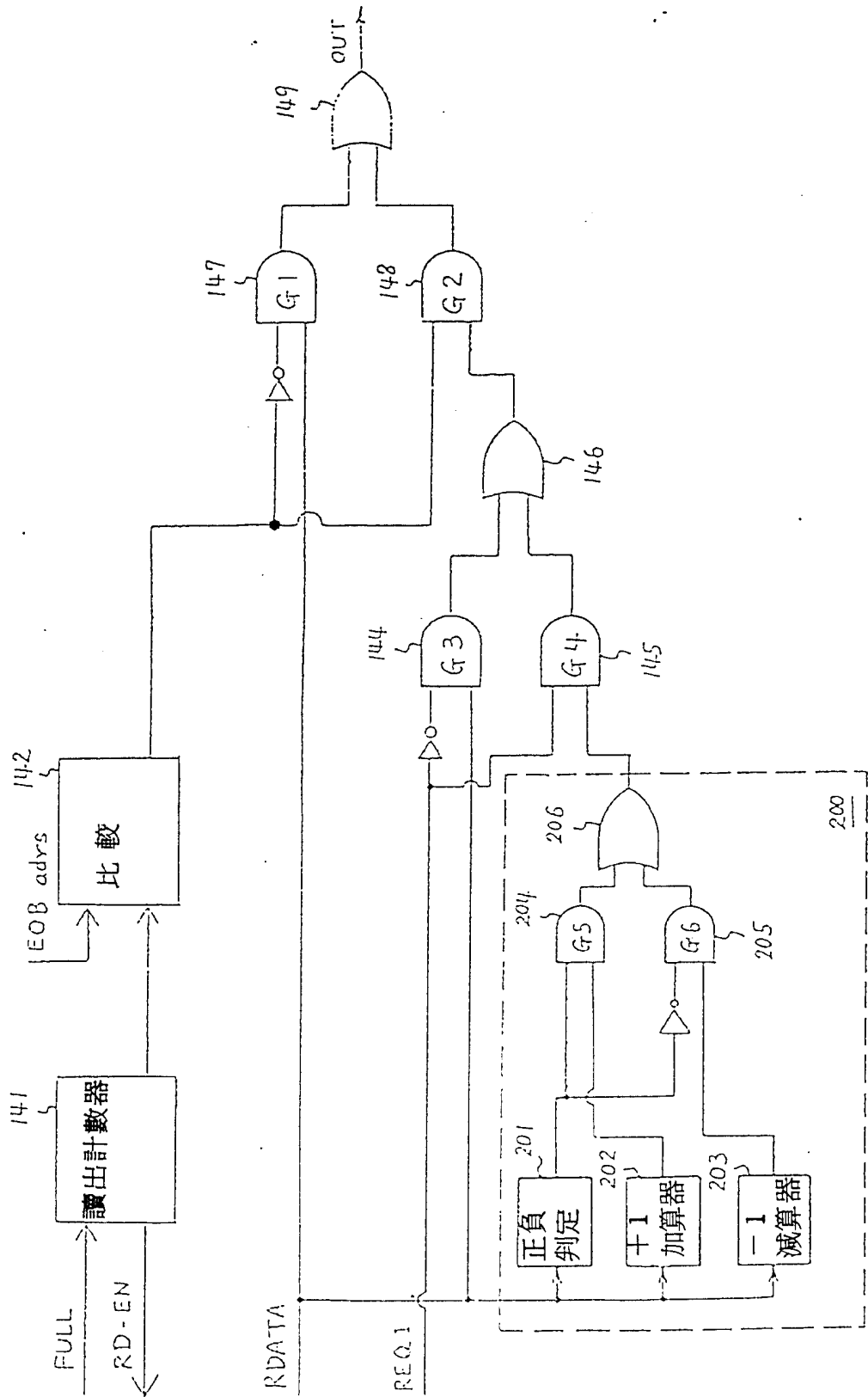
第17圖



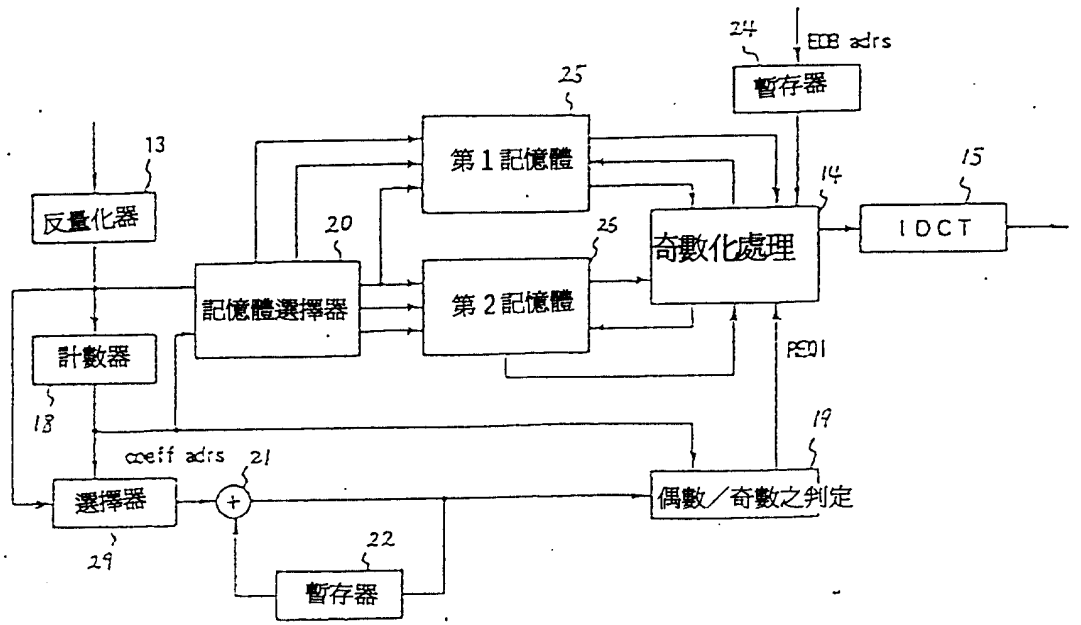
第18圖



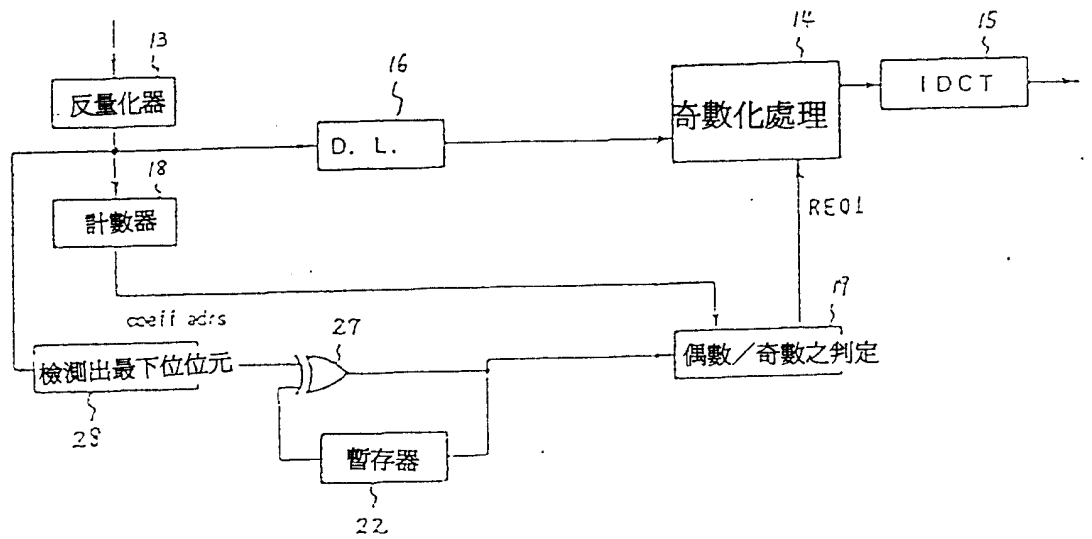
第19圖



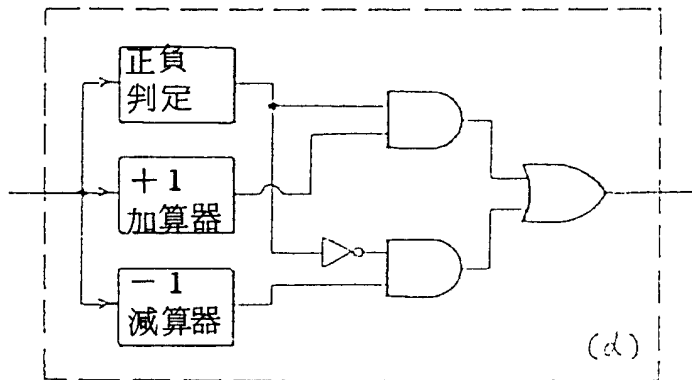
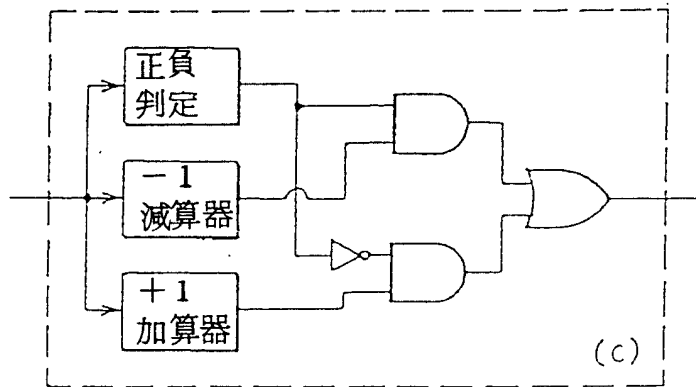
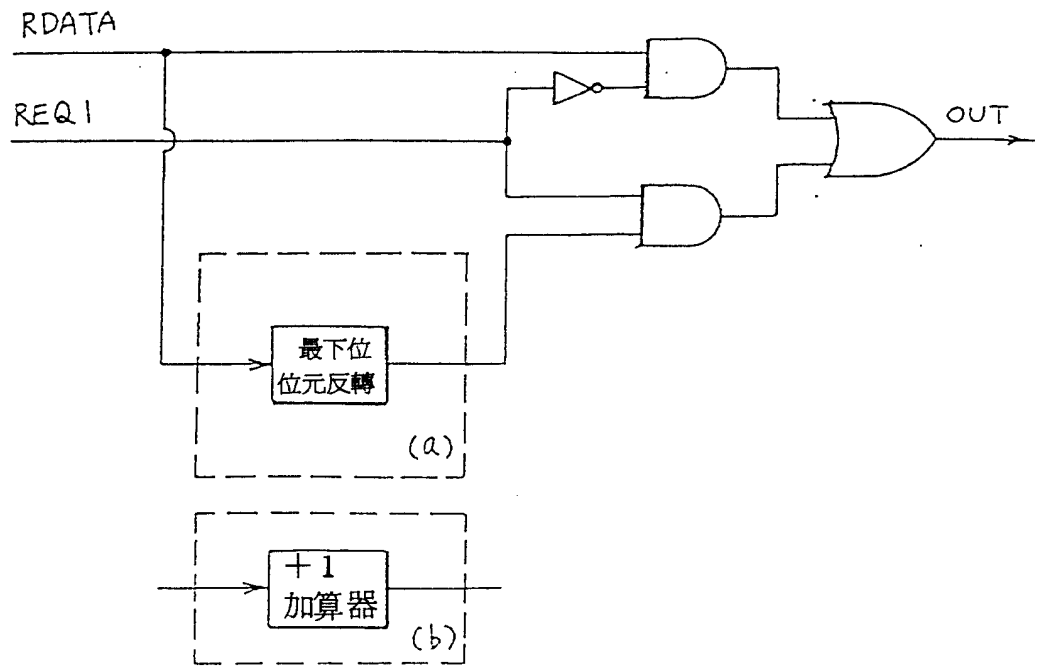
第20圖



第21圖

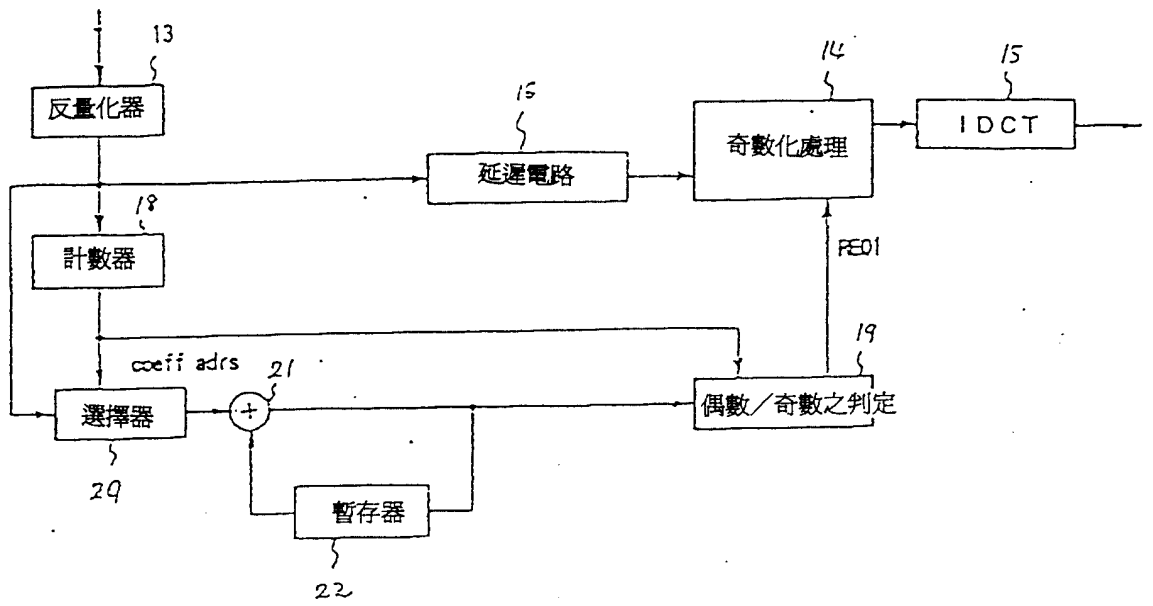


第22圖



第 23 圖

224553



第24圖