

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5496548号
(P5496548)

(45) 発行日 平成26年5月21日(2014.5.21)

(24) 登録日 平成26年3月14日(2014.3.14)

(51) Int. Cl.	F I
G06F 13/32 (2006.01)	G06F 13/32
G06F 13/28 (2006.01)	G06F 13/28 310P
H04N 5/76 (2006.01)	H04N 5/76 A
H04N 7/173 (2011.01)	H04N 7/173 630
H04B 1/16 (2006.01)	H04B 1/16 Z

請求項の数 9 (全 37 頁)

(21) 出願番号	特願2009-130939 (P2009-130939)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成21年5月29日(2009.5.29)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2010-277434 (P2010-277434A)	(74) 代理人	100089071 弁理士 玉村 静世
(43) 公開日	平成22年12月9日(2010.12.9)	(72) 発明者	阿部 博茂 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
審査請求日	平成24年2月27日(2012.2.27)	(72) 発明者	望月 勇 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
		(72) 発明者	水谷 美加 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

受信インターフェースと、メモリインターフェースと、データ転送ユニットと、処理ユニットとを具備する半導体集積回路であって、

前記受信インターフェースは、複数の受信パケットデータを逐次に蓄積可能なバッファと、計数動作を行うタイマとを含むものであり、

前記メモリインターフェースは、外部メモリと接続可能とされており、

前記データ転送ユニットは、前記バッファに蓄積される前記複数の受信パケットデータを、前記メモリインターフェースに接続される前記外部メモリに転送可能とされており、

前記処理ユニットは、前記外部メモリに転送され格納される前記複数の受信パケットデータを処理可能とされており、

前記データ転送ユニットが所定のパケット数の前記複数の受信パケットデータの前記バッファから前記外部メモリへのデータ転送を完了すると、前記データ転送ユニットはデータ転送完了割り込みを前記処理ユニットに通知可能とされており、

前記データ転送ユニットからの前記データ転送完了割り込みの発生にตอบสนองして、前記処理ユニットは前記外部メモリに格納された前記複数の受信パケットデータの第1処理を開始可能とされたものであり、

前記受信インターフェースへの前記複数の受信パケットデータの受信中断により、前記タイマは前記計数動作を実行するものであり、

前記受信中断による前記計数動作による所定のカウント時間の間に前記所定のパケット

10

20

数を有した前記複数の受信パケットデータの前記データ転送が未完了の場合には、前記タイマはタイマ割り込みを前記処理ユニットに通知可能とされており、

前記タイマからの前記タイマ割り込みの発生にตอบสนองして、前記処理ユニットは前記受信中断の前に前記外部メモリに格納された受信パケットデータの第2処理を開始可能とされたものであり、

前記受信インターフェースは、前記データ転送ユニットによる前記外部メモリに転送済みの受信パケットデータの転送パケット数を格納するパケットカウンタ更に含むものであり、

前記データ転送完了割り込みの前記発生にตอบสนองして前記処理ユニットが前記外部メモリに格納された前記複数の受信パケットデータの前記第1処理を開始する以前に、前記処理ユニットは前記パケットカウンタから前記転送パケット数を取得可能とされたものであり、

10

前記タイマ割り込みの前記発生にตอบสนองして、前記処理ユニットが前記受信中断の前に前記外部メモリに格納された前記受信パケットデータの前記第2処理を開始する以前に、前記処理ユニットは前記パケットカウンタから前記転送パケット数を取得可能とされたものであり、

前記処理ユニットによる前記パケットカウンタからの前記転送パケット数の取得の後に、前記パケットカウンタの値はゼロにリセットされるものであり、

前記受信中断の後の受信再開後に、前記パケットカウンタは前記データ転送ユニットにより前記外部メモリに転送再開される再開受信パケットデータの転送再開パケット数を格納するものであり、

20

前記受信中断の前に前記外部メモリに格納された前記受信パケットデータの前記転送パケット数を、前記タイマ割り込みの前記発生にตอบสนองして、前記処理ユニットが前記パケットカウンタから取得した後に、前記データ転送完了割り込みの前記発生が生じるものであり、

前記タイマ割り込みの前記発生にตอบสนองして前記処理ユニットが前記パケットカウンタから取得した前記転送パケット数の大きさに従って、前記外部メモリに格納された前記受信パケットデータの前記タイマ割り込みの前記発生にตอบสนองする前記第2処理もしくは前記外部メモリに格納された前記複数の受信パケットデータの前記データ転送完了割り込みの前記発生にตอบสนองする前記第1処理のいずれかの処理の実行が省略され、

30

前記タイマ割り込みの前記発生にตอบสนองして前記処理ユニットが前記パケットカウンタから取得した前記転送パケット数が前記所定のパケット数よりも小さい場合には、前記受信中断の前に前記外部メモリに格納された前記受信パケットデータの前記タイマ割り込みの前記発生にตอบสนองする前記第2処理の実行が省略される一方、前記外部メモリに格納された前記複数の受信パケットデータの前記データ転送完了割り込みの前記発生にตอบสนองする前記第1処理が実行されるものであり、

前記タイマ割り込みの前記発生にตอบสนองして前記処理ユニットが前記パケットカウンタから取得した前記転送パケット数が前記所定のパケット数と等しい場合には、前記受信中断の前および前記受信再開後に前記外部メモリに格納された前記受信パケットデータの前記タイマ割り込みの前記発生にตอบสนองする前記第2処理が実行される一方、前記外部メモリに格納された前記複数の受信パケットデータの前記データ転送完了割り込みの前記発生にตอบสนองする前記第1処理の実行が省略されることを特徴とする半導体集積回路。

40

【請求項2】

前記処理ユニットは中央処理ユニットを含み、前記データ転送ユニットはダイレクトメモリアクセスコントローラである請求項1に記載の半導体集積回路。

【請求項3】

前記受信インターフェースは、MPEGのトランスポートストリームの形態である複数の受信パケットデータを受信可能とされている請求項2に記載の半導体集積回路。

【請求項4】

前記処理ユニットの前記中央処理ユニットは前記MPEGのトランスポートストリーム

50

の形態で前記外部メモリに格納された前記複数の受信パケットデータをデマルチプレックスの処理によって映像および音声のエレメンタリー・ストリームに分離するものである請求項 3 に記載の半導体集積回路。

【請求項 5】

前記処理ユニットは、MPEG デコーダと、表示制御装置と、音声出力制御部とを更に含み、

前記中央処理ユニットによって分離された前記映像および音声のエレメンタリー・ストリームは、前記 MPEG デコーダによって映像再生信号と音声再生信号とに復号化され、

前記映像再生信号の出力同期が前記表示制御装置で実行され、前記音声再生信号の出力同期が前記音声出力制御部で実行されるものである請求項 4 に記載の半導体集積回路。

10

【請求項 6】

前記データ転送完了割り込みの優先度は前記タイマ割り込みの優先度よりも高く設定されたものである請求項 1 乃至請求項 5 のいずれかに記載の半導体集積回路。

【請求項 7】

入力インターフェースと、第 1 処理ユニットと、第 2 処理ユニットとを具備する半導体集積回路であって、

前記入力インターフェースは、複数の入力パケットデータを逐次に蓄積可能なバッファと、計数動作を行うタイマとを含むものであり、

前記第 1 処理ユニットは前記バッファに蓄積される前記複数の入力パケットデータを処理可能とされ、前記第 2 処理ユニットは前記第 1 処理ユニットの処理結果を処理可能とされてあり、

20

前記第 1 処理ユニットが所定のパケット数の前記複数の入力パケットデータを前記バッファから読み出して、前記第 1 処理ユニットが読み出しデータの第 1 処理を完了すると、前記第 1 処理ユニットは第 1 処理完了割り込みを前記第 2 処理ユニットに通知可能とされてあり、

前記第 1 処理ユニットからの前記第 1 処理完了割り込みの発生にตอบสนองして、前記第 2 処理ユニットは前記第 1 処理ユニットの前記処理結果の第 2 処理を開始可能とされたものであり、

前記入力インターフェースへの前記複数の入力パケットデータの入力中断により、前記タイマは前記計数動作を実行するものであり、

30

前記入力中断による前記計数動作による所定のカウント時間の間に前記所定のパケット数を有した前記複数の入力パケットデータの前記第 1 処理が未完了の場合には、前記タイマはタイマ割り込みを前記第 2 処理ユニットに通知可能とされてあり、

前記タイマからの前記タイマ割り込みの発生にตอบสนองして、前記第 2 処理ユニットは前記入力中断の前に前記第 1 処理ユニットによって前記第 1 処理に関して処理された処理済みデータの第 3 処理を開始可能とされたものであり、

前記入力インターフェースは、前記第 1 処理ユニットによって前記第 1 処理に関して処理された処理済みデータの処理済みパケット数を格納するパケットカウンタを更に含むものであり、

前記第 1 処理完了割り込みの前記発生にตอบสนองして前記第 2 処理ユニットが前記第 2 処理を開始する以前に、前記第 2 処理ユニットは前記パケットカウンタから前記処理済みパケット数を取得可能とされたものであり、

40

前記タイマ割り込みの前記発生にตอบสนองして、前記第 2 処理ユニットが前記入力中断の前に前記第 2 処理ユニットが前記第 3 処理を開始する前に前記第 1 処理ユニットによって処理された前記処理済みデータの処理済みパケット数を前記パケットカウンタから取得可能とされたものであり、

前記第 2 処理ユニットによる前記パケットカウンタからの前記処理済みパケット数の取得の後に、前記パケットカウンタの値はゼロにリセットされるものであり、

前記入力中断の後の入力再開後に、前記パケットカウンタは入力再開される再開入力パケットデータの入力再開パケット数を格納するものであり、

50

前記タイマ割り込みの前記発生に応答して、前記入力中断の前に入力された前記入力パケットデータの前記パケット数を、前記第2処理ユニットが前記パケットカウンタから取得した後に、前記第1処理完了割り込みの前記発生が生じるものであり、

前記タイマ割り込みの前記発生に応答して前記第2処理ユニットが前記パケットカウンタから取得した前記処理済みパケット数の大きさに従って、前記第1処理ユニットによって処理された前記処理済みデータの前記第2処理ユニットによる前記タイマ割り込みの前記発生に応答する前記第3処理もしくは前記第1処理ユニットによって処理された前記処理済みデータの前記第2処理ユニットによる前記第1処理完了割り込みの前記発生に応答する前記第2処理のいずれかの処理の実行が省略され、

前記タイマ割り込みの前記発生に応答して前記第2処理ユニットが前記パケットカウンタから取得した前記処理済みパケット数が前記所定のパケット数よりも小さい場合には、前記入力中断の前に前記第1処理ユニットによって処理された前記処理済みデータの前記第2処理ユニットによる前記タイマ割り込みの前記発生に応答する前記第3処理の実行が省略される一方、前記第1処理ユニットによって処理された前記処理済みデータの前記第2処理ユニットによる前記第1処理完了割り込みの前記発生に応答する前記第2処理が実行されるものであり、

前記タイマ割り込みの前記発生に応答して前記第2処理ユニットが前記パケットカウンタから取得した前記処理済みパケット数が前記所定のパケット数と等しい場合には、前記入力中断の前および前記入力再開後に前記第1処理ユニットによって処理された前記処理済みデータの前記第2処理ユニットによる前記タイマ割り込みの前記発生に応答する前記第3処理が実行される一方、前記第1処理ユニットによって処理された前記処理済みデータの前記第2処理ユニットによる前記第1処理完了割り込みの前記発生に応答する前記第2処理の実行が省略されることを特徴とする半導体集積回路。

【請求項8】

前記第2処理ユニットは中央処理ユニットを含み、前記第1処理ユニットは他の処理ユニットを含むものである請求項7に記載の半導体集積回路。

ひ

【請求項9】

前記第1処理完了割り込みの優先度は前記タイマ割り込みの優先度よりも高く設定されたものである請求項7乃至請求項8のいずれかに記載の半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路に関し、特に複数の割り込み要因に対する処理での重複処理の矛盾を解消する際の負担を軽減するのに有効な技術に関するものである。

【背景技術】

【0002】

2006年4月1日、日本国内で移動端末等を主たる対象とした地上デジタルテレビ放送の1セグメント部分受信サービス「ワンセグ」が開始された。ワンセグでは、地上デジタルテレビ放送の13チャンネル～62チャンネルまでの物理チャンネルの1チャンネル当たりの周波数帯域6MHzを13セグメントに分割した1つのセグメントを使用して放送することで、情報量を必要最小限に制限している。従って、移動端末等の情報処理能力が比較的小さな端末でも、適切な受信が可能とされる。特徴としては、映像、音声以外にデータ放送を同時に受信可能なものである。

【0003】

ISDB-Tmmと呼ばれる次世代ワンセグ放送は、ワンセグよりも、高画質・高音質のストリーム放送だけでなく、映像コンテンツのダウンロード・サービス等の新しいサービスの実現を目指している。尚、ISDB-Tmmは、Integrated Service Digital Broadcasting-Terrestrial for mobile multimediaの略である。

【0004】

10

20

30

40

50

移動端末向けの地上デジタル・テレビ放送では、動画像符号化の国際規格 M P E G - 2 に準拠したトランスポートストリーム T S (Transport Stream) が使用されて、この M P E G - 2 に準拠したトランスポートストリーム T S の 1 つのパケットは 1 8 8 バイトのビットストリームデータによって構成される。

【 0 0 0 5 】

一方、下記特許文献 1 には、携帯電話機に搭載されて、デジタル・テレビ放送を受信するデジタル・テレビチューナーから出力される M P E G 2 - トランスポートストリーム (以下、M P E G 2 - T S とする) を処理するアプリケーション C P U が記載されている。アプリケーション C P U 外部には記憶部が接続可能とされ、アプリケーション C P U 内部に C P U コアに代わって外部の記憶部と内部の制御部との間のデータ転送を実行する D M A C が含まれている。尚、D M A C は、ダイレクトメモリアクセスコントローラ (Direct Memory Access Controller) の略である。D M A C は設定されたデータ量のデータ転送が完了すると D M A C 転送完了割り込みを C P U コアに供給して、この D M A C 転送完了割り込みに応答して C P U コアは内部の制御部の処理を開始するものである。

10

【先行技術文献】

【特許文献】

【 0 0 0 6 】

【特許文献 1】特開 2 0 0 7 - 2 0 1 9 8 3 号 公報

【発明の概要】

【発明が解決しようとする課題】

20

【 0 0 0 7 】

本発明者等は、本発明に先立って、上述した I S D B - T m m と呼ばれる次世代ワンセグ放送を受信可能な携帯電話機端末に搭載されるアプリケーションプロセッサと呼ばれる半導体集積回路の開発に従事した。

【 0 0 0 8 】

この I S D B - T m m と呼ばれる次世代ワンセグ放送では、映像コンテンツのダウンロード・サービスに対応することが必要なことから、標準ワンセグ放送と比較して、次世代ワンセグ放送の M P E G 2 - T S のビットレートが非常に高くなることが予想された。

【 0 0 0 9 】

一方、本発明に先立った開発において本発明者等によって検討されたアプリケーションプロセッサでも、上記特許文献 1 に記載のように、ダイレクトメモリアクセスコントローラ (D M A C) の内蔵が検討された。この内蔵 D M A C は、外部デジタルテレビチューナーと外部メモリとの間のデータ転送を内蔵 C P U の低い負荷状態で実行するものである。M P E G 2 - T S の 1 つのパケットの外部デジタルテレビチューナーから外部メモリへのデータ転送が完了した時点で、D M A C 転送完了割り込みをダイレクトメモリアクセスコントローラ (D M A C) が内蔵 C P U に供給するものである。

30

【 0 0 1 0 】

一方、標準ワンセグ放送と比較して次世代ワンセグ放送の M P E G 2 - T S のビットレートが非常に高くなることによって、次世代ワンセグ放送の受信時でのアプリケーションプロセッサの内蔵 D M A C から内蔵 C P U への D M A C 転送完了割り込み間隔が短くなり、内蔵 C P U の負荷が増加すると言う問題が本発明者等による検討によって明らかとされた。

40

【 0 0 1 1 】

標準ワンセグ放送の M P E G 2 - T S の最大ビットレートが 6 2 4 k b p s の場合に M P E G 2 - T S の 1 つのパケットのデータ転送の完了の時点で D M A C 転送完了割り込みを発生すると想定すると、D M A C 転送完了割り込み間隔は、2 . 4 m s e c となる。それに対して、I S D B - T m m の次世代ワンセグ放送の最大ビットレートが 7 M b p s の場合に M P E G 2 - T S の 1 つのパケットのデータ転送の完了の時点で D M A C 転送完了割り込みを発生すると想定すると、D M A C 転送完了割り込み間隔は、2 1 4 μ s e c と短くなるものである。

50

【 0 0 1 2 】

図 1 は、本発明に先立って本発明者等によって検討されたアプリケーションプロセッサの構成を示す図である。

【 0 0 1 3 】

図 1 に示したアプリケーションプロセッサ 1 は、トランスポートストリームインターフェース(以下、T S I F と言う) 1 1、ダイレクトメモリアクセスコントローラ(以下、D M A C と言う) 1 2、中央処理ユニット(以下、C P U と言う) 1 3、液晶表示(以下、L C D と言う)制御部 1 4、データバス 1 5 を含んでいる。更に、アプリケーションプロセッサ 1 は、タイマ 1 6、メモリアンターフェース 1 7、M P E G デコーダ 1 8、音声出力制御部 1 9 を含んでいる。

10

【 0 0 1 4 】

携帯電話端末に搭載されるデジタルテレビアンテナ 2 によって I S D B - T m m の次世代ワンセグ放送が受信され、外部デジタルテレビチューナー 3 の出力端子からアプリケーションプロセッサ 1 の T S I F 1 1 の入力端子に M P E G 2 - T S のパケットデータが供給される。外部のシステムクロック発生器 4 から T S I F 1 1 に、基準クロックとしてのシステムクロック信号が供給される。

【 0 0 1 5 】

T S I F 1 1 に供給された M P E G 2 - T S のパケットデータは、内蔵 D M A C 1 2 によって実行される D M A 転送によってデータバス 1 5 とメモリアンターフェース 1 7 とを介して外部のメモリ 7 に転送される。外部メモリ 7 としては、高速・大容量の同期 D R A M が使用可能である。

20

【 0 0 1 6 】

内蔵 C P U 1 3 は、アプリケーションプロセッサ 1 の内部動作の制御を実行する。内蔵 C P U 1 3 によるデマルチプレックス(D E M U X)処理の制御によって、外部メモリ 7 に蓄積された M P E G 2 - T S のパケットデータは、映像エレメンタリー・ストリームと音声エレメンタリー・ストリームとに分離される。分離された映像エレメンタリー・ストリームと音声エレメンタリー・ストリームとは、M P E G デコーダ 1 8 によって映像再生信号と音声再生信号とに復号化される。映像再生信号の出力同期が L C D 制御部 1 4 で実行され、音声再生信号の出力同期が音声出力制御部 1 9 で実行され、外部の液晶表示装置(以下、L C D と言う) 5 と外部のスピーカ 6 とによって映像表示と音声出力とが可能となる。

30

【 0 0 1 7 】

図 2 は、図 1 に示したアプリケーションプロセッサ 1 に含まれるトランスポートストリームインターフェース(T S I F) 1 1 の構成を示す図である。

【 0 0 1 8 】

図 2 に示す T S I F 1 1 は、タイムスタンプ付加部 1 1 0 と、T S (トランスポートストリーム)バッファ 1 1 1 と、D M A C 制御部 1 1 2 によって構成されている。

【 0 0 1 9 】

タイムスタンプ付加部 1 1 0 は、外部デジタルテレビチューナー 3 の出力端子から供給される M P E G 2 - T S のパケットデータに外部のシステムクロック発生器 4 から供給される基準クロックとしてのシステムクロック信号から生成したタイムスタンプを付加するものである。タイムスタンプ付加部 1 1 0 の出力から生成されるタイムスタンプが付加された M P E G 2 - T S は T S バッファ 1 1 1 に一時的に蓄積された後に D M A C 制御部 1 1 2 に供給されて、D M A C 制御部 1 1 2 は T S バッファ 1 1 1 での M P E G 2 - T S のデータ蓄積量によって D M A C 1 2 に D M A C 転送要求を出力するように構成されている。尚、デジタルテレビ放送のデータフォーマットとして使用されている M P E G 2 - T S は、1 パケットが 1 8 8 バイトで構成されている。タイムスタンプ付加部 1 1 0 は 1 8 8 バイトで構成された 1 パケットの M P E G 2 - T S を受信すると、4 バイトのタイムスタンプ情報を 1 パケットの M P E G 2 - T S に付加して 1 9 2 バイトのタイムスタンプトランスポートストリーム(T T S : Timestamp Transport Stream)を生成する。

40

50

【0020】

TSバッファ111は、タイムスタンプ付加部110で生成されたタイムスタンプトランスポートストリーム(TTS)を蓄積するために小容量メモリで構成される。例えば、TSバッファ111は、192バイトの2面の内蔵RAM、もしくは192バイトの4面の内蔵RAMによって構成されることが可能である。

【0021】

DMAC制御部112は、TSバッファ111におけるMPEG2-TSのデータ蓄積量によりDMAC12にDMAC転送要求を出力するように構成されている。例えば、192バイトで構成された1パケットのタイムスタンプトランスポートストリーム(TTS)がTSバッファ111に蓄積されると、DMAC制御部112はDMAC12にDMAC

10

【0022】

ところで、携帯電話機端末によってISDB-Tmm等の次世代ワンセグ放送を受信する場合には、電波状態が変化するので、電波の受信可能な状態(強電界)と電波の受信不可能な状態(弱電界)が生じることがある。携帯電話機端末が次世代ワンセグ放送のMPEG2-TSを逐次的に受信していれば、TSバッファ111が空になることはないが、弱電界になるとMPEG2-TSを受信できずにTSバッファ111が空となる可能性が高い。

【0023】

図3は、図1に示したアプリケーションプロセッサ1の内部でのMPEG2-トランスポートストリーム(MPEG2-TS)の流れを説明する図である。

20

【0024】

外部デジタルテレビチューナー3にて受信されたMPEG2-TSはフロー(1)によってTSIF11に供給されて、フロー(2)によってTSIF11からDMAC12にDMA転送されて、フロー(3)によってDMAC12から外部メモリ7にDMA転送されるものである。

【0025】

図4は、図3に示したMPEG2-TSの流れを図1に示したアプリケーションプロセッサ1の外部デジタルテレビチューナー3、TSIF11、DMAC12、外部メモリ7の各点で観測した図である。

30

【0026】

外部デジタルテレビチューナー3で受信されたMPEG2-TSは1パケット188バイトの構成であり、フロー(1)によりチューナー3からTSIF11に供給される。

【0027】

TSIF11では1パケット188バイトの構成のMPEG2-TSに4バイトのタイムスタンプ情報が付加されて、192バイトのタイムスタンプトランスポートストリーム(TTS)が生成されて、フロー(2)によってTSIF11からDMAC12にDMA転送される。

【0028】

DMAC12に供給されたタイムスタンプトランスポートストリーム(TTS)は、フロー(3)によって外部メモリ7にDMA転送される。

40

【0029】

図4に示したMPEG2-TSの流れを形成するフロー(1)とフロー(2)とフロー(3)とは、パイプラインデータ転送処理フローとなっている。すなわち、外部デジタルテレビチューナー3、TSIF11、DMAC12、外部メモリ7の各処理部は、1パケットのデータ受信処理の後に次の処理部へ1パケットのデータ送信処理を実行する。従って、弱電界等の理由によりTSIF11がMPEG2-TSを受信できなければ、TSIF11からDMAC12にDMA転送によってデータが転送されることはない。

【0030】

図5は、図1に示したアプリケーションプロセッサ1の内部のMPEG2-TSの流れ

50

の制御を説明する図である。

【 0 0 3 1 】

最初の(1)DMA設定では、DMAC12がTSIF11から外部メモリ7にDMA転送されるデータのバイト数をCPU13のDMA制御処理部131がDMAC12に設定するものである。

【 0 0 3 2 】

次に(2)DMA転送要求では、TSIF11から外部メモリ7へのDMA転送をTSIF11がDMAC12に要求するための信号が生成される。

【 0 0 3 3 】

最後の(3)DMA転送完了割り込みでは、上述の(1)DMA設定にて設定されたバイト数分のDMA転送が完了すると、DMAC12はCPU13のDMA制御処理部131にDMA転送完了を通知して、CPU13への割り込みが開始される。

10

【 0 0 3 4 】

図6は、強電界の場合でのMPEG2-TSの流れの制御を図1に示したアプリケーションプロセッサ1のTSIF11、DMAC12、CPU13、外部メモリ7の各点で詳細に観測した図である。

【 0 0 3 5 】

最初にCPU13のDMA制御処理部131は、DMAC12に上述の(1)DMA設定を実行する。すると、DMAC12は、TSIF11からのDMA転送要求を待っている状態となる。

20

【 0 0 3 6 】

次に、TSIF11のTSバッファ111へのMPEG2-TSの最初のパケットP1の受信が完了すると、TSIF11はDMAC12に(2)DMA転送要求を出力する。

【 0 0 3 7 】

次に、DMAC12は上述の(2)DMA転送要求にตอบสนองしてTSIF11のTSバッファ111に一時的に格納された最初のパケットP1を読み出して、外部メモリ7へのDMA転送を実行する。

【 0 0 3 8 】

次に、DMAC12はCPU13のDMA制御処理部131に上述の(3)DMA転送完了割り込みを通知して、このDMA転送完了割り込みの通知にตอบสนองしてCPU13のTS解析データ処理部132はトランスポートストリーム解析とデータ処理とによる(4)デコード処理を実行する。

30

【 0 0 3 9 】

このようにして2番目のパケットP2から5番目のパケットP5までのMPEG2-TSに関して、TSIF11のTSバッファ111へのパケット受信とパケット読み出しとDMAC12による外部メモリ7へのDMA転送とによって上述の(1)DMA設定で設定されたサイズのバイト数のDMA転送データの転送が完了する。更に2番目のパケットP2から5番目のパケットP5までのMPEG2-TSに関して、CPU13によるデコード処理も完了する。また更にMPEG2-TSの後続のパケットP6~P10に関しても、上述と同様な処理が繰り返される。

40

【 0 0 4 0 】

図7は、弱電界の場合でのMPEG2-TSの流れの制御を図1に示したアプリケーションプロセッサ1のTSIF11、DMAC12、CPU13、外部メモリ7の各点で詳細に観測した図である。

【 0 0 4 1 】

図7では、弱電界の前の強電界の間に図6と同様に1番目のパケットP1から3番目のパケットP3までのMPEG2-TSに関して、TSIF11のTSバッファ111へのパケット受信とパケット読み出しとDMAC12による外部メモリ7へのDMA転送が完了する。

【 0 0 4 2 】

50

すなわち、図7でも図6と同様に、最初にCPU13のDMA制御処理部131は、DMAC12に上述の(1)DMA設定を実行する。するとDMAC12は、TSIF11からのDMAC転送要求を待っている状態となる。次に、TSIF11のTSバッファ111へのMPEG2-TSの最初のパケットP1の受信が完了すると、TSIF11はDMAC12に(2)DMA転送要求を出力する。

【0043】

次に図7でも、DMAC12は上述の(2)DMA転送要求に回答してTSIF11のTSバッファ111に一時的に格納された最初のパケットP1を読み出して、外部メモリ7へのDMA転送を実行する。次に、DMAC12はCPU13のDMA制御処理部131に上述の(3)DMA転送完了割り込みを通知するので、この割り込の通知に回答してCPU13のTS解析データ処理部132はトランスポートストリーム解析とデータ処理とによる(4)デコード処理を実行する。

10

【0044】

このようにして2番目のパケットP2から3番目のパケットP3までのMPEG2-TSに関して、TSIF11のTSバッファ111へのパケット受信とパケット読み出しとDMAC12による外部メモリ7へのDMA転送によって上述の(1)DMA設定で設定されたサイズのバイト数のDMA転送データの転送が完了する。更に2番目のパケットP2から3番目のパケットP3までのMPEG2-TSに関して、CPU13によるデコード処理も完了する。

【0045】

20

しかし、図7の弱電界では、4番目のパケットP4から8番目のパケットP8までのMPEG2-TSは受信されない。従って、この弱電界の期間では、TSIF11はDMAC12に(2)DMA転送要求を出力することができない。

【0046】

その後、弱電界から強電界に復帰して、9番目のパケットP9以降のMPEG2-TSのパケットの受信を開始すると、TSIF11はDMAC12に(2)DMA転送要求の出力を再開する。その結果、(2)DMA転送要求にDMAC12は回答してTSIF11のTSバッファ111に一時的に格納された9番目のパケットP1を読み出して、外部メモリ7へのDMA転送を実行する。

【0047】

30

すると、DMAC12はCPU13のDMA制御処理部131に(3)DMA転送完了割り込みを通知するので、この割り込の通知に回答してCPU13のTS解析データ処理部132はトランスポートストリーム解析とデータ処理とによる(4)デコード処理を実行する。

【0048】

このようにして、9番目のパケットP9から10番目のパケットP10までのMPEG2-TSに関して、TSIF11のTSバッファ111へのパケット受信とパケット読み出しとDMAC12による外部メモリ7へのDMA転送とCPU13によるデコード処理が実行される。それによって、上述の(1)DMA設定で設定された合計5パケット分のサイズのバイト数のDMA転送データの転送とデコード処理が完了する。

40

【0049】

しかし、図6および図7のパケット処理フローによって標準ワンセグ放送と比較してビットレートが非常に高い次世代ワンセグ放送のMPEG2-TSを受信して処理する場合には、上述の(2)DMAC転送完了割り込み間隔が短くなるという問題が本発明者等の検討によって明らかとされた。

【0050】

この問題を解決するために、本発明に先立って本発明者等は複数のパケットのDMA転送が完了したタイミングで1回の(3)DMA転送完了割り込みを通知するという複数パケット単位の割り込み通知方式を着想したものである。

【0051】

50

図8は、次世代ワンセグ放送の受信に際して割り込み間隔が短くなるという問題を解決するため複数パケット単位の割り込み通知方式を採用して強電界の場合のMPEG2-TSの流れの制御を図1に示したアプリケーションプロセッサ1の各部で詳細に観測した図である。

【0052】

図8でも図6と同様に、最初にCPU13のDMA制御処理部131は、DMAC12に(1)DMA設定を実行する。この(1)DMA設定では、例えば、5パケット(192バイト×5)のDMA転送データサイズが指定される。すると、DMAC12は、TSIF11からのDMAC転送要求を待っている状態となる。

【0053】

次に、TSIF11のTSバッファ111へのMPEG2-TSの最初のパケットP1の受信が完了すると、TSIF11はDMAC12に(2)DMA転送要求を出力する。更に、DMAC12は上述の(2)DMA転送要求に応答してTSIF11のTSバッファ111に一時的に格納された最初のパケットP1を読み出して、外部メモリ7へのDMA転送を実行する。同様に、TSIF11のTSバッファ111へのMPEG2-TSの2番目のパケットP2、3番目のパケットP3、4番目のパケットP4、5番目のパケットP5の受信がそれぞれ完了すると、各受信完了時点でTSIF11はDMAC12に(2)DMA転送要求をそれぞれ出力する。更にDMAC12は(2)各DMA転送要求に応答してTSIF11のTSバッファ111に一時的に格納された2番目のパケットP2から5番目のパケットP5までのデータを読み出し、外部メモリ7へのDMA転送を実行する。

【0054】

このようにして最初のパケットP1から5番目のパケットP5までのデータ80aのDMAC12によるTSIF11から外部メモリ7へのDMA転送が完了すると、DMAC12はCPU13のDMA制御処理部131に(3)5パケット単位のデータ80aのDMA転送完了割り込みを通知する。するとCPU13のTS解析データ処理部132は、5パケット単位のDMA転送完了割り込みに応答して、5パケット単位のデータ80aのトランスポートストリーム解析とデータ処理とによる(4)デコード処理を実行する。また更に、MPEG2-TSの後続の5パケット単位のパケットP6~P10、P11~P15のデータ80b、80cに関しても、上述と同様な5パケット単位のデータのDMA転送完了割り込みおよび5パケット単位のデータのTS解析とデータ処理とによる(4)デコード処理が繰り返されるものである。

【0055】

図9は、図8に示した複数パケット単位の割り込み通知方式を採用した際に強電界から弱電界に変化する場合のMPEG2-TSの流れの制御を図1に示したアプリケーションプロセッサ1の各部で詳細に観測した図である。

【0056】

図9でも、図8と同様に、最初の5パケット単位のパケットP1~P5までのデータ90aに関して、TSIF11への受信と、DMAC12によるTSIF11から外部メモリ7へのDMA転送と、CPU13によるTS解析とデータ処理とによるデコード処理とが実行される。すなわち、図9でも最初の5パケット単位のパケットP1~P5の各パケットがTSIF11に受信されると、各パケットに関してTSIF11からDMAC12へ(2)DMA転送要求が出力され、各パケットはDMAC12によってTSIF11から外部メモリ7へDMA転送されることができる。その後、DMAC12はCPU13のDMA制御処理部131に(3)5パケット単位のデータ90aのDMA転送完了割り込みを通知するので、5パケット単位のデータのCPU13によるTS解析とデータ処理とによる(4)デコード処理が実行される。

【0057】

また図9では、2番目の5パケット単位のデータ90bの3個のパケットP6~P8までに関して、TSIF11への受信と、DMAC12によるTSIF11から外部メモリ7へのDMA転送とが実行される。それは、TSIF11が各パケット単位の受信によ

10

20

30

40

50

てDMAC12へ(2)DMA転送要求を出力するためである。

【0058】

その後、TSIF11への受信の間に強電界から弱電界に変化するので、データ90bに含まれるパケットP9~P16のMP EG2-TSは、TSIF11によって受信されることができない。従って、この間にはTSIF11がDMAC12へ(2)DMA転送要求を出力できないので、DMAC12は待機状態となる。

【0059】

弱電界から強電界へ復帰すると、データ90bの後続の2個のパケットP17、P18が、TSIF11によって受信されるようになる。従って、受信された2個のパケットP17、P18の各パケットに関してTSIF11からDMAC12へ(2)DMA転送要求が出力され、各パケットはDMAC12によってTSIF11から外部メモリ7へDMA転送されることができる。

10

【0060】

すると、やっとDMAC12はCPU13のDMA制御処理部131に(3)5パケット単位のデータ90bのDMA転送完了割り込みを通知して、弱電界前の3個のパケットP6、P7、P8と弱電界後の2個のパケットP17、P18の合計5パケットの単位のデータのCPU13によるTS解析とデータ処理による(4)デコード処理が開始される。しかし、このデコード処理では、弱電界によって受信が中断された5パケット単位のデータ90bの古い3個のパケットP6~P9のデータは破棄される必要がある。それは、下記のような理由によるものである。

20

【0061】

すなわち、デジタルTV放送受信機では、同期用の番組時刻基準値情報と音声および映像の再生用出力時刻情報とを比較して、受信機の再生動作と放送局の同期が取られるものである。尚、番組時刻基準値情報は、プログラム・クロック・リファレンス(PCR: Program Clock Reference)と呼ばれている。また、音声や映像の再生用出力時刻情報は、プレゼンテーションタイムスタンプ(PTS: Presentation Time Stamp)と呼ばれている。

【0062】

従って、弱電界前の古い3個のパケットP6~P9に番組時刻基準値情報PCRが含まれていた場合には、この古い時刻情報の無視が実行されなければならない。そうでないと、弱電界後の新しい2個のパケットP17、P18に含まれる現在の番組時刻基準値情報PCRに古い時刻情報が反映されて、誤動作の原因となる。例えば、新しい2個のパケットP17、P18に含まれる新しい音声および映像の情報が、弱電界前の古い3個のパケットP6~P9の古い時刻情報の影響によって出力(プレゼンテーション)されない場合も想定される。

30

【0063】

このように、次世代ワンセグ放送の受信で複数パケット単位の割り込み通知方式を採用した場合に弱電界になった際には、弱電界による受信中断前に受信されたパケットの早期のTS解析とデータ処理によるデコード処理を開始する必要があることが本発明者等によって明らかとされた。

40

【0064】

本発明者等は、本発明に先立って受信中断時の受信パケットの早期のTS解析とデータ処理とによるデコード処理の開始を可能とするために、複数パケット単位のDMA転送完了割り込みにタイム割り込みを追加するという着想に至ったものである。

【0065】

図10は、複数パケット単位のDMA転送完了割り込みとタイム割り込みを採用した際に強電界から弱電界に変化する場合のMP EG2-TSの流れの制御を図1に示したアプリケーションプロセッサ1の各部で詳細に観測した図である。

【0066】

図10(A)は(7)タイム割り込みと(3)DMA転送完了割り込みの時間差が比較的大き

50

く、タイマ割り込みによるデコード処理が滞った場合の処理を説明する図であり、図10(B)は(7)タイマ割り込みと(3)DMA転送完了割り込みの時間差が比較的小さな場合の処理を説明する図である。

【0067】

図1に示したアプリケーションプロセッサ1に含まれたタイマ16は、このタイマ割り込みに使用可能とされている。しかし、このタイマ16は、他の計時動作に兼用可能で有ることは言うまでもない。この図1に示されたアプリケーションプロセッサ1に含まれたタイマ16は、タイマ割り込みに関して下記のように制御されるものである。

【0068】

すなわち、図10(A)、(B)に示すように、外部デジタルテレビチューナー3からMP E G 2 - T Sの最初の packets P 1がアプリケーションプロセッサ1のT S I F 1 1にて受信されることによって生成される(2)DMA転送要求に回答して、C P U 1 3のD M A Cタイマ制御部133はタイマ16に(5)タイマ設定に基づく計数動作(タイマ動作)を開始する。例えば、タイマ16はカウンタにより構成されているので、タイマ16はC P U 1 3のD M A Cタイマ制御部133によってタイマ設定されることによって計数動作(タイマ動作)を実行する。この計数動作による所定のカウント時間の間にM P E G 2 - T Sの所定数の複数パケットのD M A C 1 2によるD M A C転送が完了されない場合には、タイマ16はC P U 1 3のD M A Cタイマ制御部133に(7)タイマ割り込みを実行する。この(7)タイマ割り込みに回答して、C P U 1 3は外部メモリ7にD M A C転送済みのパケットの早期のトランスポートストリーム(T S)解析とデータ処理による(4)デコード処理を開始するものである。このタイマ16への(5)タイマ設定に先立って、C P U 1 3のD M A Cタイマ制御部133はD M A C 1 2に(1)DMA設定を実行する。この(1)DMA設定によって、D M A C 1 2による所定の複数パケットのD M A C転送数は割り込み通知の単位である複数パケット、例えば5個のパケット数に設定される。

【0069】

図10(A)、(B)でも、図9と同様に最初の5パケット単位のパケットP 1～P 5のデータ100aに関して、T S I F 1 1への受信、D M A C 1 2によるT S I F 1 1から外部メモリ7へのDMA転送、C P U 1 3によるT S解析とデータ処理による(4)デコード処理が実行される。図10(A)、(B)のこの動作は、図9と全く同様であるので、詳細な説明を省略する。

【0070】

また図10(A)、(B)でも、図9と同様に、2番目の5パケット単位のデータ100bの3個のパケットP 6～P 8に関して、T S I F 1 1への受信とD M A C 1 2によるT S I F 1 1から外部メモリ7へのDMA転送とが実行された後、強電界から弱電界に変化して、データ100bに含まれるパケットP 9～P 16のM P E G 2 - T SがT S I F 1 1によって受信不可能の受信中断状態となる。

【0071】

図9の処理では、この受信中断状態の間には、T S I F 1 1がD M A C 1 2へ(2)DMA転送要求を出力できないので、D M A C 1 2は待機状態となり、強電界へ復帰した後の受信再開にて誤った再生時刻情報が出力され、誤動作の原因となっていた。

【0072】

それに対して図10(A)、(B)の処理では、弱電界による受信中断状態の前に受信された2番目の5パケット単位のデータ100bの1番目のパケットP 6の受信で生成される(2)DMA転送要求に回答した(5)タイマ設定に基づく計数動作(タイマ動作)により、受信中断状態の間にタイマ16による(7)タイマ割り込みが発生する。すなわち、2番目の受信パケットデータ100bと3番目の受信パケットデータ100cとの間の弱電界による受信中断状態の間に、タイマ16の計数動作による所定のカウント時間の間にD M A C 1 2による所定の転送数のD M A C転送が完了されないものである。従って、受信中断状態の間のタイマ16による(7)タイマ割り込みに回答して、C P U 1 3は外部メモリ7にD M A C転送済みの2番目の受信パケットデータ100b中に含まれた3個のパケットP

10

20

30

40

50

6、P7、P8の早期のTS解析とデータ処理による(4)デコード処理を開始するものである。尚、この(4)デコード処理の開始に先立って、CPU13のTS解析データ処理部132は(6)転送パケット数取得を行って、外部メモリ7にDMAC転送済みの2番目の受信パケットデータ100b中に含まれたパケットP6、P7、P8の個数を認識する。

【0073】

図10(A)、(B)でも、図9と同様に弱電界から強電界へ復帰すると、3番目の受信パケットデータ100cの2個のパケットP17、P18がTSIF11によって受信されるようになる。従って、受信された2個のパケットP17、P18の各パケットに関して、TSIF11からDMAC12へ(2)DMA転送要求が出力されて、各パケットはDMAC12によってTSIF11から外部メモリ7へDMA転送されることができ、このようにして、2個のパケットP17、P18のDMAC12による外部メモリ7へのDMA転送が完了すると、DMAC12はCPU13のDMA制御処理部131に(3)DMA転送完了割り込みを通知する。この時の(3)DMA転送完了割り込みは、弱電界による受信中断状態前と受信再開後の合計5個のパケットのDMA転送の完了を示している。すなわち、DMA転送が完了した合計5個のパケットは、弱電界による受信中断状態前の2番目の受信パケットデータ100bの3個のパケットP6、P7、P8と受信再開後の3番目の受信パケットデータ100cの2個のパケットP17、P18である。すると、CPU13のTS解析データ処理部132は、合計5個のパケットのうち未処理分の3番目の受信パケットデータ100cの2個のパケットP17、P18に関してトランスポートストリーム解析とデータ処理とによる(4)デコード処理を実行する。

【0074】

図10(A)、(B)で説明したように、複数パケット単位のDMA転送完了割り込みとタイマ割り込みとの複数の割り込み方式を採用する場合には、複数の割り込みが略同時に発生した際の処理の競合を回避するために、複数の割り込みに優先順位を持たせることが一般的に採用されるものである。しかし、複数の割り込みが略同時に発生しても、実際は時間差が発生する。優先度の高い割り込みが先に発生した場合には処理の矛盾が発生しないが、優先度の低い割り込みが先に発生した場合には処理の矛盾が発生することが本発明者等の検討によって明らかとなった。

【0075】

図11は、図10の処理でタイマ割り込みよりもDMA転送完了割り込みの優先度を高く設定した場合に、優先度の高いDMA転送完了割り込みがタイマ割り込みよりも先に発生した場合の処理を説明する図である。

【0076】

図11に示すように、複数の割り込み要因として、タイマ割り込み要因11AとDMA転送完了割り込み要因11Bが存在しているが、優先度が低いタイマ割り込み発生11Eよりも先に優先度が高いDMA転送完了割り込み発生11Cが生じている。

【0077】

優先度が高いDMA転送完了割り込み発生11Cに回答してCPU13のTS解析データ処理部132は(6)転送パケット数取得11Dを行って、外部メモリ7にDMAC転送済みの受信パケットデータに含まれたパケットの個数を認識する。例として、2番目の受信パケットデータ100bの合計960バイトである5個のパケットP6～P10が外部メモリ7にDMAC転送済みであるとする。従って、この転送パケット数取得11Dによって、転送パケット数としてパケットの5個が取得される。この際に、前回の転送パケットインデックスと今回取得した転送パケットインデックスの差分から、転送パケット数が取得される。今回は、5個のパケットP6～P10が受信されているため、960バイトの転送パケット数が取得される。

【0078】

転送パケット数取得11Dの後、優先度の低いタイマ割り込み発生11Eが生じるが、優先度が高いDMA転送完了割り込み発生11Cの処理が終了するまで、タイマ割り込み処理は待機状態となる。次のステップ11Fで、次回の割り込みで使用するため、転送パ

ケットインデックスを更新する。

【0079】

更に次のステップ11GでCPU13のTS解析データ処理部132は、5個のペケットP6～P10のトランスポートストリーム解析とデータ処理とによる(4)デコード処理のタスクを起動してデコード処理を実行する。またその次のステップ11Hでは、CPU13のDMACタイマ制御部133は(1)DMA設定を実行する。

【0080】

以上のように優先度が高いDMA転送完了割り込み発生11Cの処理が終了すると、次のステップ11Iで優先度の低いタイマ割り込みの処理が開始される。このステップ11Iで、CPU13のTS解析データ処理部132は(6)転送パケット数取得を実行する。しかし、この時には外部メモリ7にDMAC転送済みの受信パケットデータのペケットの個数はゼロであるので、転送パケット数取得は0バイトとなる。従って、次のステップ11Jで転送パケットインデックスを0バイトに更新して、更にステップ11Kで、CPU13のTS解析データ処理部132は、トランスポートストリーム解析とデータ処理とによる(4)デコード処理のタスクを起動する。しかし、この時にはステップ11Iで取得された転送パケット数は0バイトとなっているので、(4)デコード処理は実際には実行されない。

10

【0081】

このようにして、優先度の低いタイマ割り込みの処理が実行されたので、次のステップ11LにてCPU13のDMACタイマ制御部133は(5)タイマ設定を実行する。

20

【0082】

図12は、図10の処理でタイマ割り込みよりもDMA転送完了割り込みの優先度を高く設定した場合に、優先度の低いタイマ割り込みがDMA転送完了割り込みよりも先に発生した場合の処理を説明する図である。

【0083】

図12(A)は優先度が低いタイマ割り込み発生12Cと優先度が高いDMA転送完了割り込み発生12Eとの時間差が比較的大きく、タイマ割り込みによるデコード処理が滞った場合の処理を説明する図であり、図12(B)は優先度が低いタイマ割り込み発生12Cと優先度が高いDMA転送完了割り込み発生12Eとの時間差が比較的小さい場合の処理を説明する図である。

30

【0084】

まず図12(A)では図11と同様に、複数の割り込み要因としてタイマ割り込み要因12AとDMA転送完了割り込み要因12Bとが存在しているが、優先度が高いDMA転送完了割り込み発生12Eよりも先に優先度が低いタイマ割り込み発生12Cが生じている。

【0085】

優先度が低いタイマ割り込み発生12Cに回答してCPU13のTS解析データ処理部132は(6)転送パケット数取得12Dを行って、外部メモリ7にDMAC転送済みの受信パケットデータに含まれたペケットの個数を認識する。例としては、図10に示した受信中断状態前の2番目の受信パケットデータ100bの合計576バイトの3個のペケットP6～P8が外部メモリ7にDMAC転送済みであるとする。従って、この転送パケット数取得12Dによって、転送パケット数として3個のペケット分の576バイトが取得される。

40

【0086】

しかし、優先度が低いタイマ割り込み発生12Cに回答した転送パケット数取得12Dの直後に、タイマ割り込みによるデコード処理が滞っているときに優先度が高いDMA転送完了割り込み発生12Eが発生するものである。従って、優先度が高いDMA転送完了割り込み発生12Eの処理が終了するまで、タイマ割り込み発生12Cの処理は待機状態とされる。その結果、優先度が高いDMA転送完了割り込み発生12Eの処理が開始される。例として、図10に示した受信再開後の3番目の受信パケットデータ100cの合計

50

384バイトの2個のパケットP17、P18である。

【0087】

この優先度が高いDMA転送完了割り込み発生12EにตอบสนองしてCPU13のTS解析データ処理部132は転送パケット数取得12Fを行って、外部メモリ7にDMAC転送済みの3番目の受信パケットデータ100cの合計384バイトのパケットP17、P18の2個のパケット個数を取得する。

【0088】

転送パケット数取得12Fで取得された転送パケット数に従って、ステップ12Gで転送パケットインデックスを384バイトに更新して、更に、次のステップ12Hで、CPU13のTS解析データ処理部132は2個のパケットP17、P18のトランスポート
10
ストリーム解析とデータ処理とによる(4)デコード処理のタスクを起動する。また、その次のステップ12Iでは、CPU13のDMACタイマ制御部133は(1)DMA設定を実行する。

【0089】

その後、優先度が低いタイマ割り込み発生12Cの処理に戻り、ステップ12Jにて転送パケットインデックスの更新が実行される。しかし以前の転送パケット数取得12Dにて、転送パケット数として3個のパケットP6~P8の分の576バイトが取得されていた。従って、ステップ12Jでの転送パケットインデックスの更新によって、転送パケットインデックスは以前の転送パケット数取得12Dで取得された古い3個のパケットP6
20
~P8の分の576バイトに更新されることになる。

【0090】

その結果、次のステップ12KでCPU13のTS解析データ処理部132は、古い3個のパケットP6~P8のトランスポートストリーム解析とデータ処理による(4)デコード処理のタスクを起動してデコード処理を実行する。またその次のステップ12Lで、CPU13のDMACタイマ制御部133は(5)タイマ設定を実行する。

【0091】

このようにして、優先度の低いタイマ割り込みの処理が実行されたので、次のステップ12LにてCPU13のDMACタイマ制御部133は(5)タイマ設定を実行する。

【0092】

以上説明したように、図12(A)に示すように優先度の低いタイマ割り込み12Dが優先度の高いDMA転送完了割り込み12Eよりも先に発生した場合に、割り込み処理が実行されるものである。
30

【0093】

しかし、図12(A)に示した複数の割り込み要因に対する処理には、以下のような問題が有ることが本発明者等による検討によって明らかとされた。

【0094】

最初は、先の低優先度のタイマ割り込み発生12Cにตอบสนองする転送パケット数取得12Dにより取得される転送パケット数(576バイト)と後の高優先度のDMA転送完了割り込み発生12Eにตอบสนองする転送パケット数取得12Fにより取得される転送パケット数(384バイト)とが、図12(A)の12Mに示すように値が異なることである。
40

【0095】

次は、ステップ12Hの(4)デコード処理とステップ12Kの(4)デコード処理とが実行されて、図12(A)の12Nに示すように逆転処理が行われることである。

【0096】

後の高優先度のDMA転送完了割り込み発生12Eにตอบสนองする転送パケット数取得12Fにより取得される転送パケット数によって、受信中断後の受信再開による受信パケットデータ100cの合計384バイトの2個のパケットP17、P18の(4)デコード処理をステップ12Hで実行することができる。

【0097】

しかし、先の低優先度のタイマ割り込み発生12Cにตอบสนองする転送パケット数取得12
50

Dにより取得される転送パケット数によって、受信中断前の受信パケットデータ100bの古い3個のパケットP6～P8もステップ12Kで(4)デコード処理が実行されてしまう。一方、冒頭で説明したように、弱電界前の古い3個のパケットP6～P9に番組時刻基準値情報PCRが含まれていた場合には、この古い時刻情報の無視が実行されなければならない。そうでないと、弱電界後の新しい2個のパケットP17、P18に含まれる現在の番組時刻基準値情報PCRに古い時刻情報が反映されて、誤動作の原因となる。具体的に言えば、古い音声や映像が2度出力され、新しい音声や映像が出力されないような誤動作が発生するものである。

【0098】

優先度が低いタイマ割り込み発生12Cと優先度が高いDMA転送完了割り込み発生12Eとの時間差が比較的小さな場合の図12(B)でも、時間差が比較的大きく、タイマ割り込みによるデコード処理が滞った場合の図12(A)と同様に、複数の割り込み要因としてタイマ割り込み要因12AとDMA転送完了割り込み要因12Bとが存在しているが、優先度が高いDMA転送完了割り込み発生12Eよりも少し先に優先度が低いタイマ割り込み発生12Cが生じている。

10

【0099】

優先度が低いタイマ割り込み発生12Cに回答してCPU13のTS解析データ処理部132は(6)転送パケット数取得12Dを行って、外部メモリ7にDMAC転送済みの受信パケットデータに含まれたパケットの個数を認識する。例としては、図10において、タイマ割り込み発生直前に、強電界に復帰して、DMA転送完了割り込みが発生したとする。この時に、5パケット取得して、タイマ割り込みとDMA転送完了割り込みが同時に発生したとする。図10に示した受信中断状態前の2番目の受信パケットデータ100bと100cの合計960バイトの5個のパケットP6～P8、P17、P18が外部メモリ7にDMAC転送済みであるとする。従って、この転送パケット数取得12Dによって、転送パケット数として5個のパケット分の960バイトが取得される。

20

【0100】

しかし、優先度が低いタイマ割り込み発生12Cに回答した転送パケット数取得12Dの直後に、優先度が高いDMA転送完了割り込み発生12Eが発生するものである。従って、優先度が高いDMA転送完了割り込み発生12Eの処理が終了するまで、タイマ割り込み発生12Cの処理は待機状態とされる。その結果、優先度が高いDMA転送完了割り込み発生12Eの処理が開始される。例として、図10に示した受信中断状態前の2番目の受信パケットデータ100bと受信再開後の3番目の受信パケットデータ100cの合計960バイトの5個のパケットP6～P8、P17、P18である。

30

【0101】

この優先度が高いDMA転送完了割り込み発生12Eに回答してCPU13のTS解析データ処理部132は転送パケット数取得12Fを行って、外部メモリ7にDMAC転送済みの2番目の受信パケットデータ100bと3番目の受信パケットデータ100cの合計960バイトのパケットP6～P8、P17、P18の5個のパケット個数を取得する。

【0102】

転送パケット数取得12Fで取得された転送パケット数に従って、ステップ12Gで転送パケットインデックスを更新して、更に、次のステップ12Hで、CPU13のTS解析データ処理部132は5個のパケットP6～P8、P17、P18のトランスポートストリーム解析とデータ処理とによる(4)デコード処理のタスクを起動する。また、その次のステップ12Iでは、CPU13のDMACタイマ制御部133は(1)DMA設定を実行する。

40

【0103】

その後、優先度が低いタイマ割り込み発生12Cの処理に戻り、ステップ12Jにて転送パケットインデックスの更新が実行される。しかし以前の転送パケット数取得12Dにて、転送パケット数として5個のパケットP6～P8、P17、P18の分の960パイ

50

トが取得されていた。その結果、次のステップ12KでCPU13のTS解析データ処理部132は、5個のパケットP6～P8、P17、P18のトランスポートストリーム解析とデータ処理とによる(4)デコード処理のタスクを起動してデコード処理を実行する。またその次のステップ12Lで、CPU13のDMACタイマ制御部133は(5)タイマ設定を実行する。

【0104】

このようにして、優先度の低いタイマ割り込みの処理が実行されたので、次のステップ12LにてCPU13のDMACタイマ制御部133は(5)タイマ設定を実行する。

【0105】

以上説明したように、図12(B)に示すように優先度の低いタイマ割り込み12Dが優先度の高いDMA転送完了割り込み12Eよりも先に発生した場合に、割り込み処理が実行されるものである。

10

【0106】

しかし、図12(B)に示した複数の割り込み要因に対する処理には、以下のような問題が有ることが本発明者等による検討によって明らかとされた。

【0107】

最初は、先の低優先度のタイマ割り込み発生12Cに回答する転送パケット数取得12Dにより取得される転送パケットP6～8、P17、P18と後の高優先度のDMA転送完了割り込み発生11Cに回答する転送パケット数取得12Fにより取得される転送パケットP6～8、P17、P18とが、図12(B)の12Mに示すように同じパケットになることである。

20

【0108】

次は、ステップ12Hの(4)デコード処理とステップ12Kの(4)デコード処理とが実行されて、図12(B)の112Nに示すように重複処理が行われることである。

【0109】

後の高優先度のDMA転送完了割り込み発生11Cに回答する転送パケット数取得12Fにより取得される転送パケット数によって、受信中断状態前の受信パケットデータ100bと受信中断後の受信再開による受信パケットデータ100cの合計960バイトの5個のパケットP6～P8、P17、P18の(4)デコード処理をステップ12Hで実行することができる。

30

【0110】

要するに、タイマ割り込みとデータ転送完了割り込みが同時に発生すると同一の5パケットをタイマ割り込みによるデコード処理とデータ転送割り込みによるデコード処理を重複処理してしまい、例えば、同じ画像が2度出力される等の誤動作が起きる。

【0111】

図13は、図12に示す複数の割り込み要因に対する処理での重複処理の問題を解決するために、本発明に先立って本発明者等によって検討された処理を説明する図である。

【0112】

図13でも図12と同様に、複数の割り込み要因としてタイマ割り込み要因13AとDMA転送完了割り込み要因13Bが存在しており、優先度が高いDMA転送完了割り込み発生13Fよりも先に優先度が低いタイマ割り込み発生13Cが生じている。

40

【0113】

しかし、図13に示す処理は、上述の重複処理の問題を解決するために、ステップ13Dのセマフォ設定の処理を含むものである。セマフォは、並列処理において矛盾を解消するための排他処理を意味するものである。

【0114】

すなわち、先の優先度が低いタイマ割り込み発生13Cに回答してステップ13Dのセマフォ設定が実行されることによって、先に優先度が低いタイマ割り込みの処理(ステップ13E、13G～13J)の方を先に実行するものである。このようにして、後の優先度が高いDMA転送完了割り込み発生13Fに回答する処理(13K～13N)の方を後に

50

実行することにより、上述した重複処理の矛盾を解消するものである。

【0115】

図13の処理では、先の低優先度のタイマ割り込み発生13Cにตอบสนองしてステップ13Dのセマフォ設定が実行される。すると、セマフォ処理の間に、ステップ13Eの転送パケット数取得が実行される。例として、図10に示す受信中断状態前の2番目の受信パケットデータ100bの合計576バイトの3個のパケットP6~P8が外部メモリ7にDMA転送済みとする。従って、この転送パケット数取得13Eにより、転送パケット数として3個のパケット分の576バイトが取得される。

【0116】

ステップ13Eの転送パケット数取得の後に、後の高優先度のDMA転送完了割り込み発生13Fが生じる。しかし、ステップ13Dのセマフォ設定によって、図13のその後の処理がDMA転送完了割り込みの処理13K~Nの方が先に実行することが禁止され、タイマ割り込みの処理のステップ13E、13G~Jの方が先に実行されるものである。

10

【0117】

ステップ13Dのセマフォ設定によって、後の高優先度のDMA転送完了割り込み発生13Fが生じたにもかかわらず、先の低優先度のタイマ割り込み発生13CにตอบสนองしてCPU13のTS解析データ処理部132は(6)転送パケット数取得13Eを実行して、外部メモリ7にDMA転送済みの受信パケットデータに含まれたパケットの個数を取得する。例として、図10に示した受信中断状態前の2番目の受信パケットデータ100bの合計576バイトの3個のパケットP6~P8が外部メモリ7にDMA転送済みであるとする。従って、この転送パケット数取得13Eによって、転送パケット数として3個のパケットP6~P8の576バイトが取得される。

20

【0118】

転送パケット数取得13Eで取得された転送パケット数に従って、ステップ13Gで転送パケットインデックスを576バイトに更新する。更に次のステップ13Hで、CPU13のTS解析データ処理部132は3個のパケットP6~P8のトランスポートストリーム解析とデータ処理とによる(4)デコード処理のタスクを起動する。また、その次のステップ13Iで、CPU13のDMACタイマ制御部133は(5)タイマ設定を実行して、更に次のステップ13Jで、セマフォの開放が実行される。

30

【0119】

ステップ13Jでセマフォの開放が実行されると、図13の処理はDMA転送完了割り込みの処理13K~13Nに移行される。まずステップ13Kの(6)転送パケット数取得が実行され、外部メモリ7にDMA転送済みである3番目の受信パケットデータ100cの合計384バイトのパケットP17、P18の2個のパケット個数を取得する。

【0120】

転送パケット数取得13Kで取得された転送パケット数に従って、ステップ13Lで転送パケットインデックスを384バイトに更新して、更に次のステップ13Mで、CPU13のTS解析データ処理部132は2個のパケットP17、P18のトランスポートストリーム解析とデータ処理による(4)デコード処理のタスクを起動する。また、その次のステップ13Nでは、CPU13のDMACタイマ制御部133は(1)DMA設定を実行する。

40

【0121】

このように図13に示す処理の実行により、古い方の2番目の受信パケットデータ100bの合計576バイトの3個のパケットP6~P8の(4)デコード処理が先に実行され、新しい方の3番目の受信パケットデータ100cの合計384バイトのパケットP17、P18の(4)デコード処理が後に実行される。このように、図13に示す処理の実行によれば、図12に示す複数の割り込み要因に対する処理での重複処理の矛盾を解消することが可能となる。

【0122】

しかし、本発明に先立った本発明者等による検討によって、図13に示した処理のステ

50

ップ13Dのセマフォ設定とステップ13Jのセマフォ開放には長い処理時間が必要であって、CPU13のDMACタイマ制御部133の処理負荷が大きくなるという問題が明らかとされた。

【0123】

従って、ISDB-Tmmと呼ばれる次世代ワンセグ放送を受信可能な携帯電話機端末に搭載されるアプリケーションプロセッサ等の半導体集積回路の内蔵CPUの消費電力が増大するという問題が発生するものである。また、複数の割り込み要因を処理するための内蔵CPUの制御ソフトウェアが複雑化して、ソフトウェアを格納するための内蔵不揮発性メモリのメモリ容量も増加するという問題も発生するものである。

【0124】

本発明は、以上のような本発明に先立った本発明者等による検討の結果、なされたものである。

【0125】

従って、本発明の目的とするところは、複数の割り込み要因に対する処理での重複処理の矛盾を解消する際の負担が軽減された半導体集積回路を提供することにある。

【0126】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0127】

本願において開示される発明のうちの代表的なものについて簡単に説明すれば下記のとおりである。

【0128】

すなわち、本発明の代表的な半導体集積回路(1)は、受信インターフェース(11)と、メモリインターフェース(17)と、データ転送ユニット(12)と、処理ユニット(13、18)とを具備する(図15参照)。

【0129】

データ転送ユニット(12)が所定のパケット数の複数の受信パケットデータのバッファ(111)から外部メモリ(7)へのデータ転送を完了すると、データ転送完了割り込みが処理ユニット(13、18)に通知される。

【0130】

受信中断の間に、タイマ(113)によるカウント時間の間に所定のパケット数の受信パケットデータのデータ転送が未完了の場合には、タイマ割り込みが処理ユニット(13、18)に通知される。

【0131】

データ転送完了割り込みおよびタイマ割り込みに応答して処理ユニット(13、18)が外部メモリ(7)に格納された複数の受信パケットデータの処理を開始する以前に、処理ユニット(13、18)はパケットカウンタ(114)から転送パケット数を取得する。

【0132】

処理ユニット(13、18)によるパケットカウンタ(114)からの転送パケット数の取得の後に、パケットカウンタ(114)の値はゼロにリセットされる(図14参照)。

【0133】

受信再開後に、パケットカウンタ(114)はデータ転送ユニット(12)により外部メモリ(7)に転送再開される再開受信パケットデータの転送再開パケット数を格納する。

【0134】

受信中断の前に外部メモリ(7)に格納された受信パケットデータの転送パケット数を、タイマ割り込みの発生(18C)に応答して、処理ユニットがパケットカウンタ(114)から取得(18D)した後に、データ転送完了割り込みの発生(18E)が生じる。

【0135】

タイマ割り込みの発生に応答して処理ユニットがパケットカウンタから取得した転送パ

10

20

30

40

50

ケット数に従って、受信中断の前に外部メモリ(7)に格納された受信パケットデータのタイマ割り込みの発生(18C)にตอบสนองする処理(図18(A):18I)もしくは外部メモリ(7)に格納された複数の受信パケットデータのデータ転送完了割り込みの発生(18E)にตอบสนองする処理(図18(B):18G)のいずれかの処理の実行が省略されることを特徴とする。

【発明の効果】

【0136】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。すなわち、複数の割り込み要因に対する処理での重複処理の矛盾を解消する際の負担が軽減された半導体集積回路を提供することができる。

10

【図面の簡単な説明】

【0137】

【図1】図1は、本発明に先立って本発明者等によって検討されたアプリケーションプロセッサの構成を示す図である。

【図2】図2は、図1に示したアプリケーションプロセッサ1に含まれるトランスポートストリームインターフェース(TSIF)11の構成を示す図である。

【図3】図3は、図1に示したアプリケーションプロセッサ1の内部でのMPEG2-トランスポートストリーム(MPEG2-TS)の流れを説明する図である。

【図4】図4は、図3に示したMPEG2-TSの流れを図1に示したアプリケーションプロセッサ1の外部デジタルテレビチューナー3、TSIF11、DMAC12、外部メモリ7の各点で観測した図である。

20

【図5】図5は、図1に示したアプリケーションプロセッサ1の内部のMPEG2-TSの流れの制御を説明する図である。

【図6】図6は、強電界の場合でのMPEG2-TSの流れの制御を図1に示したアプリケーションプロセッサ1のTSIF11、DMAC12、CPU13、外部メモリ7の各点で詳細に観測した図である。

【図7】図7は、弱電界の場合でのMPEG2-TSの流れの制御を図1に示したアプリケーションプロセッサ1のTSIF11、DMAC12、CPU13、外部メモリ7の各点で詳細に観測した図である。

【図8】図8は、次世代ワンセグ放送の受信に際して割り込み間隔が短くなるという問題を解決するため複数パケット単位の割り込み通知方式を採用して強電界の場合のMPEG2-TSの流れの制御を図1に示したアプリケーションプロセッサ1の各部で詳細に観測した図である。

30

【図9】図9は、図8に示した複数パケット単位の割り込み通知方式を採用した際に強電界から弱電界に変化する場合のMPEG2-TSの流れの制御を図1に示したアプリケーションプロセッサ1の各部で詳細に観測した図である。

【図10】図10は、複数パケット単位のDMA転送完了割り込みとタイマ割り込みを採用した際に強電界から弱電界に変化する場合のMPEG2-TSの流れの制御を図1に示したアプリケーションプロセッサ1の各部で詳細に観測した図である。

【図11】図11は、図10の処理でタイマ割り込みよりもDMA転送完了割り込みの優先度を高く設定した場合に、優先度の高いDMA転送完了割り込みがタイマ割り込みよりも先に発生した場合の処理を説明する図である。

40

【図12】図12は、図10の処理でタイマ割り込みよりもDMA転送完了割り込みの優先度を高く設定した場合に、優先度の低いタイマ割り込みがDMA転送完了割り込みよりも先に発生した場合の処理を説明する図である。

【図13】図13は、図12に示す複数の割り込み要因に対する処理での重複処理の問題を解決するために、本発明に先立って本発明者等によって検討された処理を説明する図である。

【図14】図14は、図15に示すアプリケーションプロセッサ1に含まれたTSIF11の構成を示す図である。

50

【図 15】図 15 は、本発明の実施の形態 1 によるアプリケーションプロセッサの構成を示すブロック図である。

【図 16】図 16 は、強電界の場合の M P E G 2 - T S の流れの制御を図 14 に示す T S I F 1 1 を含む図 15 に示すアプリケーションプロセッサ 1 の各部で詳細に観測した図である。

【図 17】図 17 は、複数パケット単位の D M A 転送完了割り込みとタイマ割り込みを採用した際に強電界から弱電界に変化する場合の M P E G 2 - T S の流れの制御を図 15 に示した本発明の実施の形態 1 によるアプリケーションプロセッサ 1 の各部で詳細に観測した図である。

【図 18】図 18 は、図 17 の処理で後の高優先度の (3) D M A C 転送完了割り込みに応答した先のデコード処理と先の低優先度の (7) タイマ割り込みに応答した後のデコード処理との逆転処理あるいは重複処理を回避する処理を説明する図である。

【発明を実施するための形態】

【0138】

1. 実施の形態の概要

まず、本願において開示される発明の代表的な実施の形態について概要を説明する。代表的な実施の形態についての概要説明で括弧を付して参照する図面の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

【0139】

〔1〕本発明の代表的な実施の形態は、受信インターフェース(11)と、メモリアンターフェース(17)と、データ転送ユニット(12)と、処理ユニット(13、18)とを具備する半導体集積回路(1)である。

【0140】

前記受信インターフェース(11)は、複数の受信パケットデータ(P1、P2、P3...)を逐次に蓄積可能なバッファ(111)と、計数動作を行うタイマ(113)とを含むものである。

【0141】

前記メモリアンターフェース(17)は、外部メモリ(7)と接続可能とされている。

【0142】

前記データ転送ユニット(12)は、前記バッファ(111)に蓄積される前記複数の受信パケットデータを、前記メモリアンターフェース(17)に接続される前記外部メモリ(7)に転送可能とされている。

【0143】

前記処理ユニット(13、18)は、前記外部メモリ(7)に転送され格納される前記複数の受信パケットデータを処理可能とされている(図 15 参照)。

【0144】

前記データ転送ユニット(12)が所定のパケット数の前記複数の受信パケットデータの前記バッファから前記外部メモリへのデータ転送を完了すると、前記データ転送ユニット(12)はデータ転送完了割り込みを前記処理ユニット(13、18)に通知可能とされている。

【0145】

前記データ転送ユニット(12)からの前記データ転送完了割り込みの発生に応答して、前記処理ユニット(13、18)は前記外部メモリ(7)に格納された前記複数の受信パケットデータの処理を開始可能とされたものである。

【0146】

前記受信インターフェース(11)への前記複数の受信パケットデータの受信中断の間に、前記タイマ(113)は前記計数動作を実行するものである。

【0147】

前記受信中断の間に、前記計数動作による所定のカウント時間の間に前記所定のパケット数を有した前記複数の受信パケットデータの前記データ転送が未完了の場合には、前記

10

20

30

40

50

タイマ(113)はタイマ割り込みを前記処理ユニット(13、18)に通知可能とされている。

【0148】

前記タイマ(113)からの前記タイマ割り込みの発生にตอบสนองして、前記処理ユニット(13、18)は前記受信中断の前に前記外部メモリ(7)に格納された受信パケットデータの処理を開始可能とされたものである(図17参照)。

【0149】

前記受信インターフェース(11)は、前記データ転送ユニット(12)による前記外部メモリ(7)に転送済みの受信パケットデータの転送パケット数を格納するパケットカウンタ(114)を更に含むものである。

10

【0150】

前記データ転送完了割り込みの発生にตอบสนองして前記処理ユニット(13、18)が前記外部メモリ(7)に格納された前記複数の受信パケットデータの処理を開始する以前に、前記処理ユニット(13、18)は前記パケットカウンタ(114)から前記転送パケット数を取得可能とされたものである。

【0151】

前記タイマ割り込みの発生にตอบสนองして、前記処理ユニット(13、18)が前記受信中断の前に前記外部メモリ(7)に格納された前記受信パケットデータの処理を開始する以前に、前記処理ユニット(13、18)は前記パケットカウンタ(114)から前記転送パケット数を取得可能とされたものである。

20

【0152】

前記処理ユニット(13、18)による前記パケットカウンタ(114)からの前記転送パケット数の取得の後に、前記パケットカウンタ(114)の値はゼロにリセットされるものである(図14参照)。

【0153】

前記受信中断の後の受信再開後に、前記パケットカウンタ(114)は前記データ転送ユニット(12)により前記外部メモリ(7)に転送再開される再開受信パケットデータの転送再開パケット数を格納するものである(図17参照)。

【0154】

前記受信中断の前に前記外部メモリ(7)に格納された前記受信パケットデータの前記転送パケット数を、前記タイマ割り込みの前記発生(18C)にตอบสนองして、前記処理ユニットが前記パケットカウンタ(114)から取得(18D)した後に、前記データ転送完了割り込みの前記発生(18E)が生じるものである(図18参照)。

30

【0155】

前記タイマ割り込みの前記発生にตอบสนองして前記処理ユニットが前記パケットカウンタから取得した前記転送パケット数に従って、前記外部メモリ(7)に格納された前記受信パケットデータの前記タイマ割り込みの前記発生(18C)にตอบสนองする前記処理(図18(A): 18I)もしくは前記外部メモリ(7)に格納された前記複数の受信パケットデータの前記データ転送完了割り込みの前記発生(18E)にตอบสนองする前記処理(図18(B): 18G)のいずれかの処理の実行が省略されることを特徴とするものである。

40

【0156】

前記実施の形態によれば、複数の割り込み要因に対する処理での重複処理の矛盾を解消する際の負担が軽減された半導体集積回路を提供することができる。

【0157】

好適な実施の形態では、前記タイマ割り込みの前記発生にตอบสนองして前記処理ユニットが前記パケットカウンタから取得した前記転送パケット数が前記所定のパケット数よりも小さい場合には、前記受信中断の前に前記外部メモリ(7)に格納された前記受信パケットデータの前記タイマ割り込みの前記発生(18C)にตอบสนองする前記処理(18I)の実行が省略される一方、前記外部メモリ(7)に格納された前記複数の受信パケットデータの前記データ転送完了割り込みの前記発生(18E)にตอบสนองする前記処理(18G)が実行されるもので

50

ある(図18(A)参照)。

【0158】

前記タイマ割り込みの前記発生にตอบสนองして前記処理ユニットが前記パケットカウンタから取得した前記転送パケット数が前記所定のパケット数と等しい場合には、前記受信中断の前および前記受信再開後に前記外部メモリ(7)に格納された前記受信パケットデータの前記タイマ割り込みの前記発生(18C)にตอบสนองする前記処理(18I)の実行される一方、前記外部メモリ(7)に格納された前記複数の受信パケットデータの前記データ転送完了割り込みの前記発生(18E)にตอบสนองする前記処理(18G)の実行が省略されるものである(図18(B)参照)。

【0159】

他の好適な実施の形態では、前記処理ユニットは中央処理ユニット(CPU)を含み、前記データ転送ユニット(12)はダイレクトメモリアクセスコントローラ(DMAC)である(図15参照)。

【0160】

更に他の好適な実施の形態では、前記受信インターフェース(11)は、MPEGのトランスポートストリームの形態である複数の受信パケットデータを受信可能とされている(図15参照)。

【0161】

より好適な実施の形態では、前記処理ユニットの前記中央処理ユニット(CPU)は前記MPEGのトランスポートストリームの形態で前記外部メモリ(7)に格納された前記複数の受信パケットデータをデマルチプレックスの処理によって映像および音声のエレメンタリー・ストリームに分離するものである。

【0162】

具体的な実施の形態では、前記処理ユニットは、MPEGデコーダ(18)と、表示制御装置(14)と、音声出力制御部(19)とを更に含む。

【0163】

前記中央処理ユニット(CPU)によって分離された前記映像および音声のエレメンタリー・ストリームは、前記MPEGデコーダ(18)によって映像再生信号と音声再生信号とに復号化される。

【0164】

前記映像再生信号の出力同期が前記表示制御装置(14)で実行され、前記音声再生信号の出力同期が前記音声出力制御部(19)で実行されるものである。

【0165】

より具体的な実施の形態では、前記データ転送完了割り込みの優先度は前記タイマ割り込みの優先度よりも高く設定されたものである。

【0166】

〔2〕本発明の別の観点の代表的な実施の形態は、入力インターフェース(11)と、第1処理ユニット(12)と、第2処理ユニット(13、18)とを具備する半導体集積回路(1)である。

【0167】

前記入力インターフェース(11)は、複数の入力パケットデータ(P1、P2、P3...)を逐次に蓄積可能なバッファ(111)と、計数動作を行うタイマ(113)とを含むものである。

【0168】

前記第1処理ユニット(12)は前記バッファ(111)に蓄積される前記複数の入力パケットデータを処理可能とされ、前記第2処理ユニット(13、18)は前記第1処理ユニット(12)の処理結果を処理可能とされている(図15参照)。

【0169】

前記第1処理ユニット(12)が所定のパケット数の前記複数の入力パケットデータを前記バッファから読み出して、前記第1処理ユニット(12)が読み出しデータの第1処理を

10

20

30

40

50

完了すると、前記第1処理ユニット(12)は第1処理完了割り込みを前記第2処理ユニット(13、18)に通知可能とされている。

【0170】

前記第1処理ユニット(12)からの前記第1処理完了割り込みの発生にตอบสนองして、前記第2処理ユニット(13、18)は前記第1処理ユニット(12)の前記処理結果の第2処理を開始可能とされたものである。

【0171】

前記入力インターフェース(11)への前記複数の入力パケットデータの入力中断の間に、前記タイム(113)は前記計数動作を実行するものである。

【0172】

前記入力中断の間に、前記計数動作による所定のカウント時間の間に前記所定のパケット数を有した前記複数の入力パケットデータの前記第1処理が未完了の場合には、前記タイム(113)はタイム割り込みを前記第2処理ユニット(13、18)に通知可能とされている。

【0173】

前記タイム(113)からの前記タイム割り込みの発生にตอบสนองして、前記第2処理ユニット(13、18)は前記入力中断の前に前記第1処理ユニット(12)によって処理された処理済みデータの前記第2処理を開始可能とされたものである(図17参照)。

【0174】

前記入力インターフェース(11)は、前記第1処理ユニット(12)によって処理された処理済みデータの処理済みパケット数を格納するパケットカウンタ(114)を更に含むものである。

【0175】

前記第1処理完了割り込みの前記発生にตอบสนองして前記第2処理ユニット(13、18)が前記第2処理を開始する以前に、前記第2処理ユニット(13、18)は前記パケットカウンタ(114)から前記処理済みパケット数を取得可能とされたものである。

【0176】

前記タイム割り込みの前記発生にตอบสนองして、前記第2処理ユニット(13、18)が前記入力中断の前に前記第1処理ユニット(12)によって処理された前記処理済みデータの処理済みパケット数を前記パケットカウンタ(114)から取得可能とされたものである。

【0177】

前記第2処理ユニット(13、18)による前記パケットカウンタ(114)からの前記処理済みパケット数の取得の後に、前記パケットカウンタ(114)の値はゼロにリセットされるものである(図14参照)。

【0178】

前記入力中断の後の入力再開後に、前記パケットカウンタ(114)は入力再開される再開入力パケットデータの入力再開パケット数を格納するものである。

【0179】

前記タイム割り込みの前記発生(18C)にตอบสนองして、前記入力中断の前に入力された前記入力パケットデータの前記パケット数を、前記第2処理ユニットが前記パケットカウンタ(114)から取得(18D)した後に、前記第1処理完了割り込みの前記発生(18E)が生じるものである(図18参照)。

【0180】

前記タイム割り込みの前記発生にตอบสนองして前記第2処理ユニットが前記パケットカウンタから取得した前記処理済みパケット数に従って、前記第1処理ユニット(12)によって処理された前記処理済みデータの前記第2処理ユニット(13、18)による前記タイム割り込みの前記発生(18C)にตอบสนองする処理(図18(A):18I)もしくは前記第1処理ユニット(12)によって処理された前記処理済みデータの前記第2処理ユニット(13、18)による前記第1処理完了割り込みの前記発生(18E)にตอบสนองする前記第2処理(図18(B):18G)のいずれかの処理の実行が省略されることを特徴とするものである。

10

20

30

40

50

【 0 1 8 1 】

前記実施の形態によれば、複数の割り込み要因に対する処理での重複処理の矛盾を解消する際の負担が軽減された半導体集積回路を提供することができる。

【 0 1 8 2 】

好適な実施の形態では、前記タイマ割り込みの前記発生にตอบสนองして前記第 2 処理ユニットが前記パケットカウンタから取得した前記処理済みパケット数が前記所定のパケット数よりも小さい場合には、前記入力中断の前に前記第 1 処理ユニット(12)によって処理された前記処理済みデータの前記第 2 処理ユニット(13、18)による前記タイマ割り込みの前記発生(18C)にตอบสนองする前記処理(18I)の実行が省略される一方、前記第 1 処理ユニット(12)によって処理された前記処理済みデータの前記第 2 処理ユニット(13、18)による前記第 1 処理完了割り込みの前記発生(18E)にตอบสนองする前記第 2 処理(18G)が実行されるものである(図 18(A)参照)。

10

【 0 1 8 3 】

前記タイマ割り込みの前記発生にตอบสนองして前記第 2 処理ユニットが前記パケットカウンタから取得した前記処理済みパケット数が前記所定のパケット数と等しい場合には、前記入力中断の前および前記入力再開後に前記第 1 処理ユニット(12)によって処理された前記処理済みデータの前記第 2 処理ユニット(13、18)による前記タイマ割り込みの前記発生(18C)にตอบสนองする前記処理(18I)の実行される一方、前記第 1 処理ユニット(12)によって処理された前記処理済みデータの前記第 2 処理ユニット(13、18)による前記第 1 処理完了割り込みの前記発生(18E)にตอบสนองする前記第 2 処理(18G)の実行が省略されるものである(図 18(B)参照)。

20

【 0 1 8 4 】

他の好適な実施の形態では、前記第 2 処理ユニット(13、18)は中央処理ユニット(CPU)を含み、前記第 1 処理ユニット(12)は他の処理ユニット(DMAC)を含むものである(図 15 参照)。

【 0 1 8 5 】

より好適な実施の形態では、前記第 1 処理完了割り込みの優先度は前記タイマ割り込みの優先度よりも高く設定されたものである。

【 0 1 8 6 】

2. 実施の形態の詳細

30

次に、実施の形態について更に詳述する。尚、発明を実施するための最良の形態を説明するための全図において、前記の図と同一の機能を有する部品には同一の符号を付して、その繰り返しの説明は省略する。

【 0 1 8 7 】

[実施の形態 1]

《アプリケーションプロセッサの構成》

図 15 は、本発明の実施の形態 1 によるアプリケーションプロセッサの構成を示すブロック図である。

【 0 1 8 8 】

図 15 に示すアプリケーションプロセッサ 1 は、図 1 と同様に T S I F 1 1、D M A C 1 2、C P U 1 3、L C D 制御部 1 4、データバス 1 5、メモリアンターフェース 1 7、M P E G デコーダ 1 8、音声出力制御部 1 9 を含んでいる。

40

【 0 1 8 9 】

図 1 と同様に図 15 では携帯電話端末に搭載されるデジタルテレビアンテナ 2 によって I S D B - T m m の次世代ワンセグ放送が受信され、外部デジタルテレビチューナー 3 の出力端子からアプリケーションプロセッサ 1 の T S I F 1 1 の入力端子に M P E G 2 - T S のパケットデータが供給される。外部のシステムクロック発生器 4 から T S I F 1 1 に、基準クロックとしてのシステムクロック信号が供給される。また更に、T S I F 1 1 に供給された M P E G 2 - T S のパケットデータは、内蔵 D M A C 1 2 にて実行される D M A 転送によってデータバス 1 5 とメモリアンターフェース 1 7 とを介して外部のメモリ 7

50

に転送される。外部メモリとしては、高速・大容量の同期DRAMが使用可能である。

【0190】

図15に示すアプリケーションプロセッサ1に含まれた各構成要素11~15、17~19は図1に示すアプリケーションプロセッサ1に含まれたそれらと同一の動作であるので、これらの説明は省略する。

【0191】

しかし、図15に示すアプリケーションプロセッサ1では、図1に示すアプリケーションプロセッサ1に含まれたタイマ16が省略されている。その代わりに、図15で省略された図1のタイマ16と同等の機能は、図15に示すアプリケーションプロセッサ1に含まれたTSIF11によって実現されるものである。

10

【0192】

《TSIFの構成》

図14は、図15に示すアプリケーションプロセッサ1に含まれたTSIF11の構成を示す図である。

【0193】

図14に示すTSIF11は、図2に示したTSIF11と同様に、タイムスタンプ付加部110と、TS(トランスポートストリーム)バッファ111と、DMAC制御部112とを含むだけでなく、TSIFタイマ113とバケットカウンタ114とが追加されている。

【0194】

図14に示すTSIF11のタイムスタンプ付加部110とTSバッファ111とDMAC制御部112の構成と動作は、図2に示したTSIF11のそれらと同様であるので、これらの説明は省略する。

20

【0195】

TSIFタイマ113は、図1のタイマ16の代わりに、CPU13にタイマ割り込みを発生させる機能を有している。このタイマ113のリソースは、タイムスタンプを付加するために使用しているシステムクロック生成器4から供給されるシステムクロック信号を利用するものである。この例ではシステムクロックを利用しているが、別のクロック信号を利用することもできる。また更に、TSIFタイマ113外部のクロック生成器を利用することもできる。タイマ16と同様に、TSIFタイマ113はカウンタによって構成されて、TSIFタイマ113はCPU13のDMACタイマ制御部133によって(5)タイマ設定されることによって計数動作を実行する。この計数動作による所定のカウンタ時間の間にMPEG2-TSの所定数の複数パケットのDMAC12によるDMAC転送が未完了の場合には、TSIFタイマ113はCPU13のDMACタイマ制御部133に(7)タイマ割り込みを実行する。この(7)タイマ割り込みに応答して、CPU13は外部メモリ7にDMAC転送済みのパケットの早期のトランスポートストリーム(TS)解析とデータ処理による(4)デコード処理を開始するものである。

30

【0196】

バケットカウンタ114は、DMAC12によるDMA転送を完了した192バイトのパケットの転送数をカウントする機能を有している。図14の右下に示すように、例えばバケットカウンタ114のカウント値PACKET_CNTは32ビットである。カウント値PACKET_CNTの初期値はゼロであって、DMAC12による192バイトのパケットのDMA転送毎にカウントアップされる。バケットカウンタ114の読み出し動作Rによって、CPU13がカウント値PACKET_CNTを読み出すと、カウント値PACKET_CNTはゼロにリセットされる。

40

【0197】

《強電界の場合の制御》

図16は、強電界の場合のMPEG2-TSの流れの制御を図14に示すTSIF11を含む図15に示すアプリケーションプロセッサ1の各部で詳細に観測した図である。

【0198】

50

図16では図10と異なり、CPU13のDMAタイマ制御部133は、タイマ16に(5)タイマ設定を実行するのではなく、図14のTSIF11に含まれたTSIFタイマ113に(5)タイマ設定を実行する。

【0199】

また、図16では、DMAC12によるDMA転送済みの転送パケット数は、図14に示したTSIF11のパケットカウンタ114に格納されることが可能である。すなわち、MPEG2-TSの192バイトの1個のパケットのDMAC12によるTSIF11のTSバッファ111から外部メモリ7へのDMA転送の実行が完了する毎に、パケットカウンタ114に格納される転送パケット数が1個のパケット分、増加される。このようにして、複数のパケットのDMA転送の間に、パケットカウンタ114に格納される転送パケット数は更新される。

10

【0200】

また、(3)DMA転送完了割り込みもしくは(7)タイマ割り込みに応答して、CPU13のTS解析データ処理部132は(6)転送パケット数取得を行って、外部メモリ7にDMAC転送済みの受信パケットデータに含まれたパケットの個数を認識する。この(6)転送パケット数取得では、CPU13のTS解析データ処理部132はTSIF11のパケットカウンタ114の更新値を読み出し、その後の(4)デコード処理にて処理されるパケットの個数が取得される。このようにして、CPU13によるTSIF11のパケットカウンタ114の更新値の読み出しが完了すると、パケットカウンタ114の値PACKET_CNTはゼロにリセットされる。

20

【0201】

図16でも図8と同様に、最初にCPU13のDMAタイマ制御部133は、DMAC12に(1)DMA設定を実行する。この(1)DMA設定では、例えば5パケット(192バイト×5)のDMA転送データサイズが指定される。すると、DMAC12は、TSIF11のDMAC制御部112からのDMAC転送要求を待つ状態となる。

【0202】

次に、TSIF11のTSバッファ111へのMPEG2-TSの最初のパケットP1の受信が完了すると、TSIF11のDMAC制御部112はDMAC12に(2)DMA転送要求を出力する。TSIF11のTSバッファ111への最初のパケットP1の受信完了により出力される(2)DMA転送要求に応答して、CPU13のDMAタイマ制御部133はTSIF11に含まれたTSIFタイマ113の計数動作を開始する。更にDMAC12は上述の(2)DMA転送要求に応答してTSIF11のTSバッファ111に一時的に格納された最初のパケットP1を読み出して、外部メモリ7へのDMA転送を実行する。同様に、TSIF11のTSバッファ111へのMPEG2-TSの2番目のパケットP2、3番目のパケットP3、4番目のパケットP4、5番目のパケットP5の受信がそれぞれ完了すると、各受信完了時点でTSIF11のDMAC制御部112はDMAC12に(2)DMA転送要求をそれぞれ出力する。更に、DMAC12は(2)各DMA転送要求に応答してTSIF11のTSバッファ111に一時的に格納された2番目のパケットP2から5番目のパケットP5までのデータを読み出し、外部メモリ7へのDMA転送を実行する。

30

40

【0203】

このようにして、最初のパケットP1から5番目のパケットP5までのデータ160aのTSIF11から外部メモリ7へのDMA転送が完了すると、DMAC12はCPU13のDMAタイマ制御部133に(3)5パケット単位のデータ160aのDMA転送完了割り込みを通知する。するとCPU13のTS解析データ処理部132は、5パケット単位のDMA転送完了割り込みに応答して、5パケット単位のデータ160aのトランスポートストリーム解析とデータ処理とによる(4)デコード処理を実行する。尚、この(4)デコード処理の開始に先立って、CPU13のTS解析データ処理部132はTSIF11のパケットカウンタ114の読み出しによる(6)転送パケット数取得を行って、外部メモリ7にDMAC転送済みの1番目の受信パケットデータ160aに含まれたパケットP1

50

～ P 5 の個数を認識する。更に M P E G 2 - T S の後続の 5 パケット単位のパケット P 6 ～ P 1 0、P 1 1 ～ P 1 5 のデータ 1 6 0 b、1 6 0 c に関して、上述と同様な 5 パケット単位のデータの D M A 転送完了割り込みおよび 5 パケット単位のデータの T S 解析とデータ処理とによる (4) デコード処理が繰り返される。

【 0 2 0 4 】

《弱電界の場合の制御》

図 1 7 は、複数パケット単位の D M A 転送完了割り込みとタイマ割り込みを採用した際に強電界から弱電界に変化する場合の M P E G 2 - T S の流れの制御を図 1 5 に示した本発明の実施の形態 1 によるアプリケーションプロセッサ 1 の各部で詳細に観測した図である。

10

【 0 2 0 5 】

図 1 7 (A) は (7) タイマ割り込みと (3) D M A 転送完了割り込みの時間差が比較的大きく、タイマ割り込みによるデコード処理が滞った場合の処理を説明する図であり、図 1 7 (B) は (7) タイマ割り込みと (3) D M A 転送完了割り込みの時間差が比較的小さい場合の処理を説明する図である。

【 0 2 0 6 】

(7) タイマ割り込みと (3) D M A 転送完了割り込みとの時間差が比較的大きく、タイマ割り込みによるデコード処理が滞った場合の図 1 7 (A) では、特に T S I F 1 1 の直下に、T S I F 1 1 のパケットカウンタ 1 1 4 の値が示されている。パケットカウンタ 1 1 4 の値は、(2) D M A 転送要求に应答する M P E G 2 - T S の 1 9 2 バイトの 1 個のパケットの D M A C 1 2 による T S I F 1 1 の T S バッファ 1 1 1 から外部メモリ 7 への D M A 転送の実行が完了する毎に、1 個のパケット分増加される。また、パケットカウンタ 1 1 4 の値は、(6) 転送パケット数取得に应答して、C P U 1 3 の T S 解析データ処理部 1 3 2 が T S I F 1 1 のパケットカウンタ 1 1 4 の更新値を読み出すと、ゼロにリセットされる。

20

【 0 2 0 7 】

図 1 7 (A) でも、図 9 と図 1 0 と図 1 6 と同様に最初の 5 パケット単位のパケット P 1 ～ P 5 のデータ 1 7 0 a に関して、T S I F 1 1 への受信、D M A C 1 2 による T S I F 1 1 から外部メモリ 7 への D M A 転送、C P U 1 3 による T S 解析とデータ処理による (4) デコード処理が実行される。図 1 7 (A) のこの動作は、図 9 と図 1 0 と図 1 6 と全く同様であるので、詳細な説明を省略する。

30

【 0 2 0 8 】

また図 1 7 (A) でも、図 9 と図 1 0 と同様に、2 番目の 5 パケット単位のデータ 1 7 0 b の 3 個のパケット P 6 ～ P 8 に関して、T S I F 1 1 への受信と D M A C 1 2 による T S I F 1 1 から外部メモリ 7 への D M A 転送とが実行された後、強電界から弱電界に変化して、データ 1 7 0 b に含まれるパケット P 9 ～ P 1 6 の M P E G 2 - T S が T S I F 1 1 によって受信不可能の受信中断状態となる。

【 0 2 0 9 】

更に図 1 7 (A) でも、図 9 と図 1 0 と同様に、同様に弱電界から強電界へ復帰すると、3 番目の受信パケットデータ 1 7 0 c の 2 個のパケット P 1 7、P 1 8 が T S I F 1 1 によって受信されるようになる。

40

【 0 2 1 0 】

図 1 0 の処理では、図 1 2 の処理に示したように、弱電界による受信中断状態の間にタイマ 1 6 による低優先度の (7) タイマ割り込み 1 2 C が弱電界から強電界への復帰の後の D M A C 1 2 による高優先度の (3) D M A C 転送完了割り込み 1 2 E よりも先に発生すると、誤動作が発生されるものであった。

【 0 2 1 1 】

すなわち、図 1 0 の処理では、図 1 2 の処理に示したように、後の高優先度の (3) D M A C 転送完了割り込み 1 2 E に应答した先の (4) デコード処理 1 2 H と先の低優先度の (7) タイマ割り込み 1 2 C に应答した後の (4) デコード処理 1 2 K との重複処理 1 2 M に

50

よって、誤動作が発生していた。尚、後の高優先度の(3)DMA C転送完了割り込み12Eに
 応答する先の(4)デコード処理12Hは、受信再開後に受信された3番目の受信パ
 ケットデータ100cの2個のパケットP17、P18の(4)デコード処理である。また、
 先の低優先度の(7)タイマ割り込み12Cに
 応答する後の(4)デコード処理12Kは、弱
 電界による受信中断状態前に受信された2番目の受信パケットデータ100bに
 含まれた3個のパケットP6~P8の(4)デコード処理12Kである。

【0212】

しかし図17(A)の処理では、弱電界による受信中断状態の間にタイマ113による低
 優先度の(7)タイマ割り込みに
 応答したCPU13のTS解析データ処理部132の(6)
 転送パケット数取得後、何らかの要因によりデコード処理が滞った状態で、しばらくして
 弱電界から強電界への復帰の後のDMA C12による高優先度の(3)DMA C転送完了割
 り込みが発生している。このような場合には、先の低い優先度の(7)タイマ割り込みによ
 る(6)転送パケット数取得に
 応答する受信中断状態前の2番目の受信パケットデータ170bの合計576バイトの3個
 のパケットP6~P8に関する(4)デコード処理は、高優
 先度の(3)DMA C転送完了割り込みによって、実行されずに、保留される。しかし、弱
 電界による受信中断状態の間に低い優先度の(7)タイマ割り込みに
 応答したCPU13の
 (6)転送パケット数取得の後、所定の経過時間内に高優先度の(3)DMA C転送完了割
 り込みが発生しない場合には、保留されていた受信中断状態の前の2番目の受信パケッ
 トデータ170bの合計576バイトの3個のパケットP6~P8に関する(4)デコード処理
 が所定の経過時間の経過後に実行されるものである。また弱電界による受信中断状態の
 間に低優先度の(7)タイマ割り込みに
 応答したCPU13の(6)転送パケット数取得の後、
 所定の経過時間内に高い優先度の(3)DMA C転送完了割り込みが発生しないことは、C
 PU13のDMA Cタイマ制御部133に配置されるタイマによって検出することが可能
 である。

【0213】

更に、強電界への復帰の後のDMA C12による高優先度の(3)DMA C転送完了割
 り込みに
 応答して、CPU13のTS解析データ処理部132はTSIF11のパケットカ
 ウンタ114から(6)転送パケット数取得を実行する。この時には、受信再開後の3番目
 の受信パケットデータ170cの合計384バイトの2個のパケットP17、P18に関
 してDMA C12によるDMA C転送が完了している。従って、後の高い優先度の(3)D
 MA C転送完了割り込みによる(6)転送パケット数取得に
 応答する受信再開後の3番目の
 受信パケットデータ170cの合計384バイトの2個のパケットP17、P18に関し
 て、(4)デコード処理が実行されるものとなる。受信再開後の3番目の受信パケッ
 トデータ170cの2個のパケットP17、P18に関する(6)転送パケット数取得による(4)
 デコード処理の実行時には、受信中断状態の前の2番目の受信パケットデータ170bの
 3個のパケットP6~P8に関する(6)転送パケット数取得の情報と(4)デコード処理の
 ための情報とが破棄される。

【0214】

このようにして、図17(A)の処理では、図10の処理で発生していた後の高優先度の
 (3)DMA C転送完了割り込みに
 応答した先の(4)デコード処理と先の低優先度の(7)タイ
 マ割り込みに
 応答した後の(4)デコード処理との逆転処理と誤動作との発生を回避する
 ことが可能となる。

【0215】

(7)タイマ割り込みと(3)DMA C転送完了割り込みとの時間差が比較的小さな場合の図
 17(B)でも、特にTSIF11の直下に、TSIF11のパケットカウンタ114の値
 が示されている。図17(B)でも、図17(A)と同様に、強電界から弱電界への変化によ
 る受信中断と弱電界から強電界への変化による受信再開とが発生している。しかし、図1
 7(B)では、弱電界の受信中断状態によるタイマ113による低優先度の(7)タイマ割
 り込み発生
 のタイミングが、弱電界から強電界への変化による受信再開後の状態まで遅延し
 ている。従って、先の低い優先度の(7)タイマ割り込みによる(6)転送パケット数取得に

10

20

30

40

50

応答して、受信中断状態前に受信された2番目の受信パケット170bの3個のパケットP6～P8と受信再開の後の3番目の受信パケットデータ170cの2個のパケットP17、P18の合計5個のパケットの値がTSIF11のパケットカウンタ114の値としてCPU13のTS解析データ処理部132により読み出される。このようにして、受信中断状態前に受信された2番目の受信パケット170bの3個のパケットP6～P8と受信再開の後の3番目の受信パケットデータ170cの2個のパケットP17、P18の合計5個のパケットに関して、(4)デコード処理が実行されるものとなる。

【0216】

このようにして、図17(B)の処理では、図10の処理で発生していた後の高優先度の(3)DMAC転送完了割り込みに応答した先の(4)デコード処理と先の低優先度の(7)タイマ割り込みに応答した後の(4)デコード処理との重複処理と誤動作との発生を回避することが可能となる。

10

【0217】

《重複処理を回避する処理》

図18は、図17の処理で後の高優先度の(3)DMAC転送完了割り込みに応答した先のデコード処理と先の低優先度の(7)タイマ割り込みに応答した後のデコード処理との逆転処理あるいは重複処理を回避する処理を説明する図である。

【0218】

図18(A)は優先度が低いタイマ割り込み発生18Cと優先度が高いDMAC転送完了割り込み発生18Eとの時間差が比較的大きく、タイマ割り込みによるデコード処理が滞った場合の処理を説明する図であり、図18(B)は優先度が低いタイマ割り込み発生18Cと優先度が高いDMAC転送完了割り込み発生18Eとの時間差が比較的小さな場合の処理を説明する図である。

20

【0219】

時間差が比較的大きく、タイマ割り込みによるデコード処理が滞った場合の図18(A)でも、図12(A)と同様に複数の割り込み要因としてタイマ割り込み要因18AとDMAC転送完了割り込み要因18Bとが存在しているが、優先度が高い(3)DMAC転送完了割り込み発生18Eより先に優先度が低い(7)タイマ割り込み発生18Cが発生している。しかし、この先の低優先度の(7)タイマ割り込み発生18Cに応答した受信中断状態前の2番目の受信パケットデータ170bの合計576バイトの3個のパケットP6～P8に関する(6)転送パケット数取得18Dの後、タイマ割り込みによるデコード処理が滞った状態であれば後の高優先度の(3)DMAC転送完了割り込み発生18Eが発生している。従って、先の低優先度の(7)タイマ割り込み18Cによる(6)転送パケット数取得18Dに応答する受信中断状態前の2番目の受信パケットデータ170bの3個のパケットP6～P8に関する(4)デコード処理は、高優先度の(3)DMAC転送完了割り込みによって、実行されずに保留される。尚、先の低い優先度の(7)タイマ割り込み発生18Cに応答した(6)転送パケット数取得18Dによって、TSIF11のパケットカウンタ114の値はゼロにリセットされる。しかし、弱電界による受信中断状態の間に低優先度の(7)タイマ割り込み18Cに応答したCPU13の(6)転送パケット数取得18Dの後、所定の経過時間内に高優先度の(3)DMAC転送完了割り込み18Eが発生しない場合には、保留されていた受信中断状態の前の2番目の受信パケットデータ170bの合計576バイトの3個のパケットP6～P8に関する(4)デコード処理が所定の経過時間の経過後にステップ18Iで実行されるものである。上述したように、弱電界による受信中断状態の間に低優先度の(7)タイマ割り込み18Cに応答したCPU13の(6)転送パケット数取得18Dの後、所定の経過時間内に高優先度の(3)DMAC転送完了割り込み18Eが発生しないことは、CPU13のDMACタイマ制御部133に配置されるタイマによって検出することが可能である。

30

40

【0220】

その後、後の高い優先度の(3)DMAC転送完了割り込み発生18Eに応答した(6)転送パケット数取得18Fによって、受信再開後の3番目の受信パケットデータ170cの2

50

個の packets P 1 7、P 1 8 に関する転送 packets 数が取得される。その結果、その後の (4) デコード処理のステップ 1 8 G にて、後の高優先度の (3) D M A 転送完了割り込み発生 1 8 E による (6) 転送 packets 数取得 1 8 F に応答する受信再開の後の 3 番目の受信 packets データ 1 7 0 c の 2 個の packets P 1 7、P 1 8 に関して (4) デコード処理 1 8 G が実行されることが可能となる。尚、後の高い優先度の (3) D M A 転送完了割り込み発生 1 8 E による (6) 転送 packets 数取得 1 8 F によって、T S I F 1 1 の packets カウンタ 1 1 4 の値はゼロにリセットされる。尚、(4) デコード処理 1 8 G の実行時には、受信中断状態の前の 2 番目の受信 packets データ 1 7 0 b の合計 5 7 6 バイトの 3 個の packets P 6 ~ P 8 に関する (6) 転送 packets 数取得の情報と (4) デコード処理のための情報とは破棄されるものである。

10

【 0 2 2 1 】

また、その次のステップ 1 8 H では、C P U 1 3 の D M A C タイマ制御部 1 3 3 は (1) D M A 設定を実行する。その後、優先度が低いタイマ割り込みに関する (4) デコード処理のステップ 1 8 I の処理に戻される。しかし、(6) 転送 packets 数取得 1 8 D によって、先の低い優先度の (7) タイマ割り込み発生 1 8 に関する T S I F 1 1 の packets カウンタ 1 1 4 の値はゼロにリセットされ、受信中断状態前の 2 番目の受信 packets データ 1 7 0 b の合計 5 7 6 バイトの 3 個の packets P 6 ~ P 8 に関する (6) 転送 packets 数取得の情報と (4) デコード処理のための情報とは破棄されているので、ステップ 1 8 I の (4) デコード処理では実際のデコード処理は実行されない。またその次のステップ 1 8 J では、C P U 1 3 の D M A C タイマ制御部 1 3 3 は (5) タイマ設定を実行するものである。

20

【 0 2 2 2 】

時間差が比較的小さな場合の図 1 8 (B) でも、時間差が比較的大きな場合の図 1 8 (A) と同様に複数の割り込み要因としてタイマ割り込み要因 1 8 A と D M A 転送完了割り込み要因 1 8 B が存在しているが、優先度が高い (3) D M A 転送完了割り込み発生 1 8 E より先に優先度が低い (7) タイマ割り込み発生 1 8 C が発生している。しかし、この先の低優先度の (7) タイマ割り込み発生 1 8 C に応答した受信中断状態前の 2 番目の受信 packets データ 1 7 0 b と受信中断後の受信再開による受信 packets データ 1 7 0 c の合計 5 個の packets P 6 ~ P 8、P 1 7、P 1 8 に関する (6) 転送 packets 数取得 1 8 D の直後に、後の高い優先度の (3) D M A 転送完了割り込み発生 1 8 E が発生している。その結果、後の高い優先度の (3) D M A 転送完了割り込み発生 1 8 E によって先の低優先度の (7) タイマ割り込み 1 8 C による (6) 転送 packets 数取得 1 8 D に応答する合計 5 個の packets P 6 ~ P 8、P 1 7、P 1 8 に関する (4) デコード処理は、実行されずに一時的に保留されることになる。尚、先の低優先度の (7) タイマ割り込み発生 1 8 C に応答した (6) 転送 packets 数取得 1 8 D によって、T S I F 1 1 の packets カウンタ 1 1 4 の値はゼロにリセットされる。

30

【 0 2 2 3 】

その後、処理は先の低優先度の (7) タイマ割り込み発生 1 8 C に応答した処理から、後の高い優先度の (3) D M A 転送完了割り込み発生 1 8 E に応答した処理に移行するものである。その結果、後の高優先度の (3) D M A 転送完了割り込み発生 1 8 E に応答した (6) 転送 packets 数取得 1 8 F によって、packets カウンタ 1 1 4 からリセットされた値であるゼロが読み出される。従って、その後の (4) デコード処理のステップ 1 8 G では実質的なデコード処理は実行されない。(4) デコード処理のステップ 1 8 G では実質的なデコード処理は実行されないことによって、受信中断状態の前後の合計 5 個の packets P 6 ~ P 8、P 1 7、P 1 8 に関する (6) 転送 packets 数取得 1 8 D の情報と (4) デコード処理のための情報とは、破棄されることなく、C P U 1 3 の T S 解析データ処理部 1 3 2 の内部に保存されている。その次のステップ 1 8 H では、C P U 1 3 の D M A C タイマ制御部 1 3 3 は (1) D M A 設定を実行する。その後、処理は後の高い優先度の (3) D M A 転送完了割り込み発生 1 8 E に応答した処理から、先の低優先度の (7) タイマ割り込み発生 1 8 C に応答した処理に移行するものである。

40

【 0 2 2 4 】

50

このようにして、優先の低優先度の(7)タイマ割り込み発生18Cに回答した(4)デコード処理のステップ18Iの処理に戻される。上述したように、先の低い優先度の(7)タイマ割り込み発生18Cに回答した(6)転送パケット数取得18Dに関する合計5個のパケットP6~P8、P17、P18の(4)デコード処理の情報は、CPU13のTS解析データ処理部132の内部に保存されている。従って、ステップ18Iの(4)デコード処理が再開されて、パケット数5個のP6~P8、P17、P18のデコード処理が実行される。またステップ18Jで、CPU13のDMACタイマ制御部133は(5)タイマ設定を実行するものである。

【0225】

このようにして、図14から図18に示した本発明の実施の形態1によれば、図13に示したような長い処理時間の必要なセマフォ制御を採用する必要が無いので、複数の割り込み要因を処理する際の処理の負担を軽減することが可能となる。

10

【0226】

以上、本発明者によってなされた発明を種々の実施の形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0227】

[他の実施の形態]

例えば、本発明の実施の形態によるアプリケーションプロセッサは、地上デジタル放送のワンセグ放送の受信に限定されるものではなく、ワンセグ放送以外のブルートース電波の受信や無線LANの電波を受信する際等にも広く適用することができる。

20

【0228】

従って、図15に示すアプリケーションプロセッサ1においては、MPEG2-TSを受信するTSIF(トランスポートストリームインターフェース)11の代わりに、種々の受信電波に基づく受信ビットストリームデータを入力してまた送信電波を生成するため送信ビットストリームを出力するデータI/Oインターフェースを使用することも可能である。

【0229】

また、図15に示すアプリケーションプロセッサ1において、(7)タイマ割り込み、もしくは、(3)DMAC転送完了割り込みに回答して実行される処理は、CPU13によるデマルチプレックス(DEMUX)処理の後のMPEGデコーダ18による映像および音声の復号による(4)デコード処理に限定されるものではない。例えば、それ以外の処理としては、CPU13または他のコプロセッサや他のアクセラレータによる種々のデータ処理が想定されるものである。

30

【0230】

更に、図15に示すアプリケーションプロセッサ1において、(7)タイマ割り込み、もしくは、(3)DMAC転送完了割り込みを生成する処理は、DMAC12によるDMAC転送に限定されるものではない。例えば、それ以外の処理としては、CPU13または他のコプロセッサや他のアクセラレータによる長い処理時間で重い処理負担の種々のデータ処理が想定されるものである。

40

【符号の説明】

【0231】

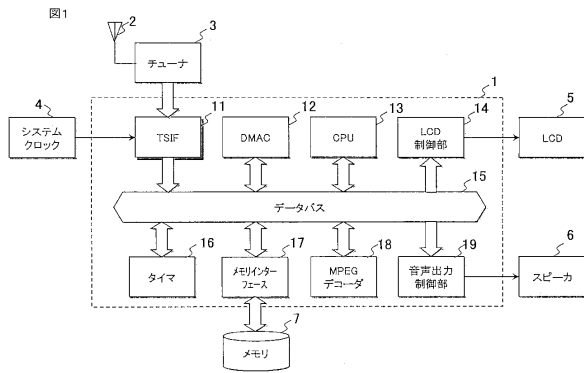
- 1 ... アプリケーションプロセッサ
- 2 ... デジタルテレビアンテナ
- 3 ... 外部デジタルテレビチューナー
- 4 ... システムクロック生成器
- 5 ... 液晶表示装置
- 6 ... スピーカ
- 7 ... 外部メモリ

- 11 ... トランスポートストリームインターフェース(TSIF)

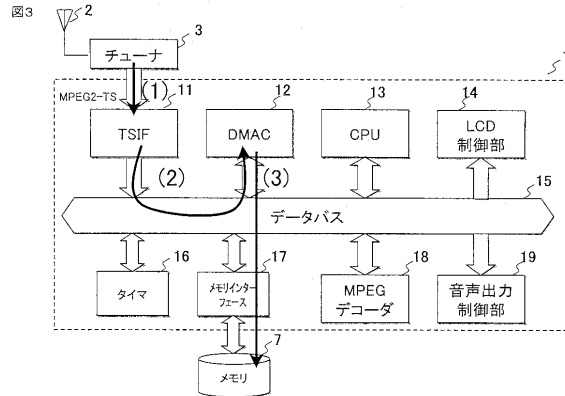
50

- 1 2 ...ダイレクトメモリアクセスコントローラ(DMAC)
- 1 3 ...中央処理ユニット(CPU)
- 1 4 ...液晶表示制御部
- 1 5 ...データバス
- 1 6 ...タイマ
- 1 7 ...メモリインターフェース
- 1 8 ...MPEGデコーダ
- 1 9 ...音声出力制御部
- 1 1 0 ...タイムスタンプ付加部
- 1 1 1 ...トランスポートストリームバッファ
- 1 1 2 ...DMAC制御部
- 1 1 3 ...TSIFタイマ
- 1 1 4 ...パケットカウンタ
- 1 3 1 ...DMAC制御処理部
- 1 3 2 ...TS解析データ処理部
- 1 3 3 ...DMACタイマ制御部

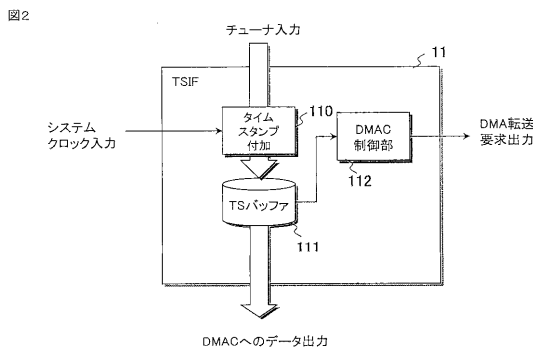
【図1】



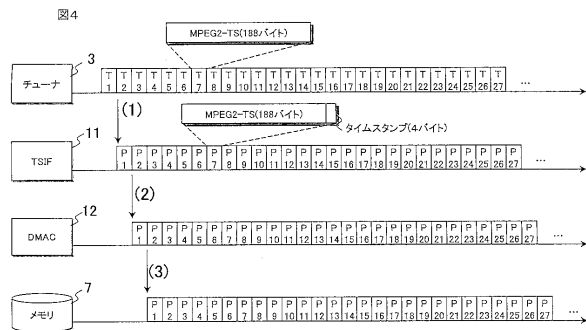
【図3】



【図2】

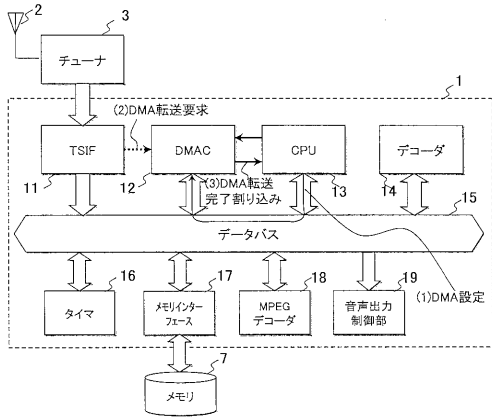


【図4】



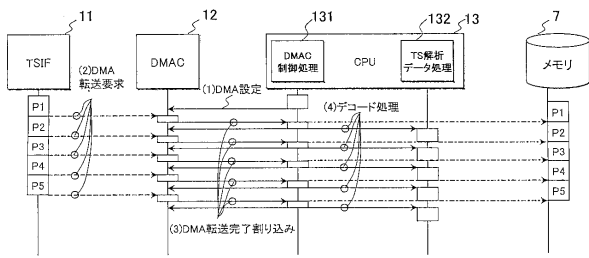
【図5】

図5



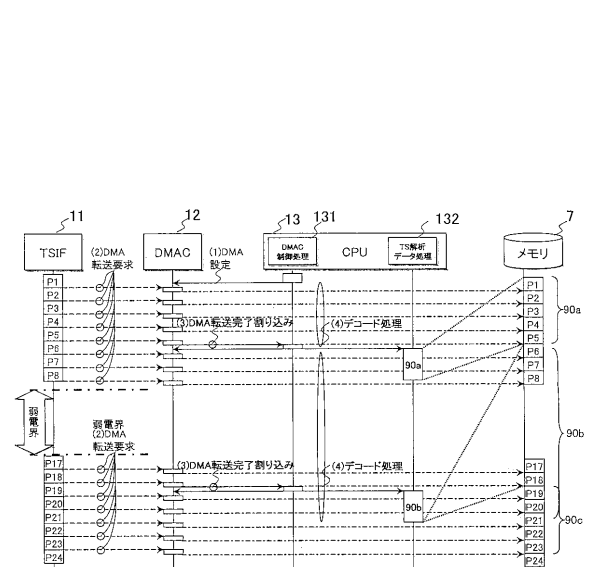
【図6】

図6



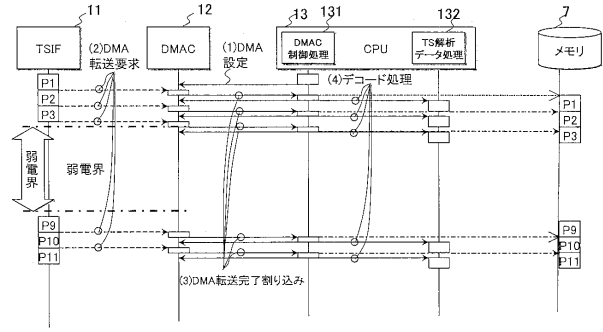
【図9】

図9



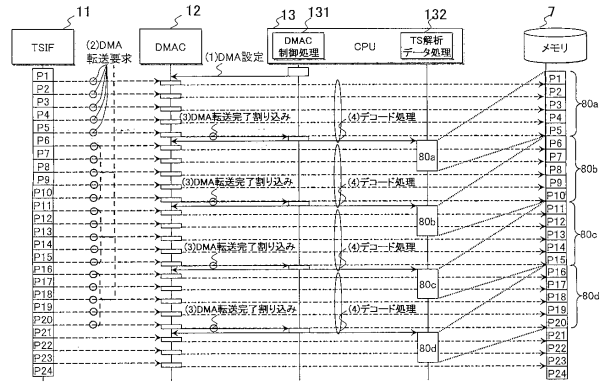
【図7】

図7



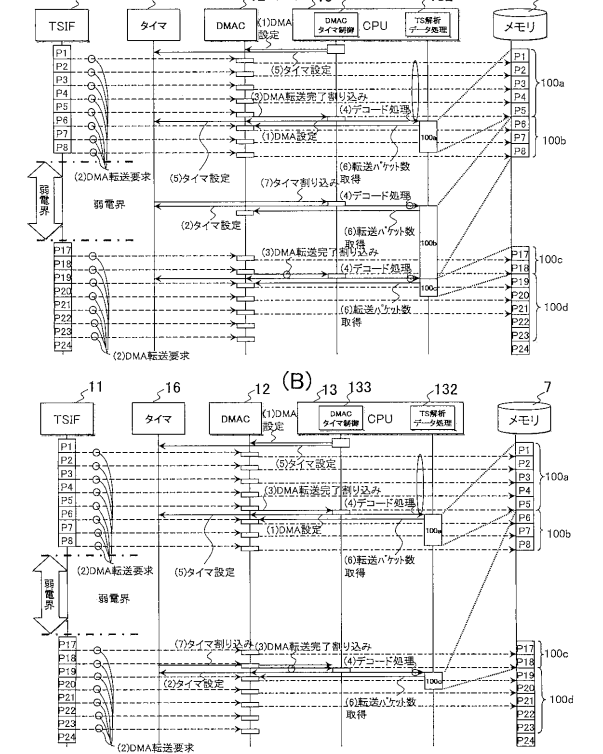
【図8】

図8



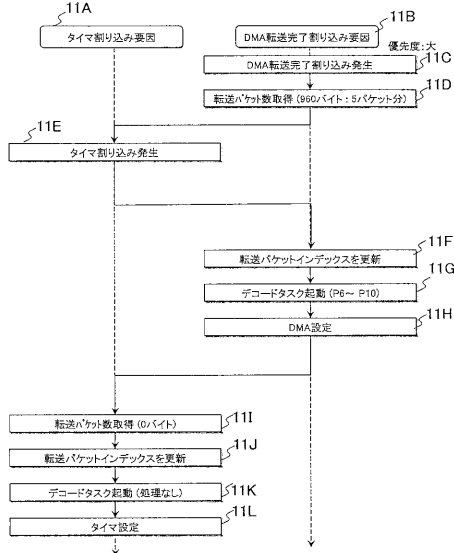
【図10】

図10



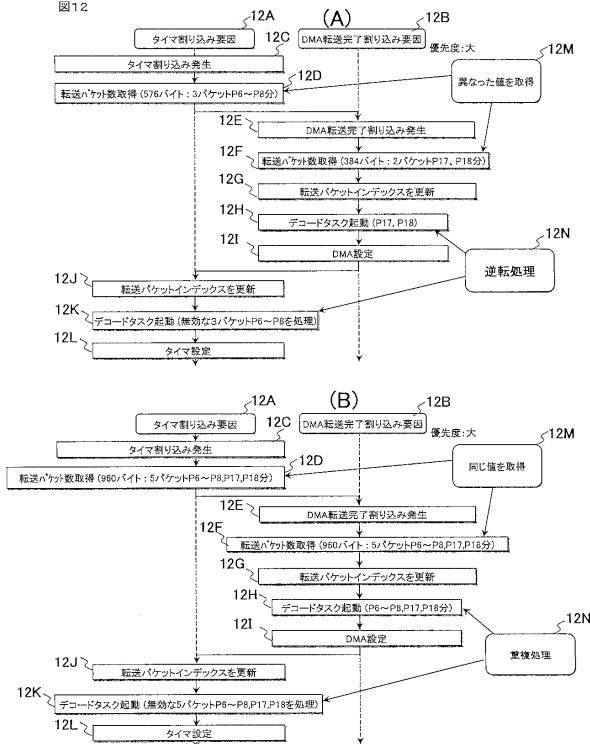
【図11】

図11



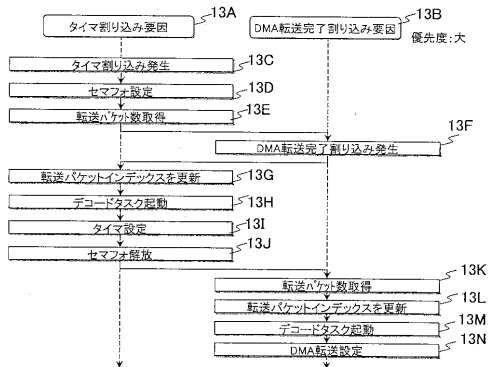
【図12】

図12



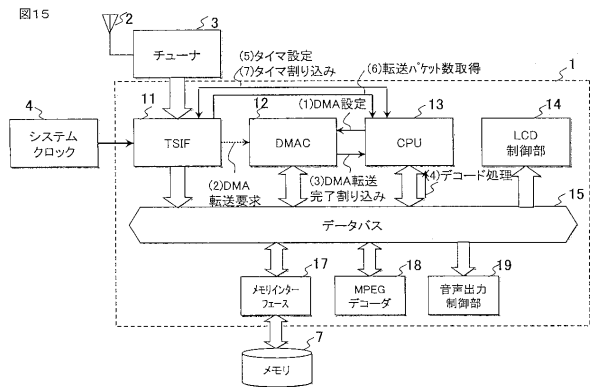
【図13】

図13



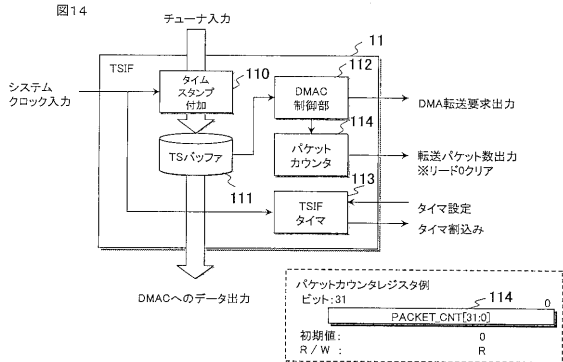
【図15】

図15



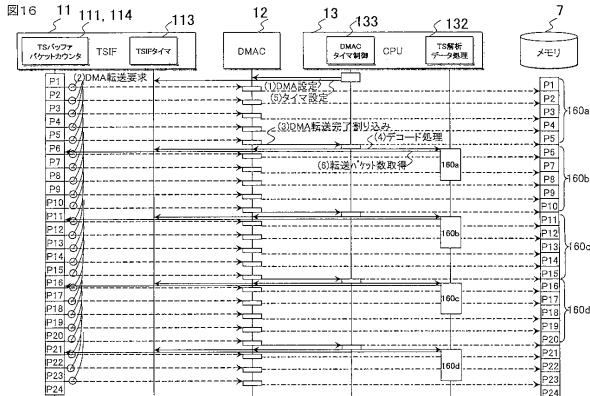
【図14】

図14



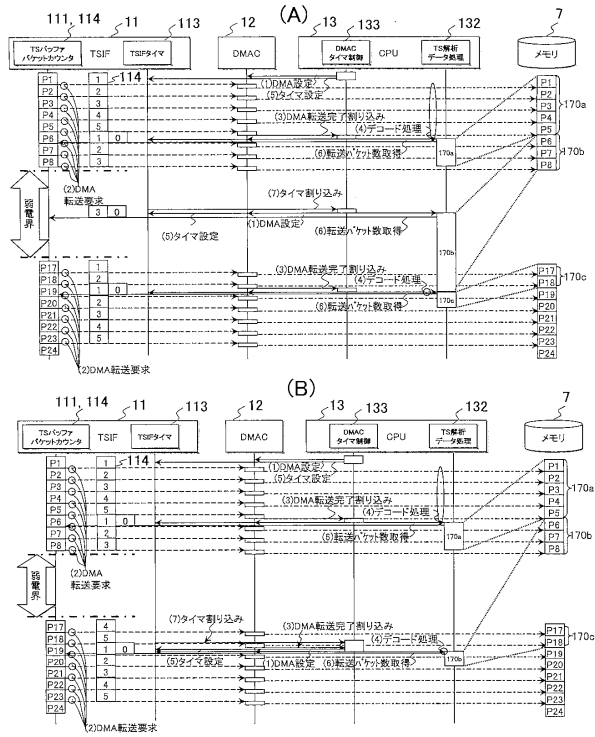
【図16】

図16



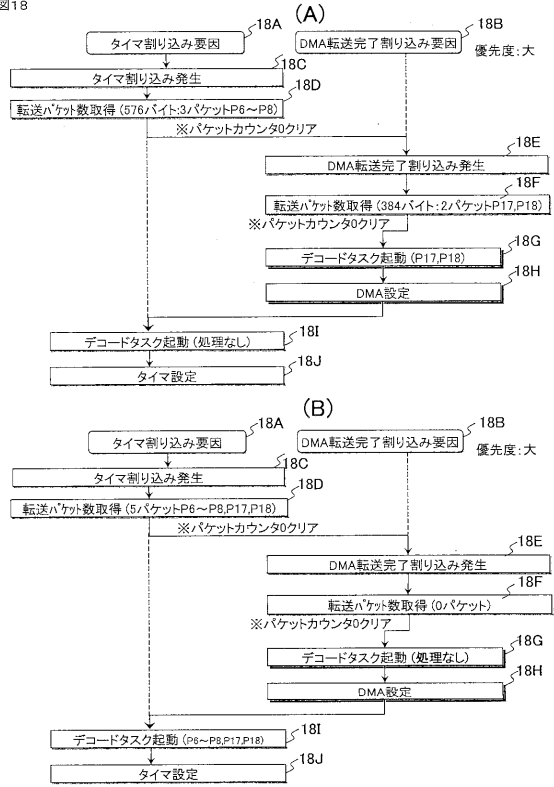
【図17】

図17



【図18】

図18



フロントページの続き

審査官 稲葉 崇

(56)参考文献 特開2005-267294(JP,A)
特開平10-207822(JP,A)
国際公開第2007/094611(WO,A1)

(58)調査した分野(Int.Cl., DB名)

G06F 13/20 - 13/378
G06F 13/38 - 13/42
G06F 13/00
H04N 7/10, 7/14 - 7/173
H04N 7/20 - 7/22
H04N 21/00 - 21/858
H04N 5/76
H04B 1/16