



特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類 4 G06F 12/10, 12/08, 12/06 G06F 12/02, 9/46</p>	<p>A1</p>	<p>(11) 国際公開番号 WO 90/05338 (43) 国際公開日 1990年5月17日 (17.05.90)</p>
<p>(21) 国際出願番号 PCT/JP89/00983 (22) 国際出願日 1989年9月28日 (28. 09. 89) (30) 優先権データ 特願昭 63-276252 1988年11月2日 (02. 11. 88) JP 特願平 1-131348 1989年5月26日 (26. 05. 89) JP (33) 優先権主張国 (71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所 (HITACHI, LTD.) [JP/JP] 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 田中俊治 (TANAKA, Shunji) [JP/JP] 〒228 神奈川県相模原市豊町日立上鶴間社宅 A-108 Kanagawa, (JP) 山岡 彰 (YAMAOKA, Akira) [JP/JP] 〒259-13 神奈川県秦野市渋沢739-1 竹ノ上 Heights 103 Kanagawa, (JP) 柳野英典 (UMENO, Hidenori) [JP/JP] 〒220-02 神奈川県津久井郡津久井町又野103-16 Kanagawa, (JP)</p>	<p>原口政敏 (HARAGUCHI, Masatoshi) [JP/JP] 〒251 神奈川県藤沢市辻堂元町2-12-21 Kanagawa, (JP) 小川 清 (OGAWA, Kiyoshi) [JP/JP] 〒240 神奈川県横浜市保土谷区川辺町2-2 A-1005 Kanagawa, (JP) 西條敏二 (SAIJO, Keiji) [JP/JP] 〒245 神奈川県横浜市泉区中田町2440 日立暁寮 Kanagawa, (JP) 竹田克己 (TAKEDA, Katsumi) [JP/JP] 〒257 神奈川県秦野市平沢719-3 Kanagawa, (JP) (74) 代理人 弁理士 浅村 皓, 外 (ASAMURA, Kiyoshi et al.) 〒100 東京都千代田区大手町2丁目2番1号 新大手町ビル331 Tokyo, (JP) (81) 指定国 DE, US. 国際調査報告書</p> <p>添付公開書類</p>	

(54) Title: VIRTUAL COMPUTER SYSTEM HAVING EXTENDED MEMORY

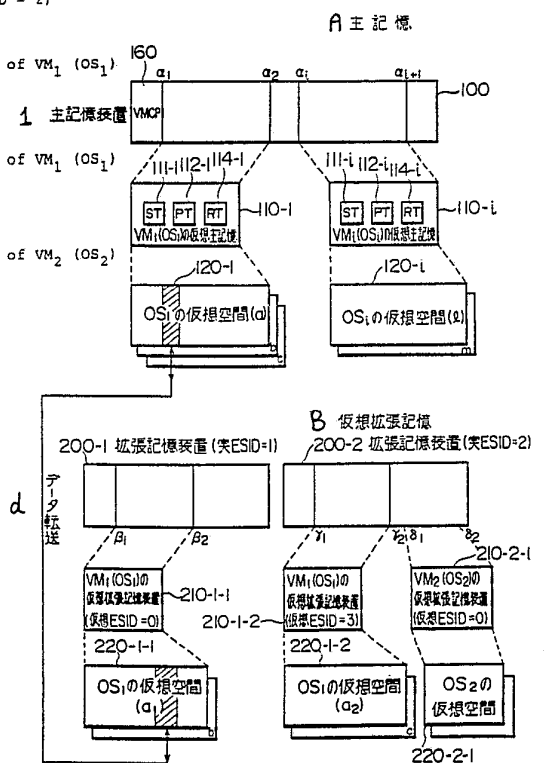
(54) 発明の名称 拡張記憶を有する仮想計算機システム

(57) Abstract

This invention relates to a virtual computer system having an extended memory which permits the running of a plurality of operating systems (OS) on one computer having main memory and at least one extended memory and which includes at least one virtual main memory which permits each of the plurality of OSs to reside on main memory, at least one virtual extended memory (virtual ES) residing on the extended memory, a first convertor for reading a virtual physical ES address on the virtual extended memory corresponding to the virtual ES address from a virtual ES address designated by one of the plurality of OSs and from an address inside a relocation table for the extended memory on the virtual main memory of one OS or inside a register of a computer, and a second convertor for generating a physical ES address on the physical extended memory corresponding to the virtual physical address from a virtual physical ES address and from the start address at the physical ES on at least one extended memory on which the virtual ES of one OS always reside.

- B virtual extended memory
200-1 ... extended memory (real ESID = 1)
200-2 ... extended memory (real ESID = 2)
d ... data transfer
210-1-1 ... virtual extended memory of VM₁ (OS₁) (virtual ESID = 0)
220-1-1 ... virtual space of OS₁
210-1-2 ... virtual extended memory of VM₁ (OS₁) (virtual ESID = 3)
220-1-2 ... virtual space of OS₁
210-2-1 ... virtual extended memory of VM₂ (OS₂) (virtual ESID = 0)
220-2-1 ... virtual space of OS₂

- A main memory
1 ... main memory
110-1 ... virtual main memory of VM₁ (OS₁)
120-1 ... virtual space of OS₁
110-i ... virtual main memory of VM_i (OS_i)
120-i ... virtual space of OS_i



(57) 要約

主記憶と、少なくとも1つの拡張記憶と、
を有する1つの計算機上で複数のオペレーティングシステム(OS)の走行が可能であり、
複数OSの各々が主記憶上に常駐する仮想主記憶と、
拡張記憶上に常駐する少なくとも1つの仮想拡張記憶(仮想ES)と、
複数OSの1つにより指定される仮想ESの仮想空間上の仮想ESアドレスと1つのOSの仮想主記憶上の拡張記憶のためのリロケーションテーブル内あるいは計算機のレジスタ内のアドレスから仮想ESアドレスに対応する仮想拡張記憶上の仮想物理ESアドレスを読み出すための第1変換器と、
仮想物理ESアドレスと1つのOSの仮想ESが常駐する少なくとも1つの拡張記憶上の物理ESにおける起点アドレスとから仮想物理ESアドレスに対応する物理拡張記憶上の物理ESアドレスを生成する第2の変換器と、
を有する拡張記憶付きの仮想計算機システム。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	ES	スペイン	MG	マダガスカル
AU	オーストラリア	FI	フィンランド	ML	マリ
BB	バルバドス	FR	フランス	MR	モーリタニア
BE	ベルギー	GA	ガボン	MW	マラウイ
BF	ブルキナ・ファソ	GB	イギリス	NL	オランダ
BG	ブルガリア	HU	ハンガリー	NO	ノルウェー
BJ	ベナン	IT	イタリア	RO	ルーマニア
BR	ブラジル	JP	日本	SD	スーダン
CA	カナダ	KP	朝鮮民主主義人民共和国	SE	スウェーデン
CF	中央アフリカ共和国	KR	大韓民国	SN	セネガル
CG	コンゴ	LI	リヒテンシュタイン	SU	ソビエト連邦
CH	スイス	LK	スリランカ	TD	チャード
CM	カメルーン	LU	ルクセンブルグ	TG	トーゴ
DE	西ドイツ	MC	モナコ	US	米国
DK	デンマーク				

明 細 書

拡張記憶を有する仮想計算機システム

5 技術分野

本発明は、仮想計算機上のオペレーティング・システムが拡張記憶 (extended storage) へのデータ転送命令で指定したアドレスを、物理アドレスに変換しながらデータ転送を実行するのに好適な拡張記憶付き仮想計算機
10 システムに関する。

背景技術

計算機システムを構成する代表的な記憶装置として主記憶装置 (main storage)、拡張記憶装置、および、入
15 出力装置 (input/output device) がある。

米国特許第 4, 476, 524 号に対応する特開昭 5
8-9276 号公報は、拡張記憶装置 (expanded
storage) (ただし前記公報では、ページング記憶装置
と呼んでいる) を開示している。前記公報に開示された
20 装置によれば、通常の命令あるいは入出力命令により主
記憶装置と拡張記憶装置 (expanded storage) との間で
高速なデータ転送を行なうことができる。

また、米国特許出願第 079314 号に対応する特開
昭 64-37636 号公報は、1 台の計算機上で複数の
25 論理的な計算機である仮想計算機 (VM) を生成し、各

VM上のオペレーティング・システムの走行を可能とする仮想計算機システムにおいて、各VMの拡張記憶装置 (expanded storage) (仮想拡張記憶装置) として、物理拡張記憶を分割した記憶領域を与える方法を開示している。ただし、各VM上のOSは、拡張記憶に対して仮想空間を生成しない。

また、特開昭60-122445号公報は、VMの主記憶装置 (仮想主記憶装置) として、物理主記憶装置を分割した記憶領域を与える方法を開示している。該公報に開示された装置によれば、通常の命令が指定する仮想主記憶の仮想空間上のアドレスを高速に物理アドレスに変換することができる。さらにこの公報に開示された装置によれば、OSのチャネルプログラムが指定する仮想主記憶装置上のアドレスをチャネルが物理アドレスに変換することができる。このようにして、物理主記憶装置を分割した記憶領域を有するVMの通常の命令および入出力命令が、高速に実行可能となる。

上記特開昭64-37636号公報による従来技術は、物理主記憶上に常駐するVMの仮想主記憶と物理拡張記憶上に常駐する仮想拡張記憶装置間のデータ転送処理を高速に行う上で非常に有効であつた。しかし、この場合に以下の課題がある。

(a) 上記特開昭64-37636号公報による拡張記憶装置は、ページングに使用される。このため、VM上のOSは、仮想拡張記憶装置に対して実アドレス指定で

しかアクセスしていない。即ち、VM上のOSは、仮想
拡張記憶装置に対して仮想空間を生成していない。しか
しながら、OS下のデータベースシステムやアプリケー
ションプログラムが拡張記憶装置を使用可能とするには、
5 OSが各々のプログラムに拡張記憶装置の仮想空間を与
えることが望ましい。さらに、VMの仮想主記憶上の仮
想空間と仮想拡張記憶上の仮想空間の間で、直接データ
転送が行なわれることが望ましい。この場合、仮想拡張
記憶上の仮想空間上のアドレス（仮想ESアドレス）を
10 仮想拡張記憶上の実際のアドレス（仮想物理ESアドレ
ス）に変換するための変換情報は、OSが仮想主記憶上
のリロケーションテーブルとして作成すればよい。リロ
ケーションテーブルを仮想拡張記憶上でなく仮想主記憶
上に設けるのは、主記憶の方が拡張記憶よりも拘束にア
15 クセスできるからである。

(b) 上記仮想ESアドレスを仮想物理ESアドレスに
変換するための変換情報が、命令プロセッサ内にリロケ
ーションレジスタとして実現されている場合にも、VM
の仮想主記憶上の仮想空間と仮想拡張記憶上の仮想空間
20 の間で、直接データ転送が行なわれることが望ましい。
リロケーションテーブルを仮想主記憶上でなく、レジス
タとして設けるのは、レジスタの方が主記憶よりも高速
にアクセスできるからである。

(c) 上記特開昭64-37636号公報では、VMの
25 仮想主記憶と仮想拡張記憶の間のデータ転送を入出力命

令以外の通常の命令により実行する。しかしながら、入出力命令により、VMの仮想主記憶と仮想拡張記憶の間のデータ転送を行なえることが望ましい。

(d) VM間で仮想拡張記憶を共用し、VM間でデータを共用できることが望ましい。

発明の開示

本発明の目的は、ESのアドレス変換情報が主記憶上にリロケーションテーブルとしてある場合に、VMの仮想主記憶上の仮想空間と仮想拡張記憶上の仮想空間の間で、直接データ転送が行なわれる仮想計算機システムを提供することにある。

本発明の別の目的は、ESのアドレス変換情報が命令プロセッサ中にリロケーションレジスタとしてある場合に、VMの仮想主記憶上の仮想空間と仮想拡張記憶上の仮想空間の間で、直接データ転送が行なわれる仮想計算機システムを提供することにある。

本発明の別の目的は、入出力命令により、VMの仮想主記憶と仮想拡張記憶の間のデータ転送を行なえる仮想計算機システムを提供することにある。

本発明の別の目的は、仮想主記憶装置と仮想拡張記憶装置を有する1つ以上のOSが走行する仮想計算機システムにおいて、上記OSがチャネルプログラムで指定した仮想主記憶と仮想拡張記憶間のデータ転送を効率良く実行する仮想計算機用拡張記憶のデータ転送実行装置を

提供することである。

本発明の別の目的は、VM間で仮想拡張記憶を共用し、VM間でデータを共用できる仮想計算機システムを提供することにある。

5 上記課題を解決するために、

1つの主記憶装置（物理主記憶装置）と1つ以上の拡張記憶装置（物理拡張記憶装置）を有する1台の計算機上で複数のオペレーティング・システム（OS）の走行が可能であつて、

10 前記OSの各々が、前記物理主記憶装置上に常駐する1つの仮想主記憶装置と、前記物理拡張記憶装置上に常駐する1つ以上の仮想拡張記憶装置を有する仮想計算機システムは、

15 前記OSが指定した仮想拡張記憶の仮想空間上のアドレス（仮想ESアドレス）と前記OSの仮想主記憶装置上のES用リロケーションテーブルのアドレスから前記仮想ESアドレスに対応する仮想拡張記憶上のアドレス（仮想物理ESアドレス）を読みだす第1の変換手段と、

20 前記仮想物理ESアドレスと前記OSの仮想拡張記憶の物理拡張記憶における起点アドレスとから前記仮想物理ESアドレスに対応する物理拡張記憶上のアドレス（物理ESアドレス）を生成する第2の変換手段を有する。

25 物理主記憶装置上に常駐する仮想主記憶装置と、物理拡張記憶装置上に常駐する1以上の仮想拡張記憶装置を

有するOSが、仮想主記憶装置上の仮想空間と仮想拡張記憶上の仮想空間の間のデータ転送命令を発行すると、以下のようにしてこのデータ転送命令を実行する。

まず、第1の変換手段は、前記OSが指定した仮想拡張記憶の仮想空間上のアドレス（仮想ESアドレス）と前記OSの仮想主記憶装置上のES用リロケーションテーブルのアドレスから前記仮想ESアドレスに対応する仮想拡張記憶上のアドレス（仮想物理ESアドレス）を読み出す。

次に、第2の変換手段は、前記仮想物理ESアドレスと前記OSの仮想拡張記憶の物理拡張記憶における起点アドレスとから前記仮想物理ESアドレスに対応する物理拡張記憶上のアドレス（物理ESアドレス）を生成する。その後、上記変換結果の物理ESアドレスを用いて上記OSのデータ転送命令を実行する。

このようにして、ESのアドレス変換情報が主記憶上にリロケーションテーブルとしてある場合に、VMの仮想主記憶上の仮想空間と仮想拡張記憶上の仮想空間の間で、直接データ転送が行なわれる仮想計算機システムを提供できる。さらに、複数のVMに対して仮想拡張記憶の物理拡張記憶における起点アドレスを等しく与えることにより、VM間で仮想拡張記憶を共用し、VM間でデータを共用できる仮想計算機システムを提供できる。

また、1つの主記憶装置（物理主記憶装置）と1つ以上の拡張記憶装置（物理拡張記憶装置）を有する1台の

計算機上で複数のオペレーティング・システム（OS）の走行が可能であつて、

前記OSの各々が、前記物理主記憶装置上に常駐する1つの仮想主記憶装置と、前記物理拡張記憶装置上に常駐する1つ以上の仮想拡張記憶装置を有する仮想計算機システムは、

前記OSが指定した仮想拡張記憶の仮想空間上のアドレス（仮想ESアドレス）とES用リロケーションレジスタから前記仮想ESアドレスに対応する仮想拡張記憶上のアドレス（仮想物理ESアドレス）を読み出す第3の変換手段と、

前記仮想物理ESアドレスと前記OSの仮想拡張記憶の物理拡張記憶における起点アドレスとから前記仮想物理ESアドレスに対応する物理拡張記憶上のアドレス（物理ESアドレス）を生成する第4の変換手段を有する。

物理主記憶装置上に常駐する仮想主記憶装置と、物理拡張記憶装置上に常駐する1以上の仮想拡張記憶装置を有するOSが、仮想主記憶上の仮想空間と仮想拡張記憶上の仮想空間の間のデータ転送命令を発行すると、以下のようにしてこのデータ転送命令を実行する。

まず、第3の変換手段は、前記OSが指定した仮想拡張記憶の仮想空間上のアドレス（仮想ESアドレス）とES用リロケーションレジスタから前記仮想ESアドレスに対応する仮想拡張記憶上のアドレス（仮想物理ES

アドレス)を読み出す。

次に、第4の変換手段は、前記仮想物理ESアドレスと前記OSの仮想拡張記憶の物理拡張記憶における起点アドレスとから前記仮想物理ESアドレスに対応する物理拡張記憶上のアドレス(物理ESアドレス)を生成する。その後、上記変換結果の物理ESアドレスを用いて上記OSのデータ転送命令を実行する。

このようにして、ESのアドレス変換情報が命令プロセッサ中にリロケーションレジスタとしてある場合に、VMの仮想主記憶上の仮想空間と仮想拡張記憶上の仮想空間の間で、直接データ転送が行なわれる仮想計算機システムを提供できる。さらに、複数のVMに対して仮想拡張記憶の物理拡張記憶における起点アドレスを等しく与えることにより、VM間で仮想拡張記憶を共用し、VM間でデータを共用できる仮想計算機システムを提供できる。

さらに、1つの主記憶装置(物理主記憶装置)と1つ以上の拡張記憶装置(物理拡張記憶装置)を有する1台の計算機上で複数のオペレーティング・システム(OS)の走行が可能であつて、

前記OSの各々が、前記物理主記憶装置上に常駐する1つの仮想主記憶装置と、前記物理拡張記憶装置上に常駐する1つ以上の仮想拡張記憶装置を有する仮想計算機システムは、

前記仮想拡張記憶装置の物理拡張記憶装置における起

点アドレスをOS毎に対応表に保持するアドレス対応関係保持手段と、

前記OSの仮想主記憶装置上のチャネルプログラムが指定した仮想拡張記憶上のアドレス（仮想物理ESアドレス）に対応する仮想拡張記憶装置の物理拡張記憶装置における起点アドレスを前記OSの対応表から読みだす
5 起点アドレス読みだし手段と、

前記仮想物理ESアドレスと前記起点アドレスから前記仮想物理ESアドレスに対応する物理拡張記憶上のアドレス（物理ESアドレス）を生成する第5のアドレス
10 変換手段を有する。

OSの走行に先だつて、OSの仮想拡張記憶装置の物理拡張記憶装置における起点アドレスを対応表に登録する。この登録は、VM毎に1度行えば良く、VMディスク
15 パツチの度に行う必要はない。

物理主記憶装置上に常駐する仮想主記憶装置と、物理拡張記憶装置上に常駐する1以上の仮想拡張記憶装置を有するOSが、仮想主記憶装置と、仮想拡張記憶装置間のデータ転送を指示するチャネルプログラムの実行を要
20 求すると、以下のようにしてこのデータ転送を実行する。

まず、起点アドレス読みだし手段は、前記OSの仮想主記憶装置上のチャネルプログラムが指定した仮想拡張記憶上のアドレス（仮想物理ESアドレス）に対応する仮想拡張記憶装置の物理拡張記憶装置における起点アドレス
25 レスを前記OSの対応表から読みだす。

次に、第5のアドレス変換手段は、前記仮想物理ES
アドレスと前記起点アドレスから前記仮想物理ESアド
レスに対応する物理拡張記憶上のアドレス（物理ESア
ドレス）を生成する。その後、上記変換結果の物理ES
5 アドレスを用いて上記OSの仮想主記憶装置上のチャネ
ルプログラムを実行する。

このようにして、入出力命令により、VMの仮想主記
憶と仮想拡張記憶の間のデータ転送を行なえる仮想計算
機システムを提供できる。さらに、複数のVMに対して
10 仮想拡張記憶の物理拡張記憶における起点アドレスを等
しく与えることにより、VM間で仮想拡張記憶を共用し、
VM間でデータを共用できる仮想計算機システムを提供
できる。

15 図面の簡単な説明

第1図は本発明を適用した仮想計算機システムの構成
図、第2図は本発明を適用した主記憶装置の説明図、第
3図は本発明を適用した拡張記憶装置の説明図、第4図
は本発明のアドレス変換装置を適用した第1および第2
20 の実施例における命令処理装置の構成図、第5図および
第6図は従来の主記憶用アドレス変換回路の構成図、第
7図は本発明に到る思考過程に得た拡張記憶装置用ア
ドレス変換装置の構成図、第8図は本発明の第1および
第2の実施例におけるアドレス変換の全体構成の回路図、
25 第9図は本発明の第1の実施例における非アドレス変換

モード時のアドレス変換装置の回路図、第10図は本発明の第1の実施例におけるアドレス変換モード時のアドレス変換装置の回路図、第11図は本発明の第2の実施例における非アドレス変換モード時のアドレス変換装置の回路図、第12図は本発明の第2の実施例におけるアドレス変換モード時のアドレス変換装置の回路図、第13図および第14図は本発明の第3の実施例のアドレス変換装置が用いるアドレス変換情報の説明図、第15図は本発明の第3の実施例におけるアドレス変換装置にアドレス変換情報を設定する命令の説明図、第16図から第18図は従来のCCWの説明図、第19図は本発明を適用した第3の実施例における入出力処理装置の構成図、第20図は従来の主記憶アドレス変換回路の構成図、第21図は本発明の第3の実施例における拡張記憶アドレス変換回路の構成図である。

発明を実施するための最良の形態

以下、本発明の3つの実施例を図を用いて詳細に説明する。この3つの実施例の概要は、次のとおりである。

20 (A) 第1の実施例

ESのアドレス変換のための情報が、主記憶上のリロケーションテーブルの中にある場合に、VMの仮想主記憶上の仮想空間と、仮想拡張記憶上の仮想空間の間で、直接データ転送を行なうことを可能とするシステムおよび方法。

(B) 第 2 の実施例

ES のアドレス変換情報が、命令プロセッサ中のリロ
ケーションレジスタの中にある場合に、VM の仮想主記
憶上の仮想空間と、仮想拡張記憶上の仮想空間の間で、
5 直接データ転送を行なうことを可能とするシステムおよ
び方法。

(C) 第 3 の実施例

入出力命令により VM の仮想主記憶と、仮想拡張記憶
の間で、直接データ転送を行なうことを可能とするシス
10 テムおよび方法。

次に、実施例の各々について記憶する。

(A) 第 1 の実施例

(A-1) 仮想計算機システムの構成

第 1 図は、本発明を適用した仮想計算機システムの構
15 成図である。

第 1 図において、参照符号 100 は主記憶装置
(MS)、200 は 1 あるいはそれ以上の拡張記憶装置
から構成される拡張記憶装置群 (ES 群)、300 は記
憶制御装置 (SC)、400 は命令処理装置 (IP)、
20 500 は入出力処理装置 (IOP)、600-1 から 6
00-k は入出力装置である。

第 2 図に示すように、主記憶装置 100 には、仮想計
算機 (VM) の走行を制御する仮想計算機制御プログラ
ム (VMCP) 160 がある。また、主記憶装置 100
25 には、各仮想計算機 (VM_i) の仮想主記憶装置 110

— i ($1 \leq i \leq n$) が常駐しており、その中に各 $VM i$ を制御するオペレーティング・システム ($OS i$) がロードされている。さらに $OS i$ は、仮想主記憶装置 $110-i$ 上に仮想空間 $120-i$ を生成する。この仮想空間 $120-i$ 上のアドレス (仮想主記憶アドレス) と仮想主記憶装置 $110-i$ 上のアドレス (仮想物理主記憶アドレス) との対応関係を与えるアドレス変換テーブルがセグメントテーブル (ST) $111-i$ およびページテーブル (PT) $112-i$ 内に設けられてある。この $ST 111$ 及び $PT 112$ は、仮想空間の各々に対して OS が作成する。また仮想主記憶装置 $110-i$ 上のアドレス (仮想物理主記憶アドレス) と定数 α_i を加算することにより主記憶上の実際のアドレス (絶対物理アドレス) となる。

また、第3図に示すように、拡張記憶装置群 $200-j$ ($j = 1, 2, 3 \dots k$) には、各 $VM i$ の仮想拡張記憶装置群 $210-i$ ($1 \leq i \leq n$) が常駐している。拡張記憶装置群 200 上のアドレスは、1つの拡張記憶を特定するための拡張記憶識別子 ($ESID$) と拡張記憶における変位アドレス (ブロックアドレス) の組により指定される。第3図は、 $VM 1$ が仮想拡張記憶装置 $210-1-1$ と $210-1-2$ を有し、仮想 $ESID = 0$ の仮想拡張記憶装置 $210-1-1$ は実 $ESID = 1$ の物理拡張記憶装置 $200-1$ のブロックアドレス $\beta 1$ から $\beta 2$ までの領域に常駐し、仮想 $ESID = 3$ の仮想

拡張記憶装置 210-1-2 は実 E S I D = 2 の物理拡張記憶装置 200-2 のブロックアドレス γ_1 から γ_2 までの領域に常駐していることを示している。さらに OS i は、仮想拡張記憶装置 210-i 上に E S の仮想空間 220-i を生成する。この E S の仮想空間 220-i 上のアドレス（仮想 E S アドレス）と仮想拡張記憶装置 210-i 上のアドレス（仮想物理 E S アドレス）との対応関係は仮想主記憶 110-i 上に有るリロケーションテーブル 114-i により与えられる。仮想 E S アドレスから仮想物理 E S アドレスへのアドレス変換、および、仮想物理 E S アドレスから物理拡張記憶上のアドレス（絶対物理 E S アドレス）への変換については、後で詳しく述べる。

記憶制御装置 300 は、後で詳しく述べるように、命令処理装置 400 および入出力処理装置 500 からの主記憶装置 100 および拡張記憶装置 200 へのアクセスを制御するとともに、命令処理装置 400 と入出力処理装置 500 の間にあつて、入出力命令の実行および入出力割込みに係わるインタフェースを制御する。

第 4 図に示すように、命令処理装置 400 は、現在実行中の命令を保持する命令レジスタ 450、命令コードの解析を行なう命令デコーダ 451、汎用レジスタ 452、データ転送を行なう仮想主記憶アドレスを保持する M S アドレスレジスタ 453、M S アドレスレジスタ 453 の値をカウントアップするためのラインレジスタ 4

5 4 および加算器 4 5 5、プログラムで指定された仮想
ES アドレスを対応する物理 ES アドレスに変換するた
めの ES 用アドレス変換回路 4 4 0、プログラムで指定
された仮想主記憶アドレスを対応する物理主記憶アドレ
5 スに変換するための MS 用アドレス変換回路 4 1 0、ス
トレージコントロール SC 3 0 0 から IP 4 0 0 に送ら
れた指令をデコードして次の動作を指示する SC 指令デ
コーダ 4 5 6 を有する。

(A-2) データ転送の方法

10 第 2 図に示した仮想主記憶装置 1 1 0 - 1 および第 3
図に示した仮想拡張記憶装置群 2 1 0 - 1 を有するバー
チャルマシン VM 1 が走行中に発行した仮想主記憶装置
1 1 0 - 1 上の仮想空間と仮想拡張記憶装置群 2 1 0 -
1 上の仮想空間との間のデータ転送命令がどのように実
15 行されるかを、第 4 図に従つて説明する。

データ転送命令は、命令コードと、データ転送を開始
する仮想 ES アドレスおよび仮想主記憶アドレスを保持
する汎用レジスタの番号を示す R 1 フィールドおよび
R 2 フィールドからなる。第 4 図の命令レジスタ 4 5 0
20 に上記データ転送命令が格納されると、命令デコーダ 4
5 1 は、データ転送の方向を含む起動信号を信号線 2 1
0 0 に送出する。さらに命令デコーダ 4 5 1 は、R 1 お
よび R 2 がレジスタ番号を示す汎用レジスタ 4 5 2 の値
をデータ線 2 2 0 1 および 2 3 0 1 に送る。この後、デ
25 ータ線 2 2 0 1 に出力された仮想 ES アドレスは、ES

用アドレス変換回路440により物理ESアドレスに変換されてデータ線2200に出力される。この物理ESアドレスは、前述したように、複数有る拡張記憶の中から1つの拡張記憶を特定する実ESIDと、この拡張記憶内でのアドレス変位を示すブロックアドレスから構成される。また、データ線2301に出力された仮想主記憶アドレスは、MSアドレスレジスタ453に格納され、これがデータ線2302に出力された結果、MS用アドレス変換回路410により物理主記憶アドレスに変換されてデータ線2300に出力される。

次に、SC300の動作を第1図および第4図により説明する。SC300は、信号線2100により受け取った起動信号によりIP400からのデータ転送要求を検知して、データ転送の方向と、データ線2200より受け取った物理ESアドレス、および、データ線2300より受け取った物理主記憶アドレスをデータ線3000により主記憶装置100に送る。主記憶装置100は、受け取った物理ESアドレスをデータ線4000によりこのアドレスが指定する実ESIDの拡張記憶装置200-jに送る。さらに、SC300から受け取ったデータ転送の方向に従って、SC300から通知された物理主記憶アドレスと拡張記憶装置200-jに通知した物理ESアドレスのブロックアドレスが示す領域において一定のバイト数、例えば128バイトのデータ転送を行う。拡張記憶装置200-j (j = 1, 2, ...) (第

3 図) 内には、詳しく述べないが、1 ページ (4096
バイト) をカウントするカウンタがある。128 バイト
のデータ転送が完了する都度、拡張記憶 200-j 内で
128 バイト分カウントアップされるとともに、拡張記
5 憶装置 200-j のデータ転送アドレスも 128 バイト
分カウントアップされる。カウントアップした 1 ページ
をカウントするカウンタの値が 4096 バイトに満たな
い場合、拡張記憶装置 200-j はデータ転送の継続信
号を、また、4096 バイトに達した場合にはデータ転
10 送の終了信号を信号線 5000 (第 1 図) により SC3
00 に送る。これをさらに SC300 が信号線 2400
により IP400 に送る。

IP400 の SC 指令デコーダ 456 は、データ転送
の継続、あるいは、終了のどちらの指示信号であるかを
15 解析する。指示信号が継続信号であるならば、信号線 2
401 により加算器 455 を有効化する。ラインレジス
タ 454 には、例えば、128 が格納されている。その
結果、MS アドレスレジスタ 453 に格納されている前
回データ転送した仮想主記憶アドレスに 128 を加算し
20 た値がデータ線 2302 に出力され、これが、MS アド
レスレジスタ 453 に格納されるとともに、MS 用アド
レス変換回路 410 に送られる。この後、MS 用アドレ
ス変換回路 410 による変換結果の物理主記憶アドレス
と、拡張記憶装置 200-j に保持されているデータ転
25 送アドレスが示す領域において再度 128 バイトのデー

タが信号線 2100 および 3000 より指示された方向に転送される。一方、指示信号が終了信号ならば、次の命令が実行される。

以上のようにして、VM1の仮想主記憶装置 110-1 上の仮想空間 120-1 と仮想拡張記憶装置 210-1 上の仮想空間 220-1 との間のデータ転送が行なわれる。本実施例では、ES用アドレス変換回路 440 およびMS用アドレス変換回路 410 を、データ転送に適用したことに特徴が有る。次にMS用アドレス変換回路 410 およびES用アドレス変換回路 440 によるアドレス変換を説明する。

(A-3) メインストレージMS用のアドレス変換回路

MS用アドレス変換回路 410 によるアドレス変換を、第5図および第6図を用いて説明する。

第5図において、バーチャルマシンVM起点アドレスレジスタ 412 は、現在IP400 を使用中のVMの仮想主記憶装置の物理主記憶装置における起点アドレスを保持する。このVM起点アドレスレジスタ 412 には、VMCP160 が発行するVM起動命令により、起動されるVMの仮想主記憶装置の物理主記憶装置における起点アドレス値が設定される。例えば、第2図に示したVM1が走行中は、VM起点アドレスレジスタ 412 には、 $\alpha 1$ が設定されている。また、VM上のOSが指定した仮想主記憶アドレスは、仮想アドレスレジスタ 411 に保持されている。

まず VM が非アドレス変換モード、即ち、アドレス変換モードレジスタ 430 の値が "0" のときは、仮想アドレスレジスタの値と VM 起点アドレスレジスタ 412 の値 $\alpha 1$ が加算器 414 により加算されてデータ線 2300 に出力され、物理主記憶アドレスとして使用される。

次に、VM がアドレス変換モード、即ち、アドレス変換モードレジスタ 430 の値が "1" のときは、仮想アドレスレジスタの値は動的アドレス変換部 (DAT) 420 によりアドレス変換を受けて物理主記憶アドレスとなりデータ線 2300 に出力され、物理主記憶アドレスとして使用される。

この DAT 420 によるアドレス変換を第 6 図により説明する。セグメントテーブル ST アドレス制御レジスタ 440 は、セグメントテーブル ST 111 の先頭の仮想物理主記憶アドレスを保持する。そこで、まず仮想アドレスレジスタ 411 のセグメント番号フィールド S と ST アドレス制御レジスタ 440 の値を加算回路 421 により加算して、ST 111 の対応するエントリの仮想物理主記憶アドレスを得る。この仮想物理主記憶アドレスに、さらに、VM 起点アドレスレジスタ 412 の値を加算回路 421 によつて加算することにより、ST 111 のエントリの物理主記憶アドレスを得ることができる。さて、読みだされた ST 111 のエントリの値は、ページテーブル (PT) 112 の先頭の仮想物理主記憶アドレスに等しい。ST の場合と同様に、加算回路 422 に

- において、PT 112の先頭の仮想物理アドレスに仮想アドレスレジスタ411のページ番号フィールドPおよびVM起点アドレスレジスタ412の値を加算して、PT 112のエントリの物理アドレスを得ることができる。
- 5 加算回路423はこのPT 112のエントリの値とVM起点アドレスレジスタ412の値を加算する。この加算結果と、仮想アドレスレジスタ412の変位フィールドDを合成して、対応する物理主記憶アドレスを得てデータ線2002およびデータ線2300に出力する。
- 10 以上が第4図のMS用アドレス変換回路410によるアドレス変換の方法である。

(A-4) 拡張記憶のアドレス変換

- 第8図、第9図及び第10図を用いて本発明によるVM用の拡張記憶のアドレス変換回路を説明する前に、
- 15 よりよい理解のため、まず、第7図により、ひとつの実計算機における拡張記憶のアドレス変換回路440'を説明する。

- 第7図において、参照符号441は命令で指定された仮想ESアドレスを保持する仮想ESアドレスレジスタ、
- 20 457は441に保持されたアドレスがリロケーションテーブルRT 114による変換を必要とするか否かを指示するアドレス変換指示部、113-1、113-2、及び113-3は各々リロケーションテーブル148を構成する第1リロケーションテーブル、第2リロケーション
- 25 ヲンテーブル、第3リロケーションテーブルであり、4

5 8 は第 1 リロケーションテーブルの先頭物理主記憶アドレスを保持するリロケーションテーブルオリジンレジスタ（以下 R T O R レジスタと呼ぶ）である。

第 7 図において、仮想 E S アドレスレジスタ 4 4 1 に
5 設定されている仮想 E S アドレスが非アドレス変換モード、すなわち、アドレス変換指示部 4 5 7 が 0 のときは、データ線 2 2 1 0 に、アドレス変換指示部 2 5 7 を除く仮想 E S アドレスレジスタ 4 4 1 の内容が出力される。そして、アドレス変換指示部 2 5 7 が 0 の場合、データ
10 線 2 2 1 0 の値がデータ線 2 2 0 0 に出力され、この値は、そのまま、拡張記憶装置の参照物理アドレスとして使用される。前述したように、この物理アドレスは、1 以上の拡張記憶から 1 つの拡張記憶を識別する E S I D と、この E S I D を有する拡張記憶における番地を示す
15 ブロックアドレスから構成されている。

次に仮想 E S アドレスがアドレス変換モード、すなわち、アドレス変換指示部が 1 の場合のアドレス変換処理について説明する。

このとき R T O R レジスタ 4 5 8 の値と仮想 E S ア
20 レスレジスタ 4 4 1 の F I D フィールドが加算器 4 9 2 により加算され、第 1 リロケーションテーブル 1 1 3 - 1 の対応するエントリの物理主記憶アドレスが得られる。さて、読み出された第 1 リロケーションテーブル 1 1 3 - 1 のエントリには、仮想 E S アドレスに対応する実
25 E S I D が格納されており、これが信号線 2 2 1 1 に出

力される。また、このエントリには、第2リロケーション
テーブル113-2の先頭物理主記憶アドレスが格納
されており、これと仮想ESアドレスレジスタ441の
Cフィールドが加算器493により加算され、第2リロ
5 ケーションテーブル113-2の対応するエントリの物
理主記憶アドレスが得られる。読み出された第2リロケ
ーションテーブル113-2のエントリには、第3リロ
ケーションテーブル113-3の先頭物理主記憶アドレ
スが格納されており、これと仮想ESアドレスレジスタ
10 441のBフィールドが加算器494により加算され、
第3リロケーションテーブル113-3の対応するエン
トリの物理主記憶アドレスが得られる。この読み出され
た第3リロケーションテーブル113-3のエントリの
値と、仮想ESアドレスレジスタ241の変位フィール
15 ドAが加算器495により加算され、得られた実プロツ
クアドレスが信号線2212に出力される。そして、ア
ドレス変換指示部が1の場合、データ線2211に出力
されたESIDとデータ線2212に出力された実プロ
ツクアドレスがデータ線2200に出力され、この値が
20 物理ESアドレスとして使用される。

(A-5) ES用アドレス変換回路

次に、本発明によるES用アドレス変換回路440を
第8図により説明する。第8図においても参照符号44
1はプログラムが指定した仮想ESアドレスを保持する
25 仮想ESアドレスレジスタである。また442は、非ア

ドレス変換モードのときに、仮想ESアドレスレジスタ
441の値を対応する物理アドレスに変換するための非
アドレス変換モード用アドレス変換回路、445はアド
5 1の値を対応する物理アドレスに変換するためのDAT
である。非アドレス変換モードであるかアドレス変換モ
ードであるかは、仮想ESアドレス内のアドレス変換指
示部457により指定される。

第8図において、アドレス変換指示部457が0（非
10 アドレス変換モード）の場合には、後述する非アドレス
変換モード用アドレス変換回路442による変換結果が
データ線2202に出力され、これが有効化されて信号
線2200に出力される。また、アドレス変換指示部4
57が1（アドレス変換モード）の場合には、後述する
15 DAT445による変換結果がデータ線2203に出力
され、これが有効化されて信号線2200に出力される。

まず、第9図により非アドレス変換モード、即ち、仮
想アドレスレジスタ441のアドレス変換指示部457
が0の場合の、非アドレス変換モード用アドレス変換回
20 路442によるアドレス変換について説明する。第9図
において参照符号180は仮想拡張記憶装置群と物理拡
張記憶装置群とのアドレス対応関係を保持するESアド
レス変換テーブル、480はESアドレス変換テーブル
180の先頭物理主記憶アドレスを保持するための変換
25 表アドレスレジスタ、470は変換表アドレスレジスタ

480の値と仮想ESアドレスレジスタ441の仮想ESIDフィールドとを加算する加算器、471はESアドレス変換テーブル180の選択されたエントリの仮想ES起点アドレスフィールドと仮想ESアドレスレジスタ441の仮想ブロックアドレスフィールドを加算するための加算器である。

ESアドレス変換テーブル180は、第9図に示すように実ESIDと仮想ES起点アドレスの組からなるエントリの複数組から構成される。第3図に示したように、
10 仮想拡張記憶群210-1と実拡張記憶群200が対応しているVM1の場合、第9図に示すごとくESアドレス変換テーブル180は構成される。すなわち、第8図のESアドレス変換テーブルは、仮想ESID=0の仮想拡張記憶には実ESID=1の拡張記憶が対応しており、
15 ブロックアドレスβ1番地から始まる領域が与えられていることを示している。同様に、仮想ESID=3の仮想拡張記憶には実ESID=2の拡張記憶が対応しており、
ブロックアドレスγ1番地から始まる領域が与えられていることを示している。

20 VMCPは、VMを起動する命令において、当該VM用のESアドレス変換テーブル180の物理アドレスを変換表アドレスレジスタ480に設定する。

従つて、加算器470の出力は、仮想ESアドレスレジスタ441の仮想ESIDフィールドに対応するES
25 アドレス変換表180のエントリアドレスであり、当該

エントリの実ESIDフィールドがデータ線2220に出力される。また、当該エントリの仮想ES起点アドレスフィールドに、仮想アドレスレジスタ441の仮想ブロックアドレスフィールドを加算器471により加算した結果がデータ線2221に出力される。上記データ線2220およびデータ線2221に出力される値は、仮想アドレスレジスタ441に保持されたアドレスに対応する実ESIDおよび物理ブロックアドレスであり、これがデータ線2202に物理ESアドレスとして出力される。

次に、第10図によりアドレス変換モード、即ち、仮想ESアドレスレジスタ441のアドレス変換指示部457が1の場合のDAT445によるアドレス変換について説明する。第10図において、仮想ESアドレスから仮想物理ESアドレスへの変換情報であるリロケーションテーブル114としては、第1リロケーションテーブル113-1、第2リロケーションテーブル113-2、第3リロケーションテーブル113-3の3つがある。また458はVMの第1リロケーションテーブル113-1の仮想物理主記憶アドレスを保持する仮想RTO Rレジスタである。また参照符号472は仮想MS起点アドレス412の値 α 1と仮想RTO Rレジスタ458の値と仮想ESアドレスレジスタ441の仮想FIDフィールドの値とを加算する加算器、473は仮想MS起点アドレス412の値 α 1と選択された第1リ

ロケーションテーブル 113-1 のアドレス部と仮想
ES アドレスレジスタ 441 の C フィールドの値とを加
算する加算器、474 は仮想 MS 起点アドレス 412 の
値 $\alpha 1$ と選択された第 2 リロケーションテーブル 113
5 - 2 のアドレス部と仮想 ES アドレスレジスタ 441 の
B フィールドの値とを加算する加算器、475 は選択さ
れた ES アドレス変換テーブル 180 の仮想 ES 起点ア
ドレスフィールドの値と選択された第 3 リロケーション
10 テーブル 113-2 のアドレス部と仮想 ES アドレスレ
ジスタ 457 の A フィールドの値とを加算する加算器、
476 は変換表アドレスレジスタ 480 の値と選択され
た第 1 リロケーションテーブル 113-1 の ES ID フ
ィールドの値を加算する加算器である。

まず加算器 472 の出力は、仮想 ES アドレスレジス
15 タ 441 の FID フィールドに対応する VM の第 1 リロ
ケーションテーブル 113-1 のエントリの物理主記憶
アドレスであり、対応する該エントリ内の仮想 ES ID
がデータ線 2231 に、また、VM の第 2 リロケーシ
ョンテーブル 113-2 の先頭仮想物理主記憶アドレスが
20 データ線 2232 に出力される。この結果、まず加算器
476 の出力は仮想 ES アドレスレジスタ 441 の値に
対応する ES アドレス変換テーブル 180 のエントリの
物理主記憶アドレスとなり、該エントリの実 ES ID フ
ィールドの値がデータ線 2233 に、仮想拡張記憶装置
25 の起点物理プロックアドレスがデータ線 2234 に出力

される。加算器 473 の出力は、仮想 ES アドレスレジスタ 441 の C フィールドに対応する VM の第 2 リロケーションテーブル 113-2 のエントリの物理主記憶アドレスであり、VM の第 3 リロケーションテーブル 113-3 の先頭仮想物理アドレスがデータ線 2235 に出力される。この結果、加算器 474 の出力は、仮想 ES アドレスレジスタ 441 の B フィールドに対応する VM の第 3 リロケーションテーブル 113-3 のエントリの物理主記憶アドレスであり、該エントリのアドレスフィールドの値がデータ線 2236 に出力される。この結果、データ線 2236 の出力と仮想 ES アドレスレジスタ 441 内の A フィールドの値が加算器 475 により加算されて仮想プロツクアドレスとなり、さらに、データ線 2234 に出力された仮想拡張記憶装置の起点物理プロツクアドレスを加算器 475 により加算することにより仮想 ES アドレスレジスタ 441 の値に対応する物理プロツクアドレスが得られてデータ線 2237 に出力される。この結果、データ線 2233 に出力された実 ES ID とデータ線 2237 に出力された物理プロツクアドレスとが、物理アドレスとしてデータ線 2203 に出力される。

以上が ES 用アドレス変換回路 440 によるアドレス変換の方法である。

また、VMCP 160 が複数の VM の ES アドレス変換テーブル 180 に同一のエントリの値を持たせることにより、VM 間で仮想拡張記憶装置を共有できる。

本実施例では、仮想拡張記憶装置および物理拡張記憶装置には、識別番号（E S I D）が付いているものとした。しかし、仮想拡張記憶装置および物理拡張記憶装置が高々1つであり識別番号が付いていない場合にも、仮想主記憶上の仮想空間と仮想拡張記憶装置上の仮想空間の間でデータ転送が可能であることは、明らかであろう。

(B) 第2の実施例

次に、第11図、第12図を用いて第2の実施例を説明する。第1の実施例との相違点は、第1の実施例では、E S アドレス変換テーブル180を主記憶装置100上に設けたのに対して、第2の実施例では、E S アドレス変換テーブル180'を命令処理装置400内のレジスタとして設けた点、および、リロケーションテーブル134に対応するものとして、リロケーションレジスタ114'を命令処理装置400内のレジスタとして設けた点にある。このため、E S アドレス変換アドレステーブル180'を参照する場合、第1の実施例における変換表アドレスレジスタ280は、第2の実施例においては不要である。また、リロケーションレジスタ114'を参照する場合、仮想MS起点アドレスレジスタ412は不要である。以上の点を除いて、第11図は、第9図に対応し、第12図は第10図に対応している。従つて、第8図における非アドレス変換モード用アドレス変換回路442を第11図の442'に変更し、また、D A T 445を第12図の445'に変更した回路が第2の実

施例におけるES用アドレス変換回路440の全体構成である。

まず、第11図により非アドレス変換モード、即ち仮想ESアドレスレジスタ441のアドレス変換指示部457が0の場合の非アドレス変換モード用アドレス変換回路442'によるアドレス変換について説明する。仮想ESアドレスレジスタ441の仮想ESIDフィールドの値により対応するESアドレス変換表180'のエントリが直接求まり、非アドレス変換モード用アドレス変換回路442'では、該当エントリの実ESIDフィールドをデータ線2220'に出力する。また、該当エントリの仮想ES起点アドレスフィールドに、仮想アドレスレジスタ441の仮想プロックアドレスフィールドを加算器471'により加算した結果を、データ線2221'に出力する。上記データ線2220'及びデータ線2221'に出力される値は、仮想ESアドレスレジスタ441に保持された仮想ESアドレスに対応する実ESID及び物理プロックアドレスであり、これがデータ線2202に物理アドレスとして出力される。

最後に、第12図によりアドレス変換モード、即ち、仮想ESアドレスレジスタ441のアドレス変換指示部457が1の場合のDAT445'によるアドレス変換について説明する。

まず、加算器472'の出力は、仮想ESアドレスレジスタ441のFIDフィールドに対応するVMの第1

リロケーションレジスタ 1 1 3 - 1' のエントリ番号であり、対応する該エントリ内の仮想 E S I D がデータ線 2 2 3 1' に、また、V M の第 2 リロケーションレジスタ 1 1 3 - 2' の先頭レジスタ番号がデータ線 2 2 3 5 2' に出力される。この結果、データ線 2 2 3 1' の出力値は仮想 E S アドレスレジスタ 4 4 1 の値に対応する E S アドレス変換テーブル 1 8 0' のエントリを指示し、該エントリの実 E S I D フィールドの値がデータ線 2 2 3 3 3' に仮想拡張記憶装置の起点物理ブロックアドレス 10 がデータ線 2 2 3 4' に出力される。加算器 4 7 3' の出力は仮想 E S アドレスレジスタ 4 4 1 の C フィールドに対応する V M の第 2 リロケーションレジスタ 1 1 3 - 2' のエントリ番号であり、V M の第 3 リロケーションレジスタ 1 1 3 - 3' の先頭レジスタ番号がデータ線 2 15 2 3 5' に出力される。この結果、加算器 4 7 4' の出力は仮想 E S アドレスレジスタ 4 4 1 の B フィールドに対応する V M の第 3 リロケーションレジスタ 1 1 3 - 3' のエントリ番号であり、該アドレスフィールドの値が 2 2 3 6' に出力される。この結果、データ線 2 2 3 20 6' の出力と仮想 E S アドレスレジスタ 4 4 1 内の A フィールドの値と、データ線 2 2 3 4' に出力された仮想拡張記憶装置の起点物理アドレスが加算器 4 7 5' により加算され、仮想 E S アドレスレジスタ 4 4 1 の値に対応する物理ブロックアドレスが得られてデータ線 2 2 3 25 7' に出力される。この結果、データ線 2 2 3 3' に出

力された実 E S I D とデータ線 2 2 3 7' に出力された物理ブロックアドレスとが、物理 E S アドレスとしてデータ線 2 2 0 3 に出力される。

5 以上説明した E S 用アドレス変換回路 4 4 0 を用いることにより第 1 の実施例の場合と同様に、V M の仮想主記憶上の仮想空間と仮想拡張記憶上の仮想空間の間で、データ転送を行なうことができる。

また、V M C P 1 6 0 が複数の V M の E S アドレス変換テーブル 1 8 0' に同一のエントリの値を持たせることにより、V M 間で仮想拡張記憶装置を共有できる。

本実施例では、仮想拡張記憶装置および物理拡張記憶装置には、識別番号 (E S I D) が付いているものとした。しかし、仮想拡張記憶装置および物理拡張記憶装置が高々 1 つであり識別番号が付いていない場合にも、仮想主記憶上の仮想空間と仮想拡張記憶装置上の仮想空間の間でデータ転送が可能であることは、明らかであろう。

(C) 第 3 の実施例

第 3 の実施例の仮想計算機システムの構成は第 1 の実施例の構成と同様であるが、以下の構成要素が追加されている。

第 1 3 図に本発明の仮想計算機システムにおける実主記憶の領域分割と V M への領域割当て (assign) の関係と、入出力動作に係わる制御情報を示す。図中、システム領域はプログラムがアクセスすることのできる領域であり、プログラムおよびプログラムが扱うデータはこの

部分に格納される。一方、ハードウェア領域はプログラムがアクセスできない領域であり、実計算機システムのハードウェアによつて使用される領域である。

システム領域において計算機全体の資源管理を行う

5 VMCP160は、VM1の仮想主記憶装置110-1
として、物理主記憶装置100の α_1 番地から α_2 番地
までの連続領域を与えている。このため、VM1上の
OSがチャネルプログラムで指定する仮想主記憶装置1
10-1上の仮想物理主記憶アドレス x は、主記憶装置
10 100における物理主記憶アドレス $x + \alpha_1$ に対応する。
また、各仮想主記憶装置110- i には、固有な識別子
(以後、RIDと呼ぶ)が付けられており、VM1は
RIDとして1を有する。

ハードウェア領域中のサブチャネル120-1から1
15 20- k は、それぞれ入出力装置600-1から600
- k の制御情報を格納するとともに、命令処理装置40
0と入出力処理装置500とのコミュニケーションに使
用される。このサブチャネル120- j は、実行するチ
ャネルプログラムの先頭アドレスや入出力装置600-
20 j を専有するVMのRID等を含む。

本発明によるESアドレス変換テーブル130は、各
VMの仮想物理ESアドレスを物理ESアドレスに変換
する際に用いられるテーブルである。第14図により
ESアドレス変換テーブル130の構成を説明する。
25 ESアドレス変換テーブル130は、VM毎にある。

R I D が i の V M の E S アドレス変換テーブル 130 - i は、仮想 E S I D をエントリ番号として、有効性 (V) ビット、実 E S I D (R E S I D)、物理拡張記憶における仮想拡張記憶の起点アドレス (E S - O R G)、および、仮想拡張記憶の領域長 (E S - E X T) からなる。

例えば、第 3 図に示した R I D が 1 の V M 1 の E S アドレス変換テーブル 130 - 1 は、仮想 E S I D が 0 と 3 の仮想拡張記憶装置が有効 (対応するエントリの V ビットが 1) であり、仮想 E S I D が 0 の仮想拡張記憶装置は実 E S I D が 1 の物理拡張記憶装置上に常駐し、その起点アドレスは β_1 、領域長は $\beta_2 - \beta_1$ 、仮想 E S I D が 3 の仮想拡張記憶装置は実 E S I D が 2 の物理拡張記憶装置上に常駐し、その起点アドレスは γ_1 、領域長は $\gamma_2 - \gamma_1$ であることを示している。また、

R I D が n の E S アドレス変換テーブル 130 - n は、仮想 E S I D が 3 の仮想拡張記憶装置が有効 (対応するエントリの V ビットが 1) であり、仮想 E S I D が 3 の仮想拡張記憶装置は実 E S I D が 2 の拡張記憶装置上に常駐し、その起点アドレスは γ_1 、領域長は $\gamma_2 - \gamma_1$ であることを示している。即ち、この実拡張記憶の領域は、R I D が 1 と n の V M 間で共有されている。

また、実行サブチャネル番号 140 は、命令処理装置 400 が入出力処理を要求する入出力装置 600 - j に対応したサブチャネル 120 - j の識別番号であるサブチャネル番号を入出力処理装置 500 に通知するために

使用される。

まず、ESアドレス変換テーブル130の設定を行うために本発明により設けたESアドレス変換テーブル登録命令(SETEST)を、第15図を用いて説明する。

- 5 第15図に示すようにSETEST命令は、命令コードとRIDを示す第2オペランドアドレスから構成される。命令発行時の汎用レジスタGR1は、各VMのESアドレス変換テーブル130-iと全く同じ形式から成るアドレス変換テーブルEST111の先頭アドレスを示す。
- 10 命令処理装置400がSETEST命令を実行すると、システム領域中のEST111がハードウェア領域中の第2オペランドアドレスが示すRID(i)のESアドレス変換テーブル130-iにコピーされる。VMCP160は、VM-iの走行に先だつて、SETEST命令により、ESアドレス変換テーブル130にVM-i
- 15 の仮想拡張記憶アドレス変換情報を設定しておく。このESアドレス変換テーブル130の設定は、VM毎に1度行えば良く、VMディスプレイの度に行う必要はない。また、仮想拡張記憶装置を持たないVMに対しては、V
- 20 ビットが全て0のエントリからなるEST111を指定してSETEST命令を発行すれば良い。以上のようにして、ハードウェア領域上に各VMのESアドレス変換テーブル130を設定できる。

- 次に、第2図および第3図に示した仮想主記憶装置1
- 25 00-1および仮想拡張記憶装置200-1を有する

VM 1 がその走行中に発行した仮想主記憶装置と仮想拡張記憶装置の間のデータ転送用のチャネルプログラムがどのように実行されるかを第 9 図に従つて説明する。

主記憶と拡張記憶間のチャネルによるデータ転送を行うためのチャネルコマンドワード CCW としては、前記特開昭 58-9276 号公報に示されているように、第 16 図に示すページイン準備 (P P I) CCW、第 17 図に示すページアウト準備 (P P O) CCW、第 18 図に示すページコピー (C P G) CCW がある。 P P I と C P G の実行により、 P P I で指定された拡張記憶の領域の 1 ページが、 C P G で指定された主記憶領域にコピーされ、また、 P P O と C P G の実行により、 P P O で指定された拡張記憶の領域に、 C P G で指定された主記憶領域の 1 ページがコピーされる。

サブチャネルに対して、入出力動作を開始させるための命令である S S C H 命令を発行すると、命令のオペランドで指定されるサブチャネル番号に対応するサブチャネルの状態が調べられ、サブチャネルが入出力動作可能な状態であれば、同じ命令のもう 1 つのオペランドで指定されるチャネルプログラムアドレスに対応するサブチャネル 120-j に格納し、サブチャネル番号を実行サブチャネル番号 140 に設定した後、命令処理装置 400 から入出力処理装置 500 へ入出力命令起動通知が行われる。サブチャネルが既に入出力動作を実行中の場合であると、サブチャネルが新たな入出力動作を受付不

可能な状態であつた場合には、それらの条件に対応したコンディションコードが設定されて命令は終了し、入出力処理装置500への入出力命令軌道通知は行われぬ。

次に、命令処理装置400による入出力命令起動通知後の入出力処理装置500の処理を説明する。

第19図において、参照符号510は入出力処理装置500の各チャネルにおいて共通な制御を行う共通制御部、550は各チャネルのうち1チャネルの部分を抜き出したもので、実際には複数のチャネル部が接続される。

511は主記憶装置100からの読みだしデータを保持するためのレジスタ(CFDR)、517は入出力制御に係る制御情報を集中的に保持しておくためのローカリストレージ(LS)、512はLS517をアクセスする際のアドレスを保持するレジスタ(LSAR)、513はLSARの内容からLS517のアドレスを生成するためのアドレス生成回路(LSAC)、514は主記憶上に予め設定されたハードウェア領域のアドレスを生成する回路(MSAC)、515は主記憶のアドレスを保持するレジスタ(ALR)、516は主記憶アクセス時のアドレスを保持するレジスタ(CSAR)、520は仮想主記憶アドレスを物理主記憶アドレスに変換するMSアドレス変換回路、530は本発明による仮想ESアドレスを物理ESアドレスに変換するESアドレス変換回路である。

また、チャネル部550内の参照符号551はチャネ

ルで実行中のCCWのコマンドコードを保持する動作コードレジスタ、552は入出力動作に伴う入出力データの主記憶アドレスを保持／更新するレジスタ

(CDAR)、553は一定の値(例えば、128)を保持するラインレジスタ、554はチャネルで実行中のCCWのフラグ部を保持するフラグレジスタ、555はCCWの動作コードをデコードする動作デコーダ、556はCDAR552の値とラインレジスタ553の値を加算する加算器、557はSC300からの指令をデコードするSCデコーダ、558はAND回路、559はインバータである。

さて、命令処理装置400から入出力処理装置500に対して入出力命令起動通知が行われると、入出力処理装置500は、主記憶上の実行サブチャネル番号140をCFDR511に読み出し、サブチャネル番号をMSAC514に入力して当該サブチャネルに対応する主記憶アドレスを生成し、ALR515、CSAR516を經由して主記憶からCCWアドレスおよびRIDを含むサブチャネル情報を読みだす。読みだしたサブチャネル情報はCFDR511を經由してLS517の所定の場所に格納する。次いで、このサブチャネル情報に含まれるチャネル指定情報によつて指定されるチャネルを選択する。指定されたチャネルが起動可能であると、サブチャネル情報のひとつであるCCWアドレス(これはSSCH命令実行時に命令処理装置400によつてサブ

チャンネル 120 に設定されるチャンネルプログラムアドレスである) を LS 517 からデータ線 1000 により MS アドレス変換回路 520 に入力し、変換結果の物理主記憶アドレスをデータ線 1010 を介して ALR 515 に送り、ALR 515 の内容 CSAR 516 を介して主記憶装置へ送られて CFR 511 には CCW が読みだされる。この MS アドレス変換回路 520 の動作については、後で詳しく述べる。

CCW が読みだされると、CCW のコマンド部、フラグ部はチャンネル 550 内の動作コードレジスタ 551、および、フラグレジスタ 554 へ転送される。次に、CCW のデータアドレス部が仮想拡張記憶アドレスを示す場合(即ち、CCW が PPI または PPO の場合)には、データ線 1100 により ES アドレス変換回路 530 に入力し、対応する物理 ES アドレスをデータ線 1300 00 に出力する。この ES アドレス変換回路 530 の動作についても、後で詳しく述べる。また、CCW のデータアドレス部が仮想主記憶アドレスを示す場合には、データ線 1000 に転送し、MS アドレス変換回路 520 により対応する物理主記憶アドレスに変換し、データ線 1010 に出力する。データ線 1010 に出力された ALR 515 の内容はチャンネル部 550 内の CDAR 552 に転送されて、チャンネル部 550 による入出力動作が開始される。

次に、MS アドレス変換回路 520 によるアドレス変

換処理を、第20図を用いて説明する。第20図において、521は変換対象の仮想主記憶アドレスを保持するMSアドレスレジスタ、522は入出力実行対象のサブチャンネルのRIDを保持するRIDレジスタ、523は

5 RID毎に対応するVMの仮想主記憶装置の物理主記憶における起点アドレスと領域長を保持するMSアドレス変換レジスタ、524は加算器、525は比較器である。

まず、データ線1000により入力した仮想主記憶装置アドレスをMSアドレスレジスタ521に設定する。次に、

10 入出力実行対象のサブチャンネルのRIDをRIDレジスタ522に設定する。MSアドレス変換レジスタ523には、RID毎に対応するVMの仮想主記憶装置の物理主記憶における起点アドレスと領域長が格納されている。このため、まず、MSアドレスレジスタ521の

15 値と領域長との比較が比較器525により行われる。比較器525の出力がMSアドレスレジスタ521の値の方が領域長よりも大きいことを示す場合にはアドレス例外が検出されて、この入出力動作は中止され、入出力割込みによつてプログラムチエツク条件がプログラムに報

20 告されることになる。一方、アドレス例外が検出されないとMSアドレスレジスタ521の値と起点アドレスの値が加算器524により加算され、データ線1010に出力され、物理主記憶アドレスとして使用される。

次に、ESアドレス変換回路530の動作を第21図

25 により説明する。ただし、拡張記憶アドレスは、

ESIDとアドレス変位を示すブロックアドレスの粗から構成されるものとする。第21図において、531は入出力実行対象のサブチャネルのRIDを保持するRIDレジスタ、532はアドレス変換対象の仮想ES

5 アドレスの仮想ESIDを保持するESIDレジスタ、533はアドレス変換対象の仮想拡張記憶アドレスのブロックアドレスを保持するブロックアドレスレジスタ、534から537は仮想拡張記憶アドレスに対応するESアドレス変換テーブル130のエントリのVビット、

10 RESID、ES-ORG、ES-EXTをそれぞれ保持するVビットレジスタ、RESIDレジスタ、ES-ORGレジスタ、ES-EXTレジスタ、538はインバータ、539は加算器、540は比較器である。まず、データ線1100により入力した仮想拡張記憶アドレス

15 の仮想ESIDをESIDレジスタ532に、また、ブロックアドレスをブロックアドレスレジスタ533に設定する。次に、入出力実行対象のサブチャネルのRIDをRIDレジスタ531に設定する。次に、RIDレジスタ531とESIDレジスタの内容を合成して、

20 MSAC514に送る。MSAC514は、RIDレジスタ531がRIDを示すVMのESアドレス変換テーブル130を選択すると共に、該当するESアドレス変換テーブル130-iの仮想ESIDがESIDレジスタの内容に対応するエントリのVビット、RESID、

25 ES-ORG、ES-EXTをそれぞれ読みだして、

ESアドレス変換回路530のVビットレジスタ534、RESIDレジスタ535、ES-ORGレジスタ536、ES-EXTレジスタ537に設定する。次に、Vビットレジスタ534の値が0の場合、インバータ538の出力は1となり、アドレス例外が検出されて、この入出力動作は中止され、入出力割込みによつてプログラムチェック条件がプログラムに報告される。また、ブロックアドレスレジスタ523の値とES-EXTレジスタ537の値との比較が比較器540により行われる。比較器540の出力が、ブロックアドレスレジスタ523の値の方がES-EXTレジスタ537の値よりも大きいことを示す場合にはアドレス例外が検出されて、この入出力動作は中止され、入出力割込みによつてプログラムチェック条件がプログラムに報告される。一方、アドレス例外が検出されないと、ブロックアドレスレジスタ523の値とES-ORGレジスタ536の値が加算器539により加算され、加算結果のブロックアドレスとRESIDレジスタ535内のESIDとが合成されて、データ線1110に出力され、物理拡張記憶アドレスとして使用される。

次に、チャネル部550およびSC300の動作を説明する。動作デコーダ555は、動作コードレジスタ551がPPIあるいはPPOの場合、その方向指示信号を信号線1200に出力し、動作コードレジスタ551がCPGの場合、起動信号を信号線1200に出力する。

SC300は、信号線1200により受け取った起動信号によりIOP500からのデータ転送要求を検知して、動作デコーダ555の出力が示すデータ転送の方向と、データ線1300より受け取った物理ES拡張記憶
5 アドレス、および、データ線1400より受け取った物理主記憶アドレスをデータ線3000により主記憶装置100に送る。主記憶装置100は、受け取った拡張記憶アドレスをデータ線4000によりこのアドレスが指定する実ESIDの拡張記憶装置200に送る。さらに、
10 SC300から受け取ったデータ転送の方向に従って、SC300から通知された物理主記憶アドレスと拡張記憶装置200に通知した物理ESアドレスのプロツクアドレスが示す領域において一定のバイト数、例えば128バイトのデータ転送を行う。拡張記憶装置内には、詳
15 しく述べないが、1ページ(4096バイト)をカウントするカウンタがあり、データ転送が完了する都度、128バイト分カウントアップするとともに、拡張記憶装置200のデータ転送アドレスも128バイト分カウントアップする。カウントアップした1ページをカウント
20 するカウンタの値が4096バイトに満たない場合、拡張記憶装置200はデータ転送の継続信号を、また、4096バイトに達した場合にはデータ転送の終了信号を信号線5000によりSC300に送る。これをさらにSC300が信号線1500によりIOP500に送る。
25 IOP500内チャネル部550のSC指令デコーダ

5 5 7 は、データ転送の継続、あるいは、終了のどちらの指示信号であるかを解析する。指示信号が継続信号であるならば、信号線 1 5 1 0 により加算器 5 5 6 を有効化する。ラインレジスタ 5 5 3 には、例えば、1 2 8 が
5 格納されている。その結果、C D A R 5 5 2 に格納されている前回データ転送した物理主記憶アドレスに 1 2 8 を加算した値がデータ線 1 4 0 0 に出力され、これが、再度 C D A R 5 5 2 に格納されるとともに、S C 3 0 0 に送られる。この後、主記憶装置 1 0 0 の対応するアド
10 レスと、拡張記憶装置に保持されているデータ転送アドレスが示す領域において再度 1 2 8 バイトのデータが信号線 1 2 0 0 および 3 0 0 より指示された方向に転送される。一方、指示信号が終了信号ならば、S C 指令デコーダ 5 5 7 は、データ転送終了を指示し、信号線 1 5 2
15 0 に 1 を出力する。その結果、フラグレジスタ 5 5 4 中の指令連鎖フラグが 1 ならば次の C C W を実行し、指令連鎖フラグが 0 ならばチャネルプログラムの実行を終了する。

以上のようにして、V M 1 の仮想主記憶装置 1 0 0 -
20 1 と仮想拡張記憶装置 2 0 0 - 1 との間のデータ転送を I O P 5 0 0 によつて実行することができる。このため命令処理装置 4 0 0 は、S S C H 命令を発行してチャネルプログラムの実行が終了するまで、他の命令を実行することができる。

25 以上述べたように、本実施例によれば、仮想主記憶装

置と仮想拡張記憶装置を有するVM上のOSがチャネルプログラムで指定した仮想主記憶と仮想拡張記憶間のデータ転送を、効率良く実行することができる。

また、VMCP160が複数のVMのESアドレス変換テーブル180に同一のエントリの値を持たせることにより、VM間で仮想拡張記憶装置を共有できる。

本実施例では、仮想拡張記憶装置および物理拡張記憶装置には、識別番号(ESID)が付いているものとした。しかし、仮想拡張記憶装置および物理拡張記憶装置が高々1つであり識別番号が付いていない場合にも、仮想主記憶上の仮想空間と仮想拡張記憶装置上の仮想空間の間でデータ転送が可能であることは、明らかであろう。

請 求 の 範 囲

1. 主記憶と、少なくとも1つの拡張記憶と、
を有する1つの計算機上で複数のオペレーティングシス
5 テム（OS）の走行が可能であり、
前記複数のOSの各々が前記主記憶上にある仮想主記
憶と、
前記拡張記憶上にある少なくとも1つの仮想拡張記憶
（仮想ES）と、
10 前記複数OSの1つにより指定される仮想ESの仮想
空間上の仮想ESアドレスと前記1つのOSの仮想主記
憶上の拡張記憶のためのリロケーションテーブルのアド
レスから前記仮想ESアドレスに対応する仮想拡張記憶
上の仮想物理ESアドレスを読み出すための第1変換手
15 段と、
前記仮想物理ESアドレスと前記1つのOSの仮想
ESがある前記少なくとも1つの拡張記憶上の物理ES
における起点アドレスとから前記仮想物理ESアドレス
に対応する物理拡張記憶上の物理ESアドレスを生成す
20 る第2の変換手段と、
を有する拡張記憶付きの仮想計算機システム。
2. 請求項1に従属する仮想計算機システムにおい
て、前記第2の変換手段は、仮想ESと前記仮想ESが
ある前記物理拡張記憶との間のアドレス変換情報を保持
25 するES用アドレス変換テーブルを有し前記1つのOS

により使用されるES用アドレス変換テーブルと、前記
1つのOSと異なるOSのアドレス変換のために使用され
前記ES用アドレス変換テーブルの内容と同じ内容を
有する第2のES用アドレス変換テーブルと、

5 を有することを特徴とする前記仮想計算機システム。

3. 1つの主記憶装置（物理主記憶装置）と1つ以上
の拡張記憶装置（物理拡張記憶装置）を有する1台の
計算機上で複数のオペレーティング・システム（OS）
の走行が可能であつて、

10 前記OSの各々が、前記物理主記憶装置上に常駐する
1つの仮想主記憶装置を有する仮想計算機システムにお
いて、

前記OSが指定した前記物理拡張記憶装置上に常駐す
る1つ以上の仮想拡張記憶装置の仮想空間上のアドレス
15 （仮想ESアドレス）と前記OSの仮想主記憶装置上の
ESリロケーションテーブルのアドレスから前記仮想
ESアドレスに対応する仮想拡張記憶上のアドレス（仮
想物理ESアドレス）を読み出す第1の変換手段と、

前記仮想物理ESアドレスと前記OSの仮想拡張記憶
20 が常駐する前記1つ以上の拡張記憶装置上の起点アドレ
スとから前記仮想物理ESアドレスに対応する物理拡張
記憶上のアドレス（物理ESアドレス）を生成する第2
の変換手段を有する拡張記憶付き仮想計算機システム。

4. 請求項3に従属する仮想計算機システムにおい
25 て、前記第2の変換手段は、仮想ESと前記仮想ESが

常駐する前記物理拡張記憶との間のアドレス変換情報を保持するES用アドレス変換テーブルを有し前記1つのOSにより使用されるES用アドレス変換テーブルと、前記1つのOSと異なるOSのアドレス変換のための使用され前記リロケーションテーブルの内容と同じ内容を有する第2のES用アドレス変換テーブルと、

5 有することを特徴とする前記仮想計算機システム。

5. 1つの主記憶装置（物理主記憶装置）と1つ以上の拡張記憶装置（物理拡張記憶装置）を有する1台の

10 計算機上で複数のオペレーティング・システム（OS）の走行が可能であつて、

前記OSの各々が、前記物理主記憶装置上に常駐する1つの仮想主記憶装置を有する仮想計算機システムにおいて、

15 前記OSが指定した前記物理拡張記憶装置上に常駐する1つ以上の仮想拡張記憶装置の仮想空間上のアドレス（仮想ESアドレス）と前記計算機内のES用リロケーションレジスタから前記仮想ESアドレスに対応する仮想拡張記憶上のアドレス（仮想物理ESアドレス）を読みだす第3の変換手段と、

20

前記仮想物理ESアドレスと前記OSの仮想拡張記憶が常駐する前記1つ以上の拡張記憶装置上の起点アドレスとから前記仮想物理ESアドレスに対応する物理拡張記憶上のアドレス（物理ESアドレス）を生成する第4

25 の変換手段を有する拡張記憶付き仮想計算機システム。

6. 請求項5に従属する仮想計算機システムにおいて、前記第4の変換手段は、仮想ESと前記仮想ESが常駐する前記物理拡張記憶との間のアドレス変換情報を保持するES用アドレス変換レジスタを有し前記1つのOSにより使用されるES用アドレス変換レジスタと、前記1つのOSと異なるOSのアドレス変換のために使用され前記ES用アドレス変換レジスタの内容と同じ内容を有する第2のES用アドレス変換レジスタと、を有することを特徴とする前記仮想計算機システム。

10 7. 1つの主記憶装置（物理主記憶装置）と1つ以上の拡張記憶装置（物理拡張記憶装置）を有する1台の計算機上で複数のオペレーティング・システム（OS）の走行が可能であつて、

15 前記OSの各々が、前記物理主記憶装置上に常駐する1つの仮想主記憶装置を有する仮想計算機システムにおいて、

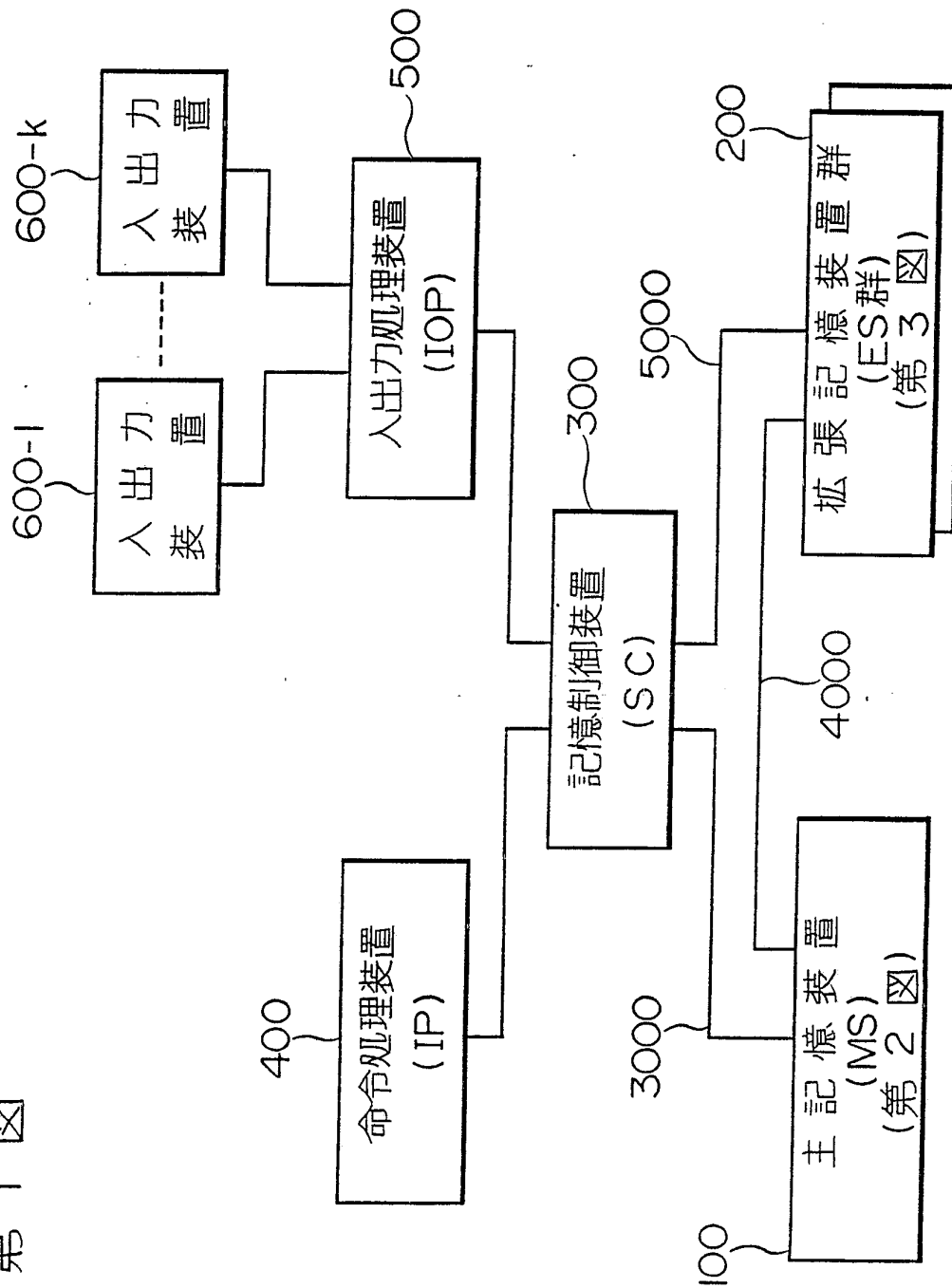
前記物理拡張記憶装置上に常駐する1つ以上の仮想拡張記憶装置の物理拡張記憶装置における起点物理アドレスをOS毎に対応表に保持するアドレス対応関係保持手段と、

20 前記OSの仮想主記憶装置上のチャネルプログラムが指定した仮想拡張記憶上のアドレス（仮想物理ESアドレス）に対応する仮想拡張記憶装置が常駐する前記1つ以上の拡張記憶装置上の起点アドレスを前記OSの対応表から読みだす起点アドレス読みだし手段と、

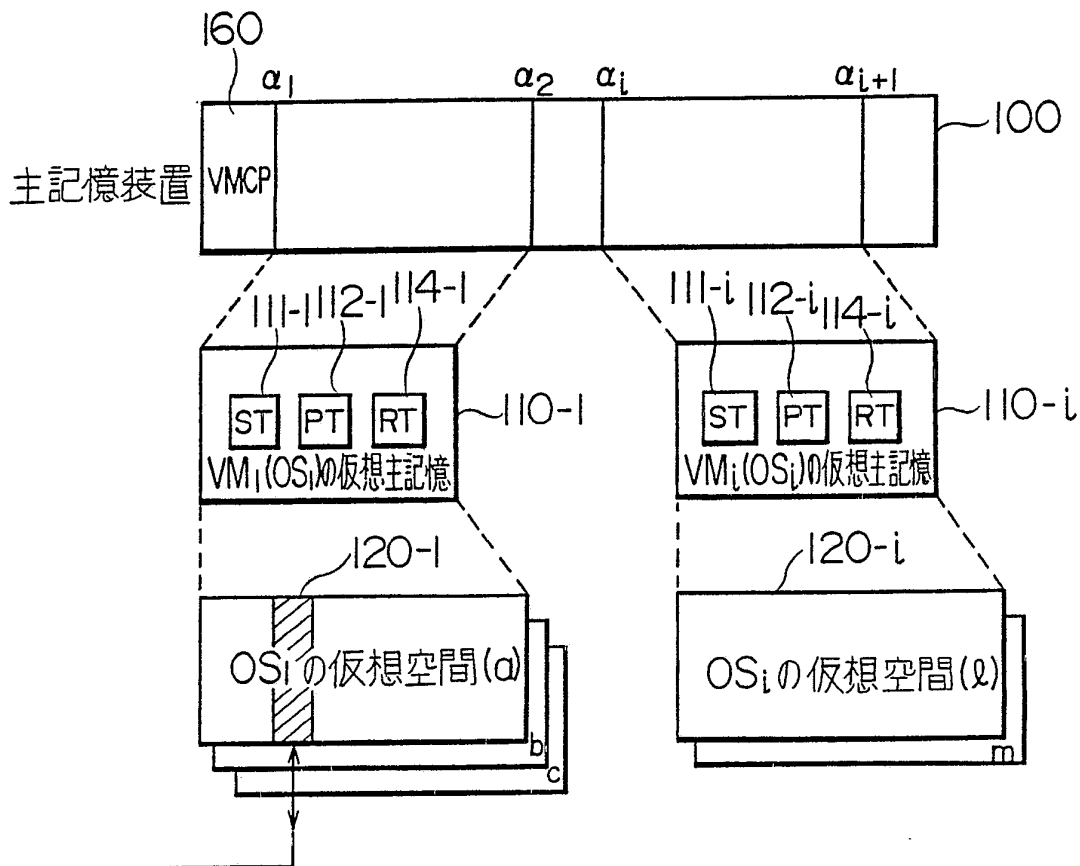
前記仮想物理ESアドレスと前記起点アドレスとから前記仮想物理ESアドレスに対応する物理拡張記憶上のアドレス（物理ESアドレス）を生成する第5のアドレス変換手段を有する拡張記憶付き仮想計算機システム。

- 5 8. 特許請求の範囲第7項に従属する仮想計算機システムにおいて、前記アドレス対応関係保持手段は、前記1つのOSにより使用される対応表と、前記1つのOSと異なるOSのアドレス変換のために使用され前記対応表と同じ内容を有する第2の対応表とを有する前記
- 10 仮想計算機システム。

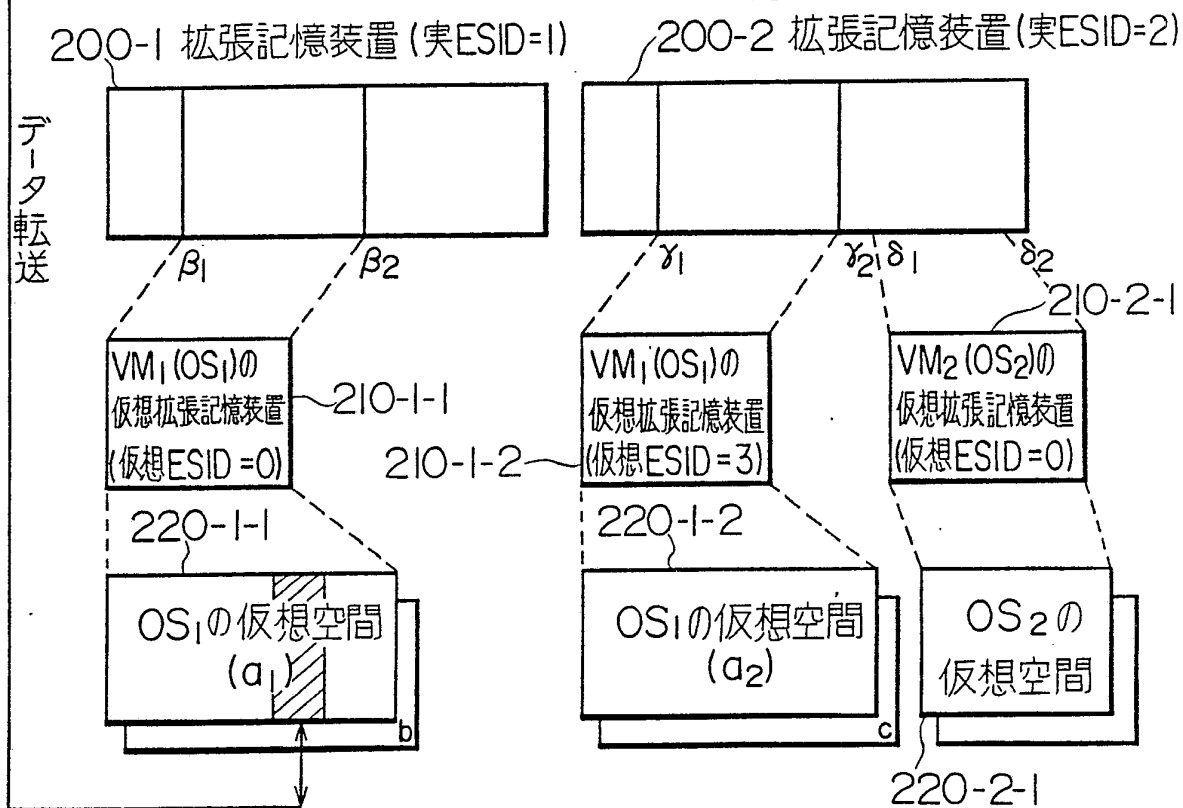
第 1 図



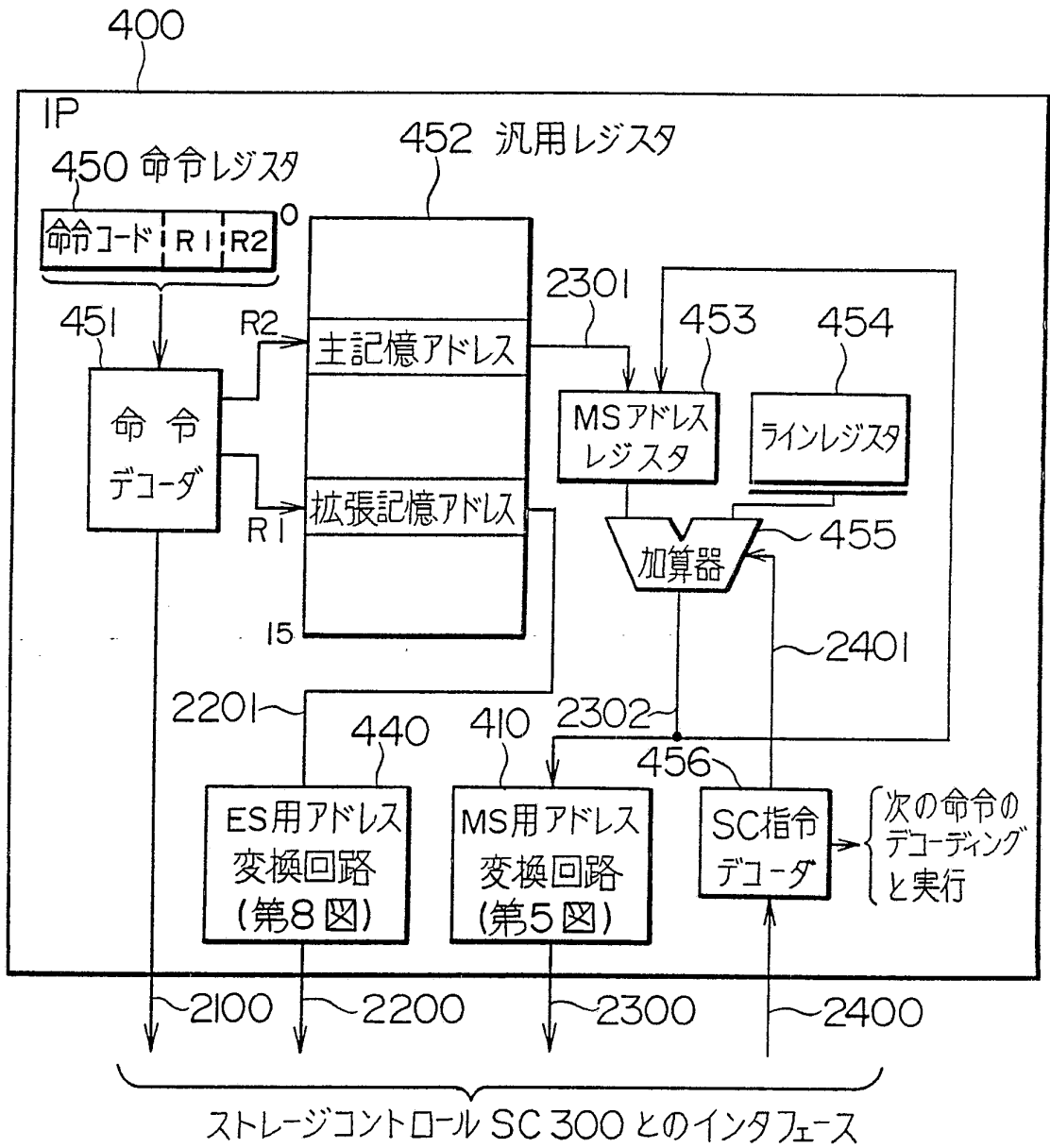
第2図 主記憶



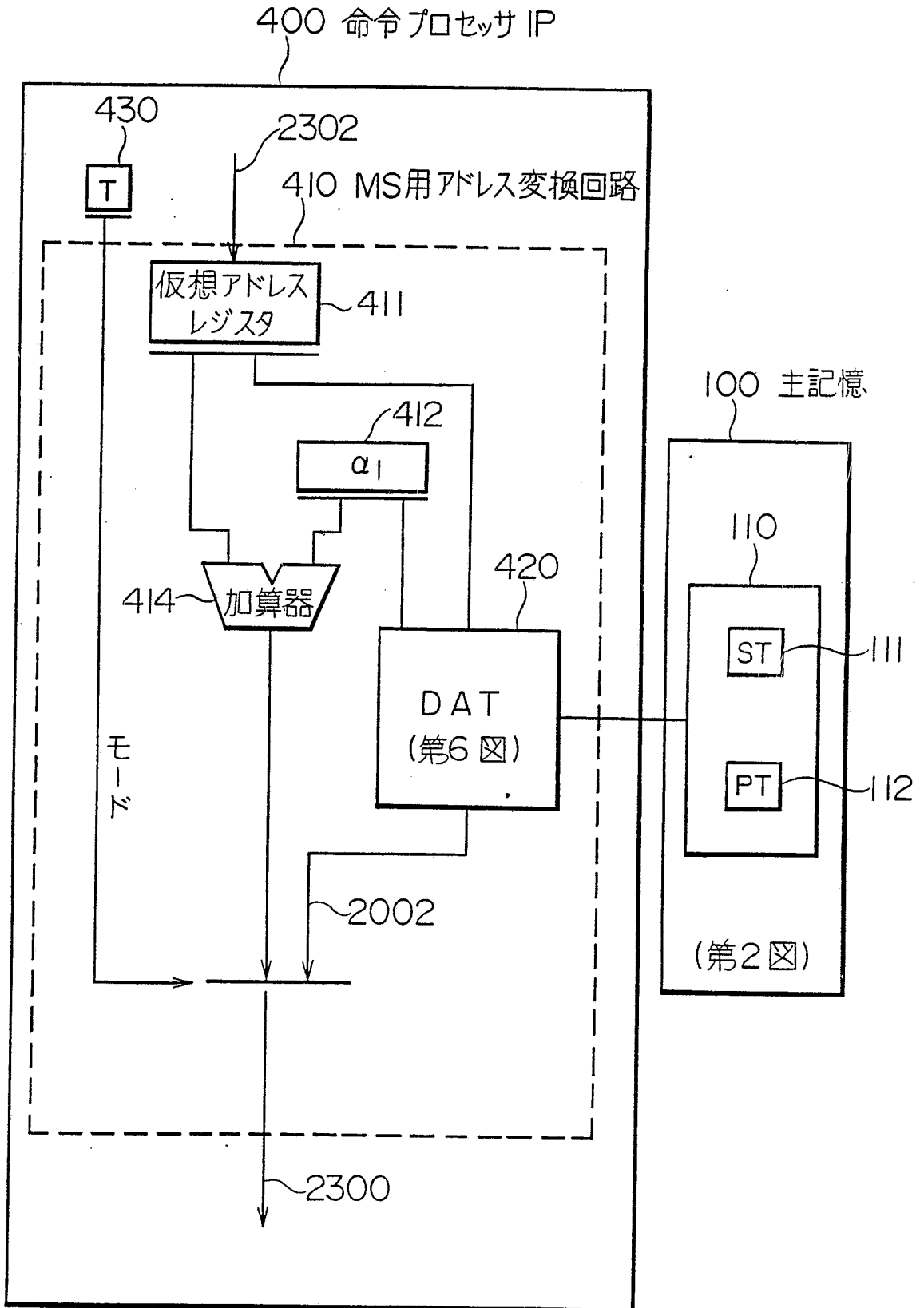
第3図 仮想拡張記憶



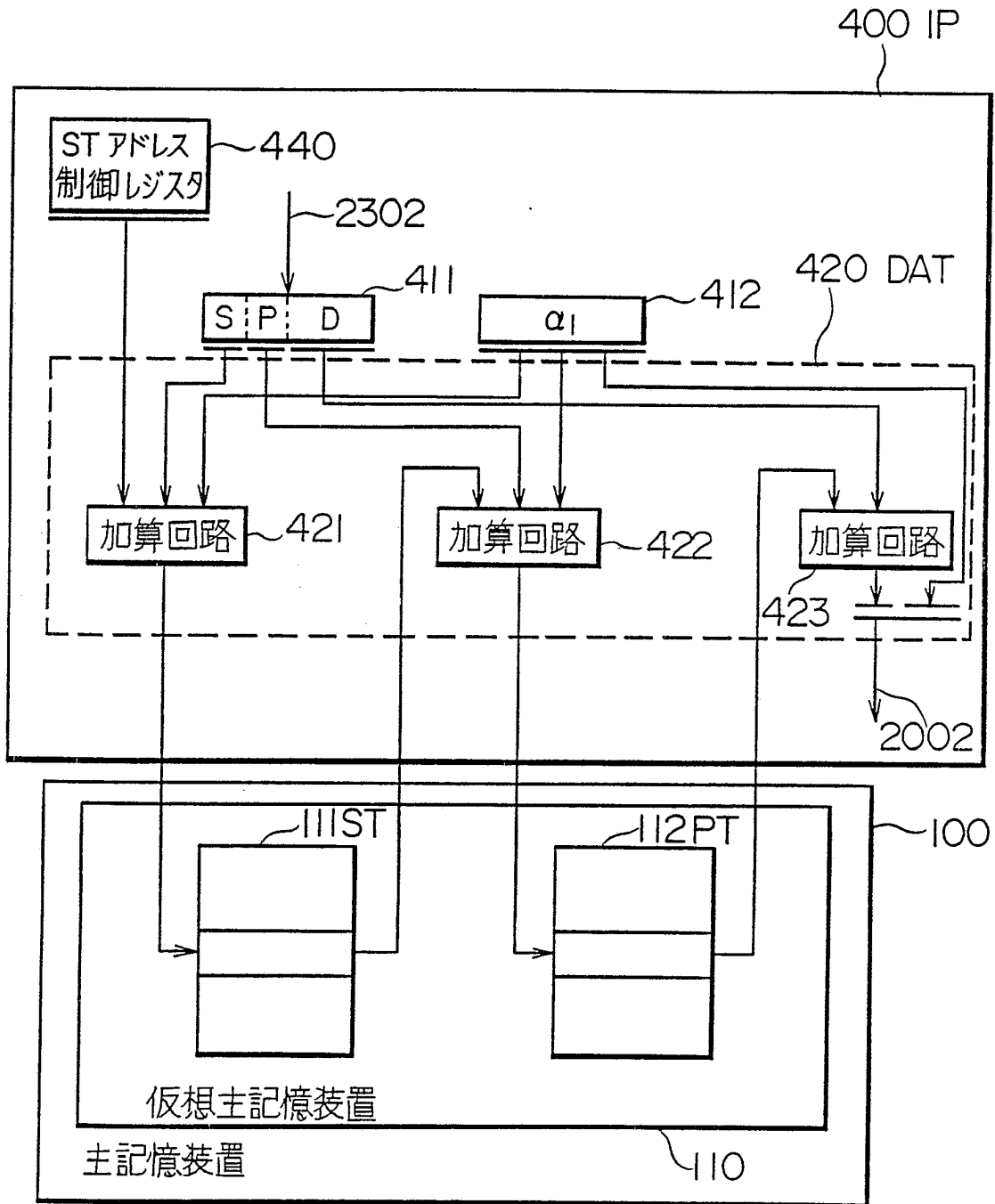
第 4 図 命令処理 (IP) 装置



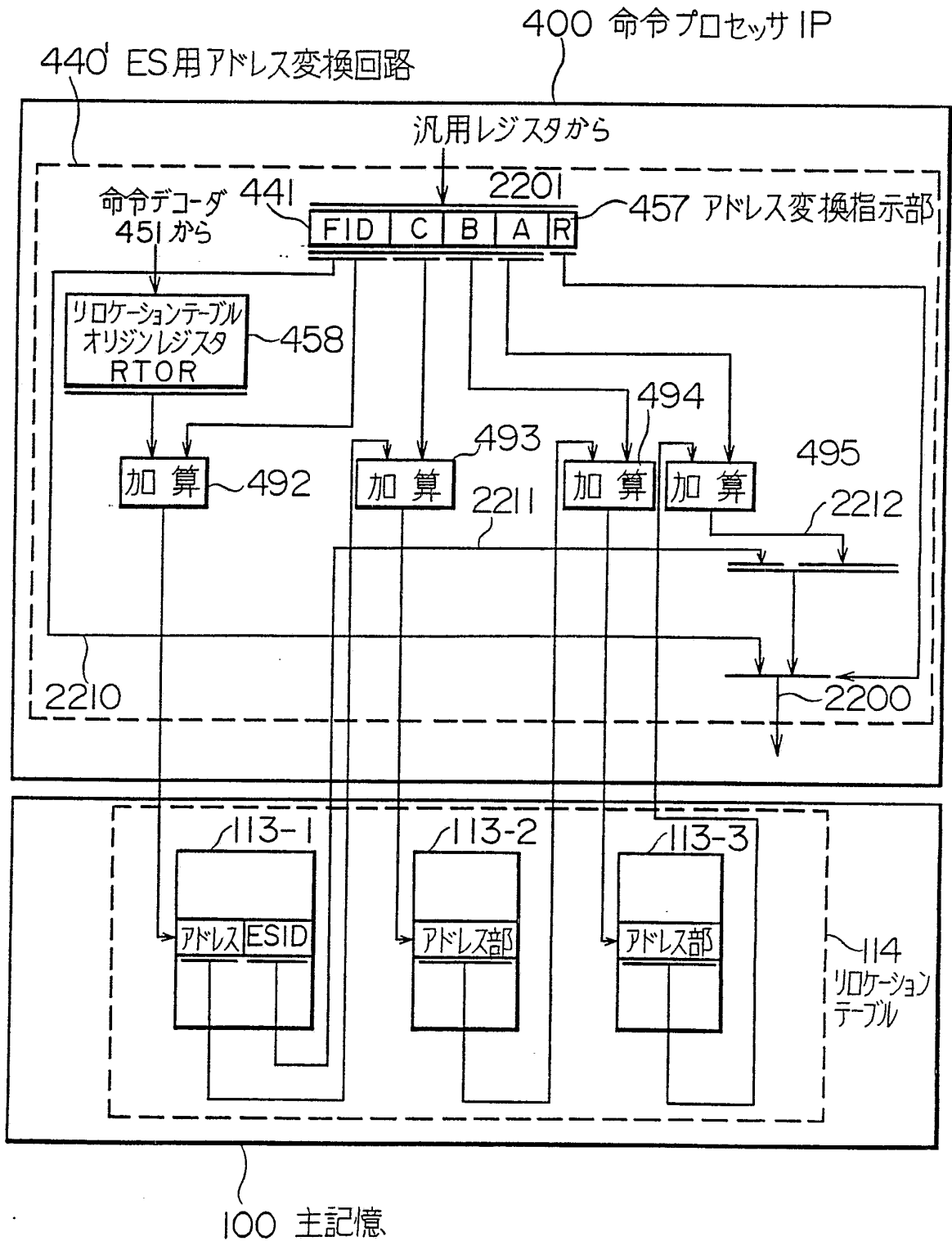
第 5 図



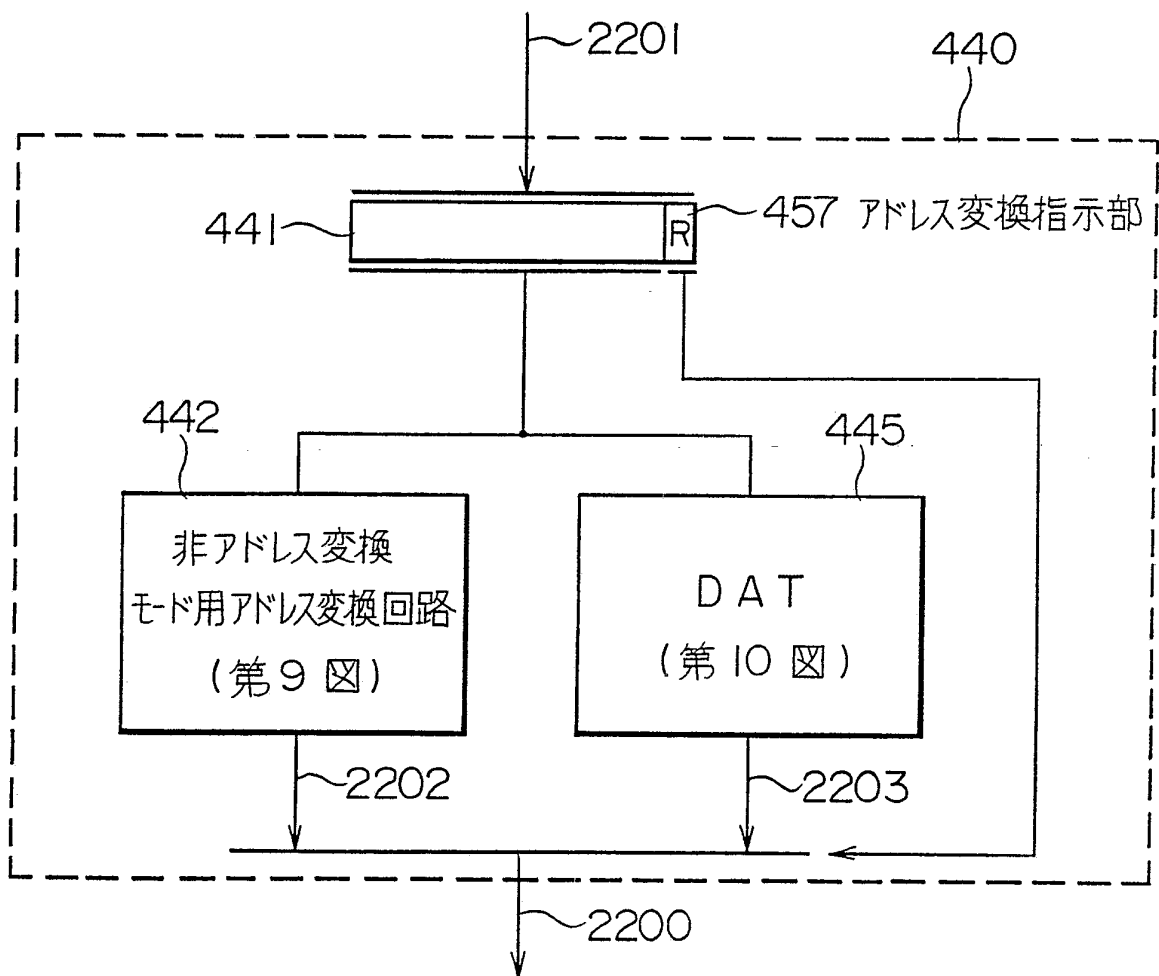
第 6 図 \boxtimes ダイナミックアドレス
トランスレーション (DAT)



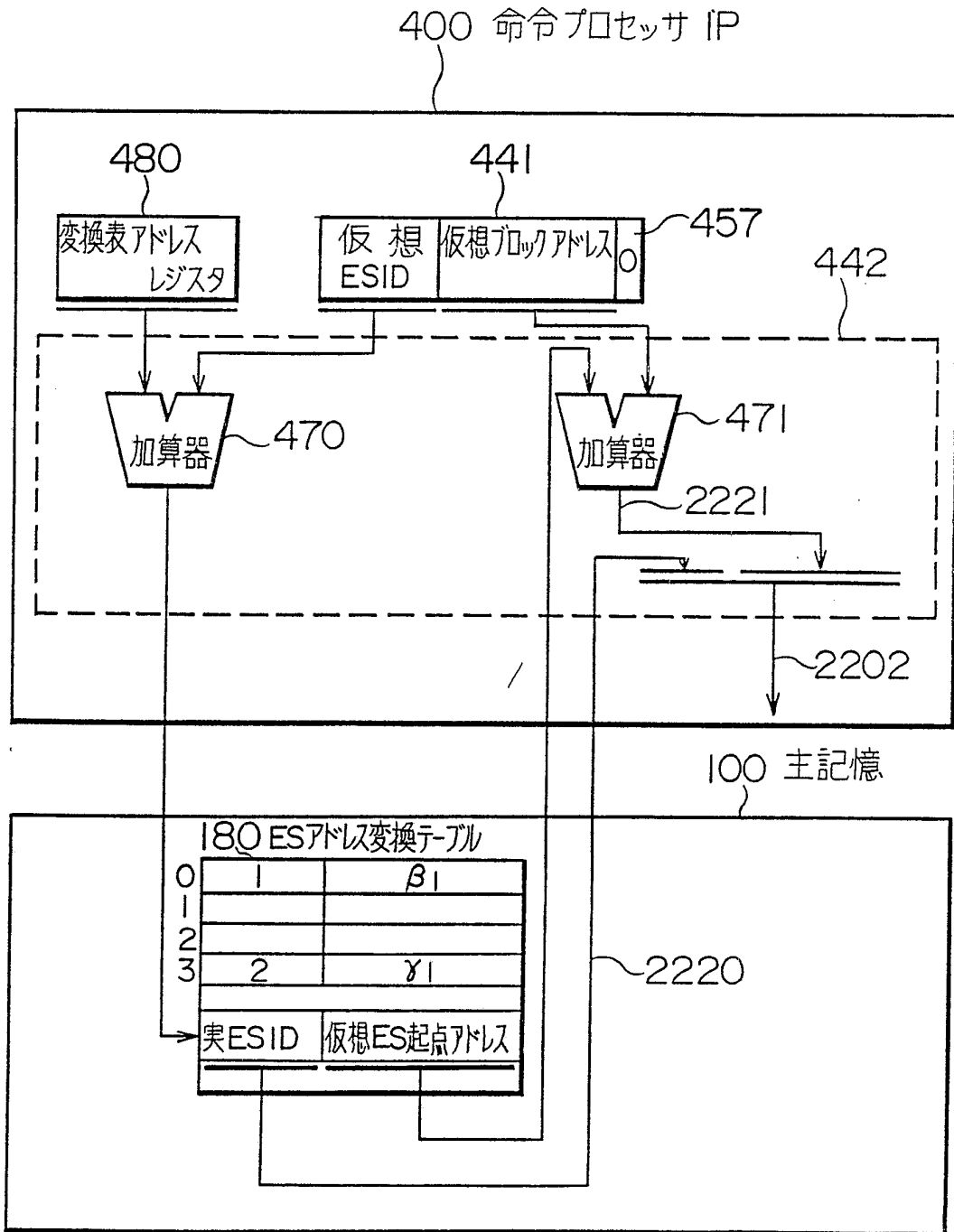
第 7 図



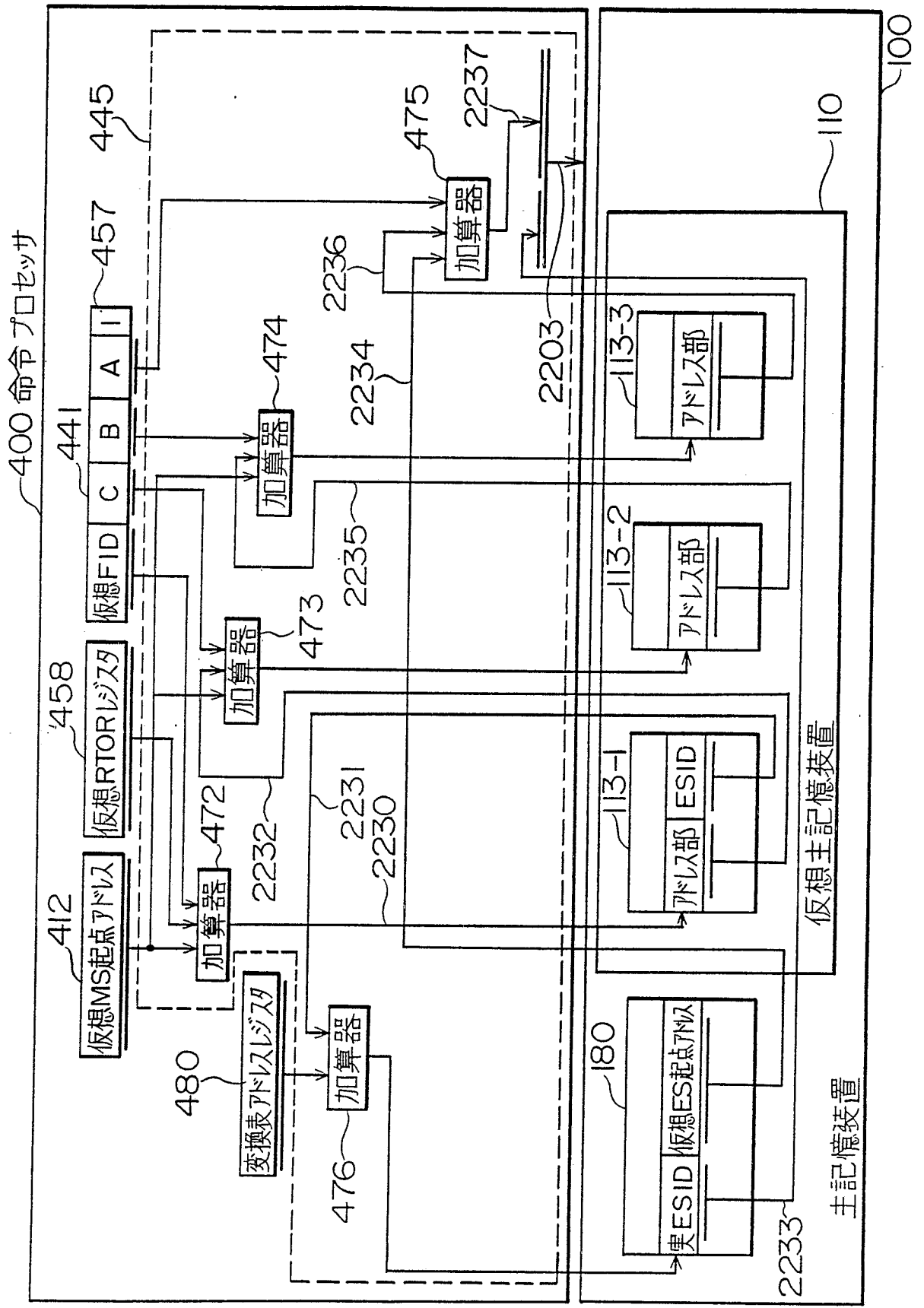
第 8 図



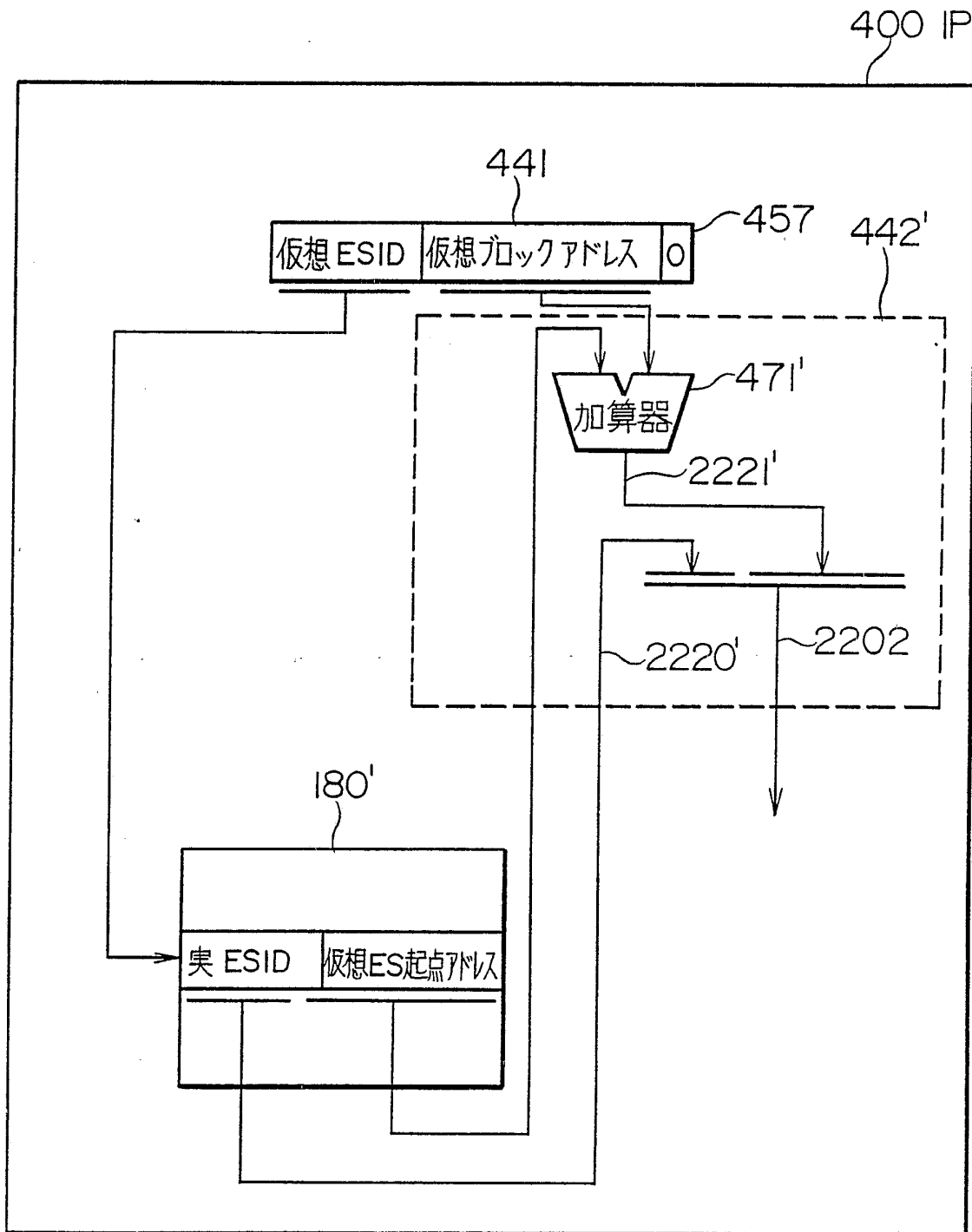
第 9 図

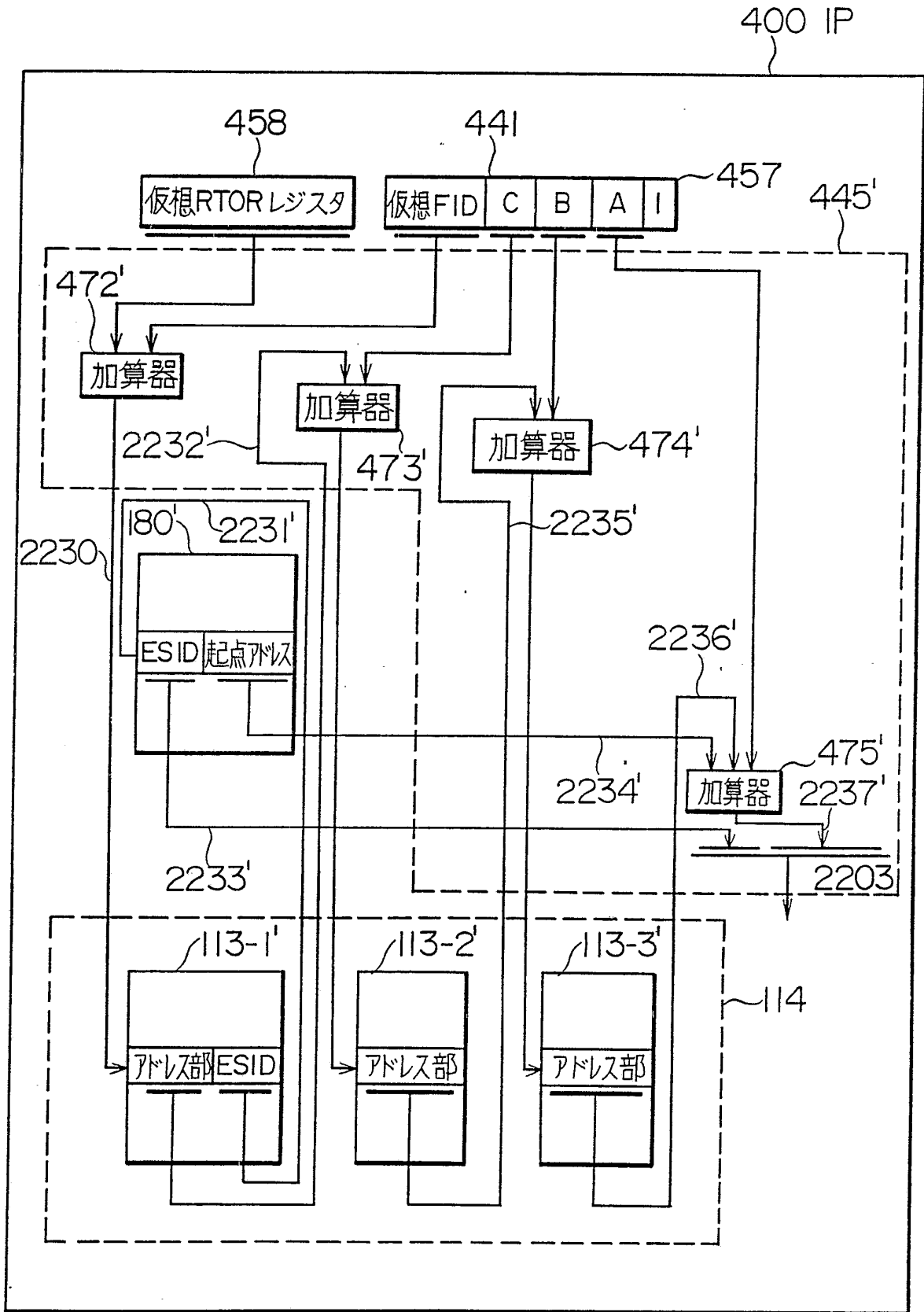


第10図

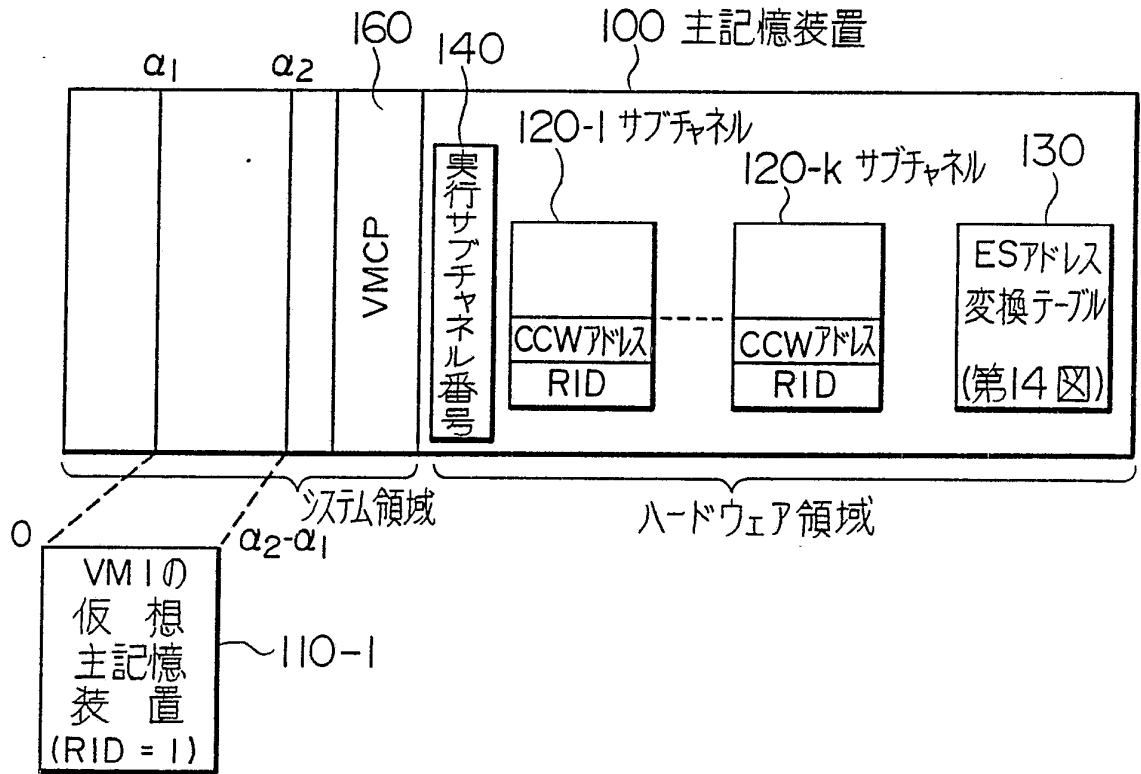


第 11 図



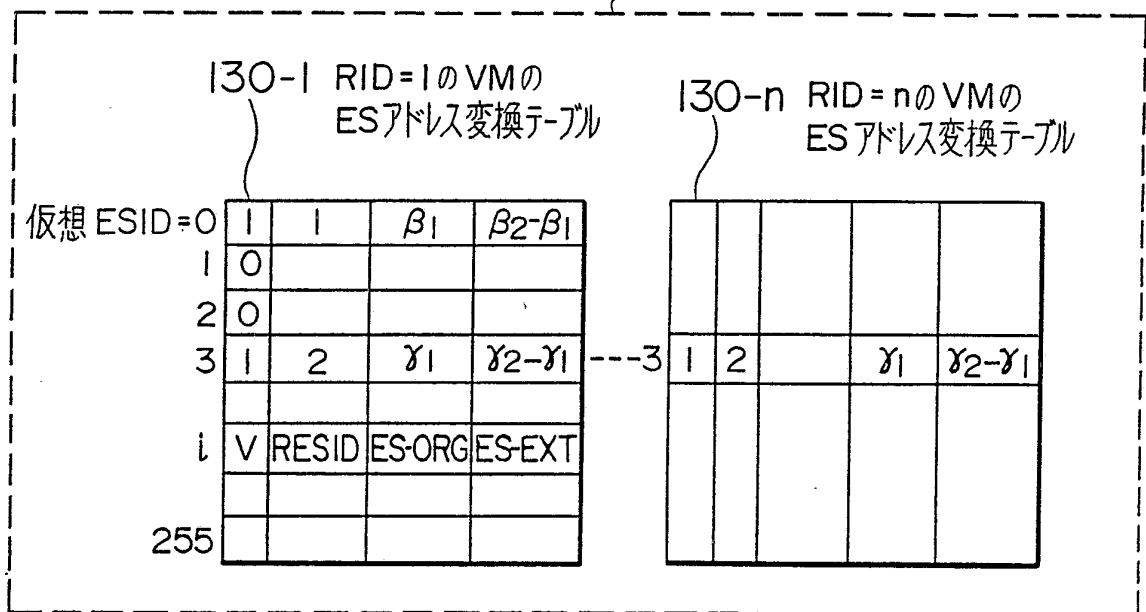


第 13 図



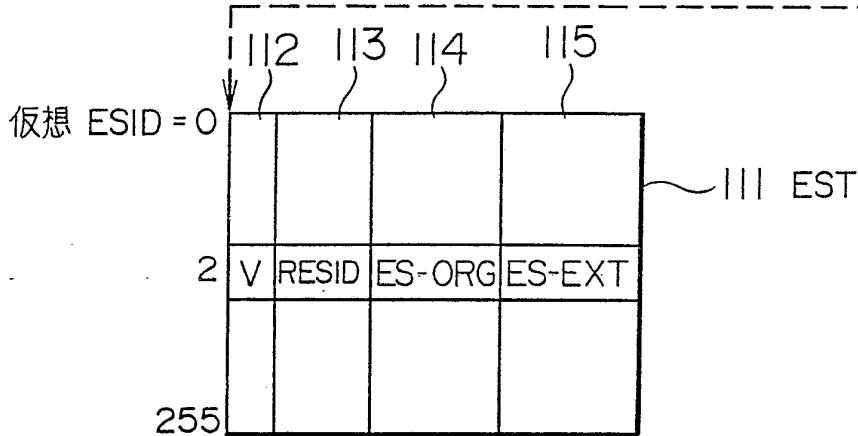
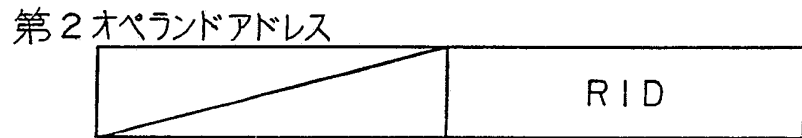
第 14 図

130 ESアドレス変換テーブル

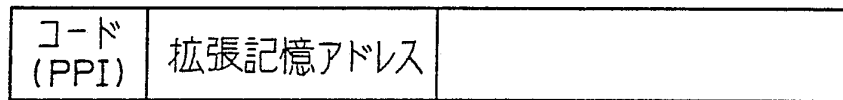


第 15 図

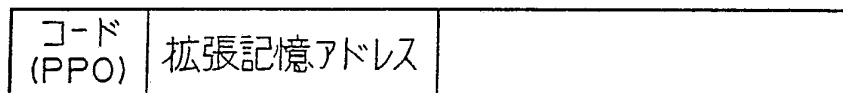
SETEST 命令



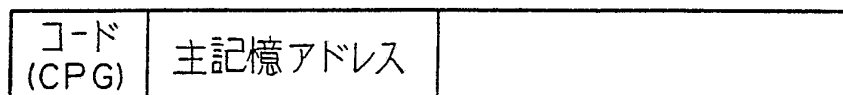
第 16 図 PRIOR ART



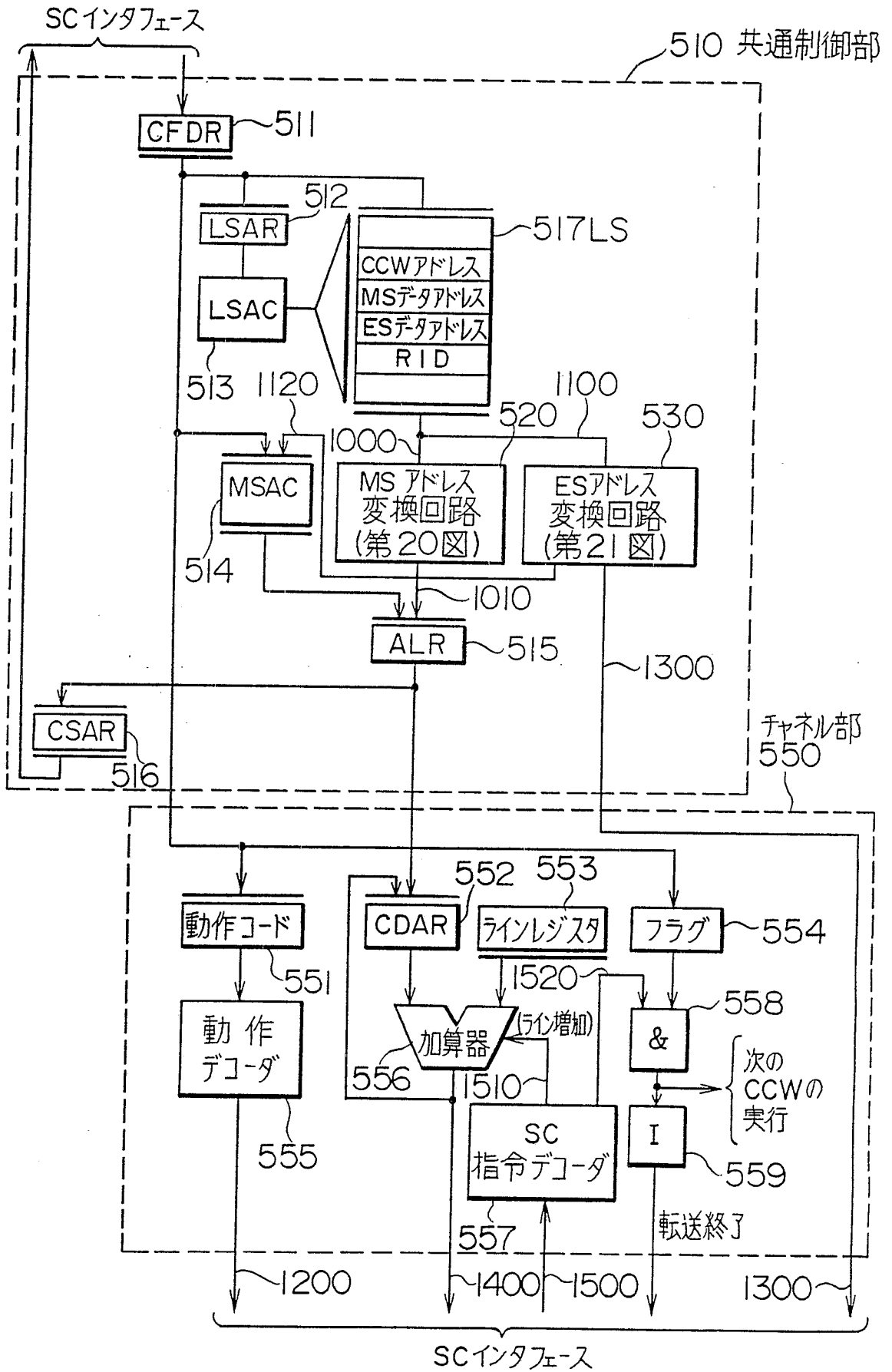
第 17 図 PRIOR ART



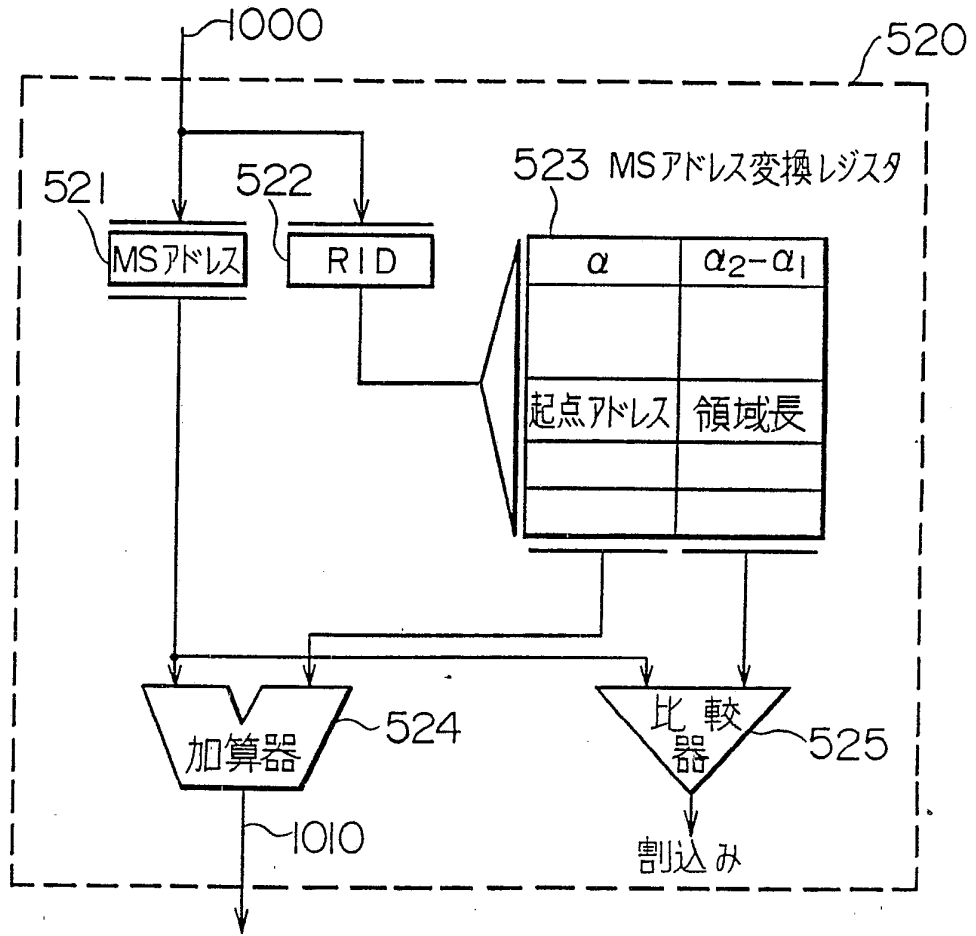
第 18 図 PRIOR ART



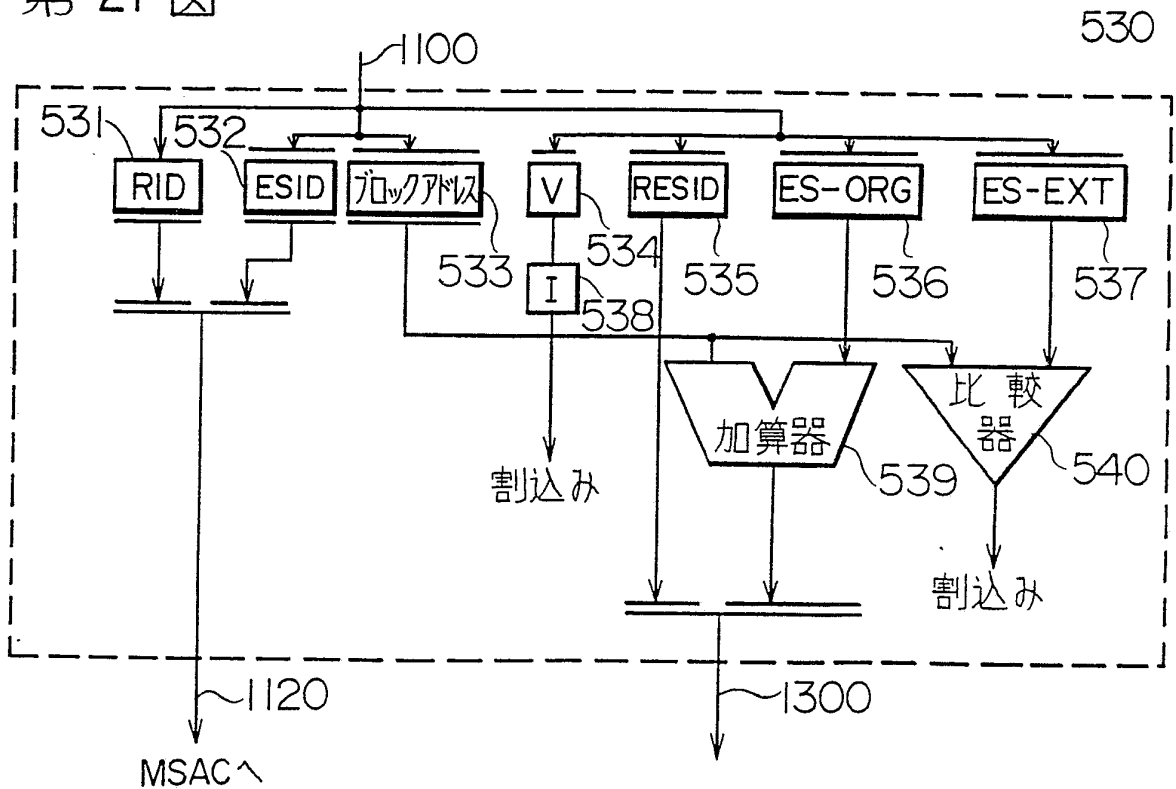
第 19 図



第 20 図



第 21 図



INTERNATIONAL SEARCH REPORT

International Application No PCT/JP89/00983

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) ⁶				
According to International Patent Classification (IPC) or to both National Classification and IPC				
Int. Cl ⁴ G06F12/10, 12/08, 12/06, 12/02, 9/46				
II. FIELDS SEARCHED				
Minimum Documentation Searched ⁷				
Classification System	Classification Symbols			
IPC	G06F12/08, 12/10, 12/06, 12/02, 9/46			
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁸				
Jitsuyo Shinan Koho	1970 - 1989			
Kokai Jitsuyo Shinan Koho	1971 - 1989			
III. DOCUMENTS CONSIDERED TO BE RELEVANT ⁹				
Category [*]	Citation of Document, ¹¹ with indication, where appropriate, of the relevant passages ¹²	Relevant to Claim No. ¹³		
A	JP, A, 61-98461 (Hitachi, Ltd.) 16 May 1986 (16. 05. 86) (Family : none)	1 - 8		
P	JP, A, 63-244152 (Fujitsu Ltd.) 11 October 1988 (11. 10. 88) (Family : none)	1 - 8		
<table style="width: 100%; border: none;"> <tr> <td style="width: 50%; border: none; vertical-align: top;"> <p>[*] Special categories of cited documents: ¹⁰</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> </td> <td style="width: 50%; border: none; vertical-align: top;"> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p> </td> </tr> </table>			<p>[*] Special categories of cited documents: ¹⁰</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>
<p>[*] Special categories of cited documents: ¹⁰</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>			
IV. CERTIFICATION				
Date of the Actual Completion of the International Search	Date of Mailing of this International Search Report			
October 20, 1989 (20. 10. 89)	November 20, 1989 (20. 11. 89)			
International Searching Authority	Signature of Authorized Officer			
Japanese Patent Office				

I. 発明の属する分野の分類		
国際特許分類 (IPC) Int. Cl⁴ G 0 6 F 1 2 / 1 0 , 1 2 / 0 8 , 1 2 / 0 6 , 1 2 / 0 2 , 9 / 4 6		
II. 国際調査を行った分野		
調査を行った最小限資料		
分類体系	分類記号	
IPC	G 0 6 F 1 2 / 0 8 , 1 2 / 1 0 , 1 2 / 0 6 , 1 2 / 0 2 , 9 / 4 6	
最小限資料以外の資料で調査を行ったもの		
日本国実用新案公報 1970-1989年 日本国公開実用新案公報 1971-1989年		
III. 関連する技術に関する文献		
引用文献の カテゴリー※	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
A	JP, A, 61-98461 (株式会社 日立製作所) 16. 5月. 1986 (16. 05. 86) (ファミリーなし)	1-8
P	JP, A, 63-244152 (富士通株式会社) 11. 10月. 1988 (11. 10. 88) (ファミリーなし)	1-8
※引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 「T」 国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリーの文献		
IV. 認 証		
国際調査を完了した日	国際調査報告の発送日	
20. 10. 89	20.11.89	
国際調査機関	権限のある職員	5 B 7 0 1 0
日本国特許庁 (ISA/JP)	特許庁審査官	河 西 祐 一 ⊕