

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年10月8日(08.10.2015)

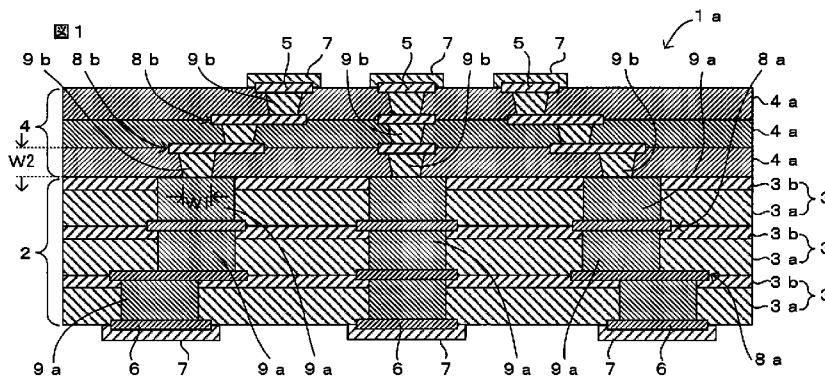


(10) 国際公開番号
WO 2015/151809 A1

- (51) 国際特許分類:
H05K 3/46 (2006.01) H01L 21/66 (2006.01)
G01R 1/073 (2006.01)
 - (21) 国際出願番号: PCT/JP2015/057998
 - (22) 国際出願日: 2015年3月18日(18.03.2015)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2014-071758 2014年3月31日(31.03.2014) JP
 - (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
 - (72) 発明者: 竹村 忠治(TAKEMURA, Tadaji); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 大坪 喜人(OTSUBO, Yoshihito); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
 - (74) 代理人: 梁瀬 右司, 外(YANASE, Yuji et al.); 〒5300047 大阪府大阪市北区西天満5丁目1番19号 高木ビル4階 Osaka (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: LAMINATED WIRING BOARD AND PROBE CARD PROVIDED WITH SAME

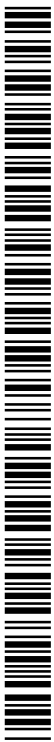
(54) 発明の名称: 積層配線基板およびこれを備えるプローブカード



(57) Abstract: A laminated wiring board obtained by laminating a resin laminate on a ceramic laminate, wherein interfacial peeling between the ceramic laminate and the resin laminate is reduced. The laminated wiring board (1a) is provided with: a ceramic laminate (2) obtained by laminating a plurality of ceramic layers (3); a resin laminate (4) obtained by laminating a plurality of resin layers (4a), the resin laminate (4) being laminated on the ceramic laminate (2); via conductors (9a) provided to the uppermost ceramic layer (3), the upper end surface of the via conductors (9a) being exposed on the interface between the ceramic laminate (2) and the resin laminate (4); and via conductors (9b) provided on the lowermost resin layer (4a), the lower end surface of the via conductors (9b) being exposed on the interface between the ceramic laminate (2) and the resin laminate (4) and directly connected to the upper end surface of the via conductors (9a) in the uppermost ceramic layer (3). The lower end surface of the resin-layer-(4a)-side via conductors (9b) is formed so as to fit within the upper end surface of the ceramic-layer-(3)-side via conductors (9a) in plan view.

(57) 要約:

[続葉有]



WO 2015/151809 A1



セラミック積層体に樹脂積層体が積層されて成る積層配線基板において、セラミック積層体と樹脂積層体の界面剥離を低減する。積層配線基板 1 a は、複数のセラミック層 3 が積層されて成るセラミック積層体 2 と、複数の樹脂層 4 a が積層されて成り、セラミック積層体 2 に積層された樹脂積層体 4 と、最上層のセラミック層 3 に設けられ、その上端面がセラミック積層体 2 と樹脂積層体 4 の境界面に露出したビア導体 9 a と、最下層の樹脂層 4 a に設けられ、その下端面がセラミック積層体 2 と樹脂積層体 4 の境界面に露出して、最上層のセラミック層 3 のビア導体 9 a の上端面に直接接続されたビア導体 9 b とを備え、樹脂層 4 a 側のビア導体 9 b の下端面が、平面視において、セラミック層 3 側のビア導体 9 a の上端面内に収まるように形成されている。

明 細 書

発明の名称：積層配線基板およびこれを備えるプローブカード

技術分野

[0001] 本発明は、複数のセラミック層が積層されて成るセラミック積層体と、複数の樹脂層が積層されて成りセラミック積層体に積層された樹脂積層体とを備える積層配線基板およびこの積層配線基板を備えるプローブカードに関する。

背景技術

[0002] 近年の半導体素子の外部端子の高密度化に伴って、該半導体素子の電気検査に用いられるプローブカードの配線基板では、内部に形成される配線の高密度化および細線化が要求されている。また、この種の配線基板では、半導体素子の電気検査を確実かつ円滑に行うために、高い平坦性も要求されている。したがって、従来より、内部配線の高密度化や細線化を図りつつ、高い平坦性が得られる配線基板の開発が進められている。

[0003] 例えば、図10に示した特許文献1の積層配線基板100では、複数のセラミック層101aが積層されて成るセラミック積層体101と、複数の樹脂層102a（例えば、ポリイミド）が積層されて成る樹脂積層体102とを備える。ここで、積層配線基板100の上面には、それぞれプローブピンと接続される複数の接続電極103が形成される。また、積層配線基板100の下面には、各接続電極103それぞれに対応するように設けられた複数の外部電極104が、各接続電極103のピッチよりも広いピッチで配置される。そして、対応する接続電極103と外部電極104同士が、積層配線基板100の内部に形成された配線電極105および層間接続導体106を介して接続されることで、積層配線基板100に再配線構造が形成されている。

[0004] このような再配線構造では、各接続電極103が形成される積層配線基板100の上部において、検査対象である半導体素子の端子間隔に合わせるた

めに、各外部電極104が形成される下部よりも配線電極105や層間接続導体106の密度を高くする必要があるため、積層配線基板100の上部を、微細な電極パターンの形成が可能なポリイミド等の薄膜で形成された複数の樹脂層102aの積層体である樹脂積層体102で構成している。一方、配線電極105や層間接続導体106の高密度化が要求されない積層配線基板100の下部を、剛性が樹脂積層体102よりも高く、研磨等により平坦性を確保し易い複数のセラミック層101aの積層体であるセラミック積層体101で構成している。

先行技術文献

特許文献

- [0005] 特許文献1：特開2011-108959号公報（段落0017～0020、段落0037～0042、図1等参照）

発明の概要

発明が解決しようとする課題

- [0006] この積層配線基板100では、上部（樹脂積層体103）がポリイミド等の樹脂、下部（セラミック積層体101）がセラミックという線膨張係数の異なる異種材料の積層構造となるため、周囲温度の変化等が生じた場合などに、セラミック積層体101と樹脂積層体102との熱収縮・膨張量の違いから、積層配線基板100の内部に応力が発生する。特に、セラミック積層体101を形成した後に樹脂層102aを積層して樹脂積層体102を形成する場合には、積層配線基板100の内部に、樹脂積層体102の熱硬化収縮による残留応力が発生する。

- [0007] ところで、上記した積層配線基板100では、セラミック積層体101と樹脂積層体102の界面に、最上層のセラミック層101aに形成された層間接続導体106と最下層の樹脂層102aに形成された層間接続導体106とを接続する配線電極105（所謂、電極パッド）が設けられている。当該配線電極105は、その平面視での面積が最上層のセラミック層101a

の層間接続導体 106 よりも大きく形成されているため、配線電極 105 を形成する分、セラミック積層体 101 と樹脂積層体 102 の界面で、セラミック層 101a と樹脂層 102a との接触面積が減少する。

[0008] セラミック層 101a と樹脂層 102a との接触面積が減少すると、両者の密着強度が弱くなるため、積層配線基板 100 の周囲温度が変化した際などに、上記したセラミック積層体 101 と樹脂積層体 102 の線膨張係数の違いに起因する応力により、両者の界面で剥離が生じるおそれがある。

[0009] 本発明は、上記した課題に鑑みてなされたものであり、セラミック積層体に樹脂積層体が積層されて成る積層配線基板において、セラミック積層体と樹脂積層体の界面剥離を低減することを目的とする。

課題を解決するための手段

[0010] 上記した目的を達成するために、本発明の積層配線基板は、複数のセラミック層が積層されて成るセラミック積層体と、複数の樹脂層が積層されて成り、前記セラミック積層体に積層された樹脂積層体と、最上層の前記セラミック層に設けられ、その上端面が前記セラミック積層体と前記樹脂積層体の境界面に露出した第 1 層間接続導体と、最下層の前記樹脂層に設けられ、その下端面が前記セラミック積層体と前記樹脂積層体の前記境界面に露出して、前記第 1 層間接続導体の前記上端面に直接接続された第 2 層間接続導体とを備え、前記第 2 層間接続導体の前記下端面が、平面視において、前記第 1 層間接続導体の前記上端面内に収まるように形成されていることを特徴としている。

[0011] この場合、セラミック積層体と樹脂積層体の境界面において、最上層のセラミック層に形成された第 1 層間接続導体の上端面と最下層の樹脂層に形成された第 2 層間接続導体の下端面とが直接されるとともに、第 2 層間接続導体の下端面が、平面視において、第 1 層間接続導体の上端面内に収まるように形成される。そのため、第 1 層間接続導体と第 2 層間接続導体の間に電極パッドを設ける従来の積層配線基板と比較して、前記境界面のセラミック層と樹脂層との接触面積を増やすことができる。この場合、セラミック積層体

と樹脂積層体の密着強度が向上するため、積層配線基板にセラミック積層体と樹脂積層体の線膨張係数の違いに起因する内部応力等が発生した場合であっても、セラミック積層体と樹脂積層体の界面剥離を低減することができる。

[0012] また、前記各樹脂層間のいずれかに配置され、前記樹脂積層体の周縁部を除く領域と平面視で重なるように形成された面状の電極パターンを有する配線層を備えていてもよい。金属で形成された面状の電極パターンは、樹脂層の線膨張係数よりも小さいため、例えば、低温変化時に、樹脂積層体の収縮量を抑えることができる。また、樹脂積層体の収縮量が抑制されることで、セラミック積層体と樹脂積層体の境界面に作用する応力が減るため、セラミック積層体と樹脂積層体の界面剥離を低減することができる。

[0013] また、樹脂積層体の硬化収縮等によりセラミック積層体と樹脂積層体の境界面に作用する応力は、樹脂積層体の厚みに比例するが、樹脂積層体の樹脂層間のいずれかに面状の電極パターンを有する配線層を配置することで、当該電極パターン11aが、配線層の上側の樹脂層から前記境界面に対する応力に抗するように機能する。この場合、前記境界面に作用する応力が緩和されるため、両積層体の界面剥離を低減することができる。

[0014] また、前記最下層の前記樹脂層の厚みが、前記配線層の上側に位置する前記樹脂層の厚みよりも薄く形成されていてもよい。このようにすると、配線層の下側に位置する樹脂層の厚みを薄くすることができるため、セラミック積層体と樹脂積層体の境界面に作用する応力をさらに低減することができる。

[0015] また、前記第1層間接続導体の上端部の周側面と前記セラミック層との間に間隙が形成されており、前記最下層の前記樹脂層を形成する樹脂が、前記間隙に入り込んでいてもよい。この場合、最上層のセラミック層の第1層間接続導体の上端部の周側面との間の間隙に、最下層の樹脂層を形成する樹脂が入り込むことによるアンカー効果で、セラミック積層体と樹脂積層体の境界面での密着強度が向上するため、両者の界面剥離を低減することができる。

- 。
- [0016] また、前記第2層間接続導体の上端面に接続された電極パッドを備え、前記第1層間接続導体の上端面が平面視で前記電極パッド内に収まるように、前記電極パッドの面積が、前記第1層間接続導体の上端面の面積よりも大きく形成されていてもよい。このようにすると、第1層間接続導体と第2層間接続導体の接続面が、平面視で電極パッドに収まることになる。そうすると、樹脂積層体が熱硬化収縮等した場合に、第1層間接続導体と第2層間接続導体の接続面に作用する応力が、接続面の真上に位置する電極パッドにより、緩和されるため、第1層間接続導体と第2層間接続導体の接続信頼性が向上する。
- [0017] 前記第2層間接続導体の前記下端面の最大幅が、前記最下層の前記樹脂層の厚みよりも大きく形成されていてもよい。樹脂積層体の熱硬化収縮等した場合の第1層間接続導体と第2層間接続導体の接続面に作用する応力は、第2層間接続導体の高さに比例して大きくなる。また、両層間接続導体の接続強度は、その接続面積に比例する。したがって、当該接続面積に対応する第1層間接続導体と第2層間接続導体の接続面の最大幅より、第2層間接続導体の高さが大きくなると、第1層間接続導体と第2層間接続導体の接続部で破断するリスクが高まる。そこで、第2層間接続導体の下端面の最大幅、つまり、第1層間接続導体と第2層間接続導体の接続面の最大幅を、第2層間接続導体の高さと同様となる最下層の樹脂層の厚みよりも大きく形成することで、第1、第2層間接続導体の接続部の破断のリスクを低減することができる。
- [0018] また、前記第2層間接続導体の下端面の面積が、上端面よりも大きく形成されていてもよい。このようにすると、第1層間接続導体と第2層間接続導体の接続面積を増やすことができるため、セラミック積層体と樹脂積層体の界面剥離を低減しつつ、第1層間接続導体と第2層間接続導体の接続信頼性を向上することができる。
- [0019] また、本発明のプロブカードは、上記した積層配線基板を備え、半導体

素子の電気特性検査を行うことを特徴としている。この場合、外部端子が狭ピッチで配置された近年の半導体素子の電気特性検査に対応しつつ、積層配線基板をセラミック積層体と樹脂積層体で構成した場合の弊害である両積層体の界面剥離を低減することができる。

発明の効果

[0020] 本発明によれば、第1層間接続導体と第2層間接続導体の間に電極パッドを設ける従来の積層配線基板と比較して、前記境界面のセラミック層と樹脂層との接触面積を増やすことができるため、セラミック積層体と樹脂積層体の密着強度が向上する。また、セラミック積層体と樹脂積層体の密着強度が向上することで、積層配線基板にセラミック積層体と樹脂積層体の線膨張係数の違いに起因する内部応力等が発生した場合であっても、両積層体の界面剥離を低減することができる。

図面の簡単な説明

[0021] [図1]本発明の第1実施形態にかかる積層配線基板の断面図である。
[図2]本発明の第2実施形態にかかる積層配線基板の断面図である。
[図3]本発明の第3実施形態にかかる積層配線基板の断面図である。
[図4]本発明の第4実施形態にかかる積層配線基板の断面図である。
[図5]図4の所定の配線層の平面図である。
[図6]本発明の第5実施形態にかかる積層配線基板の断面図である。
[図7]本発明の第6実施形態にかかる積層配線基板の部分断面図である。
[図8]本発明の第7実施形態にかかる積層配線基板の断面図である。
[図9]図8のセラミック積層体の製造方法を説明するための図である。
[図10]従来の積層配線基板の断面図である。

発明を実施するための形態

[0022] <第1実施形態>

本発明の第1実施形態にかかる積層配線基板1aについて、図1を参照して説明する。なお、図1は積層配線基板1aの断面図である。

[0023] この実施形態にかかる積層配線基板1aは、図1に示すように、複数のセ

ラミック層 3 が積層されて成るセラミック積層体 2 と、複数の樹脂層 4 a が積層されて成り、セラミック積層体 2 に積層された樹脂積層体 4 とを備え、例えば、半導体素子の電気特性検査を行うプローブカードの配線基板として使用される。

[0024] 各セラミック層 3 は、ホウケイ酸系ガラス、アルミナ、シリカ等を主成分とする低温同時焼成セラミック（L T C C）で形成された基層 3 a と、該基層 3 a の主面方向の収縮を抑制する収縮抑制層 3 b でそれぞれ構成されている。この場合、セラミック積層体 2 を 1 0 0 0 ° C 以下で焼成できるため、セラミック積層体 2 の内部に形成される各種配線電極やビア導体 9 a を形成する材料として、A g や C u 等の低抵抗金属を使用することができる。なお、各基層 3 a を形成する材料として、高温焼成セラミック（H T C C）を用いてもかまわない。

[0025] 各収縮抑制層 3 b は、基層 3 a を形成するセラミック材料の焼結温度（例えば、L T C C の場合は、8 0 0 ° C ~ 1 0 0 0 ° C）では焼結しないセラミック材料（ガラス成分も含有）でそれぞれ形成されており、セラミック積層体 2 の焼成時に、各基層 3 a が主面方向に収縮するのを抑制する。このように、各セラミック層 3 に収縮抑制層 3 b を設けることで、セラミック積層体 2 の焼成時に、各セラミック層 3 の主面方向の収縮が抑制されるため、セラミック積層体 2 内に形成される各ビア導体 9 a の位置精度が向上する。そのため、従来のような大面積の電極パッドを設けずに、最上層のセラミック層 3 のビア導体 9 a と最下層の樹脂層 4 a のビア導体 9 b との直接接続が容易になる。

[0026] 樹脂積層体 4 の各樹脂層 4 a は、例えば、ポリイミド等の樹脂でそれぞれ形成されており、この実施形態では、セラミック積層体 2 の焼成後に、セラミック積層体 2 に積層される。

[0027] この積層配線基板 1 a では、その上面である最上層の樹脂層 4 a の上面に、複数の上面電極 5 が形成されるとともに、その下面である最下層のセラミック層 3 a の下面に、各上面電極 5 に対応して設けられた複数の下面電極 6

が形成される。このとき、各上面電極 5 と各下面電極 6 それぞれの表面には、めっきにより Ni / Au 電極 7 が形成されている。そして、対応する上面電極 5 と下面電極 6 同士が、積層配線基板 1 a の内部に形成された各種配線電極やビア導体 9 a, 9 b により接続される。ここで、各下面電極 6 のピッチが、各上面電極 5 よりも広く設定されており、積層配線基板 1 a の内部に再配線構造が形成されている。

[0028] 具体的には、セラミック積層体 2 において、隣接するセラミック層 3 の間には、各種配線電極を有する配線層 8 a が形成される。また、各セラミック層 3 それぞれには、上下に隣接する所定の配線電極同士を接続する複数のビア導体 9 a が形成される。また、樹脂積層体 4 においても、同様に、隣接する樹脂層 4 a の間には、各種配線電極を有する配線層 8 b が形成されるとともに、各樹脂層 4 a それぞれには、上下に隣接する所定の配線電極同士を接続する複数のビア導体 9 b が形成される。

[0029] また、最上層のセラミック層 3 の各ビア導体 9 a の上端面が、セラミック積層体 2 と樹脂積層体 4 の境界面にそれぞれ露出するとともに、最下層の樹脂層 4 a の各ビア導体 9 b の下端面が前記境界面にそれぞれ露出して設けられている。そして、両積層体 2, 4 の境界面において、所定の最上層のセラミック層 3 に形成されたビア導体 9 a の上端面と最下層の樹脂層 4 a に形成されたビア導体 9 b の下端面同士が直接接続される。

[0030] さらに、最下層の樹脂層 4 a に形成されたビア導体 9 b の下端面が、平面視において、接続される最上層のセラミック層 3 のビア導体 9 a の上端面内に収まるように形成されている。このように、最上層のセラミック層 3 に形成された各ビア導体 9 a それぞれが、本発明の「第 1 層間接続導体」に相当し、最下層の樹脂層 4 a に形成された各ビア導体 9 b それぞれが、本発明の「第 2 層間接続導体」に相当する。なお、積層配線基板 1 a の内部に形成される各ビア導体 9 a, 9 b の代わりに、金属ピンやポスト電極等、層間を接続するものとして周知な導体を用いることができる。

[0031] なお、最下層の樹脂層 4 a に形成された各ビア導体 9 b の下端面の最大幅

W1を、当該最下層の樹脂層4aの厚みW2よりも大きく形成するのが好ましい(W1>W2)。樹脂積層体4が熱硬化収縮等した際、最上層のセラミック層3に形成されたビア導体9aと最下層の樹脂層4aに形成されたビア導体9bの接続面に作用する応力は、樹脂層4a側のビア導体9bの高さに比例して大きくなる。また、両ビア導体9a、9bの接続強度は、接続面積に比例する。したがって、前記接続面積に対応する両ビア導体9a、9bの接続面の最大幅より、樹脂層4a側のビア導体9bの高さが大きくなると、両ビア導体9a、9bの接続部で破断するリスクが高まる。そこで、最下層の樹脂層4aに形成されたビア導体9bの下端面の最大幅W1、つまり、前記接続面の最大幅を、通常、最下層の樹脂層4aのビア導体9bの高さと略同じとなる最下層の樹脂層4aの厚みよりも大きく形成することで、前記接続部の破断のリスクを低減することができる。

[0032] また、本発明にかかるプローブカードは、上記した積層配線基板1aの各上面電極5それぞれに、プローブピンが実装されたものであり、各プローブピンを半導体素子の外部端子に接触させて、半導体素子の電気特性検査を行うものである。

[0033] (積層配線基板の製造方法)

次に、積層配線基板1aの製造方法について説明する。この積層配線基板1aは、各セラミック層3を積層したものを焼成してセラミック積層体2を形成した後に、樹脂積層体4を積層することにより得られる。

[0034] 具体的には、まず、低温同時焼成セラミックで形成された複数のセラミックグリーンシート(基層3a)を用意し、該基層3a上にアルミナやジルコニアなどの難燃性粉末を主成分とするペースト状の収縮抑制層3bを、スクリーン印刷などにより塗布(積層)して乾燥させることにより、各セラミック層3それぞれを個別に準備する。

[0035] 次に、各セラミック層3のビア導体9aを形成する箇所については、レーザなどを用いて貫通孔を形成し、周知の方法でビア導体9aを形成する。次に、AgやCuなどの金属を含有する導体ペーストを用いたスクリーン印刷

などにより、各種配線電極を有する配線層 8 a を形成する。そして、準備された各セラミック層 3 を積層した後、加圧焼成して、セラミック積層体 2 を形成する。

[0036] 次に、セラミック積層体 2 の上下面を研磨・研削する。各セラミック層 3 の積層体を加圧焼成した際、セラミック積層体 2 の上下面からビア導体 9 a が隆起する場合があります、このような場合には、最上層のセラミック層 3 のビア導体 9 a と最下層の樹脂層 4 a のビア導体 9 b との接続信頼性が低下する。そのため、セラミック積層体 2 の両面を研磨・研削して、セラミック層 3 側のビア導体 9 a の隆起をなくすことで、樹脂層 4 a 側のビア導体 9 b との接続信頼性が向上する。また、研磨・研削により、セラミック積層体 2 の上面に露出した各ビア導体 9 a の上面の酸化膜を除去することができるため、前記接続信頼性がより向上する。さらに、セラミック積層体 2 の反りや、表面の平坦性を向上することができるため、セラミック積層体 2 上に積層される樹脂積層体 4 の平坦性も向上する。なお、セラミック積層体 2 の下面の研磨・研削は、必ずしもしなくてもよい。

[0037] 次に、各配線層 8 a と同じ要領で、セラミック積層体 2 の下面に、各下面電極 6 を形成する。

[0038] 次に、セラミック積層体 2 の上面に、ポリイミド等の樹脂をスピンコート等により塗布して最下層の樹脂層 4 a を形成する。次に、フォトリソグラフィ技術を用いて、各ビア導体 9 b と配線層 8 b の各配線電極を同時に形成する。このとき、各ビア導体 9 b および配線層 8 b の各配線電極は、スパッタ等により下地の T i 膜を形成した後、同じくスパッタにより T i 膜上に C u 膜を成膜し、さらに、その上にレジストを形成した後、露光・現像し、C u 膜上に C u 電極を電解めっきまたは無電解めっきにより形成することでそれぞれ得られる。また、各ビア導体 9 b の下端面が、平面視において、接続される最上層のセラミック層 3 のビア導体 9 a の上端面内に収まるように、各ビア導体 9 b の下端面の面積を、セラミック層 3 のビア導体 9 a の上端面よりも小さく形成するとともに、最下層の樹脂層 4 a の厚み W 2 よりも大きく

形成する。なお、各ビア導体 9 b を形成する際、ビアホールをレーザ加工により形成する構成であってもかまわない。

[0039] 他の樹脂層 4 a についても、同じ要領で 1 層ごとに配線層 8 b および各ビア導体 9 b を形成して、樹脂積層体 4 を形成する。また、各上面電極 5 は、例えば、フォトリソグラフィ技術を用いて形成することができる。この場合、各上面電極 5 は、最上層の樹脂層 4 a の上面にスパッタ等により下地の Ti 膜を成膜した後、同じくスパッタにより Ti 膜上に Cu 膜を成膜し、さらに、その上にレジストを形成した後、露光・現像し、Cu 膜上に電解めっきまたは無電解めっきにより Cu 電極を形成することによりそれぞれ形成されている。

[0040] 最後に、各上面電極 5 および各下面電極 6 の表面に、電解めっきまたは無電解めっきにより、Ni / Au 電極 7 を形成することで、積層配線基板 1 a が完成する。

[0041] したがって、上記した実施形態によれば、セラミック積層体 2 と樹脂積層体 4 の境界面において、最上層のセラミック層 3 に形成されたビア導体 9 a の上端面と最下層の樹脂層 4 a に形成されたビア導体 9 b の下端面とが直接接続されるとともに、樹脂層 4 a 側のビア導体 9 b の下端面が、平面視において、セラミック層 3 側のビア導体 9 a の上端面内に収まるように形成される。このようにすると、セラミック層 3 側のビア導体 9 a と樹脂層 4 a 側のビア導体 9 b の間に電極パッドを設けて両ビア導体 9 a, 9 b を接続する従来の積層配線基板と比較して、前記境界面のセラミック層 3 と樹脂層 4 a との接触面積を増やすことができるため、セラミック積層体 2 と樹脂積層体 4 の密着強度が向上する。また、両積層体 2, 4 の密着強度が向上することで、積層配線基板 1 a にセラミック積層体 2 と樹脂積層体 4 の線膨張係数の違いに起因する内部応力等が発生した場合であっても、両積層体 2, 4 の界面剥離を低減することができる。

[0042] また、積層配線基板 1 a は、各上面電極 5 が形成される上部が、微細な配線加工が可能なポリイミド等で形成された樹脂層 4 a の積層体（樹脂積層体

4) で形成されている。したがって、積層配線基板 1 a の各上面電極 5 にプローブピンを実装してプローブカードを構成した場合に、外部端子が狭ピッチで配置された近年の半導体素子の電気特性検査に対応しつつ、積層配線基板 1 a をセラミック積層体 2 と樹脂積層体 4 で構成した場合の弊害である両積層体 2, 4 の界面剥離を低減することができる。

[0043] <第 2 実施形態>

本発明の第 2 に実施形態にかかる積層配線基板 1 b について、図 2 を参照して説明する。なお、図 2 は積層配線基板 1 b の断面図である。

[0044] この実施形態にかかる積層配線基板 1 b が、図 1 を参照して説明した第 1 実施形態の積層配線基板 1 a と異なるところは、最下層の樹脂層 4 a の上面に隣接する配線層 8 b が有する配線電極として、最下層の樹脂層 4 a に形成された各ビア導体 9 b の上端面に接続された複数の電極パッド 10 が設けられ、各電極パッド 10 の面積が、平面視で、最上層のセラミック層 3 に形成されたビア導体 9 a の上端面の面積よりも大きく形成されていることである。その他の構成は、第 1 実施形態の積層配線基板 1 a と同じであるため、同一符号を付すことにより説明を省略する。

[0045] この場合、最上層のセラミック層 3 に形成されたビア導体 9 a の上端面それぞれが、平面視で各電極パッド 10 内に収まるように、各電極パッド 10 のサイズが設定されている。電極パッド 10 は樹脂層 4 a の樹脂よりも硬くて線膨張係数が小さい金属で形成されるため、樹脂積層体 4 が熱硬化収縮等した場合に、最上層のセラミック層 3 に形成されたビア導体 9 a と、このビア導体 9 a に接続される最下層の樹脂層 4 a のビア導体 9 b との接続面に作用する応力が、該接続面の真上に位置する電極パッド 10 により、緩和される。したがって、この構成によると、セラミック積層体 2 と樹脂積層体 4 の界面剥離を低減しつつ、セラミック積層体 2 と樹脂積層体 4 の界面に位置する、最上層のセラミック層 3 のビア導体 9 a と最下層の樹脂層 4 a のビア導体 9 b の接続信頼性を向上することができる。

[0046] <第 3 実施形態>

本発明の第3実施形態にかかる積層配線基板1cについて、図3を参照して説明する。なお、図3は積層配線基板1cの断面図である。

[0047] この実施形態にかかる積層配線基板1cが、図1を参照して説明した第1実施形態の積層配線基板1aと異なるところは、最下層の樹脂層4aに形成された各ビア導体9bそれぞれは、最上層のセラミック層3のビア導体9aに接続される下端面の面積が、上端面よりも大きく形成されていることである。その他の構成は、第1実施形態の積層配線基板1aと同じであるため、同一符号を付すことにより説明を省略する。

[0048] このようにすると、第1実施形態の積層配線基板1aと比較して、最上層のセラミック層3のビア導体9aと、このビア導体9aに接続される最下層の樹脂層4aのビア導体9bとの接続面積を増やすことができるため、セラミック積層体2と樹脂積層体4の界面剥離を低減しつつ、両ビア導体9a、9bの接続信頼性を向上することができる。

[0049] <第4実施形態>

本発明の第4実施形態にかかる積層配線基板1dについて、図4および図5を参照して説明する。なお、図4は積層配線基板1dの断面図、図5は所定の配線層8bの平面図である。

[0050] この実施形態にかかる積層配線基板1dが、図1を参照して説明した第1実施形態の積層配線基板1aと異なるところは、隣接する樹脂層4a間に配置された所定の配線層8bが、樹脂積層体4の周縁部を除く領域と平面視で重なるように形成された面状の電極パターン11aを有することである。その他の構成は、第1実施形態の積層配線基板1aと同じであるため、同一符号を付すことにより説明を省略する。

[0051] この場合、樹脂積層体4の積層方向の略中心に配置された配線層8bが有する配線電極として、グランド電極としての面状の電極パターン11aと、それぞれ当該配線層8bの上下に隣接する樹脂層4aそれぞれに形成された所定のビア導体9b同士を接続する複数の電極パッド11bが形成されている。ここで、電極パターン11aは、図5に示すように、樹脂積層体4の周

縁部と各電極パッド11bを除く領域に形成されている。また、電極パターン11aは、最下層の樹脂層4aに形成された各ビア導体9bのうち、紙面両端の両ビア導体9bそれぞれの、最下層のセラミック層3ビア導体9aとの接続面の一部と、平面視で重なるように形成されている。なお、電極パターン11aは、グランド電極に限らず、例えば、電源用の電極として利用してもかまわない。また、面状の電極パターン11aは、樹脂積層体4の樹脂層4a間のいずれかに配置されていけばよい。

[0052] この実施形態によると、金属で形成された面状の電極パターン11aは、樹脂層4aの線膨張係数よりも小さいため、例えば、低温変化時に、樹脂積層体4の収縮量を抑えることができる。また、樹脂積層体4の収縮量が抑制されることで、セラミック積層体2と樹脂積層体4の境界面に作用する応力が減るため、セラミック積層体2と樹脂積層体4の界面剥離を低減することができる。

[0053] また、樹脂積層体4の硬化収縮等によりセラミック積層体2と樹脂積層体4の境界面に作用する応力は、樹脂積層体4の厚みに比例するが、樹脂積層体4の樹脂層4a間のいずれかに面状の電極パターン11aを有する配線層8bを配置することで、当該電極パターン11aが、該電極パターン11aの上側に配置された各樹脂層4aから前記境界面に作用する応力に対して抗するように機能する。この場合、電極パターン11aを設けない場合と比較して、前記境界面に作用する応力が緩和されるため、両積層体2, 4の界面剥離を低減することができる。なお、樹脂積層体4において、電極パターン11aの下側に位置する樹脂層4aの総厚が薄いほど、前記境界面に作用する応力を緩和する効果が高いため、電極パターン11aを有する配線層8bは、樹脂積層体4の積層方向の中心よりも下側に配置するのが好ましい。

[0054] また、電極パターン11aは、最下層の樹脂層4aに形成された各ビア導体9bのうち、紙面両端の両ビア導体9bそれぞれの、最上層のセラミック層3ビア導体9aとの接続面の一部と、平面視で重なるように形成されているため、これらの接続面に対して作用する樹脂積層体4の硬化収縮等による

応力を効果的に緩和することができる。

[0055] <第5実施形態>

本発明の第5実施形態にかかる積層配線基板1eについて、図6を参照して説明する。なお、図6は積層配線基板1eの断面図である。

[0056] この実施形態にかかる積層配線基板1eが、図4および図5を参照して説明した第4実施形態の積層配線基板1dと異なるところは、面状の電極パターン11aを有する配線層8bの下側に位置する各樹脂層4aの厚みが、上側の各樹脂層4aの厚みよりも薄く形成されていることである。その他の構成は、第4実施形態と同じであるため、同一符号を付すことにより説明を省略する。

[0057] この構成によると、樹脂積層体4において電極パターン11aを有する配線層8bの下側に位置する各樹脂層4aの総厚を薄くすることができるため、第4実施形態の積層配線基板1dと比較して、樹脂積層体4の硬化収縮等による両積層体2, 4の境界面に作用する応力が減少し、両積層体2, 4の界面剥離をさらに低減することができる。

[0058] <第6実施形態>

本発明の第6実施形態にかかる積層配線基板1fについて、図7を参照して説明する。なお、図7は積層配線基板1fの部分断面図であり、図1の積層配線基板1aの左半部に対応する図である。

[0059] この実施形態にかかる積層配線基板1fが、図1を参照して説明した第1実施形態の積層配線基板1aと異なるところは、最上層のセラミック層3に形成された各ビア導体9aの上端部の周側面と当該セラミック層3との間に間隙12が形成されており、最下層の樹脂層4aを形成する樹脂が、間隙12に入り込んでいることである。その他の構成は、第1実施形態と同じであるため、同一符号を付すことにより説明を省略する。

[0060] 最上層のセラミック層3に形成された各ビア導体9aと、該セラミック層3との間の間隙12は、例えば、以下のようにして形成することができる。まず、最上層のセラミック層3の各ビア導体9aの貫通孔をレーザ加工する

際、セラミック層 3 のガラス成分のガラス玉が出来やすいような条件とする。このようにすると、ビア導体 9 a の周側面の周囲に比較的大きなガラス玉ができる。そして、セラミック積層体 2 の上面を研磨するときに、ビア導体 9 a の周囲に出来たガラス玉がセラミック層 3 の表面から外れて間隙 1 2 が形成され易くするために、比較的粗い研磨剤により研磨して間隙 1 2 を形成する。また、最上層のセラミック層 3 のガラス成分の含有量を他のセラミック層 3 よりも多くして、上記同様の研磨条件により研磨することでも間隙 1 2 を形成することができる。そして、この間隙 1 2 が形成されたセラミック積層体 2 にスピコート等により最下層の樹脂層 4 a を積層することにより、当該間隙 1 2 に樹脂層 4 a の樹脂が入り込むことになる。

[0061] この構成によると、最上層のセラミック層 3 と、該セラミック層 3 のビア導体 9 a の上端部の周側面との間の間隙 1 2 に、最下層の樹脂層 4 a を形成する樹脂が入り込むことによるアンカー効果で、セラミック積層体 2 と樹脂積層体 4 の境界面での密着強度が向上するため、両積層体 2, 4 の界面剥離を低減することができる。

[0062] <第 7 実施形態>

本発明の第 7 実施形態にかかる積層配線基板 1 g について、図 8 および図 9 を参照して説明する。なお、図 8 は積層配線基板 1 g の断面図、図 9 は積層配線基板 1 g のセラミック積層体 2 の製造方法を説明するための図である。

[0063] この実施形態にかかる積層配線基板 1 g が、図 1 を参照して説明した第 1 実施形態の積層配線基板 1 a と異なるところは、セラミック積層体 2 の各セラミック層 3 それぞれが、基層 3 a のみで形成されていることである。その他の構成は、第 1 実施形態の積層配線基板 1 a と同じであるため、同一符号を付すことにより説明を省略する。

[0064] この場合、セラミック積層体 2 は、以下のように製造される。まず、低温同時焼成セラミックで形成された複数のセラミックグリーンシート（基層 3 a）を用意する。各セラミックグリーンシート（基層 3 a）それぞれには、

ビア導体 9 a を形成する箇所にレーザなどを用いて貫通孔を形成し、周知の方法でビア導体 9 a を形成した後、A g や C u などの金属を含有する導電性ペーストを用いたスクリーン印刷などにより、各種配線電極を有する配線層 8 a を形成する。

[0065] 次に、図 9 (a) に示すように、ビア導体 9 a や配線層 8 a が形成された各セラミックグリーンシート (基層 3 a) を積層する。

[0066] 次に、図 9 (b) に示すように、各セラミックグリーンシート (基層 3 a) を積層した状態で、その上下面に、基層 3 a の焼結温度では焼結しない収縮抑制層 3 b を積層する。具体的には、各セラミックグリーンシート (基層 3 a) の積層体の上下面それぞれに、アルミナやジルコニアなどの難燃性粉末を主成分とするペースト状の収縮抑制層 3 b を積層・圧着して、800～1000℃で拘束焼成する。この際、収縮抑制層 3 b の上から各セラミックグリーンシート (基層 3 a) を加圧しながら焼成してもよいし (加圧焼成法) 、加圧せずに焼成してもよい (無加圧焼成法) 。

[0067] ここで、加圧焼成法、無加圧焼成法のいずれの場合も、各セラミックグリーンシート (基層 3 a) の積層体の上下面に積層された収縮抑制層 3 b は、例えば、1500℃以上に加熱しないと焼結しないので、800～1000℃で焼成すれば、収縮抑制層 3 b は、未焼結のまま残される。但し、焼成の過程で、収縮抑制層 3 b 中の樹脂バインダが熱分解により飛散してセラミック粉体として残るため、各セラミックグリーンシート (基層 3 a) の積層体の上下面に付着した収縮抑制層 3 b (セラミック粉体) を湿式ブラスト (ウォータージェット) 、バフ研磨等により除去し (図 9 (c)) 、これにより、セラミック積層体 2 が完成する。次に、第 1 実施形態の積層配線基板 1 a の製造方法と同じ要領で各下面電極 6 および各 N i / A u 電極 7 を形成する。また、樹脂積層体 4 についても、第 1 実施形態と同じ要領で形成し、これにより、積層配線基板 1 g が完成する。

[0068] この構成によると、第 1 実施形態の積層配線基板 1 a と同様の効果を得ることができる。また、この実施形態のセラミック積層体 2 の形成方法では、

各セラミックグリーンシートの積層体の焼結中に主面方向の収縮は発生せず、逆に主面方向に若干伸長するため、焼成後のセラミック積層体2の寸法ばらつきを抑えることができる。また、高圧をかけることにより、焼成前の各セラミックグリーンシートの積層体がより平坦化されるため、焼成後のセラミック積層体2の反りが低減するとともに、平坦性が向上する。以上のように、セラミック積層体2の寸法ばらつきを抑制することができ、これにより、寸法精度の向上を図ることができる。

[0069] なお、本発明は上記した各実施形態に限定されるものではなく、その趣旨を逸脱しない限りにおいて、上記したもの以外に種々の変更を行なうことが可能である。例えば、各セラミック層3および各樹脂層4 aの層数それぞれは、適宜、変更することができる。

産業上の利用可能性

[0070] また、本発明は、複数のセラミック層が積層されて成るセラミック積層体と、複数の樹脂層が積層されて成りセラミック積層体に積層された樹脂積層体とを備える種々の積層配線基板に適用することができる。

符号の説明

[0071]	1 a ~ 1 g	積層配線基板
	2	セラミック積層体
	3	セラミック層
	4	樹脂積層体
	4 a	樹脂層
	8 b	配線層
	9 a	ビア導体（第1層間接続導体）
	9 b	ビア導体（第2層間接続導体）
	1 0	電極パッド
	1 1 a	電極パターン
	1 2	間隙

請求の範囲

- [請求項1] 複数のセラミック層が積層されて成るセラミック積層体と、
複数の樹脂層が積層されて成り、前記セラミック積層体に積層された樹脂積層体と、
最上層の前記セラミック層に設けられ、その上端面が前記セラミック積層体と前記樹脂積層体の境界面に露出した第1層間接続導体と、
最下層の前記樹脂層に設けられ、その下端面が前記セラミック積層体と前記樹脂積層体の前記境界面に露出して、前記第1層間接続導体の前記上端面に直接接続された第2層間接続導体とを備え、
前記第2層間接続導体の前記下端面が、平面視において、前記第1層間接続導体の前記上端面内に収まるように形成されていることを特徴とする積層配線基板。
- [請求項2] 前記各樹脂層間のいずれかに配置され、前記樹脂積層体の周縁部を除く領域と平面視で重なるように形成された面状の電極パターンを有する配線層を備えることを特徴とする請求項1に記載の積層配線基板。
- [請求項3] 前記最下層の前記樹脂層の厚みが、前記配線層の上側に位置する前記樹脂層の厚みよりも薄く形成されていることを特徴とする請求項2に記載の積層配線基板。
- [請求項4] 前記第1層間接続導体の上端部の周側面と前記セラミック層との間に間隙が形成されており、
前記最下層の前記樹脂層を形成する樹脂が、前記間隙に入り込んでいることを特徴とする請求項1ないし3のいずれかに記載の積層配線基板。
- [請求項5] 前記第2層間接続導体の上端面に接続された電極パッドを備え、
前記第1層間接続導体の上端面が平面視で前記電極パッド内に収まるように、前記電極パッドの面積が、前記第1層間接続導体の上端面の面積よりも大きく形成されていることを特徴とする請求項1ないし

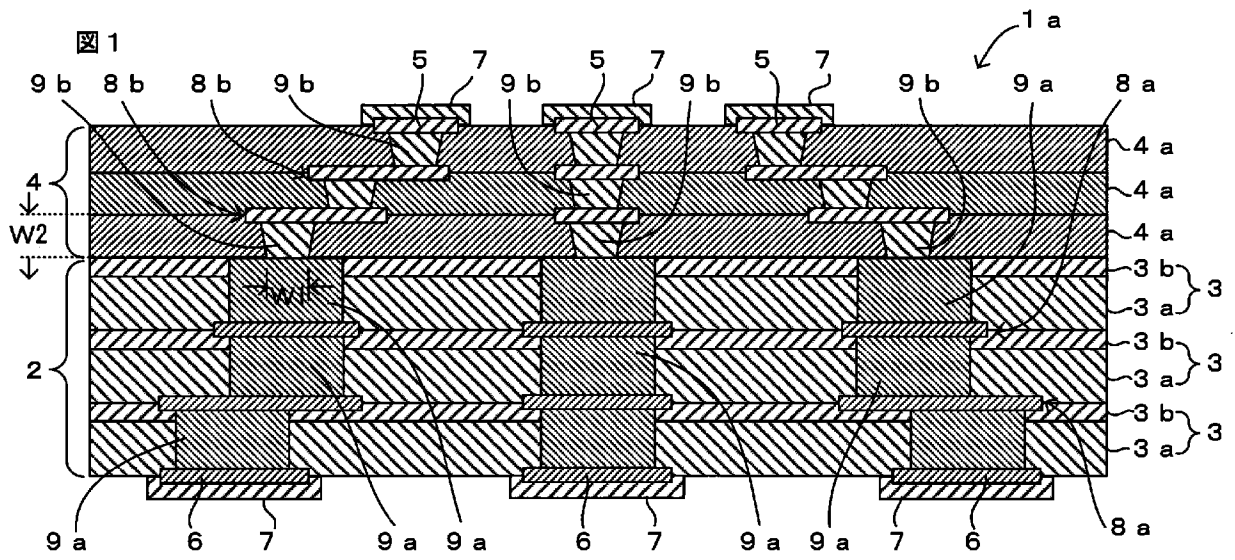
4のいずれかに記載の積層配線基板。

[請求項6] 前記第2層間接続導体の前記下端面の最大幅が、前記最下層の前記樹脂層の厚みよりも大きく形成されていることを特徴とする請求項1ないし5のいずれかに記載の積層配線基板。

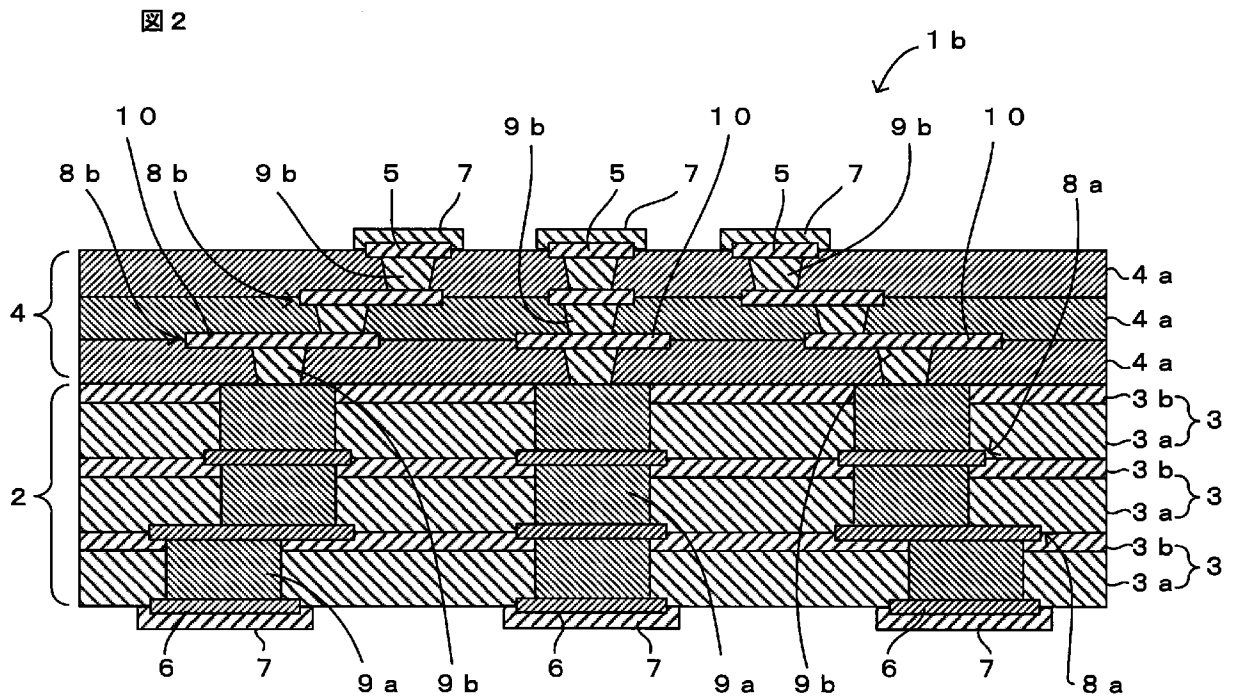
[請求項7] 前記第2層間接続導体の下端面の面積が、上端面よりも大きく形成されていることを特徴とする請求項1ないし6のいずれかに記載の積層配線基板。

[請求項8] 請求項1ないし7のいずれかに記載の積層配線基板を備え、半導体素子の電気特性検査を行うことを特徴とするプローブカード。

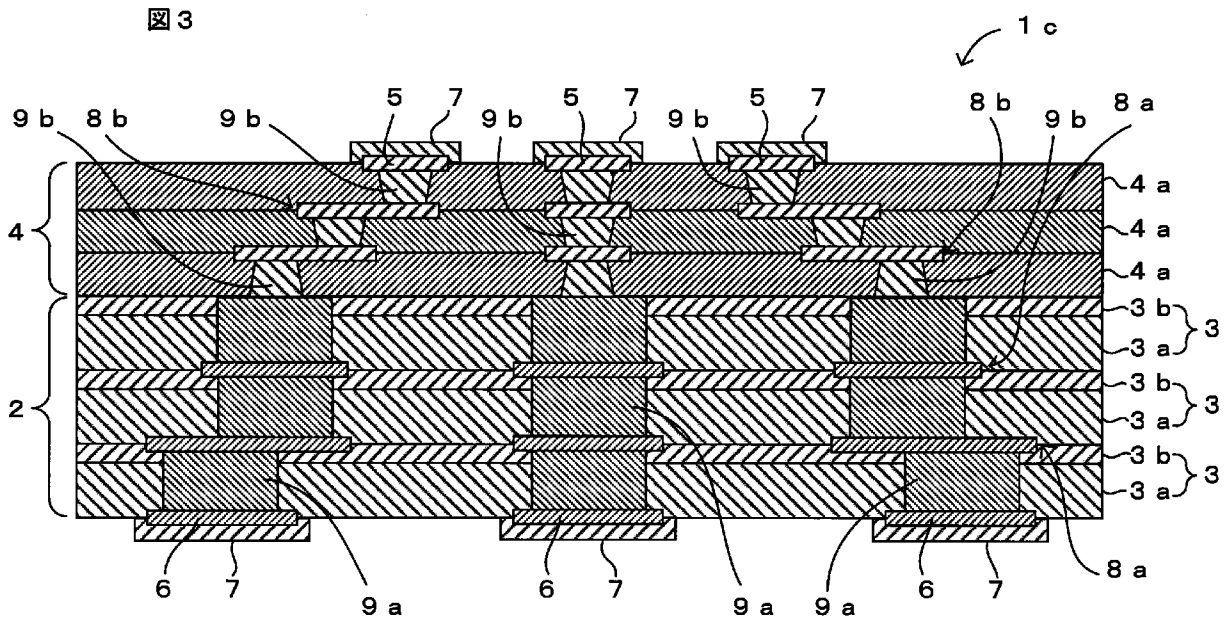
[図1]



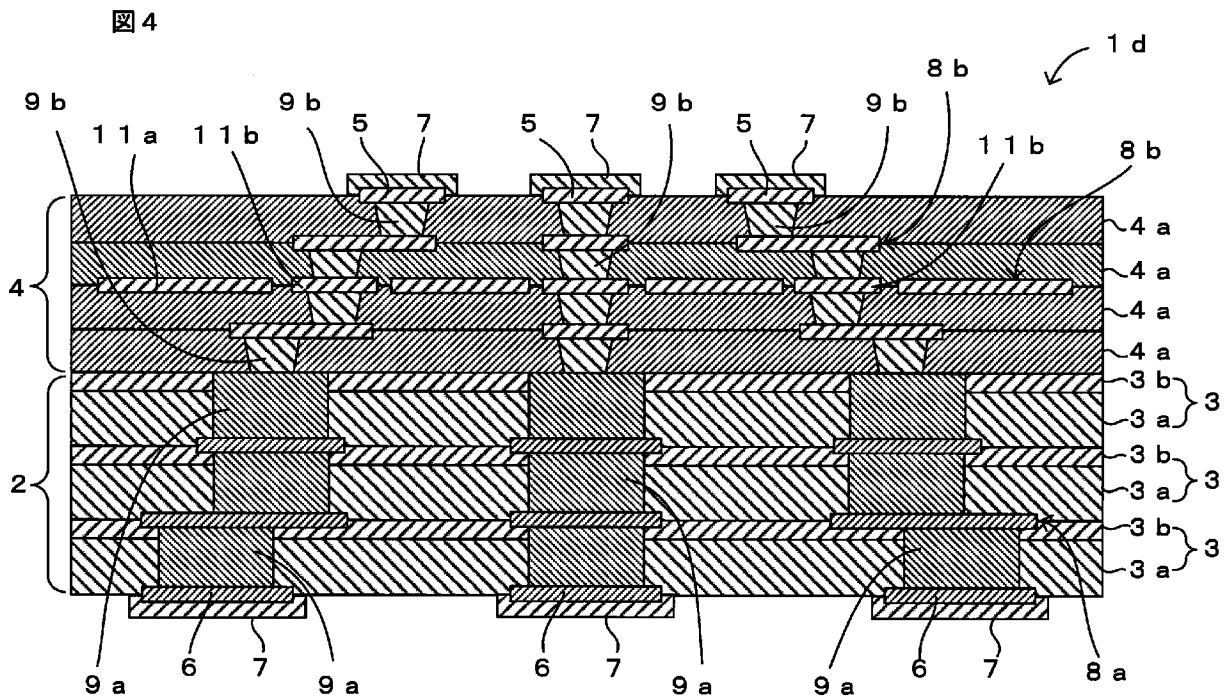
[図2]



[図3]

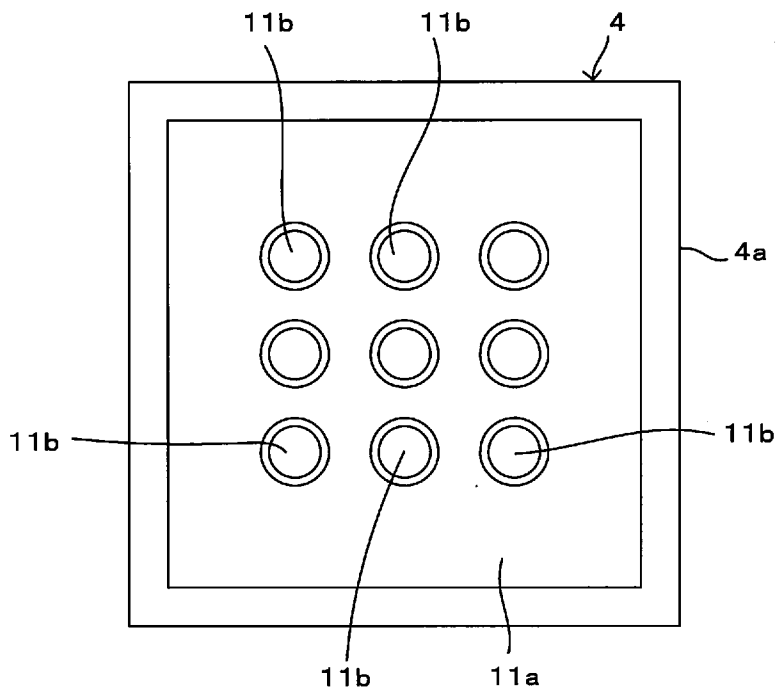


[図4]



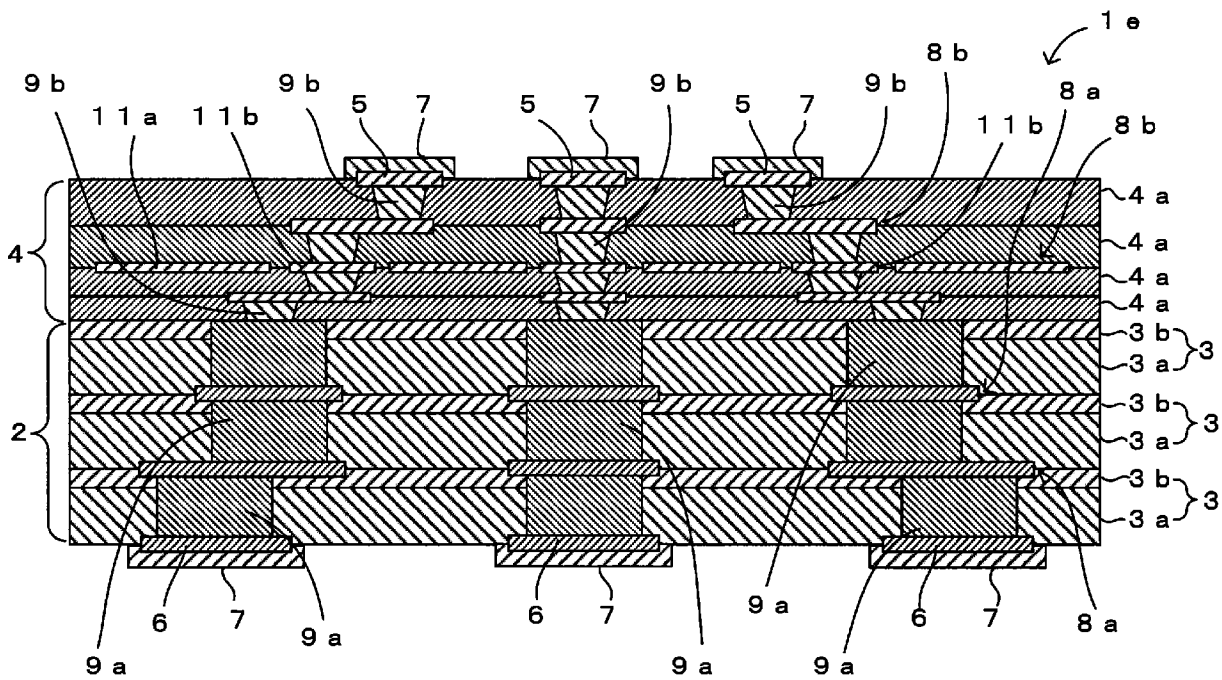
[図5]

図5



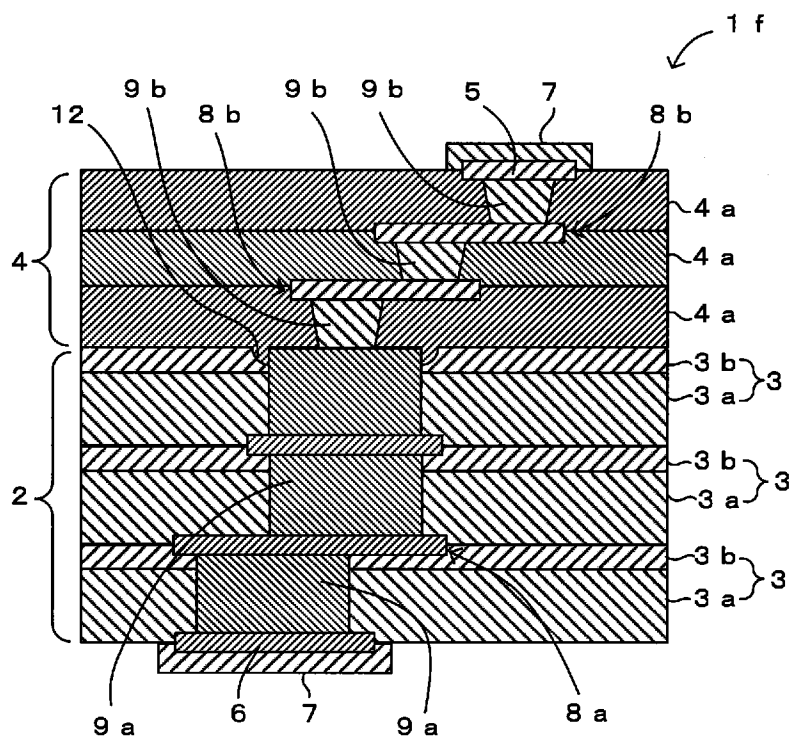
[図6]

図6



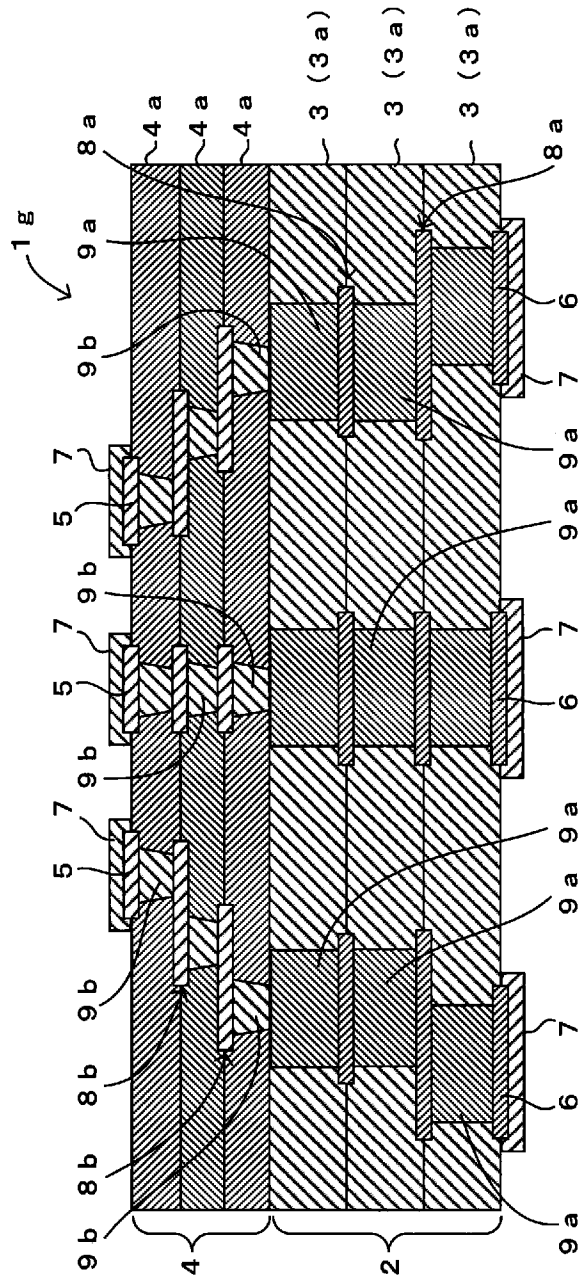
[図7]

図7

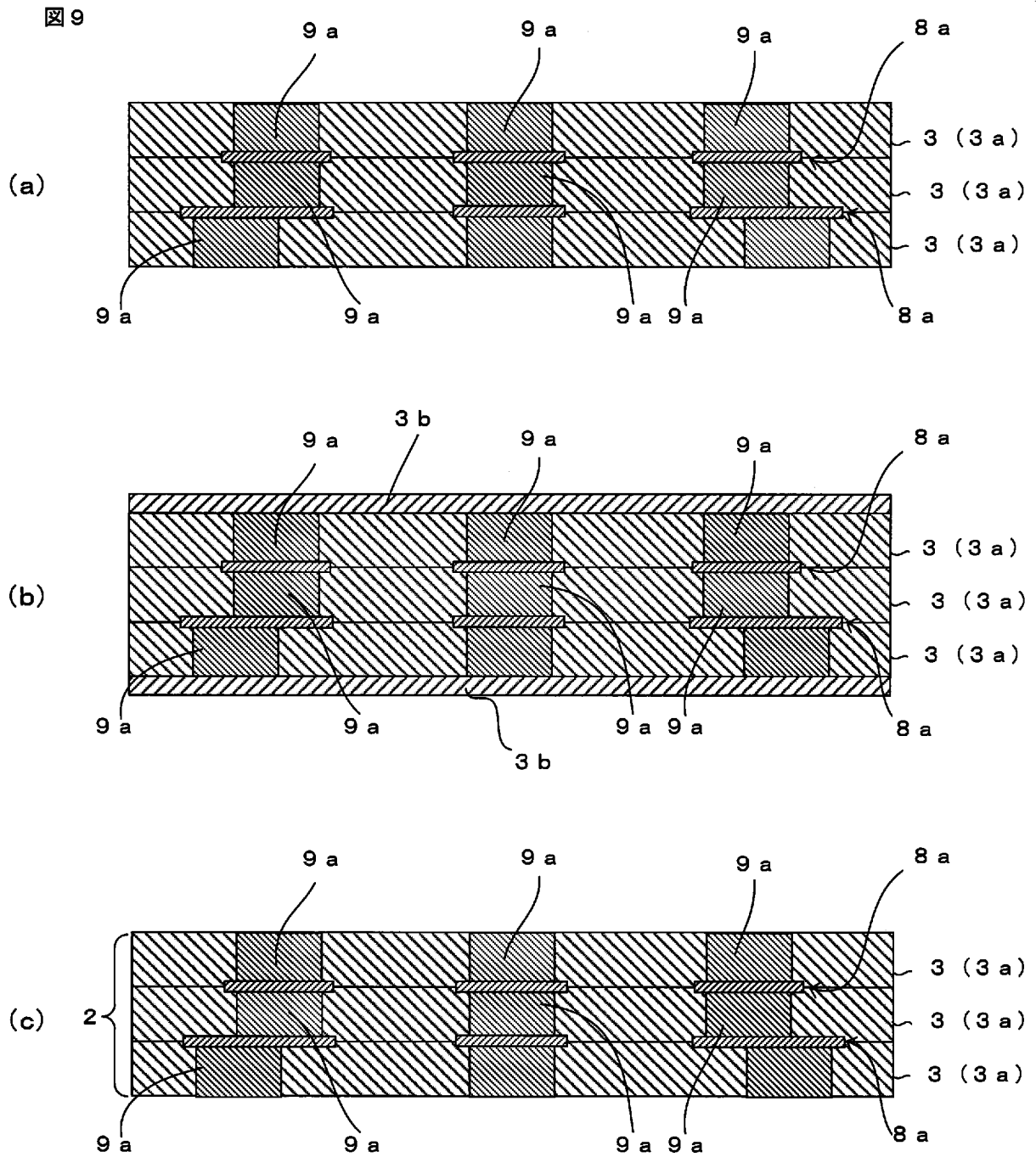


[図8]

図 8

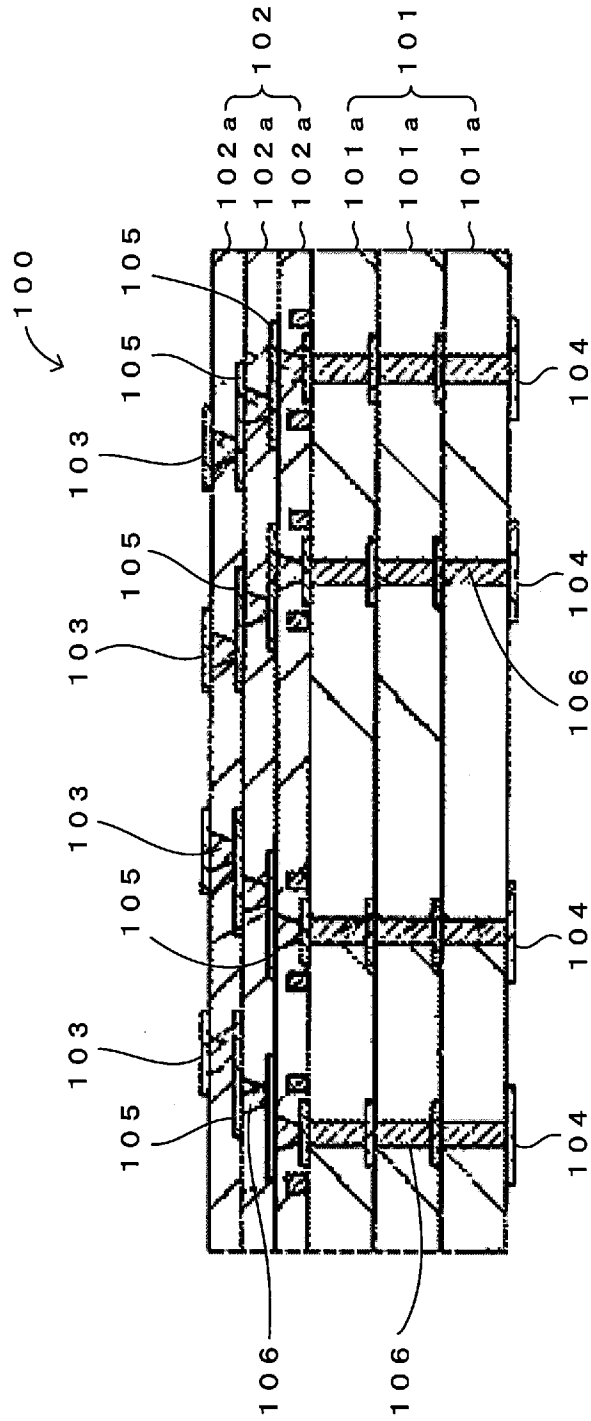


[図9]



[図10]

図10



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/057998

A. CLASSIFICATION OF SUBJECT MATTER
H05K3/46(2006.01)i, G01R1/073(2006.01)i, H01L21/66(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H05K3/46, G01R1/073, H01L21/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2005-223225 A (Murata Mfg. Co., Ltd.), 18 August 2005 (18.08.2005), paragraphs [0026] to [0031]; fig. 1 (Family: none)	1 2, 3, 5-8 4
Y	JP 8-255976 A (Toshiba Corp.), 01 October 1996 (01.10.1996), paragraphs [0041] to [0043]; fig. 5 (Family: none)	2, 3, 5-8
Y	WO 2012/124362 A1 (Murata Mfg. Co., Ltd.), 20 September 2012 (20.09.2012), claim 1; fig. 1 & CN 103430639 A	5-8

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 04 June 2015 (04.06.15)	Date of mailing of the international search report 16 June 2015 (16.06.15)
--	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/057998

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-247336 A (Kyocera Corp.), 09 December 2013 (09.12.2013), paragraphs [0050], [0051]; fig. 5 (Family: none)	6-8
Y	JP 2010-3871 A (Kyocera Corp.), 07 January 2010 (07.01.2010), fig. 1 to 6 (Family: none)	8
A	JP 2003-198130 A (Matsushita Electric Industrial Co., Ltd.), 11 July 2003 (11.07.2003), fig. 1, 7 to 12 (Family: none)	1-8
A	JP 2011-119615 A (Shinko Electric Industries Co., Ltd.), 16 June 2011 (16.06.2011), fig. 4, 19, 31 to 38 & US 2011/0133342 A1	1-8
A	JP 2005-203680 A (Murata Mfg. Co., Ltd.), 28 July 2005 (28.07.2005), fig. 1 to 9 (Family: none)	1-8

A. 発明の属する分野の分類（国際特許分類（IPC））
 Int.Cl. H05K3/46(2006.01)i, G01R1/073(2006.01)i, H01L21/66(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（IPC））
 Int.Cl. H05K3/46, G01R1/073, H01L21/66

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2015年
 日本国実用新案登録公報 1996-2015年
 日本国登録実用新案公報 1994-2015年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2005-223225 A (株式会社村田製作所) 2005.08.18, 段落 [0026] - [0031], 図1 (ファミリーなし)	1 2, 3, 5-8 4
Y	JP 8-255976 A (株式会社東芝) 1996.10.01, 段落 [0041] - [0043], 図5 (ファミリーなし)	2, 3, 5-8
Y	WO 2012/124362 A1 (株式会社村田製作所) 2012.09.20, [請求項1], 図1 & CN 103430639 A	5-8

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 04.06.2015	国際調査報告の発送日 16.06.2015
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 吉澤 秀明 電話番号 03-3581-1101 内線 3391

3 S 9 4 3 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-247336 A (京セラ株式会社) 2013. 12. 09, 段落 [0050], [0051], 図5 (ファミリーなし)	6-8
Y	JP 2010-3871 A (京セラ株式会社) 2010. 01. 07, 図1 - 図6 (ファミ リリーなし)	8
A	JP 2003-198130 A (松下電器産業株式会社) 2003. 07. 11, 図1, 図 7 - 図12 (ファミリーなし)	1-8
A	JP 2011-119615 A (新光電気工業株式会社) 2011. 06. 16, 図4, 図 19, 図31 - 図38 & US 2011/0133342 A1	1-8
A	JP 2005-203680 A (株式会社村田製作所) 2005. 07. 28, 図1 - 図9 (ファミリーなし)	1-8