



(12) 发明专利

(10) 授权公告号 CN 102738094 B

(45) 授权公告日 2015. 04. 29

(21) 申请号 201210167921. 8

审查员 刘莉

(22) 申请日 2012. 05. 25

(73) 专利权人 日月光半导体制造股份有限公司
地址 中国台湾高雄市楠梓加工区经三路 26 号

(72) 发明人 沈明宗 郑智仁 张惠珊

(74) 专利代理机构 北京律盟知识产权代理有限
责任公司 11287
代理人 林斯凯

(51) Int. Cl.

H01L 23/31(2006. 01)

H01L 23/367(2006. 01)

H01L 21/56(2006. 01)

(56) 对比文件

CN 102064163 A, 2011. 05. 18, 全文.

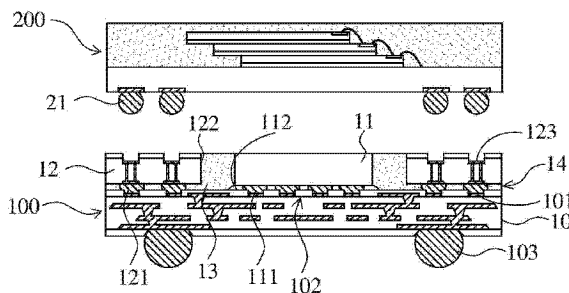
权利要求书2页 说明书6页 附图5页

(54) 发明名称

用于堆叠的半导体封装构造及其制造方法

(57) 摘要

本发明公开一种用于堆叠的半导体封装构造及其制造方法,所述半导体封装构造包含一底基板、一芯片、一环形转接基板及一封装胶体。所述底基板具有数个焊垫及一芯片承载区。所述芯片固设于所述底基板的芯片承载区。所述环形转接基板设有数个转接组件及一开口,所述转接组件围绕在所述开口的周围并电性连接所述底基板的焊垫。所述封装胶体填充在所述底基板与环形转接基板之间形成的一间隙内,以及填充在所述环形转接基板的开口内,并且所述开口内的封装胶体曝露出所述芯片的一顶面。所述环形转接基板有利于使封装体上下侧具有较小的热膨胀系数差异,以相对减少产生翘曲的机率。



1. 一种用于堆叠的半导体封装构造,其特征在于:所述用于堆叠的半导体封装构造包含:

一底基板,具有一上表面及一下表面,所述上表面具有数个焊垫及一芯片承载区;

一芯片,固设于所述底基板的芯片承载区;

一环形转接基板,具有数个转接组件、数个接垫及一开口,所述转接组件设于所述环形转接基板的一下表面,所述接垫设于所述环形转接基板的一上表面,所述开口贯穿所述环形转接基板,所述转接组件围绕在所述开口的周围并电性连接所述底基板的焊垫;以及

一封装胶体,填充在所述底基板与环形转接基板之间形成的一间隙内,以及填充在所述环形转接基板的开口内,且包覆所述芯片及转接组件,其中所述开口内的封装胶体曝露出所述芯片的一顶面,

其中所述封装胶体的一上表面低于或等于所述环形转接基板的上表面。

2. 如权利要求1所述的用于堆叠的半导体封装构造,其特征在于:所述底基板选自无核芯层的印刷电路板或可挠性薄膜基板。

3. 如权利要求1所述的用于堆叠的半导体封装构造,其特征在于:所述环形转接基板选自具核芯层的印刷电路板。

4. 如权利要求1所述的用于堆叠的半导体封装构造,其特征在于:所述开口处的封装胶体上另设有一散热片,所述散热片热性接触所述芯片的顶面。

5. 如权利要求4所述的用于堆叠的半导体封装构造,其特征在于:所述散热片位于所述开口内,或位于所述开口的上唇缘上。

6. 如权利要求4所述的用于堆叠的半导体封装构造,其特征在于:所述散热片的一下表面与所述芯片的顶面之间具有一导热层。

7. 如权利要求6所述的用于堆叠的半导体封装构造,其特征在于:所述导热层选自导热银胶涂层、铜层或铜锡层。

8. 如权利要求4所述的用于堆叠的半导体封装构造,其特征在于:所述散热片具有数根支撑肋,所述支撑肋由所述开口处延伸到所述环形转接基板的一上表面的数个角隅位置。

9. 如权利要求4所述的用于堆叠的半导体封装构造,其特征在于:所述散热片对应所述开口具有至少一个填胶孔。

10. 如权利要求1所述的用于堆叠的半导体封装构造,其特征在于:所述半导体封装构造做为一堆叠式封装体的一下封装体,并通过所述接垫结合一上封装体。

11. 如权利要求10所述的用于堆叠的半导体封装构造,其特征在于:所述半导体封装构造的环形转接基板与所述上封装体之间另夹设有一有机间隔基板。

12. 如权利要求11所述的用于堆叠的半导体封装构造,其特征在于:所述有机间隔基板选自无核芯层的印刷电路板或可挠性薄膜基板。

13. 如权利要求1所述的用于堆叠的半导体封装构造,其特征在于:所述芯片与所述底基板的上表面之间填充有所述封装胶体或一底部填充胶。

14. 一种用于堆叠的半导体封装构造的制造方法,其特征在于:所述制造方法包含步骤:

提供一底基板,所述底基板具有一上表面及一下表面,所述上表面具有数个焊垫及一

芯片承载区；

将一芯片固设于所述底基板的芯片承载区；

提供一环形转接基板,并通过所述环形转接基板的一下表面的数个转接组件电性连接所述底基板的焊垫,其中所述环形转接基板开设有一开口,所述转接组件围绕在所述开口的周围,及所述环形转接基板的一上表面设有数个接垫;以及

将一封装胶体填入所述底基板与环形转接基板之间形成的一间隙内及所述环形转接基板的开口内,所述封装胶体包覆所述芯片及转接组件,且所述开口内的封装胶体曝露出所述芯片的一顶面,并使所述封装胶体的一上表面低于或等于所述环形转接基板的上表面。

15. 如权利要求 14 所述的用于堆叠的半导体封装构造的制造方法,其特征在于:在填入所述封装胶体的步骤之前,先在所述环形转接基板的上方使用一层临时性胶膜;以及,在进行填入所述封装胶体的步骤之后,再撕除所述临时性胶膜。

16. 如权利要求 14 所述的用于堆叠的半导体封装构造的制造方法,其特征在于:在填入所述封装胶体的步骤之前,先在所述环形转接基板的开口处设置一散热片,所述散热片对应所述开口具有数个填胶孔;以及,在填入所述封装胶体的步骤中,通过所述散热片的填胶孔填入所述封装胶体。

17. 如权利要求 16 所述的用于堆叠的半导体封装构造的制造方法,其特征在于:所述散热片具有数根支撑肋,所述支撑肋由所述开口处延伸到所述环形转接基板的一上表面的数个角隅位置。

18. 如权利要求 16 所述的用于堆叠的半导体封装构造的制造方法,其特征在于:所述散热片位于所述开口内,或位于所述开口的上唇缘上。

19. 如权利要求 14 所述的用于堆叠的半导体封装构造的制造方法,其特征在于:在进行填入所述封装胶体的步骤之后,以所述半导体封装构造做为一堆叠式封装体的一下封装体,并通过所述接垫结合一上封装体。

20. 如权利要求 19 所述的用于堆叠的半导体封装构造的制造方法,其特征在于:所述半导体封装构造的环形转接基板与所述上封装体之间另夹设有一有机间隔基板。

用于堆叠的半导体封装构造及其制造方法

技术领域

[0001] 本发明是有关于一种用于堆叠的半导体封装构造及其制造方法，特别是有关于一种利用环形转接基板减少翘曲缺陷的用于堆叠的半导体封装构造及其制造方法。

背景技术

[0002] 现今，半导体封装产业为了满足各种高密度封装的需求，逐渐发展出各种不同型式的封装设计，其中各种不同的系统封装 (system in package, SIP) 设计概念常用于架构高密度封装产品。一般而言，系统封装可分为多芯片模块 (multi chip module, MCM)、堆叠式封装体 (POP) 及封装体内堆叠封装体 (package in package, PIP) 等。所述多芯片模块 (MCM) 是指在同一基板上布设数个芯片，在设置芯片后，再利用同一封装胶体包埋所有芯片，且依芯片排列方式又可细分为堆叠芯片 (stacked die) 封装或并列芯片 (side-by-side) 封装。再者，所述堆叠式封装体 (POP)，其构造是指先完成一具有基板的第一封装体，接着再于第一封装体的上表面堆叠另一完整的第二封装体，第二封装体透过适当转接组件 (如锡球) 电性连接至第一封装体的基板上，因而成为一复合封装构造。相较之下，所述封装体内堆叠封装体 (PIP) 的构造则是利用另一封装胶体将第二封装体、转接组件及第一封装体的元件等一起包埋固定在第一封装体的基板上，因而成为一复合封装构造。

[0003] 在现有的堆叠式封装体 (POP) 的结构中，其底部的第一封装体 (下封装体) 的基板一般为印刷电路板，及其封装胶体一般是掺杂有固态填充物的环氧树脂基材，且是利用移转注模成型 (transfer molding) 工艺来制作。近年来，为了满足电子产品的轻薄化要求，现有堆叠式封装体 (POP) 封装结构的下封装体的厚度逐渐被薄型化至 350 微米 (μm) 以下。然而，在下封装体的厚度逐渐减少的情形下，下封装体的整体结构强度亦会被逐渐减弱，且更容易因为印刷电路板与封装胶体之间的热膨胀系数 (coefficient of thermal expansion, CTE) 存在差异而有热应力作用拉扯，因而产生翘曲 (warpage) 的现象。上述翘曲现象通常是由封装胶体朝向印刷电路板在周缘形成翘曲。同时，由于下封装体的整体厚度变薄也会使得芯片的散热性变差，因此当芯片的热能无法及时有效的向外部导出时，上述翘曲现象会变得更明显，严重时甚至会导致封装胶体或印刷电路板产生裂痕 (crack)，进而大幅影响堆叠式封装体 (POP) 的下封装体的产品可靠度及使用寿命。

[0004] 故，有必要提供一种用于堆叠的半导体封装构造，以解决现有技术所存在的问题。

发明内容

[0005] 有鉴于此，本发明提供一种用于堆叠的半导体封装构造及其制造方法，以解决现有堆叠式封装体 (POP) 技术所存在的翘曲与散热问题。

[0006] 本发明的主要目的在于提供一种用于堆叠的半导体封装构造及其制造方法，其是在堆叠式封装体 (POP) 的下封装体增设一环形转接基板，并在底基板与环形转接基板之间填充封装胶体，以便在减少整体厚度时尽可能保持下封装体的上下侧具有较小的热膨胀系

数差异,以相对减少产生翘曲的机率,进而提高下封装体的产品可靠度及使用寿命。

[0007] 本发明的次要目的在于提供一种用于堆叠的半导体封装构造及其制造方法,其中环形转接基板的开口处可增设一散热片,散热片热性接触芯片的顶面,且所述散热片也可具有数根支撑肋,由环形转接基板的开口处延伸到数个角隅位置,因此可以迅速的将芯片产生的热能向上及向外导出,进而有利于提高下封装体的散热效率及增加环形转接基板的结构强度,以相对减少因高温而产生翘曲的机率。

[0008] 为达成本发明的前述目的,本发明一实施例提供一种用于堆叠的半导体封装构造,其包含:一底基板、一芯片、一环形转接基板及一封装胶体。所述底基板具有一上表面及一下表面,所述上表面具有数个焊垫及一芯片承载区。所述芯片固设于所述底基板的芯片承载区。所述环形转接基板具有数个转接组件、数个接垫及一开口,所述转接组件设于所述环形转接基板的一下表面,所述接垫设于所述环形转接基板的一上表面,所述开口贯穿所述环形转接基板,所述转接组件围绕在所述开口的周围并电性连接所述底基板的焊垫。所述封装胶体填充在所述底基板与环形转接基板之间形成的一间隙内,以及填充在所述环形转接基板的开口内,且包覆所述芯片及转接组件,其中所述开口内的封装胶体曝露出所述芯片的一顶面。

[0009] 再者,本发明一实施例提供一种用于堆叠的半导体封装构造的制造方法。首先,提供一底基板,所述底基板具有一上表面及一下表面,所述上表面具有数个焊垫及一芯片承载区。然后,将一芯片固设于所述底基板的芯片承载区。接着,提供一环形转接基板,并通过所述环形转接基板的一下表面的数个转接组件电性连接所述底基板的焊垫,其中所述环形转接基板开设有一开口,所述转接组件围绕在所述开口的周围,及所述环形转接基板的一上表面设有数个接垫。以及,将一封装胶体填入所述底基板与环形转接基板之间形成的一间隙内及所述环形转接基板的开口内,所述封装胶体包覆所述芯片及转接组件,且所述开口内的封装胶体曝露出所述芯片的一顶面。

[0010] 为了让本发明的上述内容能更明显易懂,下文特举优选实施例,并配合所附图式,作详细说明如下:

附图说明

[0011] 图 1 是本发明一实施例堆叠式封装体的上、下封装体的剖视图。

[0012] 图 2 是本发明另一实施例堆叠式封装体的上、下封装体的剖视图。

[0013] 图 3 是本发明又一实施例堆叠式封装体的上、下封装体的剖视图。

[0014] 图 3A 是本发明图 3 的下封装体的上视图。

[0015] 图 4 是本发明再一实施例堆叠式封装体的上、下封装体的剖视图。

[0016] 图 5A、5B 及 5C 是本发明图 1 用于堆叠的半导体封装构造(下封装体)的制造方法的流程示意图。

[0017] 图 6A 及 6B 是本发明图 3 用于堆叠的半导体封装构造(下封装体)的制造方法的流程示意图。

具体实施方式

[0018] 以下各实施例的说明是参考附加的图式,用以例示本发明可用以实施的特定实施

例。再者,本发明所提到的方向用语,例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」或「侧面」等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本发明,而非用以限制本发明。

[0019] 请参照图 1 所示,本发明第一实施例的用于堆叠的半导体封装构造主要应用于做为一堆叠式封装体 (POP) 的一下封装体 100,并用以结合一上封装体 200,在下文中,所述用于堆叠的半导体封装构造即直接称为下封装体 100。在本实施例中,所述下封装体 100 包含:一底基板 10、一芯片 11、一环形转接基板 12 及一封装胶体 13。本发明将于下文逐一详细说明本实施例上述各元件的细部构造、组装关系及其运作原理。

[0020] 请参照图 1 所示,本发明一实施例的底基板 10 可选自厚度在 50 至 200 μm (微米) 之间的无核芯层 (coreless) 的印刷电路板或者选自可挠性薄膜基板 (flexible tape substrate),例如选自厚度为 150 或 180 μm 的无核芯层的增层式 (build-up) 印刷电路板 (包含 4 层电路层) 或者是厚度为 64 μm 的可挠性薄膜基板,但并不限于此。所述底基板 10 不具核芯层将有利于相对减少其基板厚度。所述底基板 10 具有一上表面及一下表面,所述上表面的表面电路裸露有数个焊垫 101 及一芯片承载区 102。所述焊垫 101 通常呈矩阵 (array) 状排列在所述上表面上。所述芯片承载区 102 是指所述上表面的一个中央区域,在所述芯片承载区 102 内通常也分布有数个焊垫 101。所述下表面的表面电路也裸露有数个焊垫 (未标示),并由这些下表面的焊垫焊接结合有数个金属球 103,以做为所述底基板 10 输入/输出用的电性端子。

[0021] 请参照图 1 所示,本发明一实施例的芯片 11 可以是各种半导体芯片,例如高频芯片、中央处理单元 (CPU) 芯片或记忆体芯片 (如 DRAM 或 FLASH) 等,但并不加以限制。所述芯片 11 可以是倒装芯片 (flip chip) 的形式或打线芯片 (wire bonding chip) 的形式。以倒装芯片为例,所述芯片 11 的有源表面朝下,并通过数个凸块 111 焊接结合及固设于所述底基板 10 的芯片承载区 102 的焊垫 101 上。所述芯片 11 与所述底基板 10 的上表面之间可填充有一底部填充胶 (underfill) 112,但亦可予以省略。所述芯片 11 的厚度可介于 0.1 至 0.04mm 之间,例如为 0.1、0.08、0.06、0.05 或 0.04 等。所述凸块 111 可选自锡凸块 (bumps)、金凸块或铜柱凸块 (Cu pillar bumps) 等,所述凸块 111 的高度约为 30 至 50 μm ,例如为 40 μm 。

[0022] 请参照图 1 所示,本发明一实施例的环形转接基板 12 可选自厚度在 100 至 150 μm 之间且具核芯层的印刷电路板,例如选自厚度为 140 μm 的无核芯层的印刷电路板 (包含 2 层电路层),但并不限于此。所述环形转接基板 12 具有核芯层将有利于在较小的基板厚度下确保其具有足够结构强度。所述环形转接基板 12 的下一表面的表面电路裸露有数个焊垫 (未标示),并由这些下表面的焊垫焊接结合有数个转接组件 121,所述转接组件 121 例如为锡凸块、金凸块或铜柱凸块等,所述转接组件 121 的高度约为 15 至 25 μm ,例如为 20 μm 。

[0023] 再者,所述环形转接基板 12 开设有一开口 122,所述开口 122 贯穿所述环形转接基板 12,并对应于所述芯片承载区 102 及芯片 11,且所述开口 122 的长宽尺寸 (例如 11 \times 11mm) 明显大于所述芯片承载区 102 或所述芯片 11 的长宽尺寸 (例如 10 \times 10mm)。所述转接组件 121 围绕在所述开口 122 的周围并电性连接所述底基板 10 的焊垫 101。所述环形转接基板 12 的一上表面的表面电路另裸露有数个接垫 123,所述接垫 123 的开口直径约

为 0.2mm, 及其间距介于 0.3 至 0.085mm 之间, 例如为 0.3、0.2、0.15、0.1 或 0.085mm 等。

[0024] 请参照图 1 所示, 本发明一实施例的封装胶体 13 填充在所述底基板 10 与环形转接基板 12 之间形成的一间隙 14 内, 以及填充在所述环形转接基板 12 的开口 122 内, 且包覆所述芯片 11 及转接组件 121。所述间隙 14 的高度约为 15 至 25 μm , 例如为 20 μm 。位于所述开口 122 内的封装胶体 13 的一上表面并曝露出所述芯片 11 的一顶面 (背面)。所述封装胶体 13 一般是掺杂有固态填充物的环氧树脂基材, 所述固态填充物可以是二氧化硅颗粒或氧化铝颗粒等。位于所述开口 122 内的封装胶体 13 的一上表面的高度可以些微低于或大致等于所述环形转接基板 12 的上表面的高度。

[0025] 请参照图 1 所示, 本发明一实施例的上封装体 200 可以是各种形式的封装体, 本发明并不加以限制, 例如所述上封装体 200 选自一具有堆叠芯片的封装体, 其基板的下表面设有数个金属球 21, 可供焊接结合在所述环形转接基板 12 的上表面的接垫 123 上, 以便间接的与所述底基板 10 及芯片 11 形成电性连接关系, 如此所述下封装体 100 及上封装体 200 即可共同构成一堆叠式封装体 (POP) 的架构。

[0026] 根据本实施例, 由于堆叠式封装体 (POP) 的下封装体 100 增设所述环形转接基板 12, 并在所述底基板 10 与环形转接基板 12 之间填充所述封装胶体 13, 同时适当选择所述底基板 10 与环形转接基板 12 的基板种类, 因此可以使所述封装胶体 13 的上下两侧具有相似的基板特性, 以便在减少所述下封装体 100 整体厚度时, 尽可能保持所述下封装体 100 的上下两侧具有较小的热膨胀系数差异, 以相对减少所述下封装体 100 产生翘曲的机率, 进而提高所述下封装体 100 的产品可靠度及使用寿命。

[0027] 请参照图 2 所示, 本发明另一实施例的用于堆叠的半导体封装构造相似于本发明图 1 实施例, 并大致沿用相同元件名称及图号, 但本实施例的差异特征在于: 本实施例的下封装体 100 进一步增设一散热片 15, 所述散热片 15 嵌设在所述环形转接基板 12 的开口 122 内。位于所述开口 122 内的封装胶体 13 的上表面些微低于所述环形转接基板 12 的上表面, 以便嵌设所述散热片 15, 所述散热片 15 的厚度大致等于所述封装胶体 13 的上表面与所述环形转接基板 12 的上表面之间形成的高度差。所述散热片 15 的下表面直接贴接于所述开口 122 处的封装胶体 13 上, 且所述散热片 15 的下表面也热性接触所述芯片 11 的顶面 (背面)。

[0028] 在本实施例中, 所述散热片 15 也可选择对应所述开口 122 设置至少一个填胶孔 151。在进行移转注模成型 (transfer molding) 工艺时, 所述填胶孔 151 可以方便一封胶注射器插入到所述开口 122 内的空间, 以将所述封装胶体 13 填到所述开口 122 内的空间以及所述底基板 10 与环形转接基板 12 之间的间隙 14 内。再者, 所述散热片 15 的一下表面与所述芯片 11 的顶面之间具有一导热层 16, 所述导热层 16 可以选自导热银胶涂层、铜层或铜锡层。所述导热层 16 用以确保所述散热片 15 与芯片 11 的热性连接关系。

[0029] 根据本实施例, 所述下封装体 100 同样可利用所述环形转接基板 12 使所述封装胶体 13 的上下两侧具有相似的基板特性, 以便在减少所述下封装体 100 整体厚度时, 尽可能保持所述下封装体 100 的上下两侧具有较小的热膨胀系数差异, 以相对减少所述下封装体 100 产生翘曲的机率, 进而提高所述下封装体 100 的产品可靠度及使用寿命。更进一步的, 在本实施例中, 所述环形转接基板 12 的开口 122 处更增设所述散热片 15, 所述散热片 15 热性接触所述芯片 11 的顶面, 因此可以迅速的将所述芯片 11 产生的热能向上导出, 进而有利

于提高所述下封装体 100 的散热效率,并相对减少所述下封装体 100 因高温而产生翘曲的机率。

[0030] 请参照图 3 及 3A 所示,本发明又一实施例的用于堆叠的半导体封装构造相似于本发明图 2 实施例,并大致沿用相同元件名称及图号,但本实施例的差异特征在于:本实施例的下封装体 100 的散热片 15 是位于所述环形转接基板 12 的开口 122 的上唇缘上,同时所述散热片 15 更具有数根支撑肋 152(如图 3A 所示),所述支撑肋 152 由所述开口 122 处延伸到所述环形转接基板 12 的一上表面的数个角隅位置或其邻近区域。位于所述开口 122 内的封装胶体 13 的上表面大致等于所述环形转接基板 12 的上表面,因此所述散热片 15 的下表面仍可贴接于所述开口 122 处的封装胶体 13 上,且所述散热片 15 的下表面也可热性接触所述芯片 11 的顶面(背面)。所述支撑肋 152 及所述环形转接基板 12 的角隅的数量例如皆为 4 个,但并不限于此。所述散热片 15 的厚度基本上小于所述环形转接基板 12 的厚度,例如为所述环形转接基板 12 的厚度的 1/2、1/3、1/4 或 1/5 等。

[0031] 根据本实施例,所述下封装体 100 同样可利用所述环形转接基板 12 使所述封装胶体 13 的上下两侧具有相似的基板特性,以便在减少所述下封装体 100 整体厚度时,尽可能保持所述下封装体 100 的上下两侧具有较小的热膨胀系数差异,以相对减少所述下封装体 100 产生翘曲的机率,进而提高所述下封装体 100 的产品可靠度及使用寿命。更进一步的,在本实施例中,所述环形转接基板 12 的开口 122 处更增设所述散热片 15,且所述散热片 15 热性接触所述芯片 11 的顶面,因此可以迅速的将所述芯片 11 产生的热能向上及向外导出,进而有利于提高所述下封装体 100 的散热效率,及增加所述环形转接基板 12 的结构强度,以相对减少所述下封装体 100 因高温而产生翘曲的机率。

[0032] 请参照图 4 所示,本发明再一实施例的用于堆叠的半导体封装构造相似于本发明图 1 实施例,并大致沿用相同元件名称及图号,但本实施例的差异特征在于:本实施例的下封装体 100(半导体封装构造)的环形转接基板 12 与所述上封装体 200 之间另夹设有一有机间隔基板(organic interposer)17,所述有机间隔基板 17 可选自厚度在 50 至 100 μm 之间的无核芯层的印刷电路板或可挠性薄膜基板,例如选自厚度为 90 μm 的无核芯层的增层式(build-up)印刷电路板(包含 2 层电路层)或者是厚度为 75 μm 的可挠性薄膜基板,但并不限于此。

[0033] 根据本实施例,所述下封装体 100 同样可利用所述环形转接基板 12 使所述封装胶体 13 的上下两侧具有相似的基板特性,以便在减少所述下封装体 100 整体厚度时,尽可能保持所述下封装体 100 的上下两侧具有较小的热膨胀系数差异,以相对减少所述下封装体 100 产生翘曲的机率,进而提高所述下封装体 100 的产品可靠度及使用寿命。更进一步的,在本实施例中,当所述环形转接基板 12 的厚度已被设计成能使所述封装胶体 13 的上下两侧具有相似的基板特性(含热膨胀系数),但所述环形转接基板 12 在有限的厚度下无法提供足够的焊垫重分布(redistribution)需求或散热需求时,本实施例即可通过额外使用所述有机间隔基板 17 来满足焊垫重分布需求或散热需求。

[0034] 请参照图 5A、5B 及 5C 所示,其揭示本发明图 1 实施例用于堆叠的半导体封装构造(下封装体 100)的制造方法的流程示意图。

[0035] 首先,如图 5A 所示,先提供一底基板 10,所述底基板 10 具有一上表面及一下表面,所述上表面具有数个焊垫 101 及一芯片承载区 102;接着,将一芯片 11 固设于所述底基板

10 的芯片承载区 102。

[0036] 随后,如图 5A 及 5B 所示,再提供一环形转接基板 12,并通过所述环形转接基板 12 的一下表面的数个转接组件 121 电性连接所述底基板 10 的焊垫 101,其中所述环形转接基板 12 开设有一开口 122,所述转接组件 121 围绕在所述开口 122 的周围

[0037] 最后,如图 5B 及 5C 所示,在填入所述封装胶体 13 之前,先在所述环形转接基板 12 的开口 122 上贴上一层临时性胶膜 30,或者也可以将所述临时性胶膜 30 预先放置在一上模具(未绘示)的一模穴的一内顶面上,在将图 5A 的全部组件放于所述上模具与一下模具(未绘示)之间并进行合模时,所述临时性胶膜 30 就可转贴在所述环形转接基板 12 的开口 122 上;接着,将一封装胶体 13 填入所述底基板 10 与环形转接基板 12 之间形成的一间隙 14 内及所述环形转接基板 12 的开口 122 内,所述封装胶体 13 包覆所述芯片 11 及转接组件 121,且所述开口 122 内的封装胶体 13 曝露出所述芯片 11 的一顶面。在完成填入所述封装胶体 13 的步骤之后,即撕除所述临时性胶膜 30。通过上述步骤,本发明即可完成用于堆叠的半导体封装构造(下封装体 100)的制造。

[0038] 再者,如图 1 所示,本发明亦可使所述下封装体 100 进一步结合一上封装体 200,其中所述上封装体 200 的下表面的金属球 21 焊接结合在所述环形转接基板 12 的上表面的接垫 123 上,如此所述下封装体 100 及上封装体 200 即可共同构成一堆叠式封装体 (POP) 的架构。

[0039] 请参照图 6A 及 6B 所示,其揭示本发明图 3 实施例用于堆叠的半导体封装构造(下封装体 100)的制造方法的流程示意图。本实施例的制造方法各步骤大致相似于本发明图 5A 至 5C 实施例的制造方法各步骤,并大致沿用相同元件名称及图号,但本实施例的差异特征在于:图 3 的下封装体 100(半导体封装构造)是直接以一散热片 15 来取代所述临时性胶膜 30。因此,在填入所述封装胶体 13 的步骤之前,本发明是先在所述环形转接基板 12 的开口 122 处设置一散热片 15,所述散热片 15 对应所述开口 122 具有数个填胶孔 151,及所述散热片 15 可以选择位于所述开口 122 内(如图 2 所示),或位于所述开口 122 的上唇缘上(如图 3 所示);以及,在填入所述封装胶体 13 的步骤中,通过所述散热片 15 的填胶孔 151 填入所述封装胶体 13。也就是,在进行移转注模成型 (transfer molding) 工艺时,所述填胶孔 151 可方便一封装注射器插入到所述开口 122 内的空间,以将所述封装胶体 13 填到所述开口 122 内的空间以及所述底基板 10 与环形转接基板 12 之间的间隙 14 内。

[0040] 再者,在本实施例中,所述散热片 15 的一下表面与所述芯片 11 的顶面之间具有一导热层 16,所述导热层 16 用以确保所述散热片 15 与芯片 11 的热性连接关系。在填入所述封装胶体 13 的步骤之后,所述散热片 15 直接保留在所述下封装体 100 的环形转接基板 12 上,并不加以去除。另外,所述芯片 11 与所述底基板 10 的上表面之间可以省略原底部填充胶 112,而直接以填充所述封装胶体 13 来加以取代。

[0041] 本发明已由上述相关实施例加以描述,然而上述实施例仅为实施本发明的范例。必需指出的是,已公开的实施例并未限制本发明的范围。相反地,包含于权利要求书的精神及范围的修改及均等设置均包括于本发明的范围内。

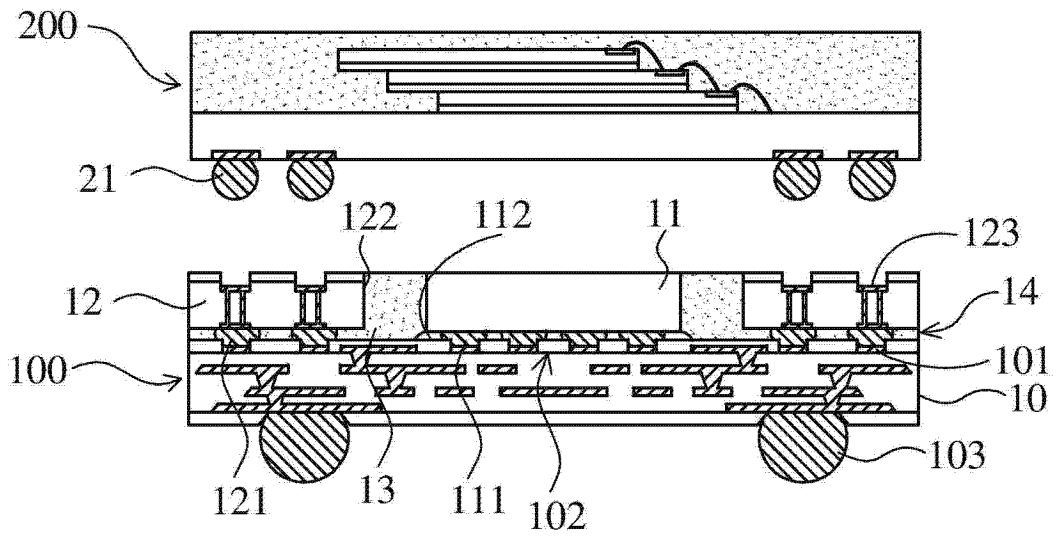


图 1

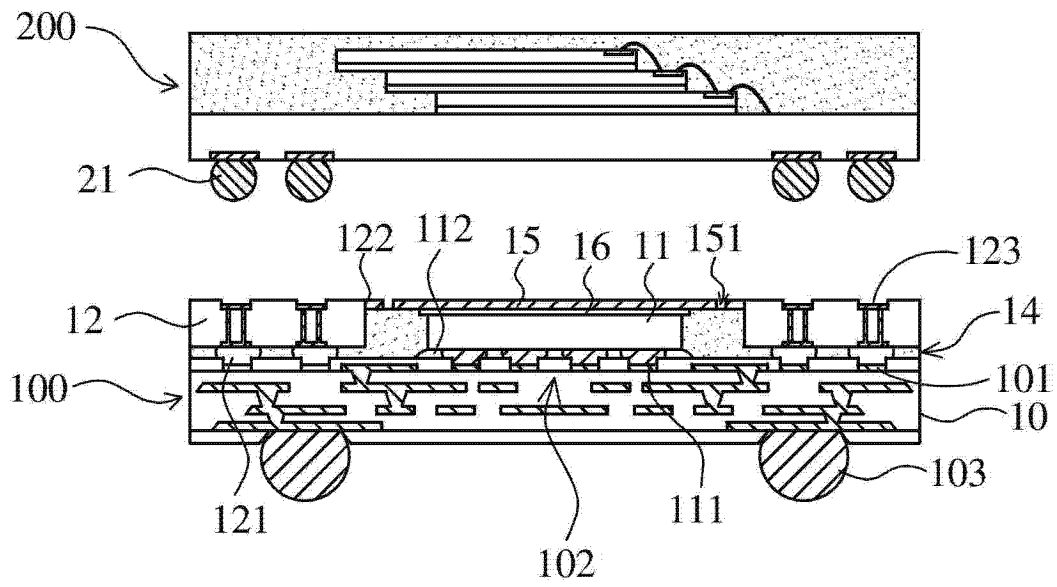


图 2

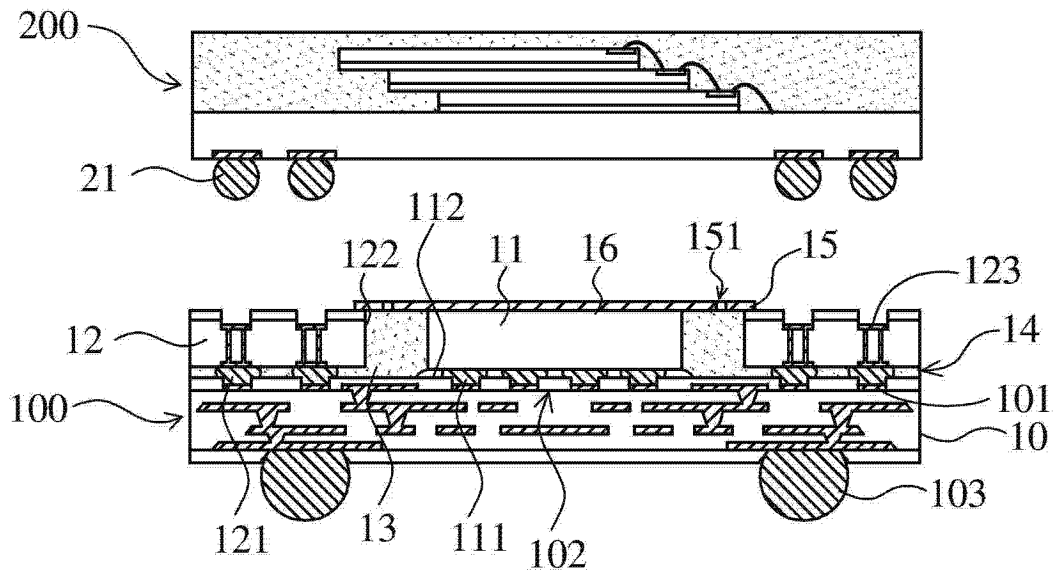


图 3

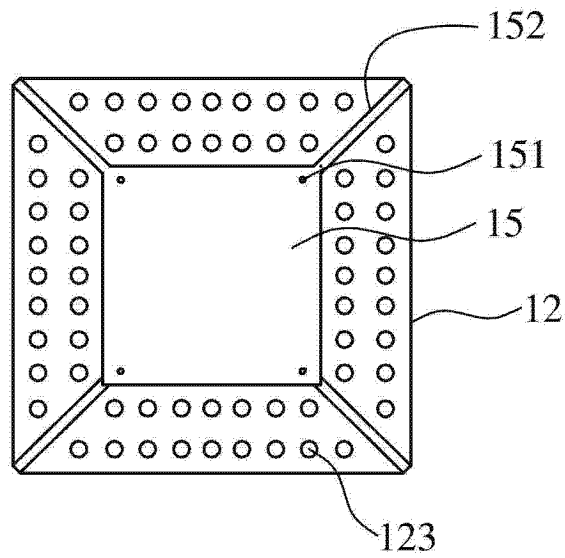


图 3A

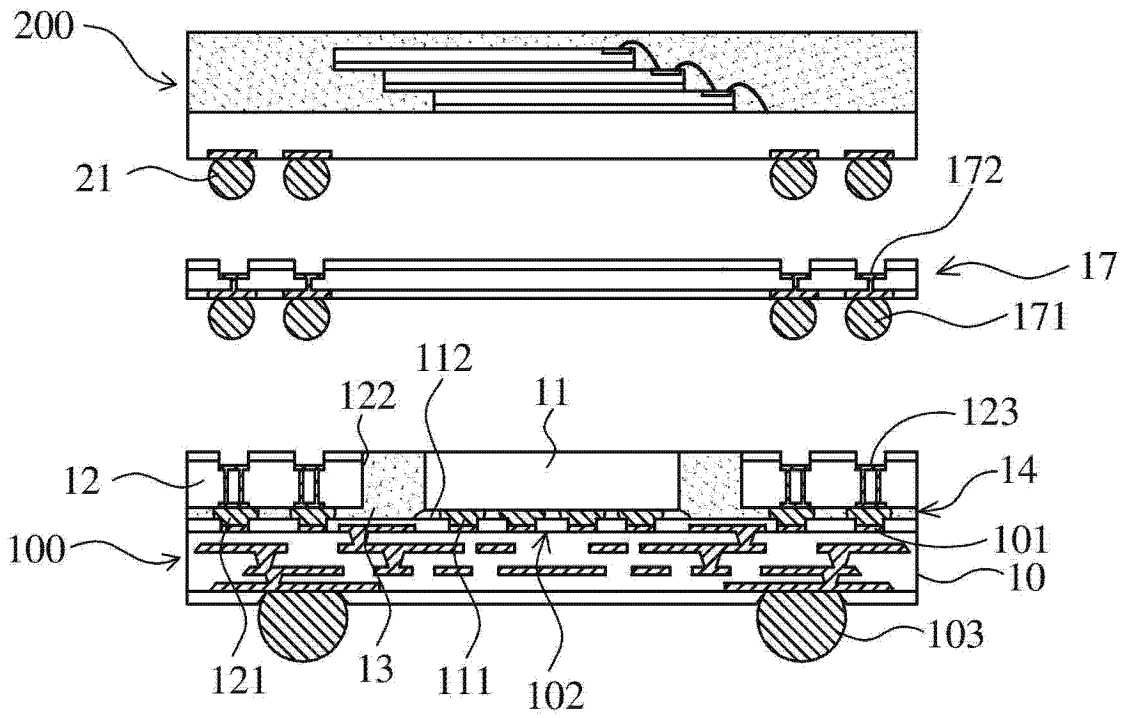


图 4

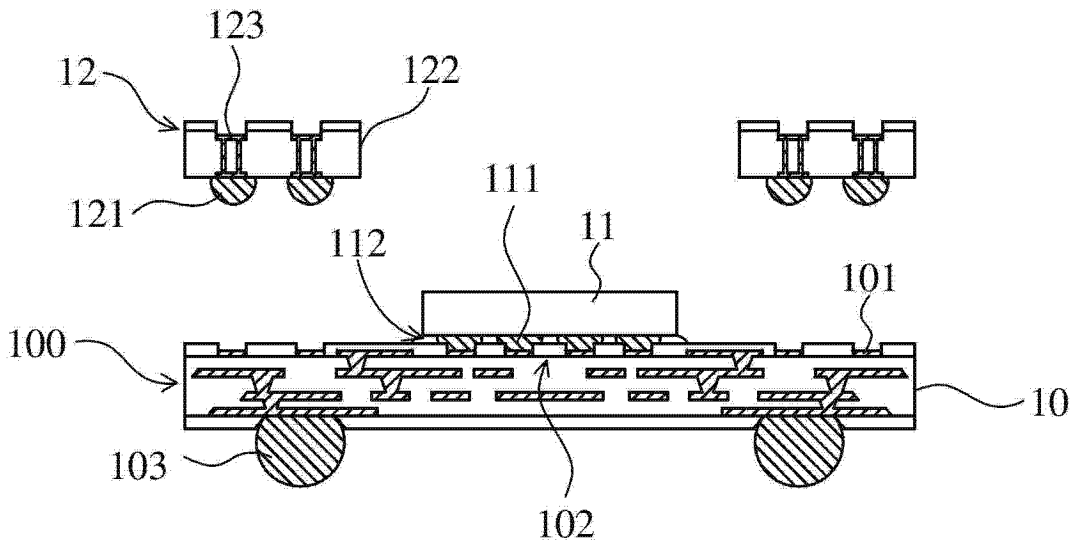


图 5A

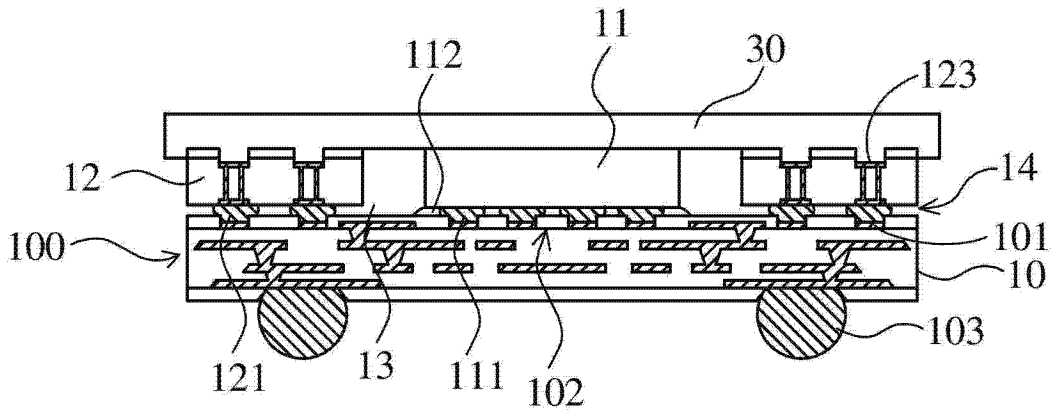


图 5B

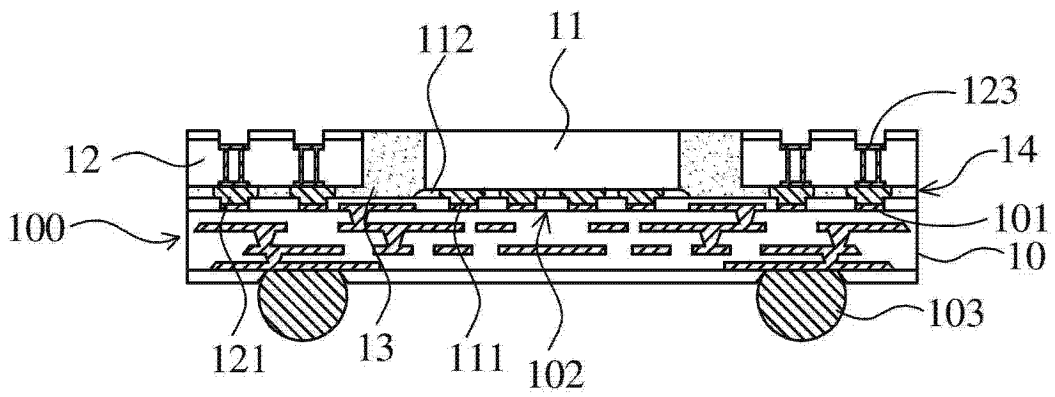


图 5C

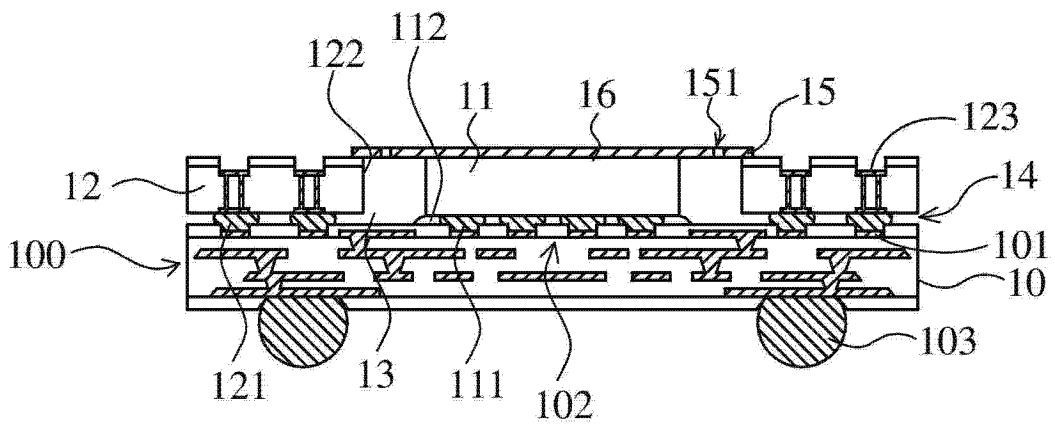


图 6A

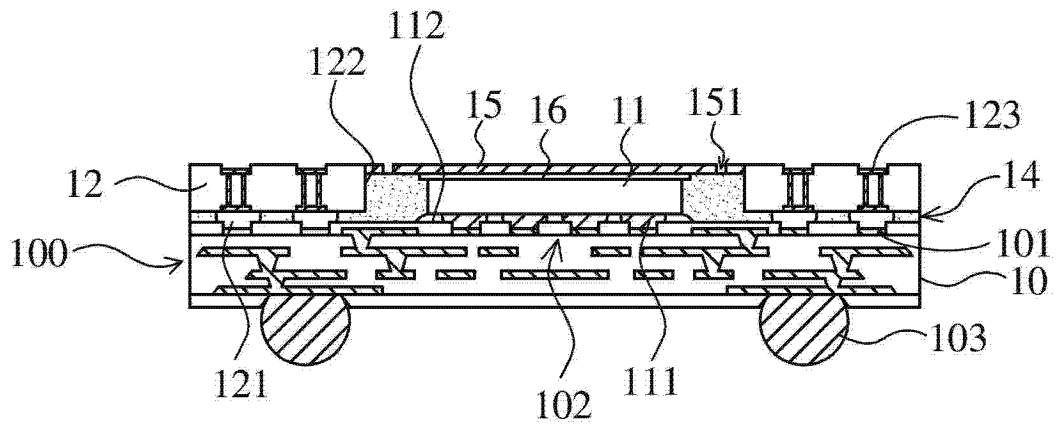


图 6B