



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0039353
 (43) 공개일자 2013년04월22일

(51) 국제특허분류(Int. Cl.)
H01L 33/08 (2010.01) *H01L 33/22* (2010.01)
 (21) 출원번호 10-2011-0102995
 (22) 출원일자 2011년10월10일
 심사청구일자 없음

(71) 출원인
엘지이노텍 주식회사
 서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)
 (72) 발명자
황성민
 서울특별시 중구 한강대로 416, 20층 엘지이노텍 주 (남대문로5가, 서울스퀘어)
 (74) 대리인
박병창

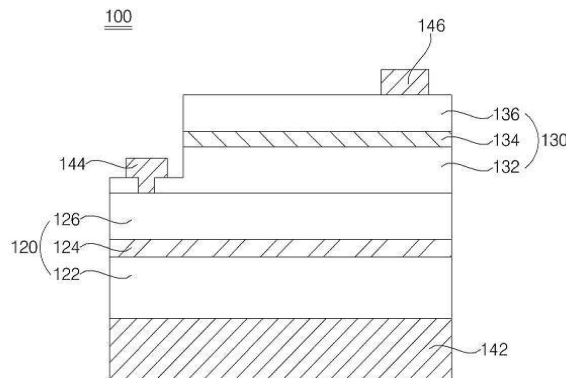
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 **발광소자**

(57) 요약

실시에에 따른 발광소자는, 전도성 기판과, 전도성 기판 상에 제1 반도체층, 제2 반도체층, 및 제1 및 제2 반도체층 사이에 형성되는 제1 활성층을 포함하는 제1 발광 구조물과, 제1 발광 구조물 상에 형성되며 제3 반도체층, 제4 반도체층, 및 제3 및 제4 반도체층 사이에 형성되는 제2 활성층을 포함하는 제2 발광 구조물과, 제2 및 제3 반도체층과 함께 전기적으로 연결되는 제1 전극, 및 제4 반도체층과 전기적으로 연결되는 제2 전극을 포함하며, 제1 반도체층은 전도성 기판과 전기적으로 연결되고, 제1 및 제3 반도체층은 제1 도전형으로 도핑되며, 제2 및 제4 반도체층은 제2 도전형으로 도핑된다.

대표도 - 도1



특허청구의 범위

청구항 1

전도성 기관;

상기 전도성 기관 상에 제1 반도체층, 제2 반도체층, 및 상기 제1 및 제2 반도체층 사이에 형성되는 제1 활성층을 포함하는 제1 발광 구조물;

상기 제1 발광 구조물 상에 형성되며 제3 반도체층, 제4 반도체층, 및 제3 및 제4 반도체층 사이에 형성되는 제2 활성층을 포함하는 제2 발광 구조물;

상기 제2 및 상기 제3 반도체층과 함께 전기적으로 연결되는 제1 전극; 및

상기 제4 반도체층과 전기적으로 연결되는 제2 전극;을 포함하며,

상기 제1 반도체층은 상기 전도성 기관과 전기적으로 연결되고,

상기 제1 및 제3 반도체층은 제1 도전형으로 도핑되며,

상기 제2 및 제4 반도체층은 제2 도전형으로 도핑되는 발광소자.

청구항 2

제1항에 있어서,

상기 전도성 기관과 상기 제2 전극은 상호 전기적으로 연결되어,

상기 제1 발광 구조물과 상기 제2 발광 구조물은,

서로 역병렬 구조로 연결되는 발광소자.

청구항 3

제1항에 있어서,

상기 제1 도전형은 n 형인 발광소자.

청구항 4

제1항에 있어서,

상기 제1 내지 제4 반도체층은,

질화물계 반도체를 포함하는 발광소자.

청구항 5

제1항에 있어서,

상기 제1 내지 제4 반도체층은,

산화아연계 반도체를 포함하는 발광소자.

청구항 6

제1항에 있어서,

상기 전도성 기관은,

다층 구조를 갖는 발광소자.

청구항 7

제1항에 있어서,

상기 전도성 기관은,
오믹층, 반사층, 및 집합층 중 적어도 하나를 포함하는 발광소자.

청구항 8

제1항에 있어서,
상기 제2 발광 구조물이 제1 메사 에칭되어 상기 제3 반도체층의 상면의 적어도 일 영역이 노출되며,
상기 제1 전극은 상기 제3 반도체층의 노출된 영역 상에 형성되는 발광소자.

청구항 9

제1항에 있어서,
상기 제2 전극은,
상기 제4 반도체층의 상부에 형성되는 발광소자.

청구항 10

제1항에 있어서,
상기 제2 전극과 상기 전도성 기관을 전기적으로 연결하는 연결전극;을 더 포함하고,
상기 연결전극은 상기 제1, 및 제2 발광 구조물의 측면에 형성되는 발광소자.

청구항 11

제10항에 있어서,
상기 연결전극과 상기 제1, 및 제2 발광구조물 사이에 제1 절연층을 더 포함하는 발광소자.

청구항 12

제1항에 있어서,
상기 전도성 기관과 상기 제1 반도체층 사이에 형성된 전류 제한층;을 더 포함하는 발광소자.

청구항 13

제12항에 있어서,
상기 전류 제한층은,
상기 제1 전극과 수직적으로 적어도 일 영역 중첩되는 발광소자.

청구항 14

제1항에 있어서,
상기 전도성 지지기관의 외측에 형성된 채널층;을 더 포함하는 발광소자.

청구항 15

전도성 기관;
상기 전도성 기관 상에 제1 도전형의 제1 반도체층 및 제2도전형의 제2 반도체층을 포함하는 제1 발광 구조물;
상기 제1 발광 구조물 상에 제1 도전형의 제3 반도체층 및 제2 도전형의 제4 반도체층을 포함하는 제2 발광 구조물;
상기 제4 반도체층과 전기적으로 연결되는 제1전극;
상기 제2 반도체층 및 상기 제3 반도체층을 전기적으로 연결하는 제2 전극을 포함하고,

상기 제1 전극과 상기 전도성 기판은 교류전원의 제1단에 연결되고,
 상기 제2 전극은 상기 교류전원의 제2단에 연결되며,
 상기 교류전원의 제1 바이어스시 상기 제1 발광 구조물 내에 제1 전류 패스가 형성되어 제1 광을 생성하고,
 상기 교류전원의 제2 바이어스시 상기 제2 발광 구조물 내에 제2 전류 패스가 형성되어 제2 광을 생성하며,
 상기 제1 바이어스와 상기 제2 바이어스는 극성이 서로 반대인 발광소자.

청구항 16

제15항에 있어서,
 상기 제1 발광구조물과 상기 제2 발광구조물의 측벽에 연결전극;을 더 포함하고,
 상기 연결전극은 상기 전도성 기판과 상기 제1 전극을 전기적으로 연결하는 발광소자.

명세서

기술분야

[0001] 실시예는 발광소자에 관한 것이다.

배경기술

[0002] LED(Light Emitting Diode; 발광 다이오드)는 화합물 반도체의 특성을 이용해 전기 신호를 적외선, 가시광선 또는 빛의 형태로 변환시키는 소자로, 가정용 가전제품, 리모콘, 전광판, 표시기, 각종 자동화 기기 등에 사용되고, 점차 LED의 사용 영역이 넓어지고 있는 추세이다.

[0003] 보통, 소형화된 LED는 PCB(Printed Circuit Board) 기판에 직접 장착하기 위해서 표면실장소자(Surface Mount Device)형으로 만들어지고 있고, 이에 따라 표시소자로 사용되고 있는 LED 램프도 표면실장소자 형으로 개발되고 있다. 이러한 표면실장소자는 기존의 단순한 점등 램프를 대체할 수 있으며, 이것은 다양한 칼라를 내는 점등표시기용, 문자표시기 및 영상표시기 등으로 사용된다.

[0004] 공개특허 10-2009-0082453 (이하 선행기술 "1" 이라 함)에서는 발광소자부, 교류 전원을 직류 전원으로 변환하는 정류 회로부, 및 정류된 전원의 크기를 조절하여 발광소자부에 공급하는 평활회로부를 포함하는 발광 장치에 관해 개시한다.

[0005] 그러나, 선행기술 1 에서는 교류 전원에서 발광소자부를 구동하기 위해 정류 회로부, 및 평활회로부를 필요로 하므로, 발광 장치의 경제성이 저해될 수 있다.

발명의 내용

해결하려는 과제

[0006] 실시예는 교류 전원에서 순방향 전압 및 역방향 전압 양자에 대해 구동할 수 있는 발광소자를 제공한다.

과제의 해결 수단

[0007] 실시예에 따른 발광소자는, 전도성 기판과, 전도성 기판 상에 제1 반도체층, 제2 반도체층, 및 제1 및 제2 반도체층 사이에 형성되는 제1 활성층을 포함하는 제1 발광 구조물과, 제1 발광 구조물 상에 형성되며 제3 반도체층, 제4 반도체층, 및 제3 및 제4 반도체층 사이에 형성되는 제2 활성층을 포함하는 제2 발광 구조물과, 제2 및 제3 반도체층과 함께 전기적으로 연결되는 제1 전극, 및 제4 반도체층과 전기적으로 연결되는 제2 전극을 포함하며, 제1 반도체층은 전도성 기판과 전기적으로 연결되고, 제1 및 제3 반도체층은 제1 도전형으로 도핑되며, 제2 및 제4 반도체층은 제2 도전형으로 도핑된다.

발명의 효과

[0008] 실시예에 따른 발광소자는 교류 전원에서 순방향 전압 및 역방향 전압에서 모두 구동할 수 있다. 따라서, 별도

의 정류 회로 없이 발광소자의 전원으로 교류 전원을 사용할 수 있다. 따라서, 교류 전원에서 정류 회로, 또는 ESD 소자와 같은 별도의 전기 소자가 필요하지 않다.

[0009] 또한, 실시예에 따른 발광소자는 교류 전원에서 순방향 전압 구동 및 역방향 전압 구동이 1 chip 에서 이루어질 수 있다. 따라서 단위면적당 발광 효율이 개선될 수 있다.

[0010] 또한, 실시예에 따른 발광소자는 교류 전원에서 순방향 전압 구동 발광 구조물, 및 역방향 전압 구동 발광 구조물이 1 chip 에 포함되며 하나의 공정으로 성장될 수 있기 때문에, 발광소자 제조 공정이 단순화되고 발광소자의 경제성이 개선될 수 있다.

도면의 간단한 설명

- [0011] 도 1은 실시예에 따른 발광소자의 단면도,
- 도 2는 실시예에 따른 발광소자의 평면도,
- 도 3은 실시예에 따른 발광소자의 회로도,
- 도 4는 실시예에 따른 발광소자의 순방향 전압 인가시 구동도,
- 도 5는 실시예에 따른 발광소자의 역방향 전압 인가시 구동도,
- 도 6은 실시예에 따른 발광소자의 단면도,
- 도 7은 실시예에 따른 발광소자의 단면도,
- 도 8은 실시예에 따른 발광소자의 부분 확대 단면도,
- 도 9는 실시예에 따른 발광소자의 단면도,
- 도 10은 실시예에 따른 발광소자의 단면도,
- 도 11은 실시예에 따른 발광소자의 단면도,
- 도 12는 실시예에 따른 발광소자의 단면도,
- 도 13은 실시예에 따른 발광소자의 단면도,
- 도 14는 실시예에 따른 발광소자의 단면도,
- 도 15는 실시예에 따른 발광소자의 단면도,
- 도 16은 실시예에 따른 발광소자의 단면도,
- 도 17은 실시예에 따른 발광소자의 단면도,
- 도 18은 실시예에 따른 발광소자의 단면도,
- 도 19는 실시예에 따른 발광소자의 부분 확대 단면도,
- 도 20은 실시예에 따른 발광소자의 에너지 밴드 다이어그램을 나타낸 도면,
- 도 21은 실시예에 따른 발광소자의 에너지 밴드 다이어그램을 나타낸 도면,
- 도 22는 실시예에 따른 발광소자의 단면도,
- 도 23은 실시예에 따른 발광소자의 단면도,
- 도 24는 실시예에 따른 발광소자를 포함한 조명 시스템의 회로도를 나타낸 개념도,
- 도 25는 실시예에 따른 발광소자를 포함한 조명 시스템의 회로도를 나타낸 개념도,
- 도 26은 실시예에 따른 발광소자를 포함한 발광소자 패키지의 사시도,
- 도 27은 실시예에 따른 발광소자를 포함한 발광소자 패키지의 단면도,
- 도 28은 실시예에 따른 발광소자를 포함한 발광소자 패키지의 단면도,
- 도 29는 실시예에 따른 발광소자를 포함하는 조명 시스템을 도시한 사시도,

도 30은 도 29의 조명 시스템의 C - C' 단면을 도시한 단면도,

도 31은 실시예에 따른 발광소자를 포함하는 액정표시장치의 분해 사시도, 그리고

도 32는 실시예에 따른 발광소자를 포함하는 액정표시장치의 분해 사시도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0013] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.
- [0014] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0015] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않은 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0016] 도면에서 각층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되거나 생략되거나 또는 개략적으로 도시되었다. 또한 각 구성요소의 크기와 면적은 실제크기나 면적을 전적으로 반영하는 것은 아니다.
- [0017] 또한, 실시예에서 발광소자의 구조를 설명하는 과정에서 언급하는 각도와 방향은 도면에 기재된 것을 기준으로 한다. 명세서에서 발광소자를 이루는 구조에 대한 설명에서, 각도에 대한 기준점과 위치관계를 명확히 언급하지 않은 경우, 관련 도면을 참조하도록 한다.
- [0018] 도 1 은 실시예에 따른 발광소자(100)의 단면도이며, 도 2 는 실시예에 따른 발광소자(100)의 평면도이다.
- [0019] 도 1 및 도 2 를 참조하면, 실시예에 따른 발광소자(100)는, 전도성 기관(142)과, 전도성 기관(142) 상에 제1 반도체층(122), 제2 반도체층(126), 및 제1 및 제2 반도체층(122, 126) 사이에 형성되는 제1 활성층(124)을 포함하는 제1 발광 구조물(120)과, 제1 발광 구조물(120) 상에 형성되며 제3 반도체층(132), 제4 반도체층(136), 및 제3 및 제4 반도체층(132, 136) 사이에 형성되는 제2 활성층(134)을 포함하는 제2 발광 구조물(130)과, 제2 및 제3 반도체층(126, 132)과 함께 연결되는 제1 전극(144)과, 제4 반도체층(136)과 연결되는 제2 전극(146)을 포함하며, 제1 반도체층(122)은 전도성 기관(142)과 전기적으로 연결되고, 제1 및 제3 반도체층(122, 132)은 제1 도전형으로 도핑되며, 제2 및 제4 반도체층(126, 136)은 제2 도전형으로 도핑될 수 있다.
- [0020] 전도성 기관(142)은 제1 반도체층(122) 하부에 형성될 수 있으며, 제1 반도체층(122)과 연결되어, 하나의 전극으로 역할을 할 수 있다. 전도성 기관(142)은 오믹층(ohmic layer)(미도시), 반사층(reflective layer)(미도시), 본딩층(bonding layer)(미도시) 중 적어도 한 층을 포함할 수 있다. 예를 들어 전도성 기관(142)은 오믹층/반사층/본딩층의 구조이거나, 오믹층/반사층의 적층 구조이거나, 반사층(오믹 포함)/본딩층의 구조일 수 있으나, 이에 대해 한정하지는 않는다. 예컨대, 전도성 기관(142)은 절연층상에 반사층 및 오믹층이 순차로 적층된 형태일 수 있다.
- [0021] 반사층(미도시)은 오믹층(미도시) 및 절연층(미도시) 사이에 배치될 수 있으며, 반사특성이 우수한 물질, 예를 들어 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 및 이들의 선택적인 조합으로 구성된 물질 중에서 형성

되거나, 상기 금속 물질과 IZO, IZTO, IAZO, IGZO, IGTO, AZO, ATO 등의 투광성 전도성 물질을 이용하여 다층으로 형성할 수 있다. 또한 반사층(미도시)은 IZO/Ni, AZO/Ag, IZO/Ag/Ni, AZO/Ag/Ni 등으로 적층할 수 있다. 또한 반사층(미도시)을 제1 발광 구조물(120)과 오믹 접촉하는 물질로 형성할 경우, 오믹층(미도시)은 별도로 형성하지 않을 수 있으며, 이에 대해 한정하지는 않는다.

[0022] 오믹층(미도시)은 제1 발광 구조물(120)의 하면에 오믹 접촉되며, 층 또는 복수의 패턴으로 형성될 수 있다. 오믹층(미도시)은 투광성 전극층과 금속이 선택적으로 사용될 수 있으며, 예를 들어, ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IrO_x , RuO_x , RuO_x/ITO , Ni, Ag, Ni/ IrO_x/Au , 및 Ni/ $\text{IrO}_x/\text{Au}/\text{ITO}$ 중 하나 이상을 이용하여 단층 또는 다층으로 구현할 수 있다. 오믹층(미도시)은 제1 반도체층(122)에 캐리어의 주입을 원활히 하기 위한 것으로, 반드시 형성되어야 하는 것은 아니다.

[0023] 또한 전도성 기관(142)은 본딩층(미도시)을 포함할 수 있으며, 이때 본딩층(미도시)은 배리어 금속(barrier metal), 또는 본딩 금속, 예를 들어, Ti, Au, Sn, Ni, Cr, Ga, In, Bi, Cu, Ag 또는 Ta 중 적어도 하나를 포함할 수 있으며 이에 한정하지 않는다.

[0024] 전도성 기관(142)이 제1 반도체층(122) 하부에 형성됨으로서, 제1 반도체층(122) 상에 전극을 형성하기 위해 제1, 제2 발광 구조물(120, 130)을 별도로 식각할 필요가 없게 된다.

[0025] 아울러, 제1 반도체층(122)의 하부 면적에 걸쳐 전도성 기관(142)이 형성됨으로서, 전류 스프레딩 및 방열 기능이 향상될 수 있다.

[0026] 제1 발광 구조물(120)은 제1 반도체층(122), 제1 활성층(124), 및 제2 반도체층(126)을 포함할 수 있다.

[0027] 제1 반도체층(122)은 전도성 기관(142) 상에 위치할 수 있다. 제1 반도체층(122)은 제1 도전형으로 도핑될 수 있다. 이때, 제1 도전형은 n 형일 수 있다. 예컨대, 제1 반도체층(122)은 n형 반도체층으로 구현될 수 있으며, 제1 활성층(124)에 전자를 제공할 수 있다. 제1 반도체층(122)은 질화물계 반도체층일 수 있다. 예를 들어, 제1 반도체층(122)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료를 포함할 수 있으며, 예를 들어 GaN, AlN, AlGaN, InGaN, InN, InAlGaN, AlInN 등을 포함할 수 있다. 한편, 제1 반도체층(122)은 산화아연계 반도체층일 수 있다. 예를 들어 제1 반도체층(122)은 $\text{In}_x\text{Al}_y\text{Zn}_{1-x-y}\text{O}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료를 포함할 수 있으며, 예를 들어 ZnO, AlO, AlZnO, InZnO, InO, InAlZnO, AlInO 등을 포함할 수 있고, 이에 한정하지 아니한다. 또한, 제1 반도체층(122)은 Si, Ge, Sn 등의 n형 도펀트가 도핑될 수 있다.

[0028] 또한, 제1 반도체층(122)아래에 언도프트 반도체층(미도시)을 더 포함할 수 있으나, 이에 대해 한정하지는 않는다. 언도프트 반도체층(미도시)은 제1 반도체층(122)의 결정성 향상을 위해 형성되는 층으로, n형 도펀트가 도핑되지 않아 제1 반도체층(122)에 비해 낮은 전기전도성을 갖는 것을 제외하고는 제1 반도체층(122)과 같을 수 있다.

[0029] 상기 제1 반도체층(122) 상에는 제1 활성층(124)이 형성될 수 있다. 제1 활성층(124)은 3족-5족 원소의 화합물 반도체 재료를 이용하여 단일 또는 다중 양자 우물 구조, 양자 선(Quantum-Wire) 구조, 또는 양자 점(Quantum Dot) 구조 등으로 형성될 수 있다.

[0030] 제1 활성층(124)이 양자우물구조로 형성된 경우 제1 활성층(124)은 다중양자우물구조를 가질 수 있다. 또한, 제1 활성층(124)은 질화물계, 또는 산화아연계 반도체층일 수 있다. 예컨대, 제1 활성층(124)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 우물층과 $\text{In}_a\text{Al}_b\text{Ga}_{1-a-b}\text{N}$ ($0 \leq a \leq 1$, $0 \leq b \leq 1$, $0 \leq a+b \leq 1$)의 조성식을 갖는 장벽층을 갖는 단일 또는 다중 양자우물구조를 가질 수 있다. 한편, 우물층은 $\text{In}_x\text{Al}_y\text{Zn}_{1-x-y}\text{O}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖고, 장벽층은 $\text{In}_a\text{Al}_b\text{Zn}_{1-a-b}\text{O}$ ($0 \leq a \leq 1$, $0 \leq b \leq 1$, $0 \leq a+b \leq 1$)의 조성식을 갖게 형성될 수 있으며, 이에 한정하지 아니한다. 한편, 우물층은 장벽층의 밴드 갭보다 작은 밴드 갭을 갖는 물질로 형성될 수 있다.

[0031] 또한, 제1 활성층(124)이 다중 양자우물구조를 가질 경우, 각각의 우물층(미도시), 장벽층(미도시)은 서로 상이한 조성, 서로 상이한 두께 및 서로 상이한 밴드갭을 가질 수 있으며, 이에 대해서는 후술한다.

- [0032] 제1 활성층(124)의 위 또는/및 아래에는 도전성 클래드층(미도시)이 형성될 수 있다. 도전성 클래드층(미도시)은 예컨대 AlGaIn계, 또는 AlZnO계 반도체로 형성될 수 있으며, 상기 제1 활성층(124)의 밴드 갭보다는 큰 밴드 갭을 가질 수 있다.
- [0033] 제2 반도체층(126)은 제2 도전형으로 도핑될 수 있다. 이때, 제2 도전형은 p형일 수 있다. 예컨대, 제2 반도체층(126)은 제1 활성층(124)에 정공을 주입하도록 p형 반도체층으로 구현될 수 있다. 제2 반도체층(126)은 질화물계 반도체층일 수 있다. 예를 들어, 제2 반도체층(126)은 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료를 포함할 수 있으며, 예를 들어 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN 등을 포함할 수 있다. 한편, 제2 반도체층(126)은 산화아연계 반도체층일 수 있다. 예를 들어 제2 반도체층(126)은 $In_xAl_yZn_{1-x-y}O$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료를 포함할 수 있고, 예를 들어 ZnO, AlO, AlZnO, InZnO, InO, InAlZnO, AlInO 등을 포함할 수 있으며, 이에 한정하지 아니한다 한편, 제2 반도체층(126)은 Mg, Zn, Ca, Sr, Ba 등의 p형 도펀트가 도핑될 수 있다.
- [0034] 상술한 제1 반도체층(122), 제1 활성층(124), 및 제2 반도체층(126)은 예를 들어, 유기금속 화학 증착법(MOCVD; Metal Organic Chemical Vapor Deposition), 화학 증착법(CVD; Chemical Vapor Deposition), 플라즈마 화학 증착법(PECVD; Plasma-Enhanced Chemical Vapor Deposition), 분자선 성장법(MBE; Molecular Beam Epitaxy), 수소화물 기상 성장법(HVPE; Hydride Vapor Phase Epitaxy), 스퍼터링(Sputtering) 등의 방법을 이용하여 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [0035] 또한, 제1 반도체층(122) 및 제2 반도체층(126) 내의 도전형 도펀트의 도핑 농도는 균일 또는 불균일하게 형성될 수 있다. 즉, 복수의 반도체층은 다양한 도핑 농도 분포를 갖도록 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [0036] 또한, 제1 반도체층(122)이 p형 반도체층으로 구현되고, 제2 반도체층(126)이 n형 반도체층으로 구현될 수 있으며, 제2 반도체층(126) 상에는 n형 또는 p형 반도체층을 포함하는 반도체층(미도시)이 형성될 수도 있다. 이에 따라, 제1 발광 구조물(120)은 np, pn, npn, pnp 접합 구조 중 적어도 어느 하나를 가질 수 있다.
- [0037] 제1 발광 구조물(120) 상에는 제2 발광 구조물(130)이 형성될 수 있다.
- [0038] 제2 발광 구조물(130)은 제3 반도체층(132), 제2 활성층(134), 및 제4 반도체층(136)을 포함할 수 있다.
- [0039] 제2 반도체층(126) 상에는 제3 반도체층(132)이 위치할 수 있다. 제3 반도체층(132)은 제1 도전형으로 도핑될 수 있다. 이때, 제1 도전형은 n형일 수 있다. 예컨대, 제3 반도체층(132)은 n형 반도체층으로 구현될 수 있으며, 제2 활성층(134)에 전자를 제공할 수 있다. 제3 반도체층(132)은 질화물계 반도체층일 수 있다. 예컨대, 제3 반도체층(132)은 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료를 포함할 수 있으며, 예를 들어 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN 등을 포함할 수 있다. 한편, 제1 반도체층(122)은 산화아연계 반도체층일 수 있다. 예를 들어, 제3 반도체층(132)은 $In_xAl_yZn_{1-x-y}O$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료, 예를 들어 ZnO, AlO, AlZnO, InZnO, InO, InAlZnO, AlInO 등에서 선택될 수도 있고, 이에 한정하지 아니한다 또한, 제1 반도체층(122)은 Si, Ge, Sn 등의 n형 도펀트가 도핑될 수 있다.
- [0040] 제3 반도체층(132) 상에는 제2 활성층(134)이 형성될 수 있다. 제2 활성층(134)은 3족-5족 원소의 화합물 반도체 재료를 이용하여 단일 또는 다중 양자 우물 구조, 양자 선(Quantum-Wire) 구조, 또는 양자 점(Quantum Dot) 구조 등으로 형성될 수 있다.
- [0041] 제2 활성층(134)은 양자우물구조로 형성될 수 있다. 또한, 제2 활성층(134)은 질화물계, 또는 산화아연계 반도체층일 수 있다. 예컨대, 제2 활성층(134)은 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 우물층과 $In_aAl_bGa_{1-a-b}N$ ($0 \leq a \leq 1, 0 \leq b \leq 1, 0 \leq a+b \leq 1$)의 조성식을 갖는 장벽층을 갖는 단일 또는 다중 양자우물 구조를 가질 수 있다. 한편, 우물층은 $In_xAl_yZn_{1-x-y}O$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖고, 장벽층은 $In_aAl_bZn_{1-a-b}O$ ($0 \leq a \leq 1, 0 \leq b \leq 1, 0 \leq a+b \leq 1$)의 조성식을 갖게 형성될 수 있으며, 이에 한정하지 아니한다. 한편, 우물층은 장벽층의 밴드 갭보다 작은 밴드 갭을 갖는 물질로 형성될 수 있다.
- [0042] 또한, 제2 활성층(134)이 다중 양자우물구조를 가질 경우, 각각의 우물층(미도시)은 서로 상이한 조성 및 서로 상이한 밴드갭을 가질 수 있으며, 이에 대해서는 후술한다.

- [0054] 한편, 제4 반도체층(136) 상에는 제2 전극(146)이 형성될 수 있다. 제2 전극(146)은 제4 반도체층(136) 상의 적어도 일 영역에 형성될 수 있으며, 제4 반도체층(136)의 중심, 또는 코너 영역에 형성될 수 있고, 이에 한정하지 아니한다.
- [0055] 제2 및 제3 반도체층(126, 132) 상에 제1 전극(144)이 형성되고 제4 반도체층(136) 상에 제2 전극(146)이 형성됨에 따라서, 제1 및 제2 전극(144, 146)은 같은 방향에 형성될 수 있다.
- [0056] 전도성 기관(142)과 제2 전극(146)은 상호 연결될 수 있다. 따라서, 전도성 기관(142)과 제2 전극(146)을 통해서 제1 반도체층(122) 및 제4 반도체층(136)에 동일한 극성의 전원이 인가될 수 있다.
- [0057] 또한, 제1 전극(144)은 제2 반도체층(126), 및 제3 반도체층(132) 상에 형성되어 제2 반도체층(126)과 제3 반도체층(132)에 동일한 극성의 전원을 인가할 수 있다.
- [0058] 한편, 제1 및 제2 전극(144, 146)은 전도성 물질, 예를 들어 In, Co, Si, Ge, Au, Pd, Pt, Ru, Re, Mg, Zn, Hf, Ta, Rh, Ir, W, Ti, Ag, Cr, Mo, Nb, Al, Ni, Cu, 및 WTi 중에서 선택된 금속을 포함할 수 있으며, 또는 이들의 합금을 포함할 수 있고, 상기 금속 물질과 IZO, IZTO, IAZO, IGZO, IGTO, AZO, ATO 등의 투광성 전도성 물질을 포함할 수 있으며, 이에 한정하지 아니한다.
- [0059] 또한, 제1 및 제2 전극(144, 146) 중 적어도 하나는 단층, 또는 다층 구조를 가질 수 있으며, 이에 한정하지 아니한다.
- [0060] 이하에서는 도 3 내지 도 5 를 참조하여 실시예에 따른 발광소자(100)의 동작을 설명한다. 한편, 이하에서는 제1 및 제3 반도체층(122, 132)은 n 형 반도체층이고, 제2 및 제4 반도체층(126, 136)은 p 형 반도체층인 것으로 가정하여 설명한다.
- [0061] 도 3 은 실시예에 따른 발광소자(100)의 회로도이다.
- [0062] 상술한 바와 같이, 전도성 기관(142)이 제1 반도체층(122)과 연결되고 제1 전극(144)이 제2 반도체층(126), 및 제3 반도체층(132)과 연결되며 제2 전극(146)이 제4 반도체층(136)과 연결되고, 전도성 기관(142)과 제2 전극(146)은 상호 연결될 수 있다. 이때, 제1 및 제3 반도체층(122, 132)은 제1 도전형으로 도핑되고, 제2 및 제4 반도체층(126, 136)은 제2 도전형으로 도핑될 수 있다. 따라서, 실시예에 따른 발광소자(100)는 도 3 에 도시된 바와 같이 2 개의 발광 다이오드가 역병렬 구조로 연결된 회로 구조를 가질 수 있다.
- [0063] 도 4 는 순방향 바이어스가 인가된 경우 실시예에 따른 발광소자(100)의 구동을 나타낸 도면이다.
- [0064] 도 4 에 도시된 바와 같이, 교류 전원에 있어서, 제1 전극(144)으로 정극성 전압(+) 이 연결되고 전도성 기관 및 제2 전극(142, 146)으로 부극성 전압(-)이 연결될 수 있다.
- [0065] 이때, 제1 발광 구조물(120)에는 제2 반도체층(126)으로부터 활성층(124)을 거쳐 제1 반도체층(124)으로 흐르는 제1 전류 패스(A) 가 형성된다. 상술한 바와 같이, 제2 반도체층(126)은 p 형 반도체층이고, 제1 반도체층(122)은 n 형 반도체층으로 형성되므로, 제1 발광 구조물(120)은 턴온되어 제1 활성층(124)에서 광을 생성할 수 있다.
- [0066] 한편, 제2 발광 구조물(130)에는 제3 반도체층(132)에 정극성 전압(+)이 연결되고 제4 반도체층(136)에 부극성 전압(-)이 연결되어 역방향 전압이 인가된다. 따라서, 전류 패스가 형성되지 아니하고 제2 발광 구조물(130)은 턴오프된다.
- [0067] 도 5 는 실시예에 따른 발광소자(100)에 역방향 바이어스가 인가된 경우 발광소자(100)의 구동을 나타낸 도면이다.
- [0068] 도 5 에 도시된 바와 같이, 제1 전극(144)으로 부극성 전압(-) 이 공급되고 전도성 기관 및 제3 전극(142, 146)으로 정극성 전압(+)이 공급될 수 있다.
- [0069] 이때, 제2 발광 구조물(130)에는 제4 반도체층(136)으로부터 제2 활성층(134)을 거쳐 제3 반도체층(134)으로 흐르는 제2 전류 패스(B)가 형성된다. 상술한 바와같이, 제4 반도체층(136)은 p 형 반도체층이고, 제3 반도체층(132)은 n 형 반도체층으로 형성되므로 제2 발광 구조물(130)은 턴온되어 제2 활성층(134)에서 광을 생성할 수 있다.
- [0070] 한편, 제1 발광 구조물(120)은 제1 반도체층(122)에 정극성 전압(+)이 연결되고 제2 반도체층(126)에 부극성 전압(-)이 연결되어 역방향 전압이 인가된다. 따라서, 전류 패스가 형성되지 아니하고 제1 발광 구조물(120)은 턴

오픈된다.

- [0071] 도 4 및 도 5 에 도시된 바와 같이, 실시예에 따른 발광소자(100)는 교류 전원에서 순방향 바이어스 및 역방향 바이어스에 대해 모두 발광할 수 있다.
- [0072] 따라서, 교류 전원을 발광소자(100)의 전원으로 사용할 때 별도의 정류 회로, 또는 복수의 발광소자가 필요하지 않으므로 실시예에 따른 발광소자(100), 및 실시예에 따른 발광소자(100)를 이용한 장치의 경제성이 개선될 수 있다.
- [0073] 또한, 단일 칩으로 형성된 발광소자(100)로 정전압 바이어스 및 역전압 바이어스 모두에 대해 발광이 가능하므로 발광소자(100)의 단위 면적당 발광 효율이 개선될 수 있다.
- [0074] 또한, 정전압 및 역전압 모두에 대해 전류 패스가 형성되므로 ESD 에 의한 발광소자(100)의 손상이 방지될 수 있으며, 별도의 ESD 보호 소자가 필요하지 않을 수 있다. 또한, 실시예에 따른 발광소자(100)를 이용한 발광소자 패키지, 또는 조명 장치에 별도의 ESD 소자가 구비되지 않을 수 있으므로 발광소자 패키지, 또는 조명 장치의 부피가 작아질 수 있고 ESD 소자에 의한 광 손실이 방지될 수 있다.
- [0075] 또한, 역방향 바이어스 및 순방향 바이어스에 대해서 광을 생성하는 각각의 발광 구조물(120, 130)이 하나의 발광소자(100)에 포함되며 각각의 발광 구조물(120, 130)은 일체로 형성되므로 하나의 공정에서 제1 및 제2 발광 구조물(120, 130)이 성장될 수 있다. 따라서, 발광소자(100) 제조 공정의 경제성이 개선될 수 있다.
- [0076] 도 6 은 실시예에 따른 발광소자(100)의 단면도이다.
- [0077] 도 6 을 참조하면, 실시예에 따른 발광소자(100)는, 지지부재(110)와, 지지부재(110) 상에 형성되는 전도성 기관(142)과, 전도성 기관(142) 상에 형성되며 제1 반도체층(122), 제2 반도체층(126), 및 제1 및 제2 반도체층(122, 126) 사이에 형성되는 제1 활성층(124)을 포함하는 제1 발광 구조물(120)과, 제1 발광 구조물(120) 상에 형성되며 제3 반도체층(132), 제4 반도체층(136), 및 제3 및 제4 반도체층(132, 136) 사이에 형성되는 제2 활성층(134)을 포함하는 제2 발광 구조물(130)을 포함할 수 있다.
- [0078] 지지부재(110)는 열전도성이 우수한 물질을 이용하여 형성할 수 있으며, 또한 전도성 물질로 형성할 수 있는데, 금속 물질 또는 전도성 세라믹을 이용하여 형성할 수 있다. 지지부재(110)는 단일층으로 형성될 수 있고, 이중 구조 또는 그 이상의 다중 구조로 형성될 수 있다.
- [0079] 즉, 지지부재(110)는 금속, 예를 들어 Au, Ni, W, Mo, Cu, Al, Ta, Ag, Pt, Cr 중에서 선택된 어느 하나로 형성하거나 둘 이상의 합금으로 형성할 수 있으며, 서로 다른 둘 이상의 물질을 적층하여 형성할 수 있다. 또한 지지부재(110)는 Si, Ge, GaAs, ZnO, SiC, SiGe, GaN, Ga₂O₃ 와 같은 캐리어 웨이퍼로 구현될 수 있다.
- [0080] 이와 같은 지지부재(110)는 발광소자(100)에서 발생하는 열의 방출을 용이하게 하여 발광소자(100)의 열적 안정성을 향상시킬 수 있다.
- [0081] 도 7 은 실시예에 따른 발광소자(100)의 단면도이다.
- [0082] 도 7 을 참조하면, 실시예에 따른 발광소자(100)는, 제1 반도체층(122), 제2 반도체층(126), 및 제1 및 제2 반도체층(122, 126) 사이에 형성되는 제1 활성층(124)을 포함하는 제1 발광 구조물(120)과, 제1 발광 구조물(120) 상에 형성되며 제3 반도체층(132), 제4 반도체층(136), 및 제3 및 제4 반도체층(132, 136) 사이에 형성되는 제2 활성층(134)을 포함하는 제2 발광 구조물(130), 및 제1 발광 구조물(120)과 제2 발광 구조물(130) 사이에 형성된 중간층(150)을 포함할 수 있다.
- [0083] 중간층(150)은 소정의 두께를 가지며 제1 발광 구조물(120)과 제2 발광 구조물(130)을 격리할 수 있다. 한편, 도 7 에 도시된 바와 같이 중간층(150)의 일 영역이 제거되고 상기 영역을 통해 제1 전극(144)이 제2 반도체층(126)에 접하게 형성될 수 있다.
- [0084] 중간층(150)은 예컨대 도핑되지 아니한 언도프드 반도체층일 수 있다. 따라서 중간층(150)은 p 형 도펀트, 또는 n 형 도펀트가 도핑되지 아니하여 낮은 전기 전도성을 가질 수 있다. 한편, 상기와 같은 도펀트가 도핑되지 아니한 것을 제외하고 제1 발광 구조물(120), 또는 제2 발광 구조물(130)을 형성하는 각각의 반도체층과 동일한 조성 및 구조를 가질 수 있다.
- [0085] 제1 발광 구조물(120)과 제2 발광 구조물(130) 사이에 중간층(150)이 형성됨에 따라서, 제1 발광 구조물(120)과 제2 발광 구조물(130) 사이의 diffusion 발생, 및 누설 전류 발생이 방지될 수 있다.

- [0086] 한편, 도 8 을 참조하면 중간층(150)은 수개의 층(151, 152, 153, 154, 155)을 포함한 복층 구조를 가질 수 있다. 도 10 에서는 수개의 층(151, 152, 153, 154, 155)이 형성되게 도시되었으나, 이에 한정하지 아니하며 적어도 2 개 이상의 층이 형성될 수 있다.
- [0087] 각각의 층(151, 152, 153, 154, 155)은 적어도 두개의 서로 상이한 밴드갭을 가질 수 있다. 예컨대, 중간층(150)은 밴드갭이 서로 상이한 수개의 층(151, 152, 153, 154, 155)이 반복하여 교대로 적층되는 구조를 가질 수 있으며, 이에 한정하지 아니한다.
- [0088] 반도체층이 성장되는 성장 기관(미도시)과 제1 반도체층(122)은 격자상수의 차이가 클 수 있다. 특히 이러한 결정결함은 성장방향에 따라 증가하는 경향을 갖는다. 중간층(150)이 서로 상이한 밴드갭을 갖는 수개의 층(151, 152, 153, 154, 155)을 포함하며, 제1 발광 구조물(120)과 제2 발광 구조물(130) 사이에 형성됨으로써, 중간층(150) 하부에서 발생한 결정결함의 전파를 차단할 수 있다. 따라서, 결정결함이 중간층(150) 상부로 전달되는 것을 억제할 수 있다. 따라서, 발광소자(100)의 신뢰성 및 발광 효율이 개선될 수 있다.
- [0089] 한편, 중간층(150)은 예컨대 GaN, InN, InGaN, AlGaIn, ZnO, AlO, AlZnO, InZnO, InO, InAlZnO, AlInO 을 포함하는 반도체층을 포함할 수 있으며, 각각의 층은 다중구조를 형성하는 층 중 가장 밴드갭이 작은 층과 가장 밴드갭이 작은 층이 접하도록 배치될 수 있다.
- [0090] 예컨대, AlN 의 조성이 높을수록 밴드갭이 커지고 InN 의 조성이 높을수록 밴드갭이 작아지므로, InN 을 포함하는 층의 밴드갭이 가장 낮고, AlN 을 포함하는 층의 밴드갭이 가장 크게 형성될 수 있다. 따라서, 가장 밴드갭이 큰 AlN 을 포함하는 층과 가장 밴드갭이 작은 InN 를 포함하는 층이 접하게 형성될 수 있다.
- [0091] 한편, 격자 상수가 작은 AlN 을 포함하는 층은 인장 응력(tensile stress)을 발생하며, 격자 상수가 큰 InN 을 포함하는 층은 압축 응력(compress stress)을 발생할 수 있다. 따라서, AlN 을 포함한 층과 InN 을 포함한 층이 교대로 적층될 경우 층간의 응력을 완화시킬 수 있다.
- [0092] 중간층(150)은 반사율을 갖는 반사물질을 포함할 수 있다. 한편, 각각의 층(151, 152, 153, 154, 155)은 적어도 두개의 서로 상이한 굴절율을 가질 수 있다. 중간층(150)이 적어도 두개의 상이한 굴절율을 갖는 수개의 층(151, 152, 153, 154, 155)을 포함함으로써 중간층(150)은 반사율을 갖는 DBR (Distributed Bragg Reflector) 층으로 기능할 수 있다.
- [0093] 중간층(150)이 반사율을 가짐으로써, 제1 및 제2 발광 구조물(120, 130)에서 생성된 광이 중간층(150)에 의해 반사될 수 있다. 따라서, 제1 발광 구조물(120)에서 생성된 광은 제2 발광 구조물(130)을 통과하지 않고 반사되어 측방향으로 진행할 수 있다. 한편, 제2 발광 구조물(130)에서 생성된 광은 제1 발광 구조물(120)을 통과하지 않고 반사되어 상방향으로 진행할 수 있다. 따라서, 발광소자(100)의 광 손실이 줄어들며, 측방향 발광이 가능해질 수 있다.
- [0094] 도 9 및 도 10 은 실시예에 따른 발광소자(100)를 나타낸 단면도이다.
- [0095] 도 9 를 참조하면, 실시예에 따른 발광소자(100)는, 제1 반도체층(122), 제2 반도체층(126), 및 제1 및 제2 반도체층(122, 126) 사이에 형성되는 제1 활성층(124)을 포함하는 제1 발광 구조물(120)과, 제1 발광 구조물(120) 상에 형성되며 제3 반도체층(132), 제4 반도체층(136), 및 제3 및 제4 반도체층(132, 136) 사이에 형성되는 제2 활성층(134)을 포함하는 제2 발광 구조물(130)을 포함하며, 제1 및 제2 발광 구조물(120, 130)의 측면의 적어도 일 영역에는 제1 요철부(160)가 형성될 수 있다.
- [0096] 제1 요철부(160)는 제1, 및 제2 발광 구조물(120, 130)의 측면의 적어도 일 영역에 형성될 수 있으며, 수개의 영역 또는 전체 영역에 형성될 수도 있고, 이에 한정하지 아니한다. 제1 요철부(160)는 제1, 및 제2 발광 구조물(120, 130)의 측면의 적어도 일 영역에 대해 에칭을 수행함으로써 형성될 수 있으며, 이에 한정하지 아니한다.
- [0097] 한편, 상기 에칭 과정은 습식 및/또는 건식 에칭 공정을 포함할 수 있고, 이에 한정하지 아니한다.
- [0098] 상기 에칭 과정은 PEC(photo electro chemical), 또는 KOH 용액과 같은 식각액을 사용한 습식 식각 과정을 통해서 형성될 수 있다.
- [0099] 에칭 과정을 거침에 따라서, 제1, 및 제2 발광 구조물(120, 130)의 측면에는 제1 요철부(160)가 형성되며, 그 높이는 0.1 um 내지 3 um 로 형성될 수 있다. 제1 요철부(160)는 랜덤한 크기로 불규칙하게 형성되거나, 또는 원하는 형상 및 배열을 갖도록 형성될 수 있으며, 이에 대해 한정하지는 아니한다. 제1 요철부(160)는 평탄하지

않은 면으로서, 텍스처(texture) 패턴, 요철 패턴, 평탄하지 않는 패턴(uneven pattern) 중 적어도 하나를 포함할 수 있다.

- [0100] 또한, 제1 요철부(160)의 형상은 원기둥, 다각기둥, 원뿔, 다각뿔, 원뿔대, 다각뿔대 등 다양한 형상을 갖도록 형성될 수 있으며, 바람직하게는 뿔 형상을 포함한다.
- [0101] 제1 요철부(160)는 제1, 및 제2 활성층(124, 134)으로부터 생성된 빛이 제1, 및 제2 발광 구조물(120, 130)의 측면에서 전반사되어 재흡수되거나 산란되는 것을 방지하는 광 추출 구조를 형성한다. 즉, 제1 요철부(160)는 제1, 및 제2 활성층(124, 134)으로부터 생성된 빛이 제1, 및 제2 발광 구조물(120, 130)의 측면에 입사할 때 임계각 이하의 입사각을 형성할 수 있다.
- [0102] 제1 요철부(160)가 제1, 및 제2 발광 구조물(120, 130)의 측면에 형성됨에 따라서 제1, 및 제2 활성층(124, 134)으로부터 생성된 빛이 제1, 및 제2 발광 구조물(120, 130)의 측면에서 전반사되어 재흡수되거나 산란되는 것이 방지될 수 있으므로, 발광소자(100)의 광 추출 효율의 향상에 기여할 수 있다.
- [0103] 한편, 도 10 에 도시된 바와 같이 제1, 및 제2 발광 구조물(120, 130)의 측면이 경사각을 갖게 형성될 수 있다. 제1, 및 제2 발광 구조물(120, 130)의 측면이 경사각을 갖게 형성됨에 따라서, 제1, 및 제2 발광 구조물(120, 130)의 측면에 대해 에칭 공정을 수행하여 제21요철부(160)을 형성하기 용이할 수 있다. 아울러, 제1, 및 제2 발광 구조물(120, 130)의 측면을 통과하여 진행되는 광이 측방향을 포함한 다양한 방향으로 진행함으로써 발광 소자(100)의 배광 패턴이 개선될 수 있다.
- [0104] 한편, 상기 경사각은 지나치게 크거나 작을 경우 발광소자(100)의 크기 대비 제1 및 제2 활성층(124, 134)의 크기 비율이 작아져서 발광소자(100)의 발광 효율이 작아지므로, 상기 제1 경사각은 50° 내지 90° 일 수 있다.
- [0105] 한편, 제1, 및 제2 발광 구조물(120, 130)의 성장면은 비극성, 또는 반극성 결정면일 수 있다. 예컨대, 제1, 및 제2 발광 구조물(120, 130)을 형성하는 GaN 결정의 C-면{0001}이 제1, 및 제2 발광 구조물(120, 130)의 측면에 형성될 수 있으며, 따라서 Ga-face, 또는 N-face 가 제1, 및 제2 발광 구조물(120, 130)의 측면에 형성될 수 있다.
- [0106] 즉, 제1, 및 제2 발광 구조물(120, 130)의 성장면이 비극성 또는 반극성 결정면일 경우 Ga-face 또는 N-face가 제1, 및 제2 발광 구조물(120, 130)의 측면에 형성될 수 있다. Ga-face 및 N-face는 습식 식각 공정을 통해서 용이하게 식각될 수 있으므로, 제1, 및 제2 발광 구조물(120, 130)의 측면은 습식 식각 공정을 통해서 요철부(160)가 형성될 수 있다. 아울러, 한편, 제1, 및 제2 발광 구조물(120, 130)의 성장면이 비극성, 또는 반극성 결정면으로 형성됨으로써, 압전 분극(piezoelectric polariziton), 및 압전 분극에 의한 정전기장이 약화되어 제1 및 제2 활성층(132, 134)에서 전자와 정공의 재결합 확률이 증가하며 발광소자(100)의 발광 효율이 개선될 수 있다.
- [0107] 도 11 은 실시예에 따른 발광소자의 단면도이다.
- [0108] 도 11 을 참조하면, 실시예에 따른 발광소자(100)는, 전도성 기판(142)과, 전도성 기판(142) 상에 제1 반도체층(122), 제2 반도체층(126), 및 제1 및 제2 반도체층(122, 126) 사이에 형성되는 제1 활성층(124)을 포함하는 제1 발광 구조물(120)과, 제1 발광 구조물(120) 상에 형성되며 제3 반도체층(132), 제4 반도체층(136), 및 제3 및 제4 반도체층(132, 136) 사이에 형성되는 제2 활성층(134)을 포함하는 제2 발광 구조물(130)을 포함하며, 전도성 기판(142)과 제2 전극(146)이 연결되고, 제2 전극(146)과 제1 및 제2 발광 구조물(120, 130) 사이에 제1 절연층(148)이 형성되며, 제1 전극(144)과 제2 발광 구조물(130) 사이에 제2 절연층(149)이 형성될 수 있다.
- [0109] 전도성 기판(142)과 제2 전극(146)은 서로 연결되게 형성될 수 있으며, 예컨대 연속적으로 형성될 수 있다.
- [0110] 한편, 전도성 기판(142)과 제2 전극(146)을 연결하도록 전도성 기판(142)과 제2 전극(146) 사이에 전기 전도성을 갖는 연결전극(147)이 형성될 수 있으며, 이에 한정하지 아니한다. 연결전극(147)은 제1 및 제2 발광 구조물(120, 130) 측면에 형성될 수 있으며, 이에 한정하지 아니한다.
- [0111] 제1 절연층(148)은 연결전극(147)과 제1 및 제2 발광 구조물(120, 130)의 측부 사이에 형성되어 연결전극(147), 전도성 기판(142) 및 제3 전극(146)과 제1 및 제2 발광 구조물(120, 130)이 불필요하게 쇼트되는 것을 방지할 수 있다.
- [0112] 한편, 전도성 기판(142)과 제2 전극(146)이 서로 연결될 수 있도록, 전도성 기판(142)은 측방향으로 연장될 수 있다.

- [0113] 제2 절연층(149)은 제2 발광 구조물(130)의 측벽에 형성되어 제1 전극(144)과 제2 발광 구조물(130)이 불필요하게 쇼트되는 것을 방지할 수 있다.
- [0114] 즉, 제2 절연층(149)은 상술한 메사 에칭된 제2 발광 구조물(130)의 측벽에 형성될 수 있다.
- [0115] 제1 및 제2 절연층(148, 149)은 전기 절연성을 갖는 재질, 예컨대 SiO₂, SiO_x, SiO_xN_y, Si₃N₄, Al₂O₃, TiO_x, TiO₂, Ti, Al, Cr 중 어느 하나를 포함할 수 있으며, 이에 한정하지 아니한다.
- [0116] 도 12 는 실시예에 따른 발광소자의 단면도이다.
- [0117] 도 12 를 참조하면, 실시예에 따른 발광소자(100)는, 제1 반도체층(122), 제2 반도체층(126), 및 제1 및 제2 반도체층(122, 126) 사이에 형성되는 제1 활성층(124)을 포함하는 제1 발광 구조물(120)과, 제1 발광 구조물(120) 상에 형성되며 제3 반도체층(132), 제4 반도체층(136), 및 제3 및 제4 반도체층(132, 136) 사이에 형성되는 제2 활성층(134)을 포함하는 제2 발광 구조물(130)을 포함하며, 제2 및 제3 전극(144, 146) 은 다층 구조를 가질 수 있다.
- [0118] 이하에서는 제2 전극(146)에 대해 기술하나, 제2 전극(146) 뿐 아니라, 제1 전극(144)에 대해서도 적용될 수 있음은 자명하다.
- [0119] 도 12 를 참조하면, 제2 전극(146)은 접합층(146a), 반사층(146b) 및 보호층(146c)을 포함하여 구성될 수 있다. 또한, 후술하는 바와 같이 발광소자 패키지(미도시) 제작시 와이어가 연결될 수 있도록 와이어 본딩층(146d)을 더 포함할 수 있다.
- [0120] 반사층(146b)은 은 합금(Ag alloy)을 포함할 수 있다.
- [0121] 반사층(146b)이 반사도가 높은 은(Ag)을 포함함으로써 제2 전극(146)의 반사도가 향상되고 발광소자(100)의 발광 효율이 개선될 수 있다. 또한, 은 합금으로 형성됨으로써, 제2 전극(146)을 열처리하는 경우의 Vf가 증가하는 점, 및 접촉 전위차 등에 의해서 Galvanic 부식 등이 발생하는 점을 방지할 수 있다.
- [0122] 한편, 예컨대 제4 반도체층(136)이 n 형 반도체층으로 형성되고 반사층(146b)이 단순 은으로 형성된 경우 제2 전극(146)과 제4 반도체층(136)이 오믹 접촉을 형성하기 어려울 수 있다. 그러나, 반사층(146b)이 은 합금을 포함함에 따라서 은에 의한 높은 반사도를 확보함과 동시에 제3 반도체층(136)과 제1 제2 전극(146)이 오믹 접촉을 형성할 수 있다.
- [0123] 한편, 은 합금(Ag alloy)은 은(Ag)과 Cu, Re, Bi, Al, Zn, W, Sn, In 및 Ni 중 적어도 어느 하나를 포함하여 형성할 수 있으며, 이에 한정하지 아니한다. 한편, 은 합금은 100 ? 내지 700? 에서 alloy 를 수행함으로써 형성될 수 있다.
- [0124] 한편, 은(Ag)은 50 wt % 이상 함유될 수 있으며, 이에 한정하지 아니한다.
- [0125] 접합층(146a)은 Cr, Ti, V, Ta 및 Al 중 적어도 어느 하나로 형성될 수 있는데, 제2 전극(146)과 제3 반도체층(136) 간의 부착력을 향상시키고, 열처리시 반사층(146b)에 포함된 은의 과도한 확산 및 이동을 억제한다. 또한, 보호층(146c)은 Cr, Ti, Ni, Pd, Pt, W, Co, 및 Cu 중 적어도 어느 하나로 형성될 수 있는데, 외부 산소의 과다 주입과 은 입자의 과도한 외부 확산을 억제하여, 은의 집괴 및 공공현상을 막아줄 수 있다.
- [0126] 한편, 접합층(146a), 반사층(146b), 및 보호층(146c)은 순차적으로 증착되거나, 또는 동시에 형성할 수도 있으며, 형성 후 어닐링 공정을 수행할 수 있고 이에 한정하지 아니한다. 한편, 접합층(146a), 반사층(146b) 까지만 순차적으로 증착하거나 동시에 형성될 수 있고, 이에 한정하지 아니한다. 한편, 접합층(146a), 및 반사층(146b)이 동시에 형성되고 alloy 되는 경우 하나의 층 (Ag_xM_yA_z (1 ≥ x ≥ 0.5))으로 형성될 수 있다.
- [0127] 이와 같이 구성되는 제2 전극(146)은 열처리를 수행하면, 제2 전극(146)은 제4 반도체층(136)에 낮은 접촉 저항과 강한 접착력을 가지고 본딩될 수 있다.
- [0128] 또한, 열처리에 의한 Galvanic 부식 등이 발생하지 않고, 열처리에 의한 과도한 은 입자의 확산은 접합층(146a)과 보호층(146c)에 의해 방지되므로, 제2 전극(146)은 은 특유의 높은 광 반사도 특성을 유지할 수 있다.
- [0129] 한편, 와이어 본딩층(146d)은 발광소자(100)가 발광소자패키지(미도시)에 장착되는 경우, 외부의 전원을 인가하기 위해 연결되는 와이어가 본딩 되도록 형성될 수 있다. 한편, 와이어 본딩층(146d)은 예컨대 금 등을 포함할 수 있으며, 이에 한정하지 아니한다.

- [0130] 한편, 제2 및 제3 전극(144, 146) 중 적어도 하나는 패드 전극일 수 있다.
- [0131] 도 13 및 도 14 는 실시예에 따른 발광소자(100)의 단면도이다.
- [0132] 도 13 을 참조하면, 실시예에 따른 발광소자는, 제1 반도체층(122), 제2 반도체층(126), 및 제1 및 제2 반도체층(122, 126) 사이에 형성되는 제1 활성층(124)을 포함하는 제1 발광 구조물(120)과, 제1 발광 구조물(120) 상에 형성되며 제3 반도체층(132), 제4 반도체층(136), 및 제3 및 제4 반도체층(132, 136) 사이에 형성되는 제2 활성층(134)을 포함하는 제2 발광 구조물(130)을 포함하며, 제2 발광 구조물(130) 상에 투광성 전극층(170)이 형성될 수 있다.
- [0133] 투광성 전극층(170)은 IZO, IZTO, IAZO, IGZO, IGTO, AZO, ATO 등의 투광성 전도성 물질을 포함할 수 있으며, 이에 한정하지 아니한다.
- [0134] 제2 발광 구조물(130) 상에 투광성 전극층(170)이 형성됨으로써, 전류 스프레딩이 개선될 수 있다. 따라서, 제2 발광 구조물(130)에 제공되는 전류가 고루 확산되어 제2 활성층(134)에서 전자와 정공 사이의 재결합율이 증가할 수 있다.
- [0135] 한편, 도 14 에 도시된 바와 같이 투광성 전극층(170)의 적어도 일 영역이 제거되어 제4 반도체층(136)이 노출되고 제4 반도체층(136)과 제2 전극(146)이 서로 접하게 형성될 수 있으며, 이에 한정하지 아니한다.
- [0136] 이때, 제4 반도체층(136)과 제2 전극(146)은 쇼트키 접합을 형성할 수 있다. 이때, 제2 전극(146)을 형성하는 금속 재질은 제4 반도체층(136)보다 높은 일함수를 가질 수 있다. 제4 반도체층(136)과 제2 전극(146)이 쇼트키 접합을 형성함에 따라서, 제2 전극(146)을 통해 공급되는 전류가 제2 전극(146) 하부에 집중되지 않고 투광성 전극층(170)을 통해 흐르게 되어 전류 스프레딩이 개선될 수 있다.
- [0137] 도 15 는 실시예에 따른 발광소자(100)의 단면도이다.
- [0138] 도 15 를 참조하면, 실시예에 따른 발광소자(100)는, 제1 반도체층(122), 제2 반도체층(126), 및 제1 및 제2 반도체층(122, 126) 사이에 형성되는 제1 활성층(124)을 포함하는 제1 발광 구조물(120)과, 제1 발광 구조물(120) 상에 형성되며 제3 반도체층(132), 제4 반도체층(136), 및 제3 및 제4 반도체층(132, 136) 사이에 형성되는 제2 활성층(134)을 포함하는 제2 발광 구조물(130)을 포함하며, 제2 발광 구조물(130) 상에 수개의 투광성 구조물(172), 및 투광성 구조물(172) 상에 투광성 전극층(170)이 형성될 수 있다.
- [0139] 투광성 구조물(172)은 투광성을 갖는 수개의 구조물이 제 4 반도체층(136) 상에 배열되게 형성될 수 있다. 투광성 구조물(172)은 예컨대 Al_2O_3 , SiO_2 , IZO, IZTO, IAZO, IGZO, IGTO, AZO, ATO 등의 재질을 포함할 수 있으며, 이에 한정하지 아니한다.
- [0140] 투광성 구조물(172)은, 예컨대 소정의 크기를 갖는 수개의 입자가 제4 반도체층(136) 상에 산포되거나, 또는 소정의 두께 및 거칠기를 갖는 층이 제4 반도체층(136) 상에 형성됨으로써 형성될 수 있으며, 이에 한정하지 아니한다. 한편, 투광성 구조물(172)은 소정의 패턴을 갖게 배치되거나, 또는 랜덤하게 산포될 수 있으며, 이에 한정하지 아니한다.
- [0141] 한편, 도 15 에 도시된 바와 같이 투광성 구조물(172) 상에 투광성 전극층(170)이 형성될 수 있다. 투광성 구조물(172) 상에 투광성 전극층(170)이 형성됨으로써 전류 스프레딩이 개선되고, 투광성 구조물(172)이 제4 반도체층(136)으로부터 이탈하거나 또는 투광성 구조물(172)이 손상되는 것이 방지될 수 있다.
- [0142] 제4 반도체층(136) 상에 수개의 투광성 구조물(172)이 형성됨으로써, 제4 반도체층(136) 상에는 소정의 거칠기를 갖는 제2 요철부(174)가 형성될 수 있다.
- [0143] 제2 요철부(174)는 규칙적인 형상 및 배열을 갖도록 형성될 수 있으며, 불규칙한 형상 및 배열을 갖도록 형성될 수도 있고, 이에 대해 한정하지는 않는다. 제2 요철부(174)는 평탄하지 않는 상면으로서, 랜덤한 형상의 수개의 요철이 배열되거나 소정의 패턴을 형성하여 텍스처(texture) 패턴, 요철 패턴, 평탄하지 않는 패턴(uneven pattern) 중 적어도 하나를 포함할 수 있고, 이에 한정하지 아니한다.
- [0144] 제2 요철부(174)는 측 단면이 원기둥, 다각기둥, 원뿔, 다각뿔, 원뿔대, 다각뿔대 등 다양한 형상을 갖도록 형성될 수 있으며, 바람직하게 뿔 형상을 포함한다.
- [0145] 제2 요철부(174)는 제1, 및 제2 활성층(124, 134)으로부터 생성된 빛이 제2 발광 구조물(130)의 상면에서 전반사되어 재흡수되거나 산란되는 것을 방지하는 광 추출 구조를 형성한다. 즉, 제2 요철부(174)는 제1, 및 제2 활

성층(124, 134)으로부터 생성된 빛이 제2 발광 구조물(130)의 상면에 입사할 때 임계각 이하의 입사각을 형성할 수 있다.

- [0146] 제2 요철부(174)가 제2 발광 구조물(130)의 상면에 형성됨에 따라서 제1, 및 제2 활성층(124, 134)으로부터 생성된 빛이 제2 발광 구조물(130)의 상면에서 에서 전반사되어 재흡수되거나 산란되는 것이 방지될 수 있으므로, 발광소자(100)의 광 추출 효율의 향상에 기여할 수 있다.
- [0147] 도 16 은 실시예에 따른 발광소자의 단면도이다.
- [0148] 도 16 을 참조하면, 실시예에 따른 발광소자(100)는, 제1 반도체층(122), 제2 반도체층(126), 및 제1 및 제2 반도체층(122, 126) 사이에 형성되는 제1 활성층(124)을 포함하는 제1 발광 구조물(120)과, 제1 발광 구조물(120) 상에 형성되며 제3 반도체층(132), 제4 반도체층(136), 및 제3 및 제4 반도체층(132, 136) 사이에 형성되는 제2 활성층(134)을 포함하는 제2 발광 구조물(130)을 포함하며, 제1 및 제2 발광 구조물(120, 130)은 각각 전자 제한층(EBL : Electron Blocking Layer)(128, 138)을 포함할 수 있다.
- [0149] 예컨대, 도 16 에 도시된 바와 같이 제1 발광 구조물(120)은 제1 전자 제한층(128)을 포함하며, 제2 발광 구조물(130)은 제2 전자 제한층(138)을 포함할 수 있다.
- [0150] 제1, 및 제2 전자 제한층(128, 138)은 제1 및 제2 활성층(124, 134)보다 상대적으로 큰 밴드갭을 가짐으로써, 제1 및 제3 반도체층(122, 132)으로부터 주입된 전자가 제1 및 제2 활성층(124, 134)에서 재결합되지 않고 제2, 및 제4 반도체층(126, 136)으로 주입되는 현상을 방지할 수 있다. 이에 따라 제1 및 제2 활성층(124, 134)에서 전자와 정공의 재결합 확률을 높이고 누설전류를 방지할 수 있다.
- [0151] 한편, 상술한 제1 및 제2 전자 제한층(128, 138)은 제1 및 제2 활성층(124, 134)에 포함된 장벽층의 밴드갭보다 큰 밴드갭을 가질 수 있으며, 예컨대 p 형 AlGaIn 과 같은 Al 을 포함한 반도체층으로 형성될 수 있고, 이에 한정하지 아니한다.
- [0152] 한편, 제1, 및 제2 전자 제한층(128,138)은 제1 반도체층(122)과 제2 반도체층(126) 사이, 및 제3 반도체층(132)과 제4 반도체층(136) 사이에 형성될 수 있다. 도 16 에서는 제2 반도체층(126)과 제1 활성층(124) 사이에 제1 전자 제한층(128)이 형성되며, 제4 반도체층(136)과 제2 활성층(134) 사이에 제2 전자 제한층(138)이 형성되었으나, 이에 한정하지 아니한다. 즉, 도 17 에 도시된 바와 같이 제1 반도체층(122)과 제1 활성층(124) 사이에 제1 전자 제한층(128)이 형성되며, 제3 반도체층(132)과 제2 활성층(134) 사이에 제2 전자 제한층(138)이 형성될 수 있으며, 이에 한정하지 아니한다.
- [0153] 도 18 은 실시예에 따른 발광소자의 단면도이며, 도 19 는 도 18 의 B 영역을 확대 도시한 확대 단면도이고, 도 20 및 도 21 은 실시예에 따른 발광소자의 에너지 밴드 다이어그램을 나타낸 도면이다.
- [0154] 도 18 을 참조하면, 발광소자(100)의 제2 활성층(134)은 다중 양자우물 구조를 가질 수 있다. 예컨대, 제2 활성층(134)은 제1 내지 제3 우물층(Q1, Q2, Q3) 및 제1 내지 제3 장벽층(B1, B2, B3)을 포함할 수 있다.
- [0155] 이하에서는 제2 활성층(134)의 다중 양자우물 구조에 관해 설명하나, 제1 활성층(124) 또한 다중 양자우물 구조를 가질 수 있으며, 하기 설명은 제1 활성층(124)에 대해서도 동일하다.
- [0156] 제1 내지 제3 우물층(Q1, Q2, Q3) 및 제1 내지 제3 장벽층(B1, B2, B3)은 도 21 에 도시된 바와 같이 서로 교대로 적층되는 구조를 가질 수 있다.
- [0157] 한편, 도 19 에서는 각각 제1 내지 제3 우물층(Q1, Q2, Q3) 및 제1 내지 제3 장벽층(B1, B2, B3)이 형성되고 제1 내지 제3 장벽층(B1, B2, B3)과 제1 내지 제3 우물층(Q1, Q2, Q3)이 교대로 적층되게 형성되도록 도시되었으나, 이에 한정하지 아니하며, 우물층(Q1, Q2, Q3) 및 장벽층(B1, B2, B3)은 임의의 수를 갖도록 형성될 수 있으며, 배치 또한 임의의 배치를 가질 수 있다. 아울러, 상술한 바와 같이 각각의 우물층(Q1, Q2, Q3), 및 각각의 장벽층(B1, B2, B3)을 형성하는 재료의 조성비 및 밴드갭, 및 두께는 서로 상이할 수 있으며, 도 19 에 도시된 바와 같이 한정하지 아니한다.
- [0158] 한편, 도 20 내지 도 21 을 참조하면, 제3 우물층(Q3)의 밴드갭은 제1 및 제2 우물층(Q1, Q2)의 밴드갭보다 크게 형성될 수 있다.
- [0159] 제2 활성층(134)에 정공을 제공하는 제4 반도체층(136)에 인접한 제3 우물층(Q3)의 밴드갭이 제1, 및 제2 우물층(Q1, Q2)의 밴드갭에 비해서 크게 형성됨에 따라서, 정공의 이동이 용이해질 수 있다. 이에 따라서, 제1, 및 제2 우물층(Q1, Q2)으로 정공이 주입되는 효율 및 전체적인 정공 주입 효율이 증대될 수 있다.

- [0160] 아울러, 제3 우물층(Q3)의 밴드갭은 제1 및 제2 우물층(Q1, Q2)보다 크고 장벽층(B1, B2, B3)보다 작으므로, 밴드갭이 큰 장벽층(B1, B2, B3) 및 제2 반도체층(126)과 밴드갭이 작은 우물층(Q1, Q2, Q3) 사이의 밴드갭 차이로 인한 층간 응력 발생을 완화시킴으로써, 발광소자(100)의 신뢰성을 더욱 향상시킬 수 있다.
- [0161] 한편, 상술한 바와 같이, 우물층(Q1, Q2, Q3)은 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 가질 수 있다. 우물층(Q1, Q2, Q3)의 In 함유량이 높을수록 밴드갭은 작아지며, 반대로 우물층(Q1, Q2, Q3)의 In 함유량이 작을수록 우물층(Q1, Q2, Q3)의 밴드갭은 커질 수 있다.
- [0162] 예컨대, 제3 우물층(Q3)의 In 함유량은 제1, 및 제2 우물층(Q1, Q2)의 In 함유량의 90% 내지 99% 일 수 있다. In 함유량이 90% 미만인 경우, 제3 우물층(Q3)의 밴드갭이 제1, 및 제2 우물층(Q1, Q2)의 격자상수 차이가 커져, 오히려 결정성이 저하된다. 또한, In 함유량이 99% 이상 인 경우에는 제1, 및 제2 우물층(Q1, Q2)과 큰 차이가 없어서, 정공 주입 및 결정성 향상에 큰 영향을 주지 못한다. 상기 비율은 몰비, 부피비, 질량비 중 어느 하나일 수 있으며, 이에 한정하지 아니한다.
- [0163] 한편, 반도체층에는 반도체층 간의 격자상수 차이 및 배향성에 의한 응력이 발생하여 생기는 압전분극 (piezoelectric polariziton)이 발생할 수 있다. 발광소자를 형성하는 반도체 재료는 큰 값의 압전계수를 가지므로 작은 변형(strain)에도 매우 큰 분극을 초래할 수 있다. 두 개의 분극으로 유발된 정전기장(electric field)은 양자우물 구조의 에너지 밴드 구조를 변화시켜 이에 따른 전자와 정공의 분포를 왜곡시키게 된다. 이러한 효과를 양자 구속 스타크 효과(quantum confined stark effect, QCSE)라고 하는데 이는 전자와 정공의 재결합으로 빛을 방생시키는 발광소자에 있어서 낮은 내부양자효율을 유발하고 발광 스펙트럼의 적색 편이(red shift) 등 발광소자의 전기적, 광학적 특성에 악영향을 끼칠 수 있다.
- [0164] 상술한 바와 같이, 우물층(Q1, Q2, Q3)은 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖고, 장벽층(B1, B2, B3)은 $In_aAl_bGa_{1-a-b}N$ ($0 \leq a \leq 1$, $0 \leq b \leq 1$, $0 \leq a+b \leq 1$)의 조성식을 가질 수 있다. InN의 격자상수가 GaN 보다 크고, 우물층(Q1, Q2, Q3)에 포함된 In 함유량이 커질수록 우물층(Q1, Q2, Q3)의 격자상수가 커져서 장벽층(B1, B2, B3)과 우물층(Q1, Q2, Q3) 사이의 격자상수 차이가 증가하고 따라서 층 간의 strain 이 더욱 크게 발생하게 된다. 이러한 strain 에 의해서 상술한 바와 같은 분극 효과가 더욱 증대되어 내부 전기장이 강화되고, 이에 따라서 밴드가 전기장에 따라서 휘어서 뾰족한 형태의 triangle potential 우물이 생기며, 이러한 triangle potential 우물에 전자나 홀이 집중되는 현상이 발생할 수 있다. 따라서 전자와 홀의 재결합율이 저하될 수 있다.
- [0165] 실시예에 따라서, 제3 우물층(Q3)의 In 함유량이 감소하여 격자상수가 작아짐에 따라서, 장벽층(B1, B2, B3)과 제3 우물층(Q3) 사이의 격자상수 차이가 작아질 수 있다. 따라서, 상술한 triangle potential 우물의 발생이 감소할 수 있으며, 따라서 전자와 홀의 재결합율이 증가할 수 있고, 발광소자(100)의 발광 효율이 개선될 수 있다.
- [0166] 아울러, 제4 반도체층(126)에 인접한 제3 우물층(Q3)의 밴드갭이 크게 형성되고, 높은 전위 장벽을 가짐으로써, 제2 반도체층(126)에서 제공되는 캐리어(예컨대 정공)에 대해서 저항성을 가짐으로써 정공의 경로 확산을 가져올 수 있다. 정공의 경로 확산을 통해 제2 활성층(134)의 면적에 걸쳐 더욱 넓은 범위에서 전자와 정공의 재결합이 발생하여 전자와 정공의 결합률을 향상시킬 수 있고, 따라서 발광소자(100)의 발광 효율이 향상될 수 있다.
- [0167] 한편, 반도체층이 성장되는 성장 기판(미도시)과 성장 기판(미도시)상에 형성되는 제1 발광 구조물(120)간의 격자 상수 차이에 기인하는 결정결함은 성장방향에 따라 증가하는 경향이 있으므로, 성장 기판(미도시)으로부터 가장 이격된 위치에 형성된 제4 반도체층(136)이 가장 큰 결정결함을 가질 수 있다. 정공이동도(hole mobility)가 전하이동도(electron mobility)보다 낮다는 사실을 감안하면, 제4 반도체층(136)의 결정성 저하로 인한 정공 주입효율의 저하는 발광소자(100)의 발광 효율을 저하시킬 수 있다.
- [0168] 그러나, 실시예와 같이 제2 활성층(134)의 제3 우물층(Q3)의 밴드갭이 크게 형성됨으로써 결정결함의 전파를 차단할 수 있으므로, 제4 반도체층(136)의 결정결함이 개선될 수 있고, 발광소자(100)의 발광 효율이 개선될 수 있다.
- [0169] 한편, 도 21 에 도시된 바와 같이, 제1 내지 제3 우물층(Q1, Q2, Q3)의 밴드갭은 순차적으로 크게 형성될 수 있다
- [0170] 즉, 제1 내지 제3 우물층(Q1, Q2, Q3)에 포함된 In의 함유량은 제1 우물층(Q1)에서 제3 우물층(Q3)으로 갈수록

순차적으로 적게 형성될 수 있다.

[0171] 정공을 주입하는 제4 반도체층(136)에 인접할수록 우물층(Q1, Q2, Q3)이 더욱 큰 밴드갭을 갖게 형성됨에 따라서, 제1 내지 제3 우물층(Q1, Q2, Q3)의 정공 주입 효율이 향상될 수 있으며, 따라서 발광소자(100)의 발광 효율이 개선될 수 있다.

[0172] 또한, 제1 우물층(Q1)으로부터 제3 우물층(Q3)으로 순차적으로 밴드갭이 커짐에 따라서, 우물층(Q1, Q2, Q3)과 장벽층(B1, B2, B3) 및 제3, 제4 반도체층(132, 134) 사이의 격자상수 차이가 완화되어 triangle potential 우물의 발생이 감소할 수 있고, 따라서 전자와 홀의 재결합율이 증가할 수 있고, 발광소자(100)의 발광 효율이 개선될 수 있다.

[0173] 한편, 제1 활성층(124)의 우물층(미도시)의 두께와, 제2 활성층(134)의 제1 내지 제3 우물층(Q1, Q2, Q3)의 두께 및 밴드갭 크기는 서로 상이할 수 있다.

[0174] 예컨대, 우물층내에서 발생하는 빛의 에너지 준위 공식은 하기와 같다.

$$E_n = \frac{n^2 \hbar^2 \pi^2}{2mL^2}$$

[0175] 이때, L 은 우물층의 두께(d1, d2)에 대응한다. 따라서, 제1 내지 제3 우물층(Q1, Q2, Q3)의 두께가 두꺼워질수록 제1 내지 제3 우물층(Q1, Q2, Q3)에서 발생하는 빛의 에너지 준위는 낮아지게 된다.

[0177] 제1 활성층(124)의 우물층(미도시)의 두께와, 제2 활성층의 제1 내지 제3 우물층(Q1, Q2, Q3)의 두께가 서로 상이하게 형성됨으로써, 제1 발광 구조물(120)과 제2 발광 구조물(130)이 서로 상이한 파장의 광을 생성할 수 있다. 예컨대, 제1 발광 구조물(120)은 청색광을 생성하고, 제2 발광 구조물(130)은 녹색광을 생성할 수 있다. 따라서, 발광소자(100)는 다색 발광이 가능하며, 다색광의 중첩을 통해 형광체(미도시)와 같은 별도의 광축매를 사용하지 않고 백색광과 같은 소정의 광을 생성할 수 있다.

[0178] 도 22 는 실시예에 따른 발광소자의 단면도이다.

[0179] 도를 참조하면, 전도성 기판(142)과 제1 발광 구조물(120) 사이에는 전류 제한층(180)(CBL : Current Blocking Layer)이 배치될 수 있다.

[0180] 전류 제한층(180)은 전기 절연성을 갖는 재질, 예컨대 전도성 기판(142)보다 전기 전도성이 낮은 재질, 및 제1 반도체층(122)과 쇼트키 접촉을 형성하는 재질 중 적어도 하나를 이용하여 형성될 수 있으며, 예를 들어, Si₃N₄, Al₂O₃, TiO_x, TiO₂, Ti, Al, Cr 중 적어도 하나를 포함할 수 있다.

[0181] 전도성 기판(142)과 제1 발광구조물(120) 사이에 전류 제한층(180)이 배치됨으로써, 전류 균집현상이 방지될 수 있다. 한편, 전류 제한층(180)은 복수개일 수 있으며, 전류 제한층(180) 중 적어도 하나는 제3 반도체층(132) 상에 형성될 수 있는 제1 전극(144)과 수직방향으로 적어도 일 영역이 중첩되게 배치될 수 있다.

[0182] 전류 제한층(180)은 예컨대 전도성 기판(142)의 적어도 일 영역에 홈을 형성하고 상기 홈 영역에 배치되게 형성될 수 있으며, 이에 한정하지 아니한다.

[0183] 도 23 은 실시예에 따른 발광소자의 단면도이다.

[0184] 도 23 을 참조하면, 발광 구조물(142)의 외측 영역과 전도성 기판(142) 사이에는 채널층(182)이 형성될 수 있다.

[0185] 채널층(182)은 발광 소자의 둘레 영역이 되는 채널 영역에 배치될 수 있다. 채널층(182)은 예컨대 전도성 기판(142)의 적어도 일 영역에 홈을 형성하고 상기 홈 영역에 배치될 수 있다.

[0186] 채널층(182)은 제1 반도체층(122)의 하면 둘레에 루프 형상, 고리 형상, 또는 프레임 형상의 패턴으로 형성될 수 있다. 채널층(182)은 연속적인 패턴, 또는 불연속적인 패턴 형상을 포함할 수 있으며, 또는 제조 과정에서 채널 영역으로 조사되는 레이저의 경로 상에 형성될 수 있다.

[0187] 채널층(182)은 산화물, 질화물, 또는 절연층의 재질 중에서 선택될 수 있으며, 예컨대 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), SiO₂, SiO_x, SiO_xN_y, Si₃N₄, Al₂O₃, TiO₂ 등에서 선택적으로 형성될 수 있

다.

- [0188] 채널층(182)은 발광소자(100)를 소정의 방법으로 분리하는 경우 제1 및 제2 발광 구조물(120, 130)이 손상되는 것을 방지할 수 있다. 예컨대, 채널층(182)은 전도성 기판(142)을 각각의 소자단위로 분리하는 경우 제1 및 제2 발광 구조물(120, 130)이 손상되는 것을 방지할 수 있다.
- [0189] 도 24 및 도 25 는 실시예에 따른 발광소자(100)를 포함한 조명 시스템(200)의 회로도를 나타낸 개념도이다.
- [0190] 도 24 및 도 25 를 참조하면, 실시예에 따른 발광소자(100)를 포함한 조명 시스템(200)은 적어도 하나의 발광소자(100)를 포함하며, 각각의 발광소자(100)가 직렬 연결되게 구성될 수 있다.
- [0191] 각각의 발광소자(100)는 기판(미도시) 상에 소정의 회로 패턴을 통해 연결되어 발광소자 어레이를 형성할 수 있다. 이때, 발광소자(100)는 예컨대 후술하는 발광소자 패키지(500)에 실장되고 상기 발광소자 패키지(500)가 기판(미도시) 상에 실장되게 구성되거나, 또는 기판(미도시) 상에 발광소자(100)가 실장되는 (COB : Chip on Board) 형태로 구성될 수 있으며, 이에 한정하지 아니한다.
- [0192] 아울러, 실시예에 따른 발광소자(100)를 포함한 조명 시스템(200)은 예컨대 램프, 가로등, 백라이트 유닛 등과 같은 조명 장치를 포함할 수 있으며, 이에 한정하지 아니한다.
- [0193] 실시예에 따른 발광소자(100)는 AC 전원의 역전압 및 정전압 phase 에서 각각 광을 생성할 수 있는 제1 발광 구조물(120) 및 제2 발광 구조물(130)을 포함하므로, 실시예에 따른 조명 시스템(200)에 AC 전원이 연결된 경우, 발광소자(100)는 역전압 및 정전압 phase 모두에 대해 발광할 수 있으므로, 역전압 인가와 정전압 인가의 phase 전환에 따른 조명 시스템(200)의 깜박임 현상이 방지될 수 있다.
- [0194] 또한, 각각의 발광소자(100)는 역전압 및 정전압 phase 에서 모두 구동할 수 있고, 각각의 경우에 해당하는 전류 패스가 형성되므로, 예컨대 도 24 및 도 25 에 도시된 바와 같이 수개의 발광소자(100)가 AC 전원에 대해 직렬 연결되게 구성될 수 있다. 따라서, 수개의 발광소자(100)의 연결이 용이해지며 조명 시스템(200)의 출력 향상 및 출력 조절이 가능해질 수 있다.
- [0195] 도 26 내지 도 28 을 실시예에 따른 발광소자 패키지를 나타낸 사시도 및 단면도이다.
- [0196] 도 26 내지 도 28 을 참조하면, 발광소자 패키지(500)는 캐비티(520)가 형성된 몸체(510), 몸체(510)에 실장되는 제1 및 제2 리드 프레임(540, 550)과, 제1 및 제2 리드 프레임(540, 550)과 전기적으로 연결되는 발광소자(530), 및 발광소자(530)를 덮도록 캐비티(520)에 충전되는 수지층(미도시)를 포함할 수 있다.
- [0197] 몸체(510)는 폴리프탈아미드(PPA:Polyphthalamide)와 같은 수지 재질, 실리콘(Si), 알루미늄(Al), 알루미늄 나이트라이드(AlN), 액정폴리머(PSG, photo sensitive glass), 폴리아미드9T(PA9T), 신지오택틱폴리스티렌(PPS), 금속 재질, 사파이어(Al₂O₃), 베릴륨 옥사이드(BeO), 인쇄회로기판(PCB, Printed Circuit Board) 중 적어도 하나로 형성될 수 있다. 몸체(510)는 사출 성형, 예칭 공정 등에 의해 형성될 수 있으나 이에 대해 한정하지는 않는다.
- [0198] 몸체(510)의 내면은 경사면이 형성될 수 있다. 이러한 경사면의 각도에 따라 발광소자(530)에서 방출되는 광의 반사각이 달라질 수 있으며, 이에 따라 외부로 방출되는 광의 지향각을 조절할 수 있다.
- [0199] 광의 지향각이 줄어들수록 발광소자(530)에서 외부로 방출되는 광의 집중성은 증가하고, 반대로 광의 지향각이 클수록 발광소자(530)에서 외부로 방출되는 광의 집중성은 감소한다.
- [0200] 한편, 몸체(510)에 형성되는 캐비티(520)를 위에서 바라본 형상은 원형, 사각형, 다각형, 타원형 등의 형상일 수 있으며, 모서리가 곡선인 형상일 수도 있으나 이에 한정되는 것은 아니다.
- [0201] 발광소자(530)는 제1 리드 프레임(540) 상에 실장되며, 예를 들어, 적색, 녹색, 청색, 백색 등의 빛을 방출하는 발광소자 또는 자외선을 방출하는 UV(Ultra Violet) 발광소자일 수 있으나, 이에 대해 한정하지는 않는다. 또한, 발광소자(530)는 한 개 이상 실장될 수 있다.
- [0202] 또한, 발광소자(530)는 그 전기 단자들이 모두 상부 면에 형성된 수평형 타입(Horizontal type)이거나, 또는 상, 하부 면에 형성된 수직형 타입(Vertical type), 또는 플립 칩(flip chip) 모두에 적용 가능하다.
- [0203] 한편, 실시예에 따른 발광소자(530)는 제1 및 제2 발광 구조물(미도시)을 포함하며, 제1 및 제2 발광 구조물(미도시)은 각각 역방향 바이어스 및 순방향 바이어스에서 구동할 수 있다. 따라서, 실시예에 따른 발광소자 패키지(500)는 교류 전원에서 역방향 바이어스 및 순방향 바이어스에서 모두 발광할 수 있으므로, 발광 효율이 개선

될 수 있다.

- [0204] 아울러, 교류 전원에서 별도의 ESD 소자가 필요하지 않으므로, 발광소자 패키지(500) 내에 ESD 소자에 의한 광 손실이 방지될 수 있다.
- [0205] 수지층(미도시)은 발광소자(530)를 덮도록 캐비티(520)에 충전될 수 있다.
- [0206] 수지층(미도시)은 실리콘, 에폭시, 및 기타 수지 재질로 형성될 수 있으며, 캐비티(520) 내에 충전한 후, 이를 자외선 또는 열 경화하는 방식으로 형성될 수 있다.
- [0207] 또한 수지층(미도시)은 형광체를 포함할 수 있으며, 형광체는 발광소자(530)에서 방출되는 광의 파장에 종류가 선택되어 발광소자 패키지(500)가 백색광을 구현하도록 할 수 있다.
- [0208] 이러한 형광체는 발광소자(530)에서 방출되는 광의 파장에 따라 청색 발광 형광체, 청록색 발광 형광체, 녹색 발광 형광체, 황녹색 발광 형광체, 황색 발광 형광체, 황적색 발광 형광체, 오렌지색 발광 형광체, 및 적색 발광 형광체중 하나가 적용될 수 있다.
- [0209] 즉, 형광체는 발광소자(530)에서 방출되는 제1 빛을 가지는 광에 의해 여기 되어 제2 빛을 생성할 수 있다. 예를 들어, 발광소자(530)가 청색 발광 다이오드이고 형광체가 황색 형광체인 경우, 황색 형광체는 청색 빛에 의해 여기되어 황색 빛을 방출할 수 있으며, 청색 발광 다이오드에서 발생한 청색 빛 및 청색 빛에 의해 여기 되어 발생한 황색 빛이 혼색됨에 따라 발광소자 패키지(500)는 백색 빛을 제공할 수 있다.
- [0210] 이와 유사하게, 발광소자(530)가 녹색 발광 다이오드인 경우는 magenta 형광체 또는 청색과 적색의 형광체를 혼용하는 경우, 발광소자(530)가 적색 발광 다이오드인 경우는 Cyan형광체 또는 청색과 녹색 형광체를 혼용하는 경우를 예로 들 수 있다.
- [0211] 이러한 형광체는 YAG계, TAG계, 황화물계, 실리케이트계, 알루미늄네이트계, 질화물계, 카바이드계, 니트리도실리케이트계, 붕산염계, 불화물계, 인산염계 등의 공지된 형광체일 수 있다.
- [0212] 제1 및 제2 리드 프레임(540, 550)은 금속 재질, 예를 들어, 티타늄(Ti), 구리(Cu), 니켈(Ni), 금(Au), 크롬(Cr), 탄탈륨(Ta), 백금(Pt), 주석(Sn), 은(Ag), 인(P), 알루미늄(Al), 인듐(In), 팔라듐(Pd), 코발트(Co), 실리콘(Si), 게르마늄(Ge), 하프늄(Hf), 루테튬(Ru), 철(Fe) 중에서 하나 이상의 물질 또는 합금을 포함할 수 있다. 또한, 제1 및 제2 리드 프레임(540, 550)은 단층 또는 다층 구조를 가지도록 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [0213] 제1 제2 리드 프레임(540, 550)은 서로 이격되어 서로 전기적으로 분리된다. 발광소자(530)는 제1 및 제2 리드 프레임(540, 550)상에 실장되며, 제1 및 제2 리드 프레임(540, 550)은 발광소자(530)와 직접 접촉하거나 또는 솔더링 부재(미도시)와 같은 전도성을 갖는 재료를 통해서 전기적으로 연결될 수 있다. 또한, 발광소자(530)는 와이어 본딩을 통해 제1 및 제2 리드 프레임(540, 550)과 전기적으로 연결될 수 있으며, 이에 한정하지 아니한다. 따라서 제1 및 제2 리드 프레임(540, 550)에 전원이 연결되면 발광소자(530)에 전원이 인가될 수 있다. 한편, 수개의 리드 프레임(미도시)이 몸체(510)내에 실장되고 각각의 리드 프레임(미도시)이 발광소자(530)와 전기적으로 연결될 수 있으며, 이에 한정하지 아니한다.
- [0214] 한편, 도 28 을 참조하면, 실시예에 따른 발광소자 패키지(500)는 광학 시트(580)를 포함할 수 있으며, 광학 시트(580)는 베이스부(582) 및 프리즘 패턴(584)을 포함할 수 있다.
- [0215] 베이스부(582)는 프리즘 패턴(584)를 형성하기 위한 지지체로서 열적 안정성이 우수하고 투명한 재질로 이루어진 것으로, 예를 들어 폴리에틸렌테레프탈레이트, 폴리카보네이트, 폴리프로필렌, 폴리에틸렌, 폴리스틸렌, 및 폴리에폭시로 이루어진 군에서 선택된 어느 하나로 이루어질 수 있으나 이에 한정하지 않는다.
- [0216] 또한, 베이스부(582)는 형광체(미도시)를 포함할 수 있다. 일 예로 베이스부(582)를 형성하는 재질에 형광체(미도시)를 골고루 분산시킨 상태에서 이를 경화하여 베이스부(582)를 형성할 수 있다. 이와 같이 베이스부(582)를 형성하는 경우는 형광체(미도시)는 베이스부(582) 전체에 균일하게 분포될 수 있다.
- [0217] 한편, 베이스부(582) 상에는 광을 굴절하고, 집광하는 입체 형상의 프리즘 패턴(584)이 형성될 수 있다. 프리즘 패턴(584)을 구성하는 물질은 아크릴 레진일 수 있으나, 이에 한정되지 않는다.
- [0218] 프리즘 패턴(584)은 베이스부(582)의 일 면에서 일 방향을 따라 상호 인접하여 평행하게 배열된 복수의 선형 프리즘을 포함하며, 선형 프리즘의 축 방향에 대한 수직 단면은 삼각형일 수 있다.

- [0219] 프리즘 패턴(584)은 광을 집광하는 효과가 있기 때문에, 발광소자 패키지(500)에 광학 시트(580)를 부착하는 경우는 광의 직진성이 향상되어 발광소자 패키지(500)의 광의 휘도가 향상될 수 있다.
- [0220] 한편, 프리즘 패턴(584)에는 형광체(미도시)가 포함될 수 있다.
- [0221] 형광체(미도시)는 분산된 상태로 프리즘 패턴(584)을 형성하는, 예를 들면 아크릴 레진과 혼합하여 페이스트 또는 슬러리 상태로 만든 후, 프리즘 패턴(584)을 형성함으로써 프리즘 패턴(584) 내에 균일하게 포함될 수 있다.
- [0222] 이와 같이 프리즘 패턴(584)에 형광체(미도시)가 포함되는 경우는 발광소자 패키지(500)의 광의 균일도 및 분포도가 향상되는 물론, 프리즘 패턴(584)에 의한 광의 집광효과 외에 형광체(미도시)에 의한 광의 분산효과가 있기 때문에 발광소자 패키지(500)의 지향각을 향상시킬 수 있다.
- [0223] 실시 예에 따른 발광소자 패키지(500)는 복수개가 기판 상에 어레이되며, 발광소자 패키지(500)의 광 경로 상에 광학 부재인 도광판, 프리즘 시트, 확산 시트 등이 배치될 수 있다. 이러한 발광소자 패키지, 기판, 광학 부재는 라이트 유닛으로 기능할 수 있다. 또 다른 실시 예는 상술한 실시 예들에 기재된 발광소자 또는 발광소자 패키지를 포함하는 표시 장치, 지시 장치, 조명 시스템으로 구현될 수 있으며, 예를 들어, 조명 시스템은 램프, 가로등을 포함할 수 있다.
- [0224] 도 29 는 실시예에 따른 발광소자 패키지를 포함하는 조명장치를 도시한 사시도이며, 도 30 은 도 29 의 조명장치의 C-C' 단면을 도시한 단면도이다.
- [0225] 도 29 및 도 30 을 참조하면, 조명장치(600)는 몸체(610), 몸체(610)와 체결되는 커버(630) 및 몸체(610)의 양단에 위치하는 마감캡(650)을 포함할 수 있다.
- [0226] 몸체(610)의 하부면에는 발광소자 모듈(640)이 체결되며, 몸체(610)는 발광소자 패키지(644)에서 발생한 열이 몸체(610)의 상부면을 통해 외부로 방출할 수 있도록 전도성 및 열발산 효과가 우수한 금속재질로 형성될 수 있다.
- [0227] 발광소자 패키지(644)는 PCB(642) 상에 다색, 다열로 실장되어 어레이를 이룰 수 있으며, 동일한 간격으로 실장되거나 또는 필요에 따라서 다양한 이격 거리를 가지고 실장될 수 있어 밝기 등을 조절할 수 있다. 이러한 PCB(642)로 MPPCB(Metal Core PCB) 또는 FR4 재질의 PCB 등을 사용할 수 있다.
- [0228] 한편, 실시예에 따른 발광소자 패키지(644)는 발광소자(미도시)를 포함하며, 발광소자(미도시)는 제1 및 제2 발광 구조물(미도시)을 포함하고, 제1 및 제2 발광 구조물(미도시)은 각각 역방향 바이어스 및 순방향 바이어스에서 구동할 수 있다. 따라서, 실시예에 따른 조명장치(600)는 교류 전원에서 역방향 바이어스 및 순방향 바이어스에서 모두 발광할 수 있으므로, 깜박임 현상이 해소되고 발광 효율이 개선될 수 있다.
- [0229] 커버(630)는 몸체(610)의 하부면을 감싸도록 원형의 형태로 형성될 수 있으나, 이에 한정되지 않음은 물론이다.
- [0230] 커버(630)는 내부의 발광소자 모듈(640)을 외부의 이물질 등으로부터 보호한다. 또한, 커버(630)는 발광소자 패키지(644)에서 발생한 광의 눈부심을 방지하고, 외부로 광을 균일하게 방출할 수 있도록 확산입자를 포함할 수 있으며, 또한 커버(630)의 내면 및 외면 중 적어도 어느 한 면에는 프리즘 패턴 등이 형성될 수 있다. 또한 커버(630)의 내면 및 외면 중 적어도 어느 한 면에는 형광체가 도포될 수도 있다.
- [0231] 한편, 발광소자 패키지(644)에서 발생한 광은 커버(630)를 통해 외부로 방출되므로 커버(630)는 광 투과율이 우수하여야 하며, 발광소자 패키지(644)에서 발생한 열에 견딜 수 있도록 충분한 내열성을 구비하고 있어야 하는 바, 커버(630)는 폴리에틸렌 테레프탈레이트(Polyethylen Terephthalate; PET), 폴리카보네이트(Polycarbonate; PC) 또는 폴리메틸 메타크릴레이트(Polymethyl Methacrylate; PMMA) 등을 포함하는 재질로 형성되는 것이 바람직하다.
- [0232] 마감캡(650)은 몸체(610)의 양단에 위치하며 전원장치(미도시)를 밀폐하는 용도로 사용될 수 있다. 또한 마감캡(650)에는 전원핀(652)이 형성되어 있어, 실시예에 따른 조명장치(600)는 기존의 형광등을 제거한 단자에 별도의 장치 없이 곧바로 사용할 수 있게 된다.
- [0233] 도 31 은 실시예에 따른 발광소자를 포함하는 액정표시장치의 분해 사시도이다.
- [0234] 도 31 은 에지-라이트 방식으로, 액정표시장치(700)는 액정표시패널(710)과 액정표시패널(710)로 빛을 제공하기 위한 백라이트 유닛(770)을 포함할 수 있다.
- [0235] 액정표시패널(710)은 백라이트 유닛(770)으로부터 제공되는 광을 이용하여 화상을 표시할 수 있다. 액정표시패

널(710)은 액정을 사이에 두고 서로 대향하는 컬러 필터 기관(712) 및 박막 트랜지스터 기관(714)을 포함할 수 있다.

- [0236] 컬러 필터 기관(712)은 액정표시패널(710)을 통해 디스플레이되는 화상의 색을 구현할 수 있다.
- [0237] 박막 트랜지스터 기관(714)은 구동 필름(717)을 통해 다수의 회로부품이 실장되는 인쇄회로 기관(718)과 전기적으로 접속되어 있다. 박막 트랜지스터 기관(714)은 인쇄회로 기관(718)으로부터 제공되는 구동 신호에 응답하여 인쇄회로 기관(718)으로부터 제공되는 구동 전압을 액정에 인가할 수 있다.
- [0238] 박막 트랜지스터 기관(714)은 유리나 플라스틱 등과 같은 투명한 재질의 다른 기관상에 박막으로 형성된 박막 트랜지스터 및 화소 전극을 포함할 수 있다.
- [0239] 백라이트 유닛(770)은 빛을 출력하는 발광소자 모듈(720), 발광소자 모듈(720)로부터 제공되는 빛을 면광원 형태로 변경시켜 액정표시패널(710)로 제공하는 도광판(730), 도광판(730)으로부터 제공된 빛의 휘도 분포를 균일하게 하고 수직 입사성을 향상시키는 다수의 필름(752, 766, 764) 및 도광판(730)의 후방으로 방출되는 빛을 도광판(730)으로 반사시키는 반사 시트(740)로 구성된다.
- [0240] 발광소자 모듈(720)은 복수의 발광소자 패키지(724)와 복수의 발광소자 패키지(724)가 실장되어 어레이를 이룰 수 있도록 PCB기관(722)을 포함할 수 있다.
- [0241] 한편, 실시예에 따른 백라이트 유닛(770)은 발광소자(미도시)를 포함하며, 발광소자(미도시)는 제1 및 제2 발광 구조물(미도시)을 포함하고, 제1 및 제2 발광 구조물(미도시)은 각각 역방향 바이어스 및 순방향 바이어스에서 구동할 수 있다. 따라서, 실시예에 따른 백라이트 유닛(770)은 교류 전원에서 역방향 바이어스 및 순방향 바이어스에서 모두 발광할 수 있으므로, 깜박임 현상이 해소되고 발광 효율이 개선될 수 있다.
- [0242] 한편, 백라이트 유닛(770)은 도광판(730)으로부터 입사되는 빛을 액정 표시 패널(710) 방향으로 확산시키는 확산필름(766)과, 확산된 빛을 집광하여 수직 입사성을 향상시키는 프리즘필름(750)으로 구성될 수 있으며, 프리즘필름(750)을 보호하기 위한 보호필름(764)을 포함할 수 있다.
- [0243] 도 32 는 실시예에 따른 발광소자를 포함하는 액정표시장치의 분해 사시도이다. 다만, 도 31 에서 도시하고 설명한 부분에 대해서는 반복하여 상세히 설명하지 않는다.
- [0244] 도 32 는 직하 방식으로, 액정표시장치(800)는 액정표시패널(810)과 액정표시패널(810)로 빛을 제공하기 위한 백라이트 유닛(870)을 포함할 수 있다.
- [0245] 액정표시패널(810)은 도 31 에서 설명한 바와 동일하므로, 상세한 설명은 생략한다.
- [0246] 백라이트 유닛(870)은 복수의 발광소자 모듈(823), 반사시트(824), 발광소자 모듈(823)과 반사시트(824)가 수납되는 하부 캐시(830), 발광소자 모듈(823)의 상부에 배치되는 확산판(840) 및 다수의 광학필름(860)을 포함할 수 있다.
- [0247] 발광소자 모듈(823) 복수의 발광소자 패키지(822)와 복수의 발광소자 패키지(822)가 실장되어 어레이를 이룰 수 있도록 PCB기관(821)을 포함할 수 있다.
- [0248] 한편, 실시예에 따른 백라이트 유닛(870)은 발광소자(미도시)를 포함하며, 발광소자(미도시)는 제1 및 제2 발광 구조물(미도시)을 포함하고, 제1 및 제2 발광 구조물(미도시)은 각각 역방향 바이어스 및 순방향 바이어스에서 구동할 수 있다. 따라서, 실시예에 따른 백라이트 유닛(870)은 교류 전원에서 역방향 바이어스 및 순방향 바이어스에서 모두 발광할 수 있으므로, 깜박임 현상이 해소되고 발광 효율이 개선될 수 있다.
- [0249] 반사 시트(824)는 발광소자 패키지(822)에서 발생한 빛을 액정표시패널(810)이 위치한 방향으로 반사시켜 빛의 이용 효율을 향상시킨다.
- [0250] 한편, 발광소자 모듈(823)에서 발생한 빛은 확산판(840)에 입사하며, 확산판(840)의 상부에는 광학 필름(860)이 배치된다. 광학 필름(860)은 확산 필름(866), 프리즘필름(850) 및 보호필름(864)를 포함하여 구성될 수 있다.
- [0251] 한편, 실시예에 따른 발광소자는 상기한 바와 같이 설명된 실시예들의 구성과 방법이 한정되게 적용될 수 있는 것이 아니라, 상기 실시예들은 다양한 변형이 이루어질 수 있도록 각 실시예들의 전부 또는 일부가 선택적으로 조합되어 구성될 수도 있다.
- [0252] 또한, 이상에서는 바람직한 실시예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특정의 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의

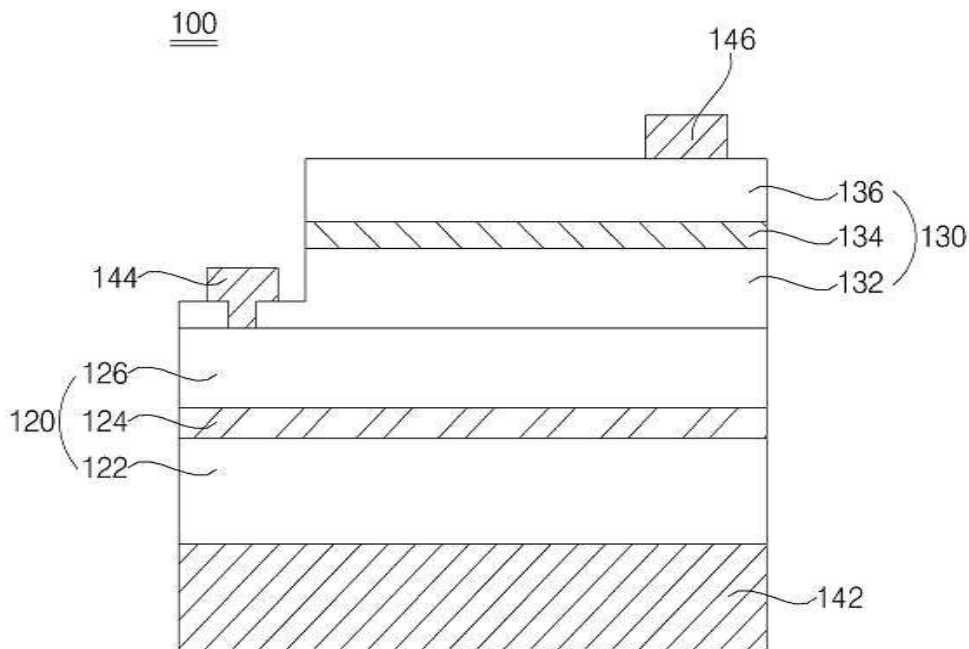
지식을 가진자에 의해 다양한 변형실시가 가능한 것은 물론이고, 이러한 변형실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어져서는 안될 것이다.

부호의 설명

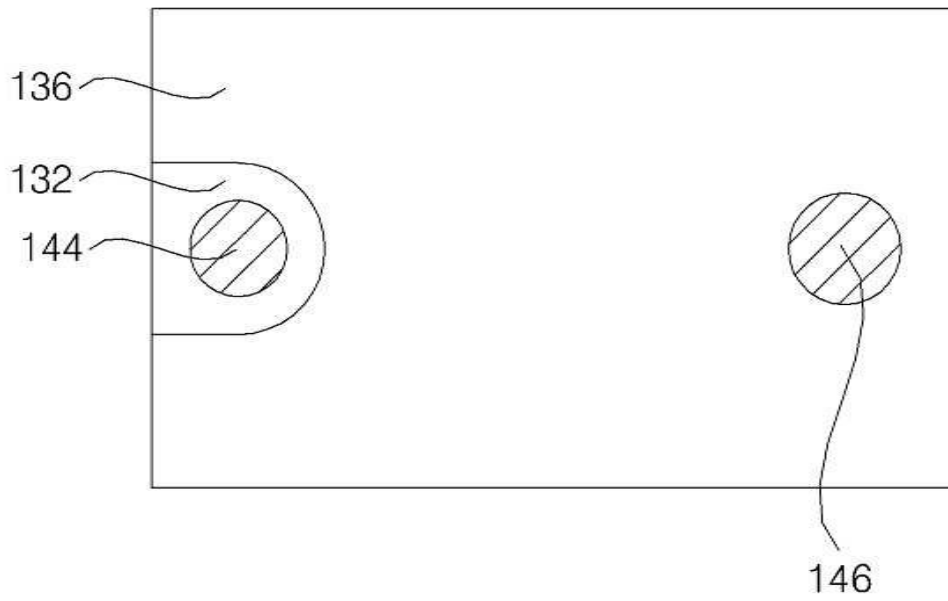
- | | | |
|--------|---------------|-----------------|
| [0253] | 100 : 발광소자 | 120 : 제1 발광 구조물 |
| | 122 : 제1 반도체층 | 124 : 제1 활성층 |
| | 126 : 제2 반도체층 | 130 : 제2 발광 구조물 |
| | 132 : 제3 반도체층 | 134 : 제2 활성층 |
| | 136 : 제4 반도체층 | 142 : 전도성 기판 |
| | 144 : 제1 전극 | 146 : 제2 전극 |

도면

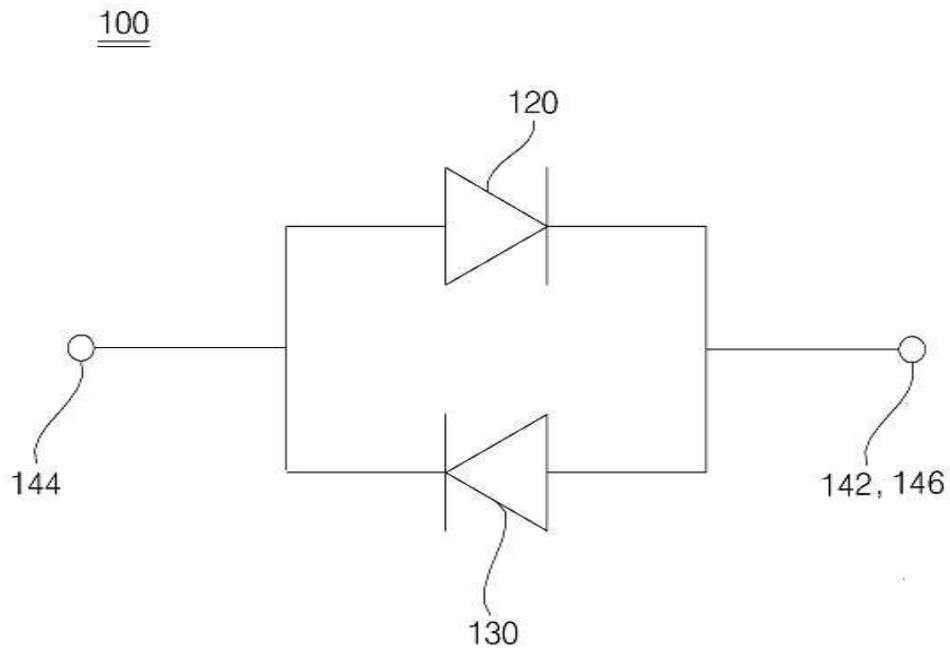
도면1



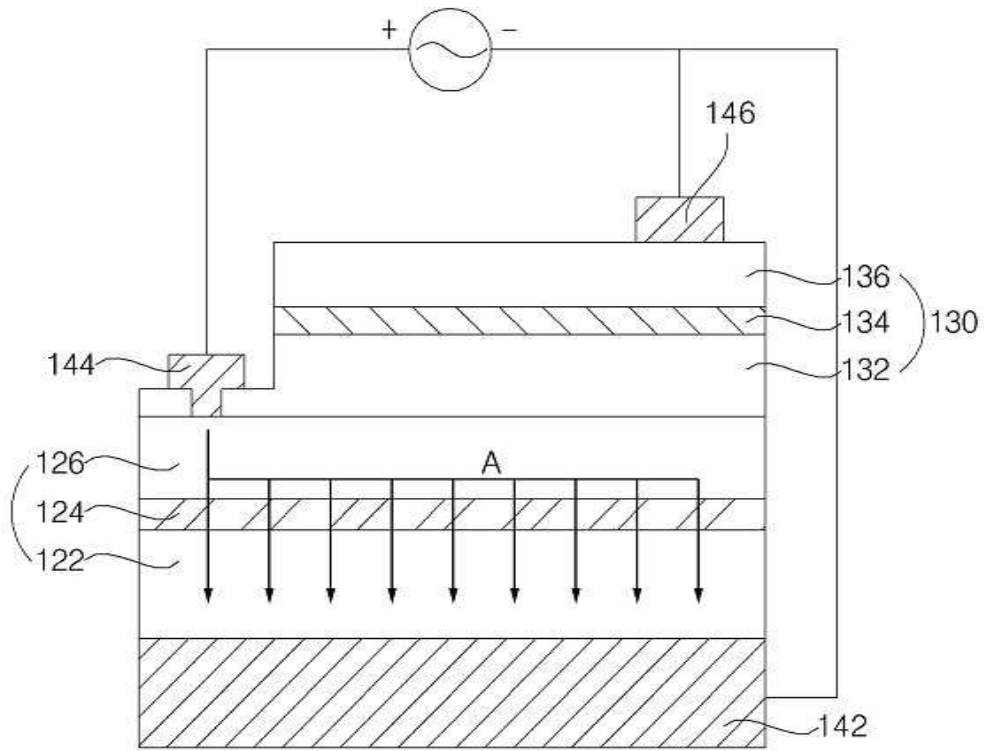
도면2



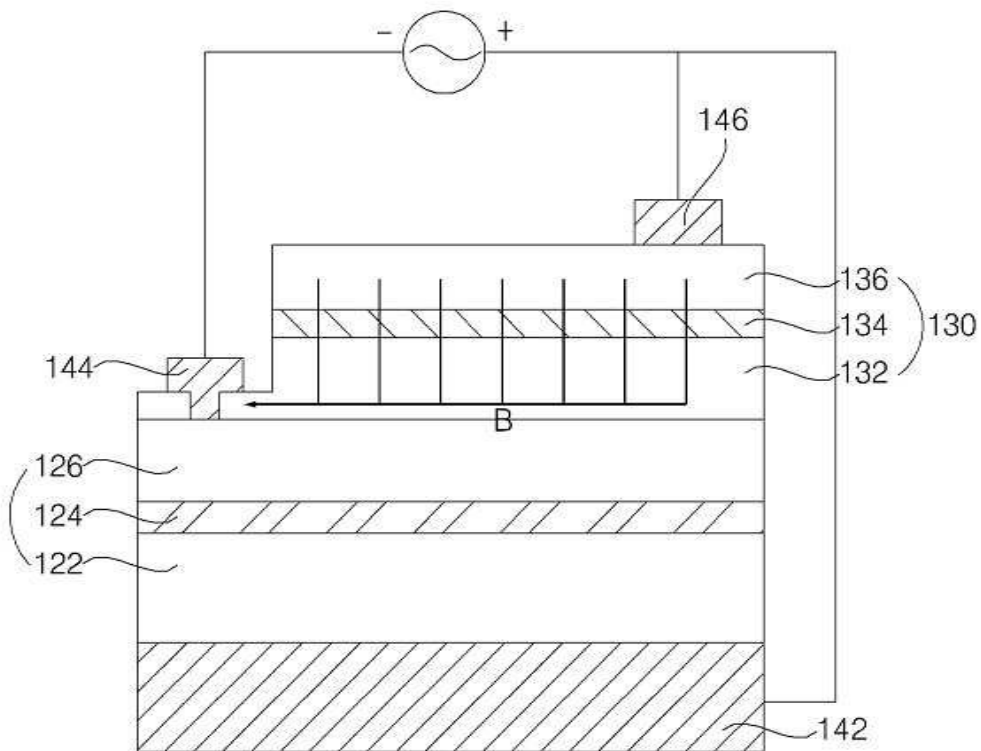
도면3



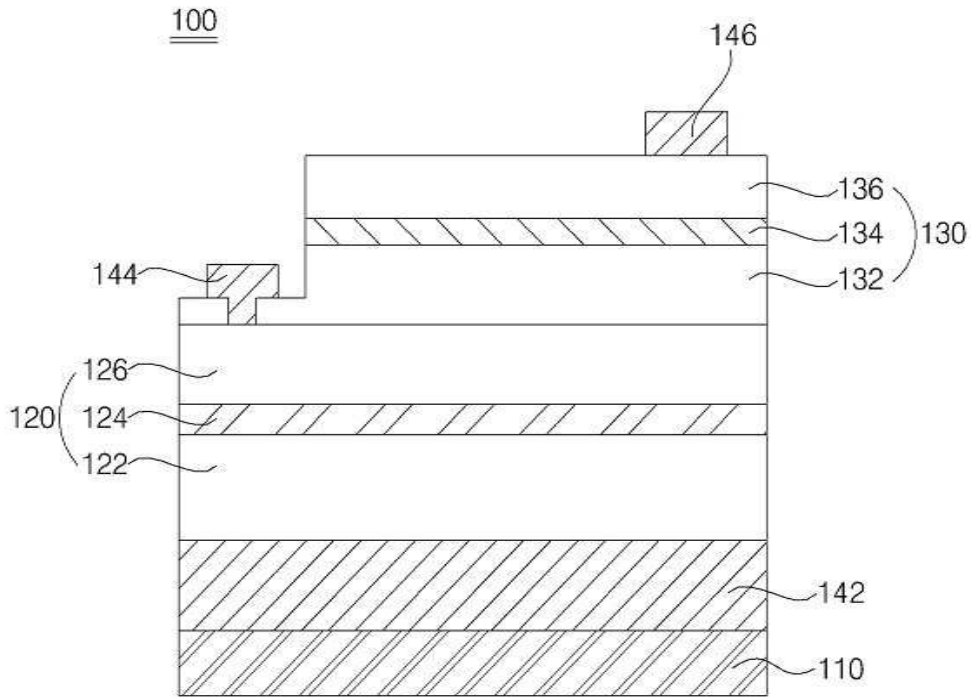
도면4



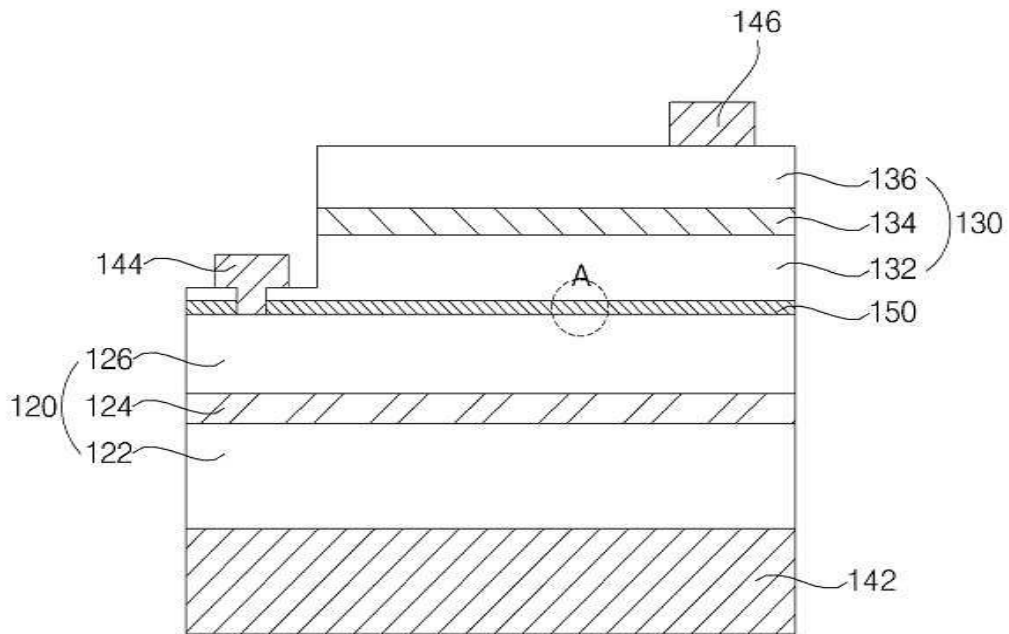
도면5



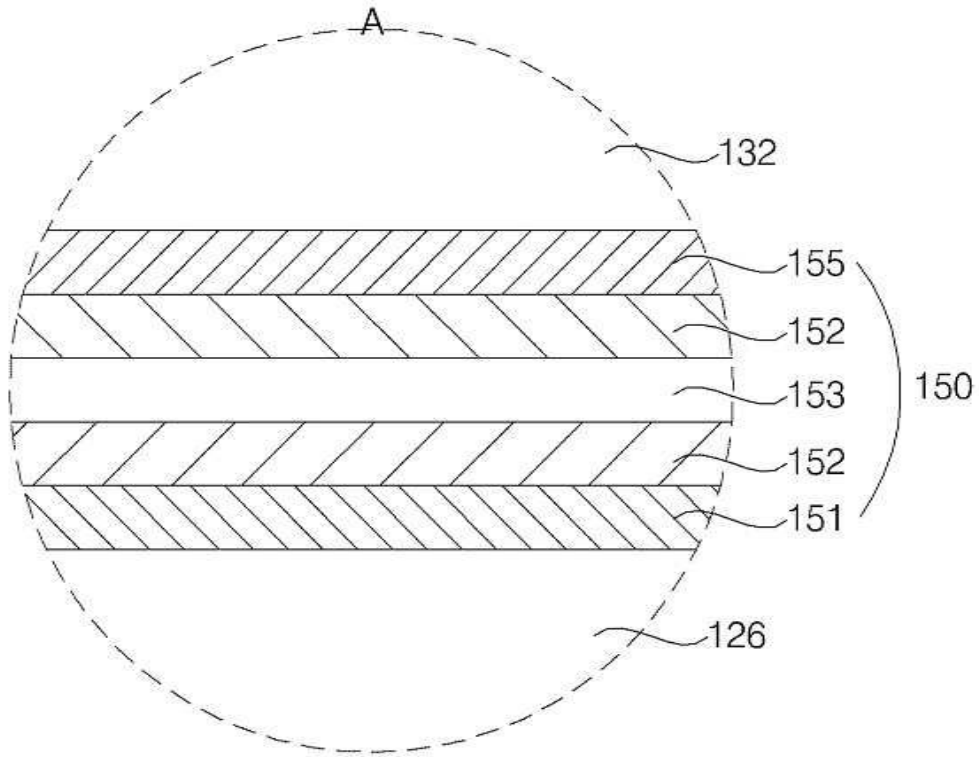
도면6



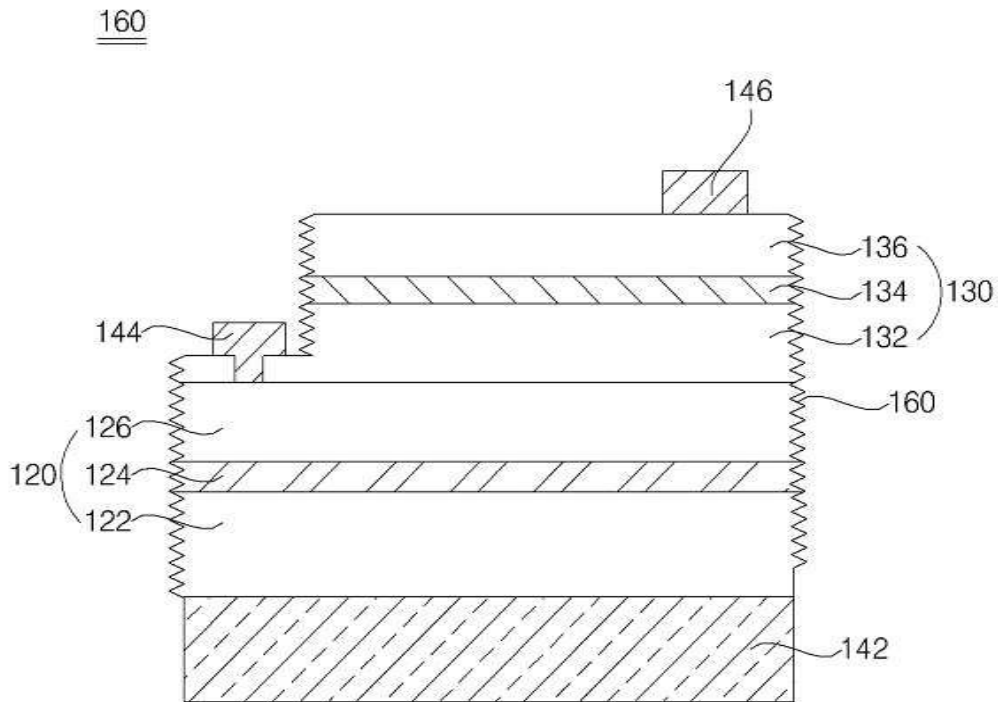
도면7



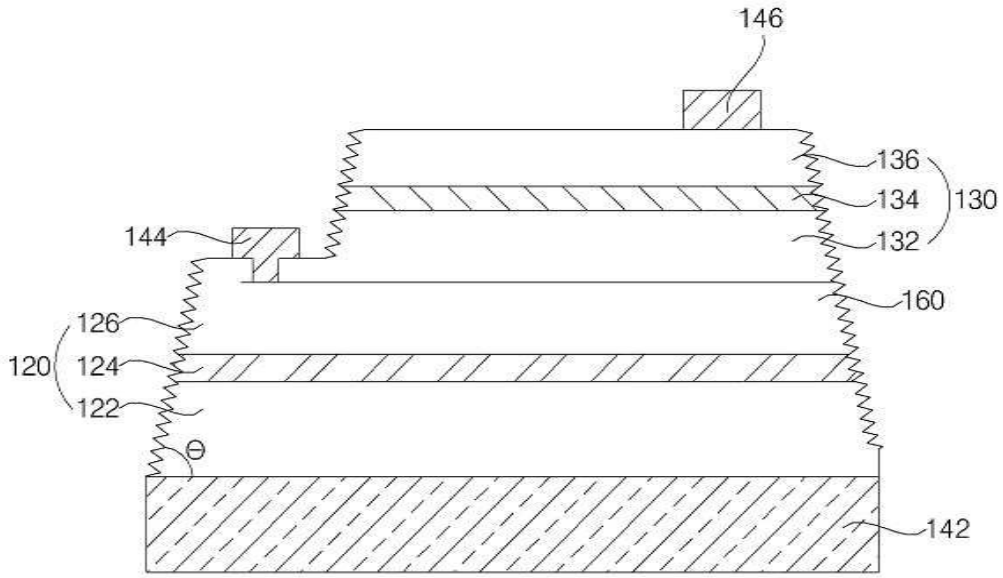
도면8



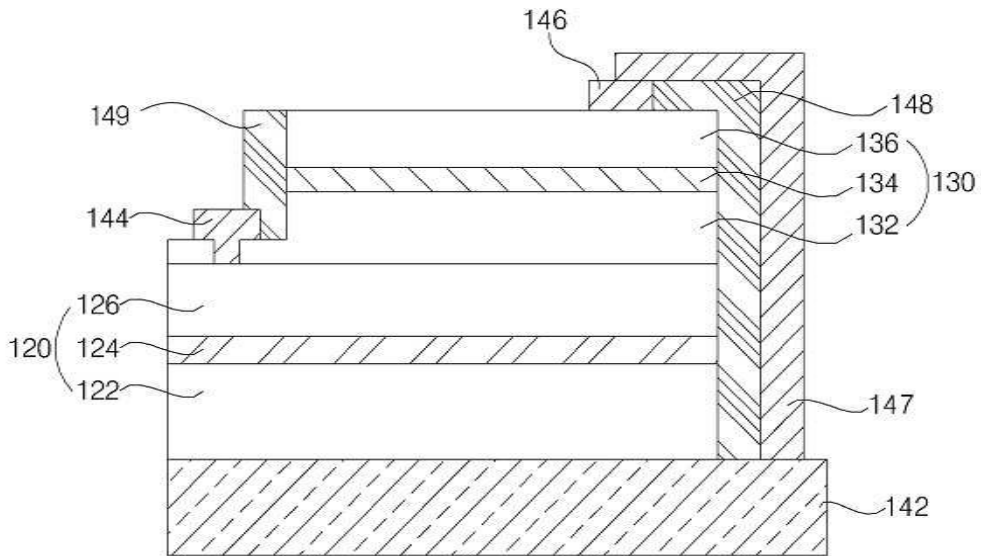
도면9



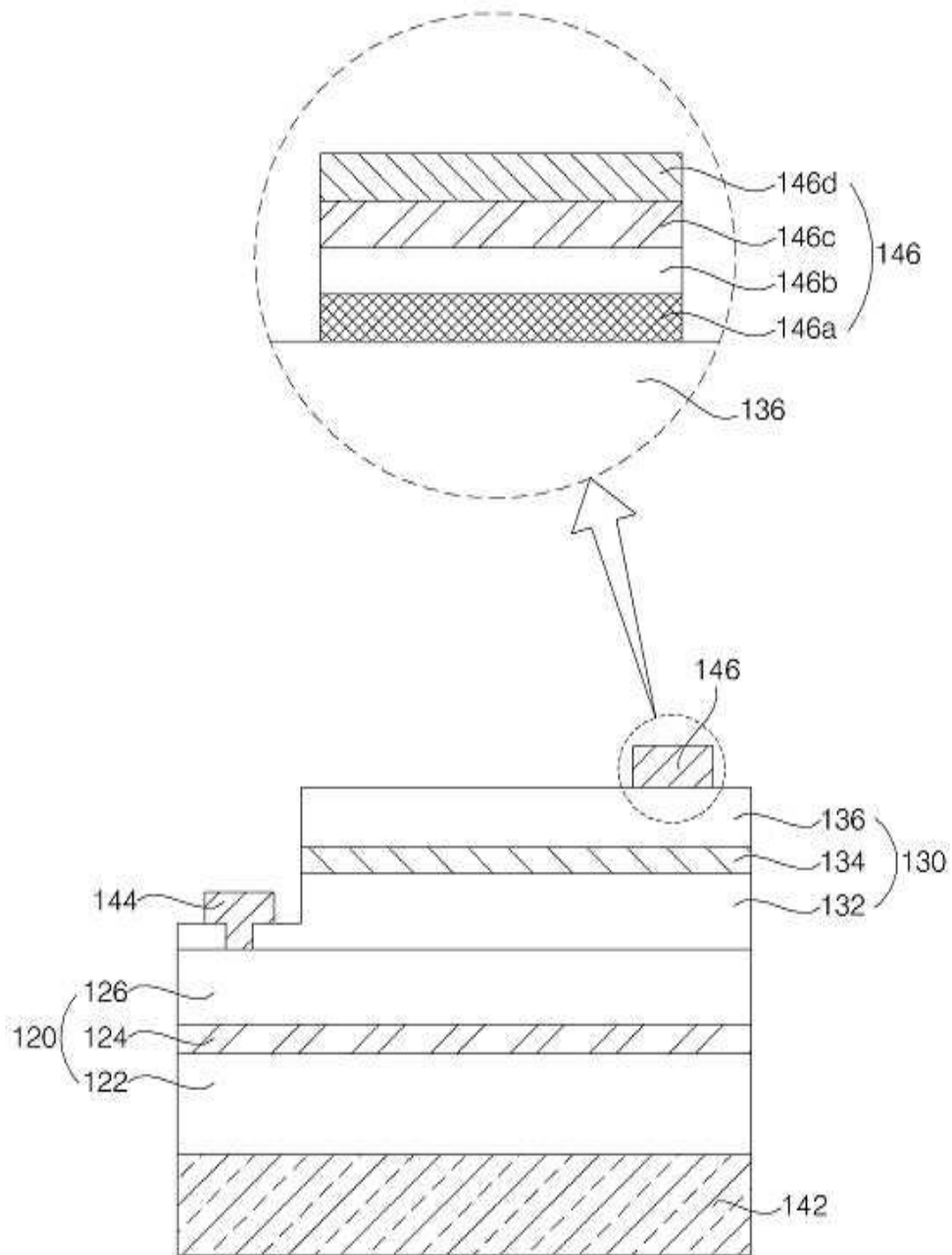
도면10



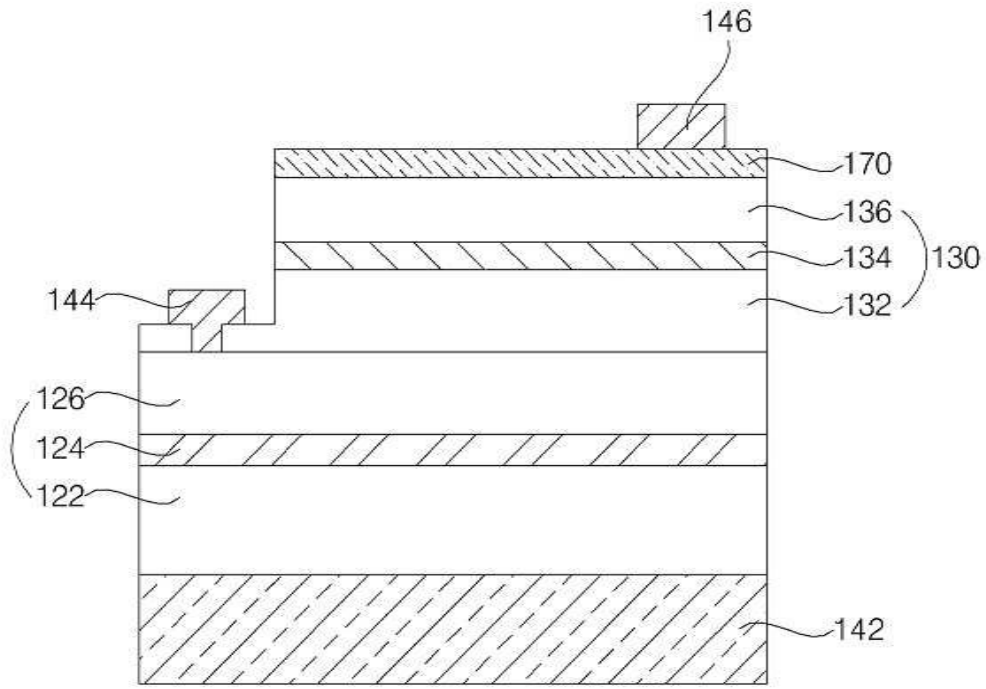
도면11



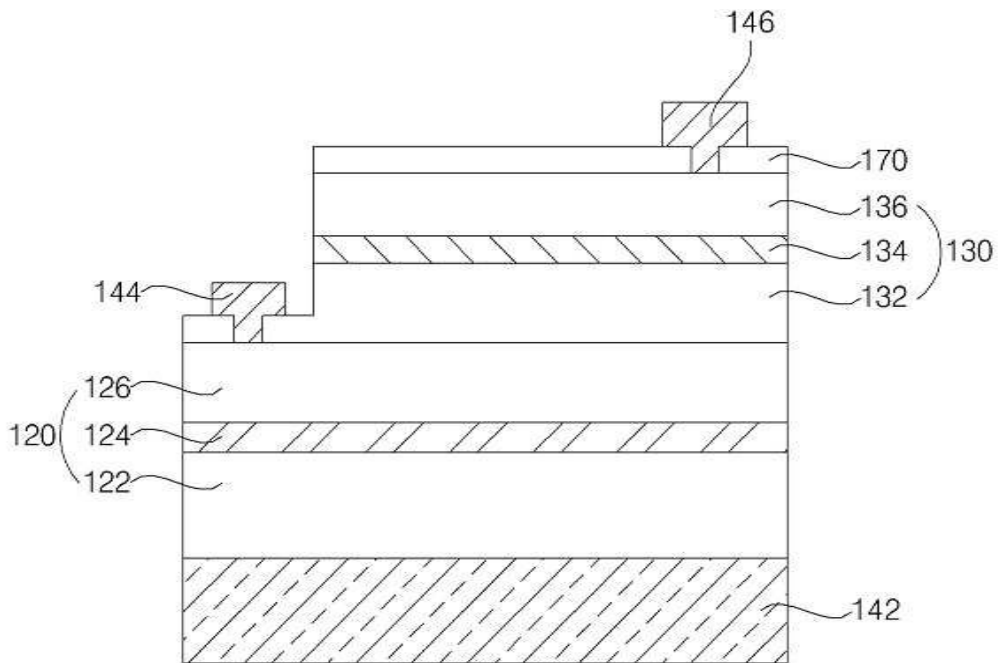
도면12



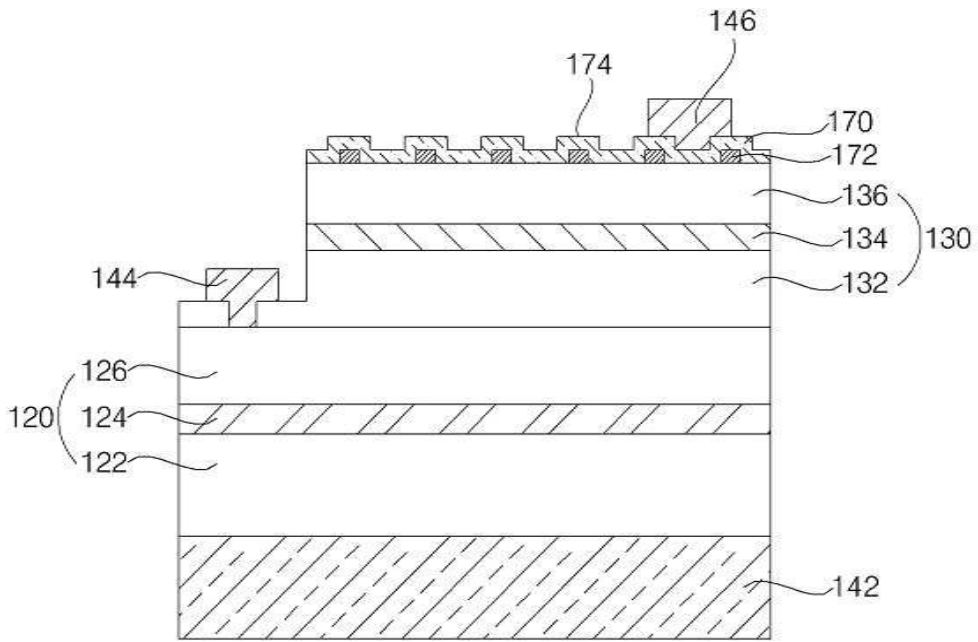
도면13



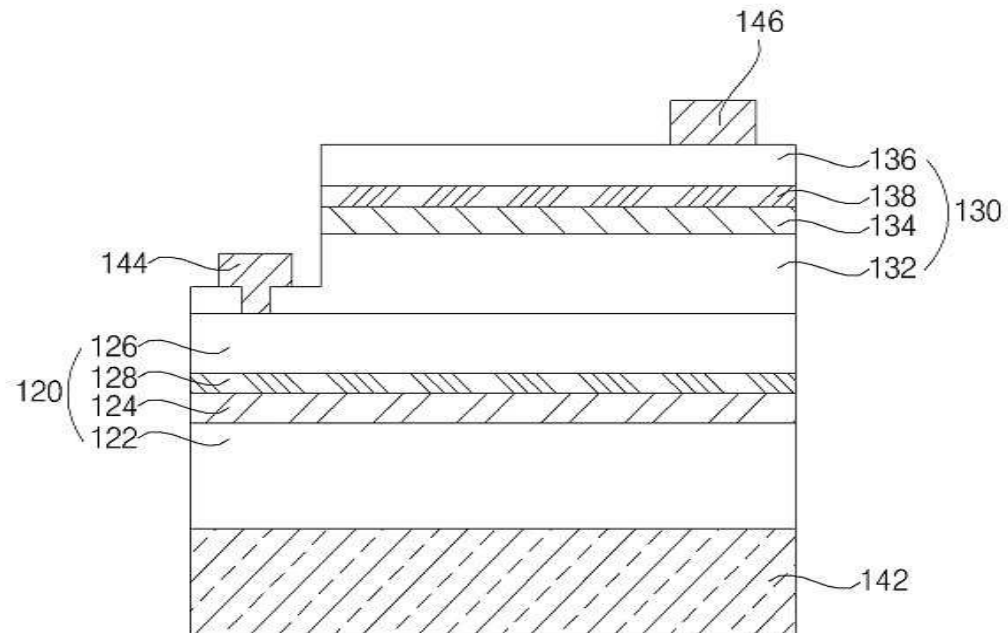
도면14



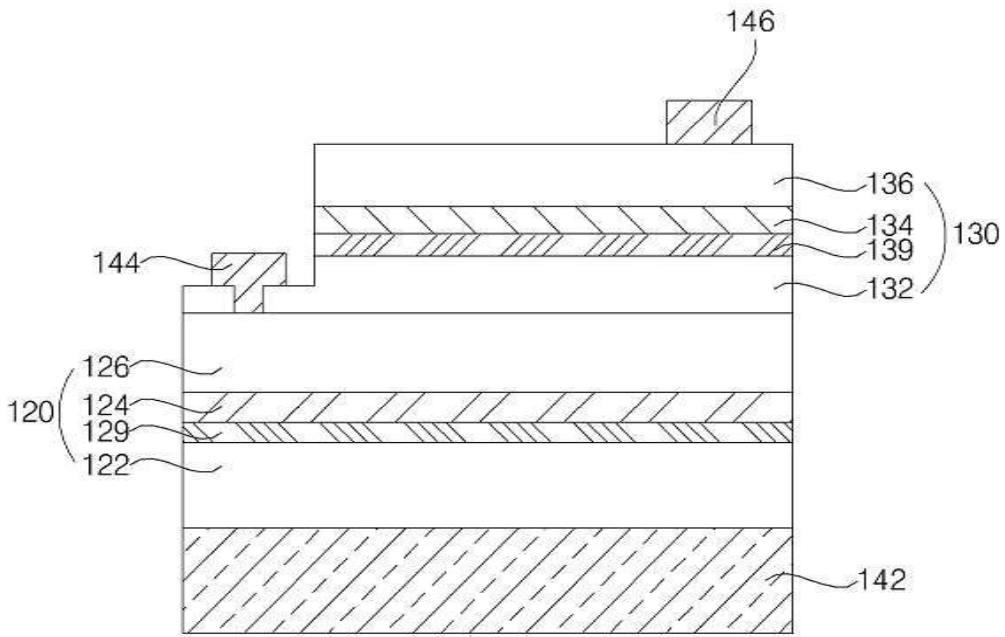
도면15



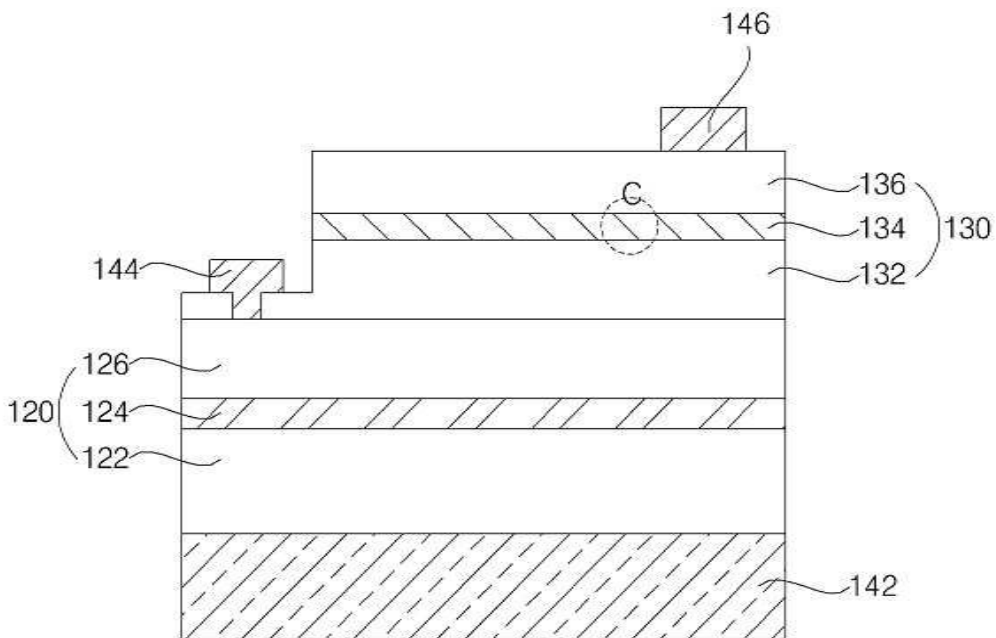
도면16



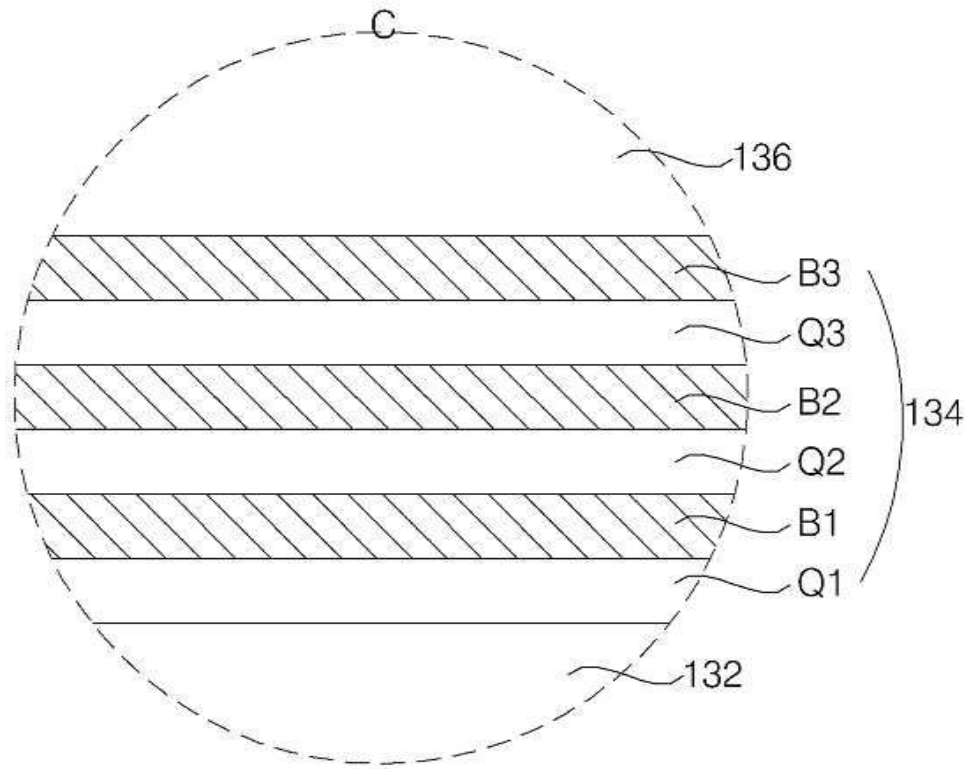
도면17



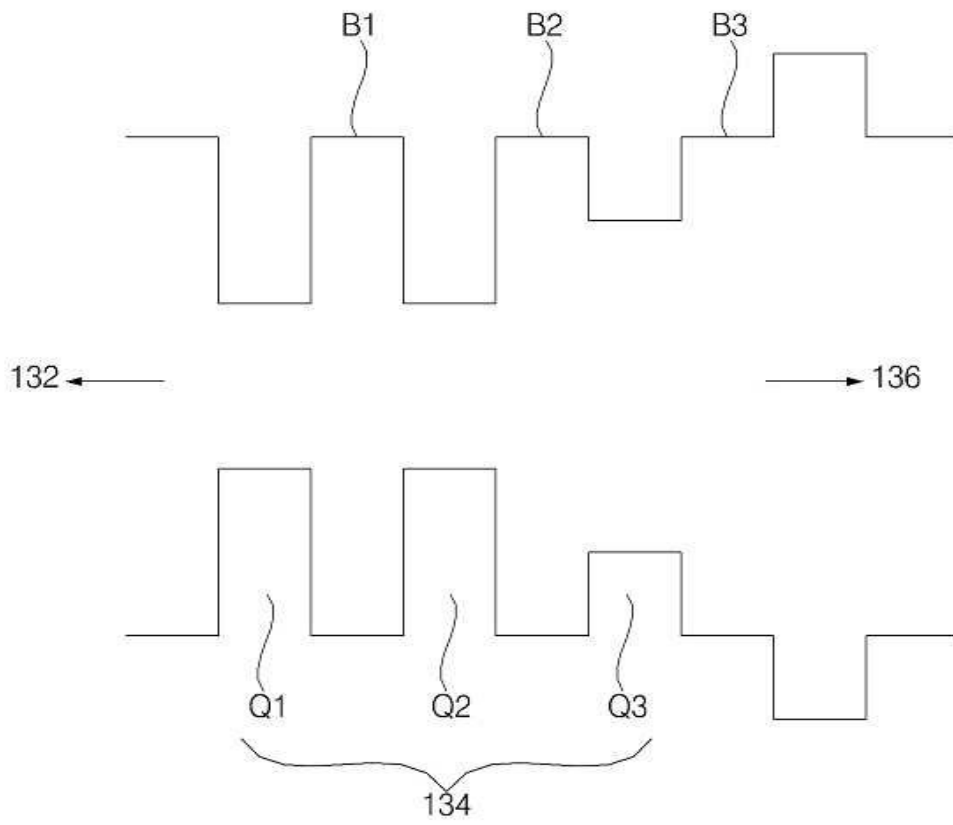
도면18



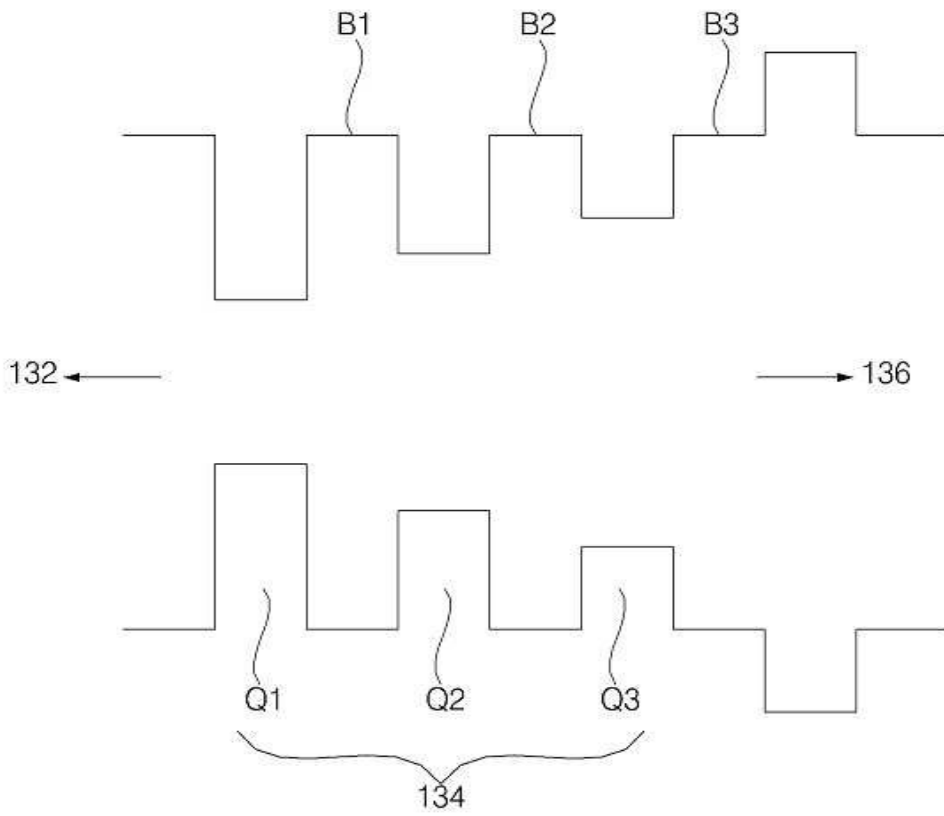
도면19



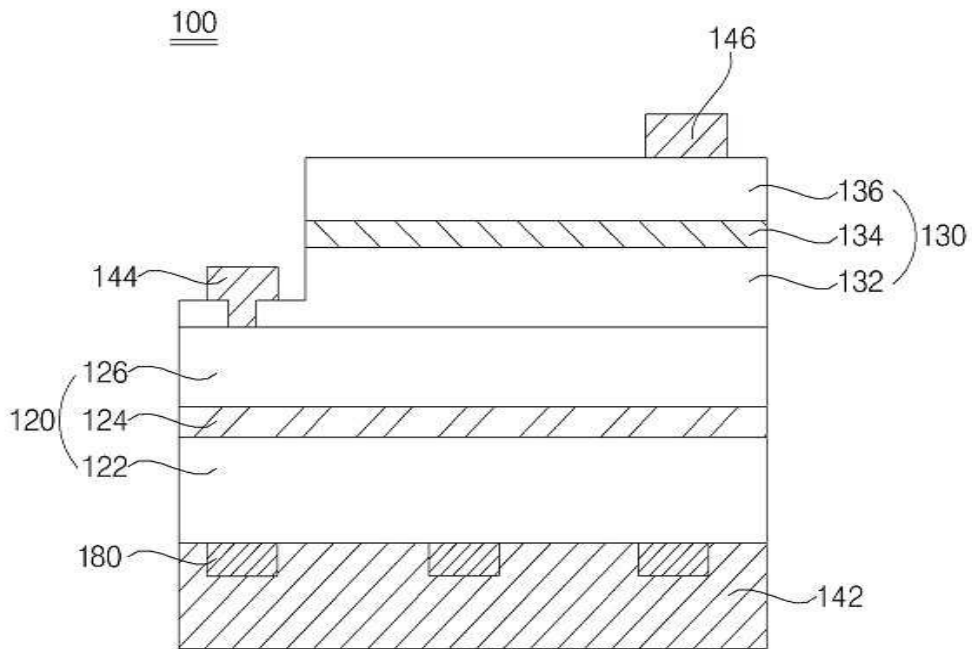
도면20



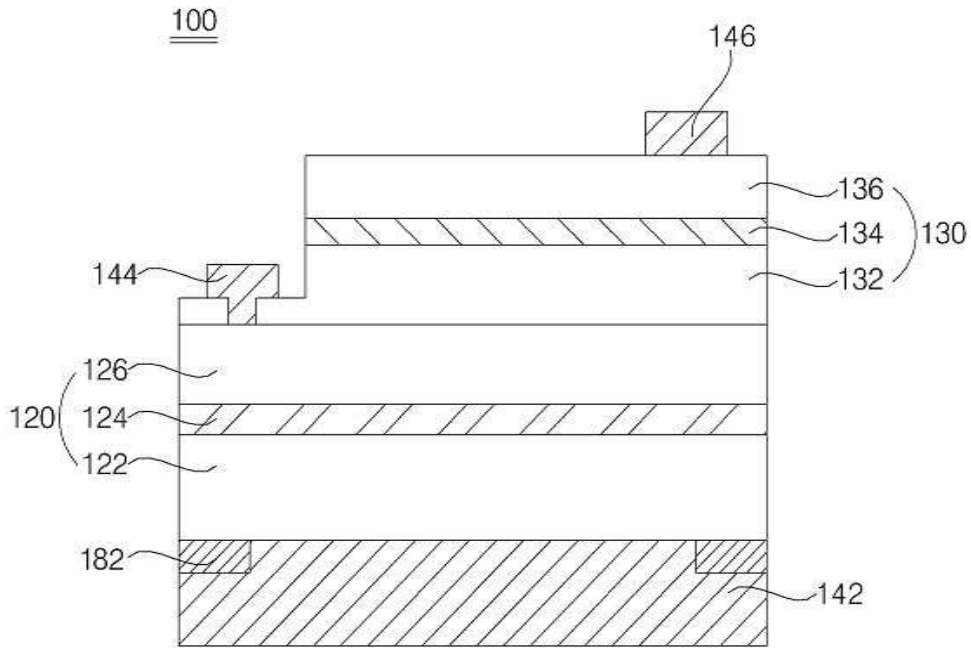
도면21



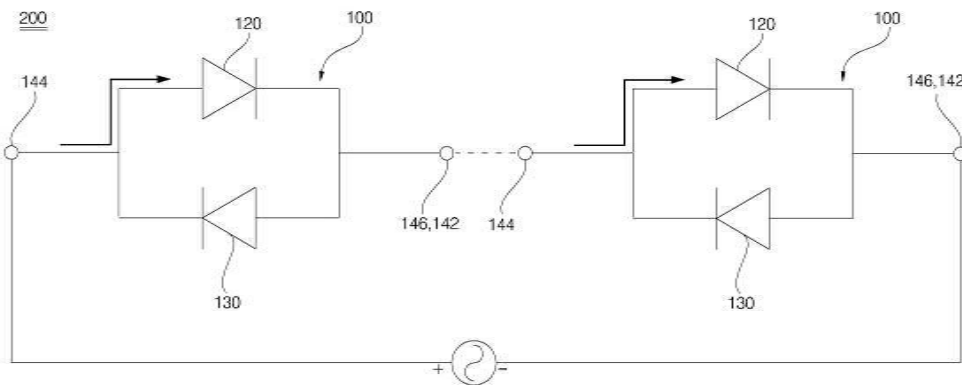
도면22



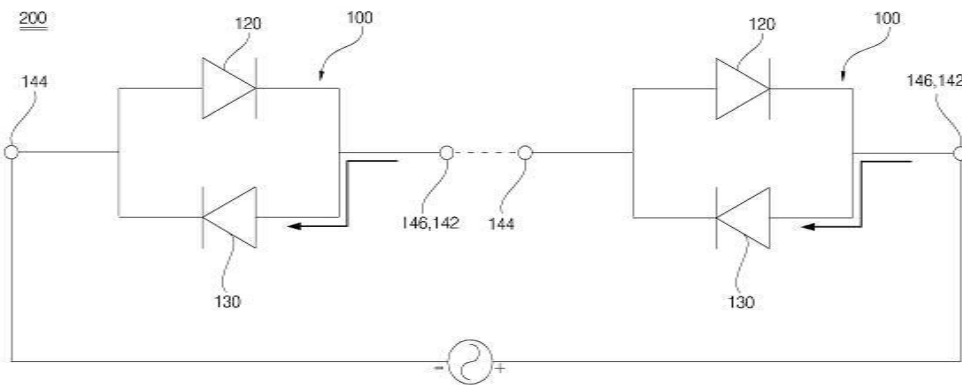
도면23



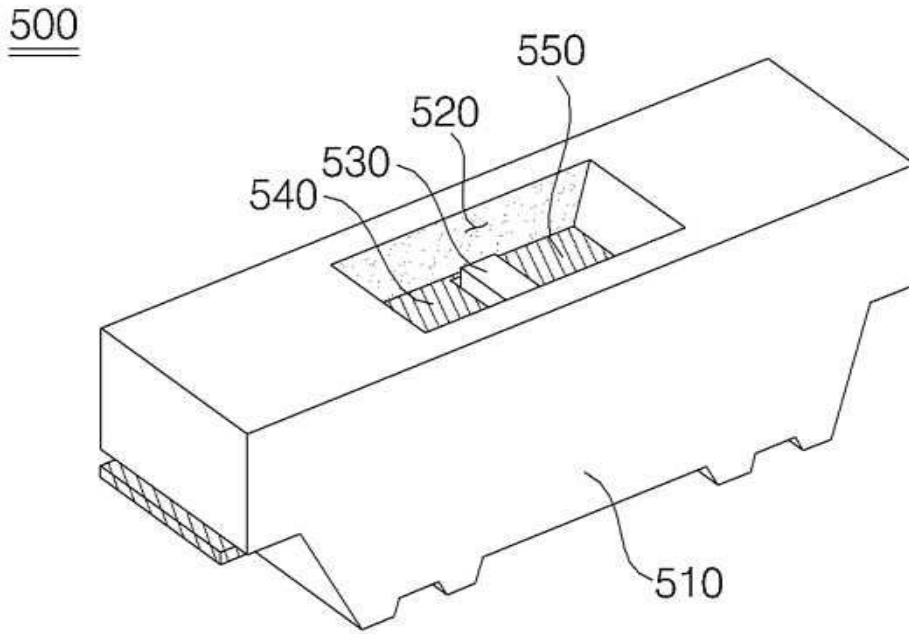
도면24



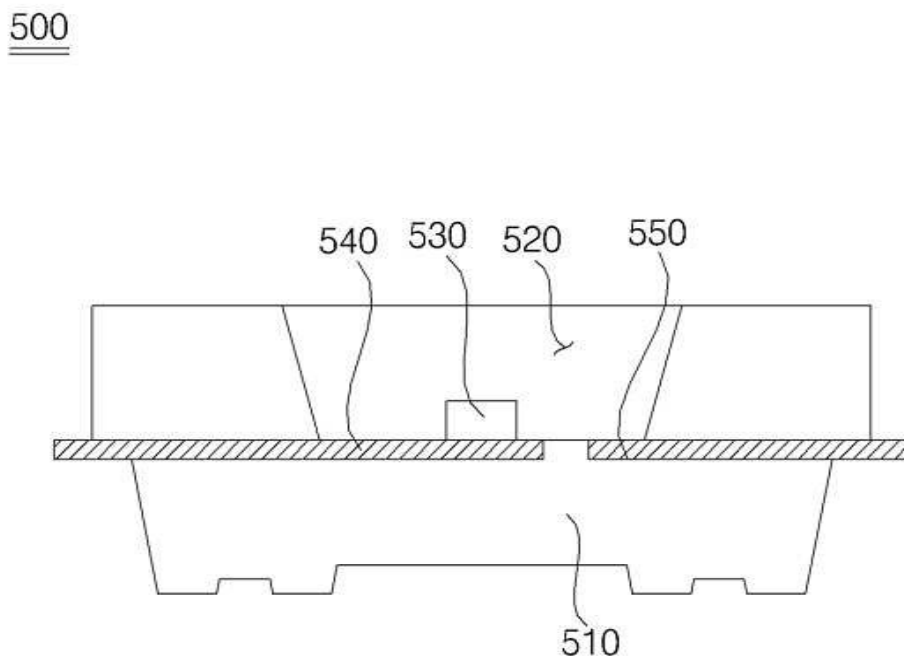
도면25



도면26

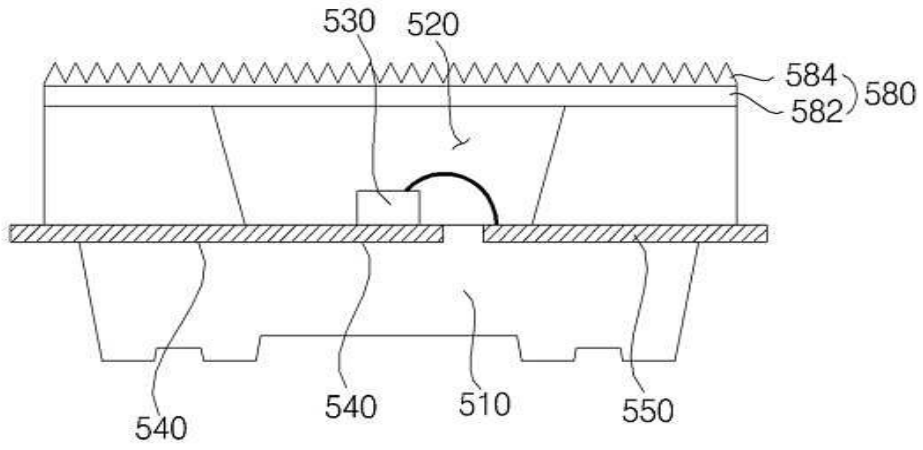


도면27



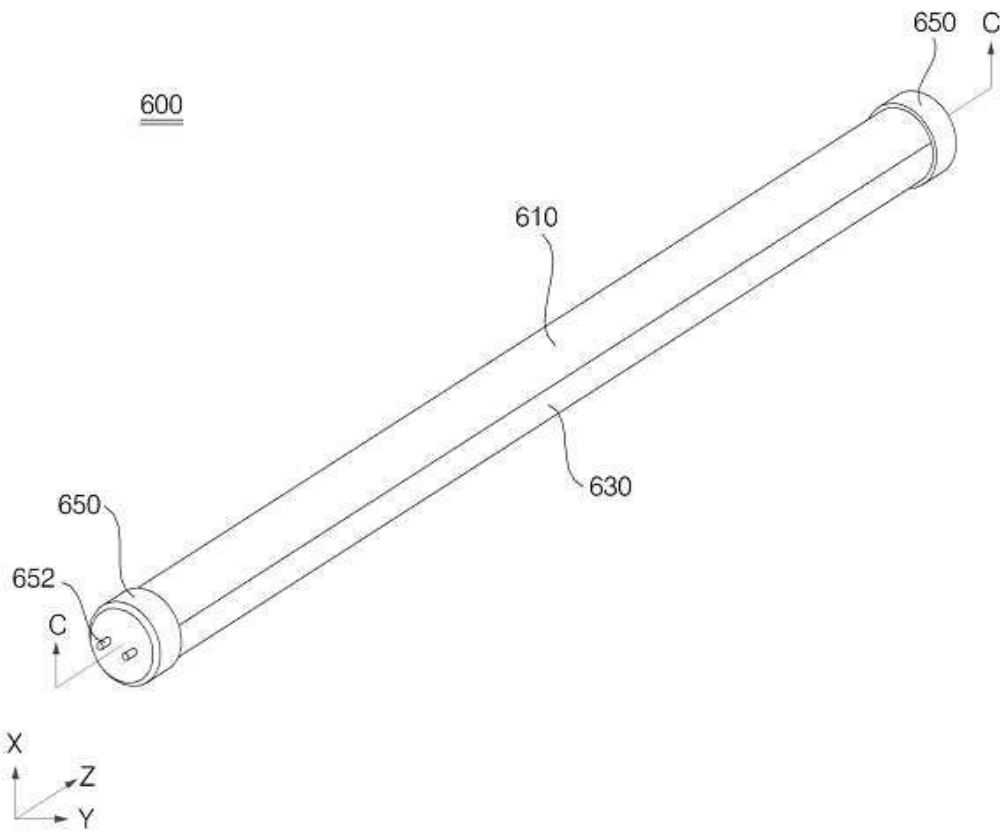
도면28

500

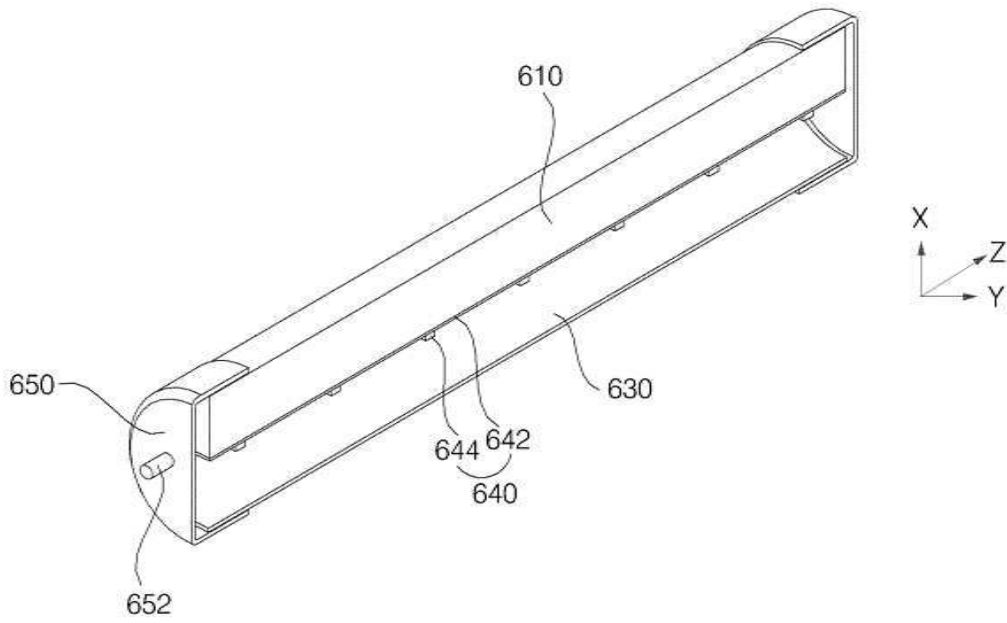


도면29

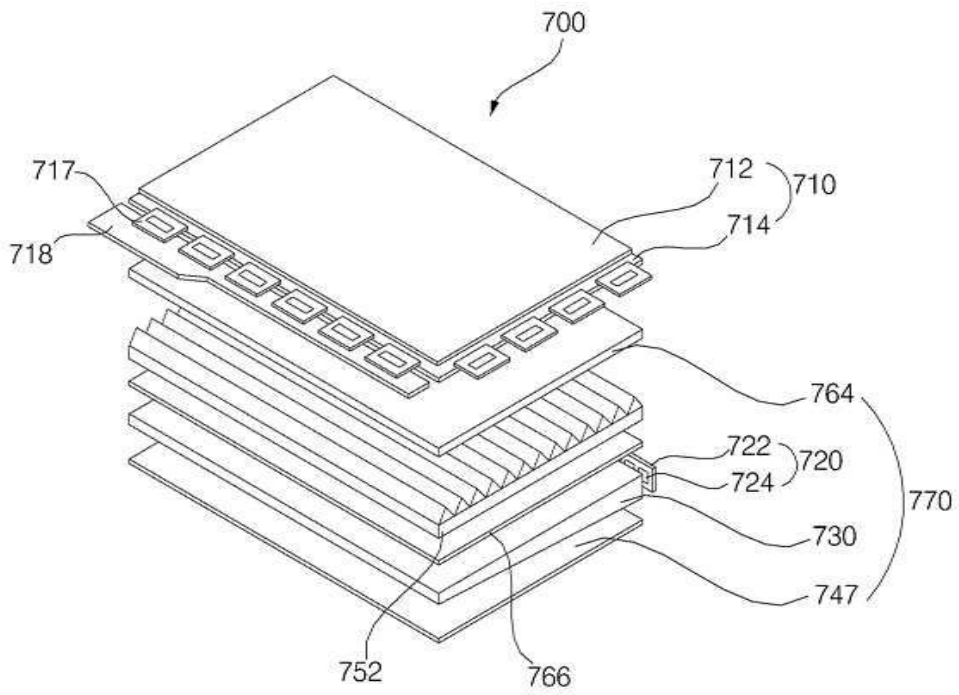
600



도면30



도면31



도면32

