



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I666647 B

(45) 公告日：中華民國 108 (2019) 年 07 月 21 日

(21) 申請案號：107130872

(22) 申請日：中華民國 107 (2018) 年 09 月 03 日

(51) Int. Cl. : **G11C7/10 (2006.01)**

(71) 申請人：瑞昱半導體股份有限公司 (中華民國) REALTEK SEMICONDUCTOR CORPORATION (TW)

新竹市新竹科學工業園區創新二路 2 號

(72) 發明人：羅欽元 LO, CHIN YUAN (TW)；吳亭瑩 WU, TING YING (TW)；羅新慧 LO, HSIN HUI (TW)；莊南卿 CHUANG, NAN CHIN (TW)

(74) 代理人：李世章；秦建譜

(56) 參考文獻：

TW 200937444

TW 201730570A

TW 201826133A

US 7412588B2

審查人員：郭泰源

申請專利範圍項數：9 項 圖式數：2 共 12 頁

(54) 名稱

記憶體裝置

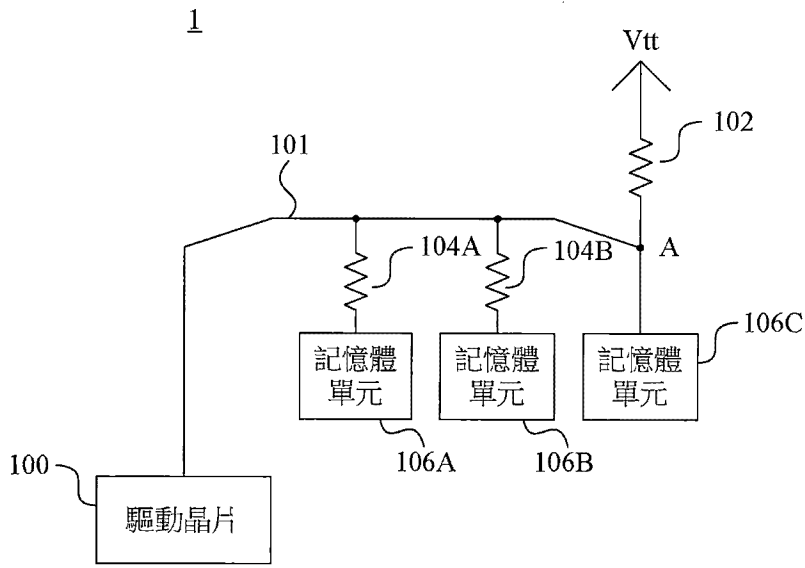
MEMORY DEVICE

(57) 摘要

一種記憶體裝置，包括：驅動晶片、分壓電阻、至少二雜訊抑制電阻以及至少三個記憶體單元。分壓電阻一端電性耦接於電壓源，另一端透過連接路徑之終端電性耦接於驅動晶片。其中之一記憶體單元透過連接路徑之終端電性耦接於分壓電阻及驅動晶片，且至少二記憶體單元分別藉由一個雜訊抑制電阻電性耦接至連接路徑上，以進一步電性耦接於驅動晶片。

A memory device that includes a driving chip, a voltage-dividing resistor, at least two noise-suppression resistors and at least three memory units is provided. A terminal of the voltage-dividing resistor is electrically coupled to a voltage source and the other terminal of the voltage-dividing resistor is electrically coupled to the driving chip through an end a connection path. One of the memory units is electrically coupled to the voltage-dividing resistor and the driving chip through the end the connection path. Each of at least two of the memory units is electrically coupled to the connection path through one of the noise-suppression resistors and is further electrically coupled to the driving chip.

指定代表圖：



符號簡單說明：

1 . . . 記憶體裝置

100 . . . 驅動晶片

101 . . . 連接路徑

102 . . . 分壓電阻

104A-104B . . . 雜訊抑制電阻

106A-106C . . . 記憶體單元

A . . . 終端

Vtt . . . 電壓源

第1圖

【發明說明書】

【中文發明名稱】 記憶體裝置

【英文發明名稱】 MEMORY DEVICE

【技術領域】

【0001】 本發明是有關於記憶體技術，且特別是有關於一種記憶體裝置。

【先前技術】

【0002】 電子裝置中常設置有記憶體裝置，以對資料進行儲存，並在需要使用時自記憶體裝置存取。在資訊量存取的需求愈來愈大的趨勢下，電子裝置將對記憶體裝置的資料傳輸速度的需求愈來愈高。然而，在資料傳輸速度提升有限的情形下，如何進一步提高存取的資料量，將是相當大的挑戰。

【0003】 因此，如何設計一個新的記憶體裝置，以解決上述的缺失，乃為此一業界亟待解決的問題。

【發明內容】

【0004】 本發明之目的在於提供一種記憶體裝置，包括：驅動晶片、分壓電阻、至少二雜訊抑制電阻以及至少三個記憶體單元。分壓電阻一端電性耦接於電壓源，另一端透過連接路徑之終端電性耦接於驅動晶片。其中之一記憶體單元透過連接路徑之終端電性耦接於分壓電阻及驅動晶片，且至少二記憶體

單元分別藉由一個雜訊抑制電阻電性耦接至連接路徑上，以進一步電性耦接於驅動晶片。

【0005】 應用本發明之優點在於藉由在記憶體裝置中設置多個記憶體單元，並設置對應的雜訊抑制電阻與驅動晶片電性耦接，在提升存取資料量的同時，避免多個記憶體單元間訊號的反射與共振，確保記憶體裝置的運作正常。

【圖式簡單說明】

【0006】

第 1 圖為本發明一實施例中，一種記憶體裝置的電路圖；

第 2A 圖為本發明一實施例中，記憶體裝置更詳細的示意圖。；以及

第 2B 圖為本發明一實施例中，記憶體裝置更詳細的示意圖。

【實施方式】

【0007】 請同時參照第1圖。第1圖為本發明一實施例中，一種記憶體裝置1的電路圖。記憶體裝置1包含：驅動晶片100、分壓電阻102、雜訊抑制電阻104A-104B以及記憶體單元106A-106C。

【0008】 於一實施例中，驅動晶片100為系統單晶片（system on a chip；SoC），並配置以透過連接路徑101驅動記憶體單元106A-106C，以對記憶體單元106A-106C進

行資料的存取。於不同實施例中，連接路徑101可為各種能用以傳送訊號的匯流排。

【0009】 分壓電阻102一端電性耦接於電壓源 V_{tt} ，另一端透過連接路徑101之終端A電性耦接於驅動晶片100。

【0010】 於一實施例中，記憶體單元106A-106C分別為一雙倍資料傳輸率動態隨機存取記憶體（double data rate synchronous dynamic random access memory；DDR SDRAM）。

【0011】 記憶體單元106C透過連接路徑101之終端電性耦接於分壓電阻102及驅動晶片100。記憶體單元106A及106B分別藉由雜訊抑制電阻104A及104B電性耦接至連接路徑101上，以進一步電性耦接於驅動晶片100。

【0012】 因此，驅動晶片100可藉由將訊號透過連接路徑101傳送至記憶體單元106A-106C，驅動並控制記憶體單元106A-106C，進而存取記憶體單元106A-106C中的資料。

【0013】 於一實施例中，當驅動晶片100傳送訊號到記憶體單元106A-106C時，訊號容易在記憶體單元106A-106C間反射與共振，造成無法正常運作的現象。然而，分壓電阻102的設置可大幅減少訊號傳送終端時的反射。而雜訊抑制電阻104A及104B亦可有效抑制從記憶體單元106A及106B的反射，或是傳送至其他記憶體單元的訊號對於記憶體單元106A及106B造成的反射。

【0014】 於一實施例中，雜訊抑制電阻104A及104B的阻值為不相等。於另一實施例中，雜訊抑制電阻104A及104B的阻值亦可相等。

【0015】 請參照第2A圖。第2A圖為本發明一實施例中，記憶體裝置1更詳細的示意圖。

【0016】 於一實施例中，驅動晶片100包含高壓端 V_H ，透過高壓電阻200電性耦接至連接路徑101。記憶體單元106A-106C所接收的訊號高準位，是由高壓端 V_H 及電壓源 V_{tt} 的壓差根據高壓電阻200以及分壓電阻102決定。

【0017】 舉例而言，於一實施例中，高壓端 V_H 的電壓為1.2伏特，電壓源 V_{tt} 的電壓為0.6伏特，而高壓電阻200的阻值為 R_1 ，分壓電阻102的阻值為 R_2 。則記憶體單元106A-106C所接收的訊號高準位，相當於 $((1.2-0.6) \times R_2 / (R_1+R_2) + 0.6)$ 。

【0018】 於一實施例中，以記憶體單元106A為例，雜訊抑制電阻104A的阻值將影響訊號正緣的寬度。一般而言，當雜訊抑制電阻104A的阻值愈大時，對於雜訊有愈佳的抑制效果。然而，較大的阻值也會使訊號從低態攀升到高態的時間變長，亦即會使訊號正緣的寬度變大。

【0019】 如果雜訊抑制電阻104A的阻值過大，而使訊號在達到訊號高準位前就開始下降，則容易使記憶體單緣106A無法正常運作。因此，於一實施例中，雜訊抑制電阻104A的阻值在盡可能大的情形下，以能夠使記憶體單元106A的訊號在負緣開始前達到訊號高準位為佳。

【0020】請參照第2B圖。第2B圖為本發明一實施例中，記憶體裝置1更詳細的示意圖。

【0021】於一實施例中，驅動晶片100包含低壓端 V_L ，透過低壓電阻202電性耦接至連接路徑101。記憶體單元106A-106C所接收的訊號低準位，是由低壓端 V_L 及電壓源 V_{tt} 的壓差根據低壓電阻202以及分壓電阻102決定。

【0022】舉例而言，於一實施例中，低壓端 V_L 的電壓為0伏特，電壓源 V_{tt} 的電壓為0.6伏特，而低壓電阻202的阻值為 R_3 ，分壓電阻102的阻值為 R_2 。則記憶體單元106A-106C所接收的訊號低準位，相當於 $((0.6-0) \times R_3)/(R_3+R_2)$ 。

【0023】因此，本發明的記憶體裝置1藉由設置多個記憶體單元106A-106C，並設置對應的雜訊抑制電阻104A及104B與驅動晶片100電性耦接，在提升存取資料量的同時，避免多個記憶體單元106A-106C間訊號的反射與共振，確保記憶體裝置1的運作正常。

【0024】需注意的是，上述的記憶體裝置1是以三個記憶體單元106A-106C為例。然而，於其他實施例中，記憶體裝置1亦可包含三個以上的記憶體單元。

【0025】於一實施例中，記憶體裝置1是形成於包含兩層以上走線之電路板（未繪示）上。當形成於包含兩層走線的電路板上時，由於兩層走線均包含訊號線，且必須參考設置在訊號線旁的接地線，因此相當容易產生共振與反射。然而藉由本發明的記憶體裝置1中的雜訊抑制機制，即便是條件

較為嚴苛的兩層走線的電路板設計，也能達到使記憶體裝置1運作正常的功效。

【0026】 以上所述僅為本發明的較佳實施例而已，並不用以限制本發明，凡在本發明的原則之內所作的任何修改，等同替換和改進等均應包含本發明的保護範圍之內。

【符號說明】

【0027】

1：記憶體裝置

100：驅動晶片

101：連接路徑

102：分壓電阻

104A-104B：雜訊抑制電阻

106A-106C：記憶體單元

200：高壓電阻

202：低壓電阻

A：終端

V_H ：高壓端

V_L ：低壓端

V_{tt} ：電壓源

I666647

【發明摘要】

IPC分類號：G11C 7/10 (2006.01)

【中文發明名稱】記憶體裝置

【英文發明名稱】MEMORY DEVICE

【中文】

一種記憶體裝置，包括：驅動晶片、分壓電阻、至少二雜訊抑制電阻以及至少三個記憶體單元。分壓電阻一端電性耦接於電壓源，另一端透過連接路徑之終端電性耦接於驅動晶片。其中之一記憶體單元透過連接路徑之終端電性耦接於分壓電阻及驅動晶片，且至少二記憶體單元分別藉由一個雜訊抑制電阻電性耦接至連接路徑上，以進一步電性耦接於驅動晶片。

【英文】

A memory device that includes a driving chip, a voltage-dividing resistor, at least two noise-suppression resistors and at least three memory units is provided. A terminal of the voltage-dividing resistor is electrically coupled to a voltage source and the other terminal of the voltage-dividing resistor is electrically coupled to the driving chip through an end a connection path. One of the memory units is electrically coupled to the voltage-dividing resistor and the driving chip through the end the connection path. Each of at least two of the memory units is electrically coupled to the connection

path through one of the noise-suppression resistors and is further electrically coupled to the driving chip.

【指定代表圖】

第1圖

【代表圖之符號簡單說明】

1：記憶體裝置

100：驅動晶片

101：連接路徑

102：分壓電阻

104A-104B：雜訊抑制電阻

106A-106C：記憶體單元

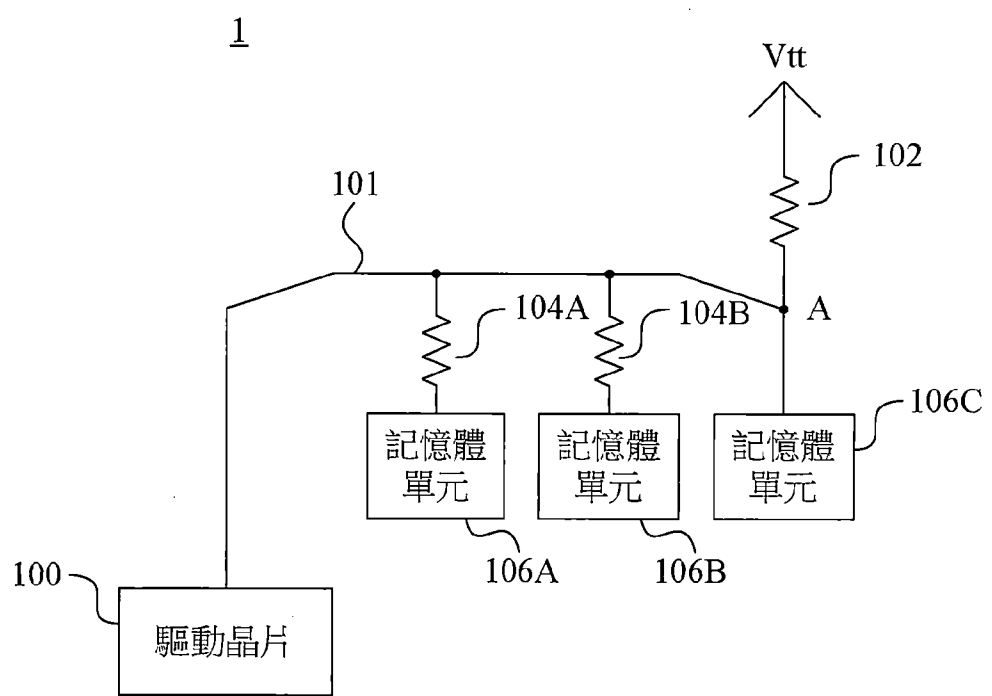
A：終端

Vtt：電壓源

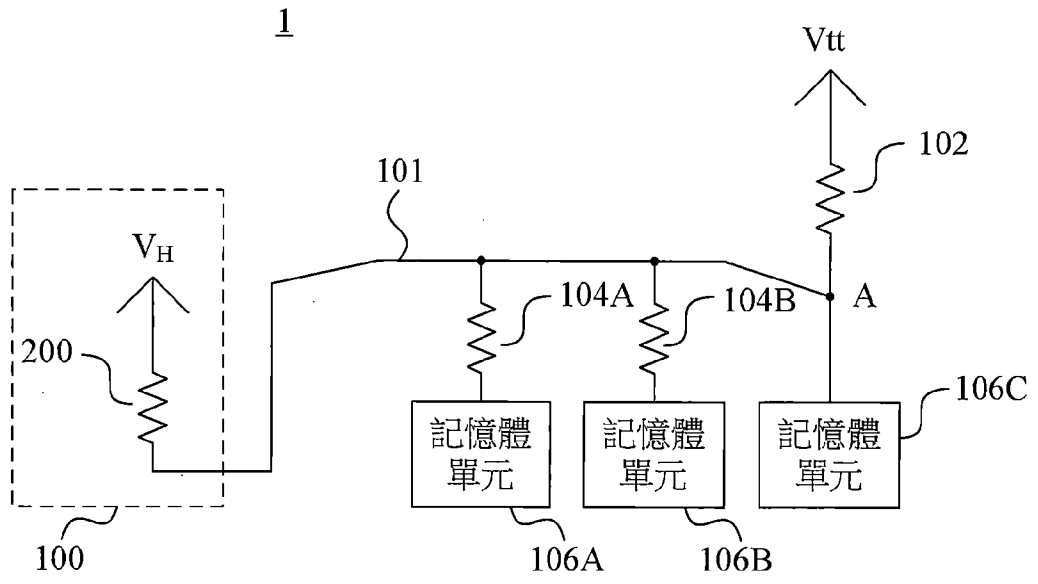
【特徵化學式】

無

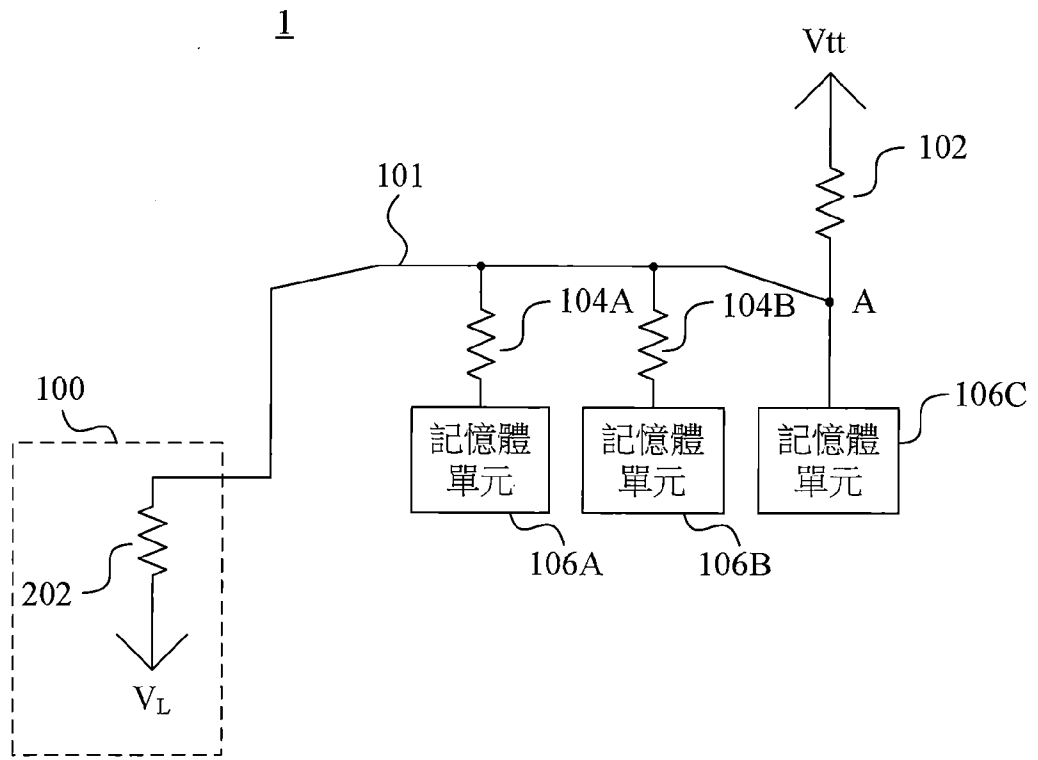
圖式



第1圖



第2A圖



第2B圖

【發明申請專利範圍】

【第1項】 一種記憶體裝置，包括：

一驅動晶片；

一分壓電阻，一端電性耦接於一電壓源，另一端透過一連接路徑之一終端電性耦接於該驅動晶片；

至少二雜訊抑制電阻；以及

至少三個記憶體單元，其中之一該等記憶體單元透過該連接路徑之該終端電性耦接於該分壓電阻及該驅動晶片，且至少二該等記憶體單元分別藉由一個該等雜訊抑制電阻電性耦接至該連接路徑上，以進一步電性耦接於該驅動晶片；

其中該驅動晶片透過該連接路徑驅動該記憶體單元，以對該記憶體單元進行資料的存取。

【第2項】 如請求項1所述的記憶體裝置，其中該驅動晶片包含一高壓端，透過一高壓電阻電性耦接至該連接路徑，該等記憶體單元的一訊號高準位是由該高壓端及該電壓源的一壓差根據該高壓電阻以及該分壓電阻決定。

【第3項】 如請求項2所述的記憶體裝置，其中該等雜訊抑制電阻的阻值使該等記憶體單元的一訊號在負緣開始前達到該訊號高準位。

【第4項】 如請求項1所述的記憶體裝置，其中該驅動晶片包含一低壓端，透過一低壓電阻電性耦接至該連接路徑，該等記憶體單元的一訊號低準位是由該低壓端及該電壓源的一壓差根據該低壓電阻以及該分壓電阻決定。

【第5項】 如請求項1所述的記憶體裝置，其中該記憶體裝置是形成於包含兩層以上走線之一電路板上。

【第6項】 如請求項1所述的記憶體裝置，其中該等雜訊抑制電阻的阻值為相等。

【第7項】 如請求項1所述的記憶體裝置，其中該等雜訊抑制電阻的阻值為不相等。

【第8項】 如請求項1所述的記憶體裝置，其中該驅動晶片為一系統單晶片（system on a chip；SoC）。

【第9項】 如請求項1所述的記憶體裝置，其中該等記憶體單元分別為一雙倍資料傳輸率動態隨機存取記憶體（double data rate synchronous dynamic random access memory；DDR SDRAM）。