



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I479495 B

(45) 公告日：中華民國 104 (2015) 年 04 月 01 日

(21) 申請案號：100119408

(22) 申請日：中華民國 100 (2011) 年 06 月 02 日

(51) Int. Cl. : G11C29/04 (2006.01)

G11C29/42 (2006.01)

(71) 申請人：群聯電子股份有限公司 (中華民國) PHISON ELECTRONICS CORP. (TW)

苗栗縣竹南鎮群義路 1 號

(72) 發明人：曾建富 TSENG, CHIEN FU (TW) ; 賴國欣 LAI, KUO HSIN (TW)

(74) 代理人：詹銘文；葉璟宗

(56) 參考文獻：

TW 200921360

US 2008/0244360A1

US 2009/0049364A1

US 2009/0055680A1

審查人員：劉聖尉

申請專利範圍項數：21 項 圖式數：11 共 49 頁

(54) 名稱

資料讀取方法、記憶體控制器及記憶體儲存裝置

READING METHOD, MEMORY CONTROLLER, AND MEMORY STORAGE DEVICE

(57) 摘要

一種資料讀取方法，用於具有多個實體區塊的可複寫式非揮發性記憶體模組。每一實體區塊具有多個實體頁面。資料讀取方法包括如下步驟。分割每一實體頁面為多個位元資料區。在每一實體頁面中，至少一位元資料區與其他位元資料區具有不同的資料長度。寫入資料至位元資料區。每一位元資料區的資料為對應一錯誤校正碼框。從該至少一位元資料區的錯誤校正碼框中讀取資料，因其資料長度較短故可增加資料的錯誤校正能力而確保資料可正確的被讀取。進而，根據所讀取之資料來獲得一錯誤位元資訊。根據錯誤位元資訊調整對數似然比查詢表或門檻值電壓。

A reading method adapted for a rewritable non-volatility memory module including physical blocks is provided. Each physical block includes physical pages. The reading method includes following steps. Each page is partitioned as a plurality of bits data areas. In each physical page, at least one bits data area has different length from that of the other bits data areas. A data is written into the bits data areas. The data of each bits data area is corresponding to an ECC frame. The data is read from the at least one bits data area. Because the length of the at least one bits data area is relatively short, the correction capability of data is enhanced, and also, the data can be exactly read. Furthermore, an error bit information is obtained based on the read data. According to the error bit information, the LLR table or the threshold voltage is adjusted.

S1100、S1102、
S1104、S1106、
S1108 . . . 資料讀取
方法的步驟

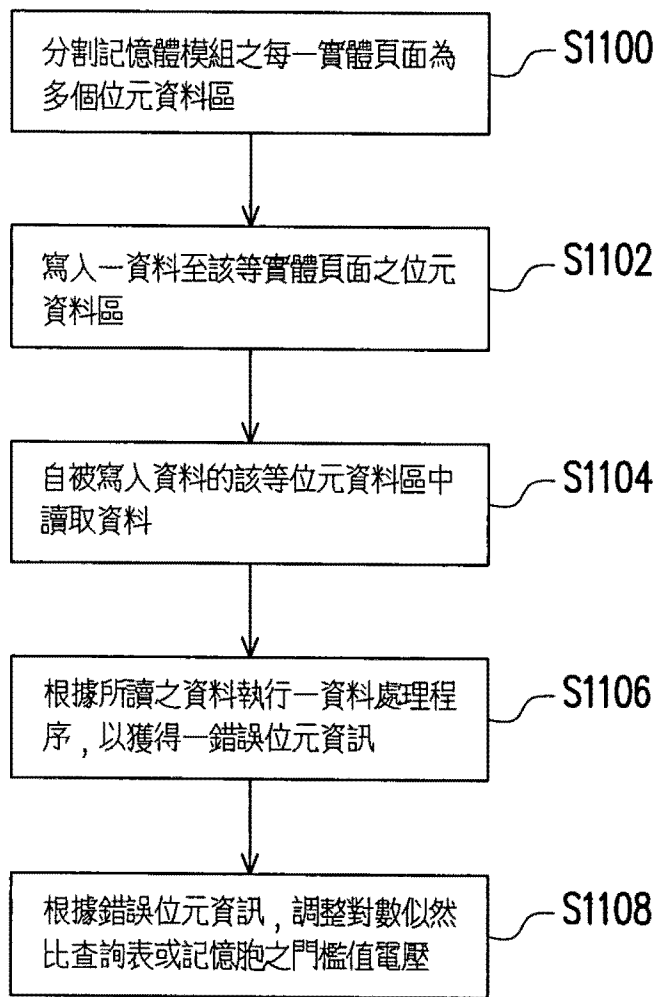


圖 11

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100119408

※申請日：100.6.02

※IPC 分類：

G11C 29/64 2006.01

G11C 29/42 2006.01

一、發明名稱：

資料讀取方法、記憶體控制器及記憶體儲存裝置
READING METHOD, MEMORY CONTROLLER, AND
MEMORY STORAGE DEVICE

二、中文發明摘要：

一種資料讀取方法，用於具有多個實體區塊的可複寫式非揮發性記憶體模組。每一實體區塊具有多個實體頁面。資料讀取方法包括如下步驟。分割每一實體頁面為多個位元資料區。在每一實體頁面中，至少一位元資料區與其他位元資料區具有不同的資料長度。寫入資料至位元資料區。每一位元資料區的資料為對應一錯誤校正碼框。從該至少一位元資料區的錯誤校正碼框中讀取資料，因其資料長度較短故可增加資料的錯誤校正能力而確保資料可正確的被讀取。進而，根據所讀取之資料來獲得一錯誤位元資訊。根據錯誤位元資訊調整對數似然比查詢表或門檻值電壓。

三、英文發明摘要：

A reading method adapted for a rewritable

non-volatility memory module including physical blocks is provided. Each physical block includes physical pages. The reading method includes following steps. Each page is partitioned as a plurality of bits data areas. In each physical page, at least one bits data area has different length from that of the other bits data areas. A data is written into the bits data areas. The data of each bits data area is corresponding to an ECC frame. The data is read from the at least one bits data area. Because the length of the at least one bits data area is relatively short, the correction capability of data is enhanced, and also, the data can be exactly read. Furthermore, an error bit information is obtained based on the read data. According to the error bit information, the LLR table or the threshold voltage is adjusted.

四、指定代表圖：

(一) 本案之指定代表圖：圖 11

(二) 本代表圖之元件符號簡單說明：

S1100、S1102、S1104、S1106、S1108：資料讀取方法的步驟

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種記憶體系統，且特別是有關於一種具有較佳的錯誤位元校正能力之資料讀取方法，以及使用該方法之記憶體控制器及記憶體儲存裝置。

【先前技術】

目前的快閃記憶體主要分為兩種，分別為反或快閃記憶體(NOR Flash Memory)與反及快閃記憶體(NAND Flash Memory)。其中，反及快閃記憶體存在著兩種不同的儲存模式，即多層記憶胞(Multi-Level Cell, MLC)及單層記憶胞(Single-Level Cell, SLC)。單層記憶胞在每個記憶胞中儲存1個資料位元，而多層記憶胞則可在每個記憶胞中儲存2個以上的資料位元。

一般而言，由資料位元線(Bit Line)與字元線(Word Line)串起的記憶胞陣列(memory cell array)，其在讀取或寫入資料到指定的記憶胞時，其餘非指定的記憶胞則會受到干擾(disturb)，進而改變這些記憶胞寫入的臨界電壓。另外，長期閒置、記憶體漏電、或是多次使用(Erase or Program)而造成磨耗(Wear)等情形，亦會使得記憶胞寫入的臨界電壓改變。此時，將會造成寫入資料在讀出時發生錯誤。

另一方面，記憶體儲存裝置會需要使用錯誤校正能力較佳的錯誤校正技術(例如，低密度同位檢查碼(Low

Density Parity Check Code, LDPC code)) 來對資料進行錯誤校正程序。記憶體儲存裝置依據其所儲存的一查詢表取得軟資訊 (Soft Information) 對應到的對數似然比 (Log Likelihood Ratio, LLR) , 接著再以 LDPC 碼進行錯誤更正的動作。然而, 記憶體儲存裝置中的可複寫式非揮發性記憶體會隨著其儲存次數 (erase-program times) 的增加而改變其錯誤特性, 因此若要取得最佳的對數似然比, 則必須不斷地統計可複寫式非揮發性記憶體的錯誤特性, 此舉將對系統造成相當大的負擔。

【發明內容】

有鑑於此, 本發明提供一種資料讀取方法, 其具有較佳的錯誤位元校正能力, 並可依據所取得之錯誤位元資訊選擇性地調整對數似然比查詢表或記憶胞之門檻值電壓。

本發明提供一種記憶體控制器, 其具有較佳的錯誤位元校正能力, 並可依據所取得之錯誤位元資訊選擇性地調整對數似然比查詢表或記憶胞之門檻值電壓。

本發明提供一種記憶體儲存裝置, 其具有較佳的錯誤位元校正能力, 並可依據所取得之錯誤位元資訊選擇性地調整對數似然比查詢表或記憶胞之門檻值電壓。

本發明提供一種資料讀取方法, 用於一可複寫式非揮發性記憶體模組。可複寫式非揮發性記憶體模組具有多個實體區塊, 且每一實體區塊具有多個實體頁面。資料讀取方法包括如下步驟。分割每一實體頁面為多個位元資料

區。在每一實體頁面當中至少一位元資料區相較於其他位元資料區具有不同的資料長度。寫入一資料至位元資料區，其中每一位元資料區對應一錯誤校正碼框，且在錯誤校正碼框當中，對應於至少一位元資料區的錯誤校正碼框為具有較短的資料長度。自位元資料區讀取資料。根據所讀取之資料執行一資料處理程序以獲得一錯誤位元資訊。根據錯誤位元資訊，調整一對數似然比查詢表或記憶胞的至少一門檻值電壓。

在本發明之一實施例中，上述之分割每一實體頁面的步驟包括將至少一位元資料區配置於每一實體頁面的初始位置。對應於至少一位元資料區的錯誤校正碼框具有較佳的錯誤位元校正能力。

在本發明之一實施例中，上述之調整門檻值電壓的步驟包括根據錯誤位元資訊計算門檻值電壓的補償電壓。藉由補償電壓來調整至少一門檻值電壓。

在本發明之一實施例中，上述之資料包括多筆位元資料。根據所讀取之資料執行資料處理程序以獲得錯誤位元資訊的步驟包括比對所讀取的資料與所寫入的資料以獲得一第一錯誤位元數及一第二錯誤位元數，其中計算補償電壓是依據下列公式：

$$x = g \times \log_2 \left(\frac{\text{error2}}{\text{error1}} \right)$$

其中， x 代表補償電壓， g 代表一常數， error1 代表第一錯誤位元數， error2 代表第二錯誤位元數。

在本發明之一實施例中，上述之可複寫式非揮發性記

記憶體模組具有多個記憶胞且每一記憶胞具有多個儲存狀態，被讀取的資料對應一第一儲存狀態，其中根據所讀取之資料執行資料處理程序以獲得錯誤位元資訊的步驟包括對所讀取之資料執行一錯誤校正程序以獲得所讀取之資料在寫入時所對應的一第二儲存狀態。

在本發明之一實施例中，上述之調整對數似然比查詢表的步驟包括在所讀取之符合一錯誤統計總數的儲存狀態中，取得在寫入時為第二儲存狀態而在讀取時為第一儲存狀態的一儲存錯誤總數。根據錯誤統計總數、儲存狀態的一儲存狀態數量，以及儲存錯誤總數執行一對數運算，以產生被讀取的資料的一對數似然比。計算對數似然比是依據下列公式：

$$LLR_c = -\left(\log\left[\frac{S}{N}\right] - \log[W] \right)$$

其中 LLR_c 表示對數似然比，N 表示錯誤統計總數，S 表示儲存狀態數量，而 W 表示儲存錯誤總數。

在本發明之一實施例中，上述之可複寫式非揮發性記憶體模組配置於一記憶體儲存裝置。記憶體儲存裝置包括對數似然比查詢表。對數似然比查詢表記錄被讀取的資料所對應的一當前對數似然比，其中調整對數似然比查詢表的步驟包括利用對數似然比取代對數似然比查詢表中的當前對數似然比。

本發明提供一種記憶體控制器，包括一主機系統介面、一記憶體介面、一記憶體管理電路以及一對數似然比估算電路。主機系統介面耦接一主機系統。記憶體介面耦

接一可複寫式非揮發性記憶體模組。可複寫式非揮發性記憶體模組具有多個實體區塊，且每一實體區塊具有多個實體頁面。記憶體管理電路耦接至主機系統介面與記憶體介面。記憶體管理電路分割每一實體頁面為多個位元資料區；寫入一資料至位元資料區；自位元資料區讀取資料；根據所讀取之資料執行一資料處理程序；以及根據錯誤位元資訊，調整記憶胞的至少一門檻值電壓。對數似然比估算電路耦接記憶體管理電路。對數似然比估算電路根據錯誤位元資訊調整一對數似然比查詢表。在每一實體頁面當中至少一位元資料區相較於其他位元資料區具有不同的資料長度。以及，每一位元資料區的資料對應一錯誤校正碼框，在錯誤校正碼框當中，對應至少一位元資料區的錯誤校正碼框為具有較短的資料長度。

在本發明之一實施例中，上述之記憶體管理電路在分割每一實體頁面時，將資料長度較短的至少一位元資料區配置於每一實體頁面的初始位置。對應於資料長度較短的至少一位元資料區的錯誤校正碼框具有較佳的錯誤位元校正能力。

在本發明之一實施例中，上述之記憶體管理電路根據錯誤位元資訊計算門檻值電壓的補償電壓，並藉由補償電壓來調整至少一門檻值電壓。

在本發明之一實施例中，上述之記憶體管理電路執行資料處理程序係比對所讀取的資料與所寫入的資料以獲得一第一錯誤位元數及一第二錯誤位元數。計算補償電壓是

依據下列公式：

$$x = g \times \log_2 \left(\frac{\text{error2}}{\text{error1}} \right)$$

其中，x 代表補償電壓，g 一代表常數，error1 代表第一錯誤位元數，error2 代表第二錯誤位元數。

在本發明之一實施例中，上述之可複寫式非揮發性記憶體模組具有多個記憶胞且每一記憶胞具有多個儲存狀態。被讀取的資料對應一第一儲存狀態。記憶體管理電路執行資料處理程序係對所讀取之該資料執行一錯誤校正程序以獲得所讀取之該資料在寫入時所對應的一第二儲存狀態。

在本發明之一實施例中，上述之對數似然比估算電路在所讀取之符合一錯誤統計總數的儲存狀態中，取得在寫入時為第二儲存狀態而在讀取時為第一儲存狀態的一儲存錯誤總數，並根據錯誤統計總數、儲存狀態的一儲存狀態數量，以及儲存錯誤總數執行一對數運算，以產生被讀取的資料的一對數似然比，其中計算對數似然比是依據下列公式：

$$\text{LLR}_c = - \left(\log \left[\frac{S}{N} \right] - \log[W] \right)$$

其中 LLR_c 表示對數似然比，N 表示錯誤統計總數、S 表示儲存狀態數量，而 W 表示儲存錯誤總數。

在本發明之一實施例中，上述之記憶體管理電路具有對數似然比查詢表。對數似然比查詢表記錄被讀取的資料所對應的一當前對數似然比，且對數似然比估算電路利用

對數似然比取代對數似然比查詢表中的當前對數似然比。

本發明提供一種記憶體儲存裝置，包括一連接器、一可複寫式非揮發性記憶體模組以及一記憶體控制器。連接器耦接一主機系統。可複寫式非揮發性記憶體模組具有多個實體區塊，且每一實體區塊具有多個實體頁面。記憶體控制器耦接至可複寫式非揮發性記憶體模組與連接器。記憶體控制器分割每一實體頁面為多個位元資料區；寫入一資料至位元資料區；自位元資料區讀取資料；根據所讀取之資料執行一資料處理程序；以及根據錯誤位元資訊，調整一對數似然比查詢表或記憶胞的至少一門檻值電壓。在每一實體頁面當中至少其中之一位元資料區相較於其他位元資料區具有不同的資料長度，以及每一位元資料區的資料對應一錯誤校正碼框，在錯誤校正碼框當中，對應於至少一位元資料區的錯誤校正碼框為具有較短的資料長度。

在本發明之一實施例中，上述之記憶體控制器在分割每一實體頁面時，將資料長度較短的至少一位元資料區配置於每一實體頁面的初始位置。對應於資料長度較短的至少一位元資料區的錯誤校正碼框具有較佳的錯誤位元校正能力。

在本發明之一實施例中，上述之記憶體控制器調整門檻值電壓係根據錯誤位元資訊計算門檻值電壓的補償電壓，並藉由補償電壓來調整至少一門檻值電壓。

在本發明之一實施例中，上述之記憶體控制器執行資料處理程序係比對所讀取的資料與所寫入的資料以獲得一

第一錯誤位元數及一第二錯誤位元數。計算補償電壓是依據下列公式：

$$x = g \times \log_2 \left(\frac{\text{error2}}{\text{error1}} \right)$$

其中，x 代表補償電壓，g 代表一常數，error1 代表第一錯誤位元數，error2 代表第二錯誤位元數。

在本發明之一實施例中，上述之可複寫式非揮發性記憶體模組具有多個記憶胞且每一記憶胞具有多個儲存狀態。被讀取的資料對應一第一儲存狀態。記憶體控制器執行資料處理程序係對所讀取之資料執行一錯誤校正程序以獲得所讀取之資料在寫入時所對應的一第二儲存狀態。

在本發明之一實施例中，上述之記憶體控制器在所讀取之符合一錯誤統計總數的些儲存狀態中，取得在寫入時為第二儲存狀態而在讀取時為第一儲存狀態的一儲存錯誤總數，並根據錯誤統計總數、儲存狀態的一儲存狀態數量，以及儲存錯誤總數執行一對數運算，以產生被讀取的資料的一對數似然比。計算對數似然比是依據下列公式：

$$\text{LLR}_c = - \left(\log \left[\frac{S}{N} \right] - \log[W] \right)$$

其中 LLR_c 表示對數似然比，N 表示錯誤統計總數、S 表示儲存狀態數量，而 W 表示儲存錯誤總數。

在本發明之一實施例中，上述之記憶體控制器具有對數似然比查詢表，對數似然比查詢表記錄被讀取的資料所對應的一當前對數似然比，且記憶體控制器利用對數似然比取代對數似然比查詢表中的當前對數似然比。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

在本揭露中，每一實體頁面中具有至少一資料位元區與其他資料位元區具有不同的資料長度。對應於資料位元區資料長度較短的錯誤校正碼框具有較佳的錯誤位元校正能力。因此，記憶體儲存裝置對所讀取的資料進行錯誤校正程序時，可確保該等資料能有效地被校正。進而，記憶體儲存裝置可根據所獲得的錯誤位元資訊，選擇性地調整對數似然比查詢表或記憶胞的門檻值電壓。以下將以數個範例實施例與圖式來更詳細描述本發明。

圖 1A 是根據本發明實施例繪示使用可複寫式非揮發性記憶體儲存裝置的主機系統。

請參照圖 1A，主機系統 1000 一般包括電腦 1100 與輸入/輸出(input/output, I/O)裝置 1106。電腦 1100 包括微處理器 1102、隨機存取記憶體(random access memory, RAM) 1104、系統匯流排 1108 以及資料傳輸介面 1110。輸入/輸出裝置 1106 包括如圖 2B 的滑鼠 1202、鍵盤 1204、顯示器 1206 與印表機 1208。必須瞭解的是，圖 2B 所示的裝置非限制輸入/輸出裝置 1106，輸入/輸出裝置 1106 可更包括其他裝置。

在本發明實施例中可複寫式非揮發性記憶體儲存裝置 100 是透過資料傳輸介面 1110 與主機系統 1000 的其他元

件耦接。藉由微處理器 1102、隨機存取記憶體 1104 與輸入/輸出裝置 1106 的處理可將資料寫入至可複寫式非揮發性記憶體儲存裝置 100 或從可複寫式非揮發性記憶體儲存裝置 100 中讀取資料。例如，可複寫式非揮發性記憶體儲存裝置 100 可以是如圖 1B 所示的隨身碟 1212、記憶卡 1214 或固態硬碟(Solid State Drive, SSD)1216。

一般而言，主機 1000 可實質地為可儲存資料的任意系統。雖然在本範例實施例中，主機系統 1000 是以電腦系統來作說明，然而，在本發明另一範例實施例中主機系統 1000 可以是數位相機、攝影機、通信裝置、音訊播放器或視訊播放器等系統。例如，在主機系統為數位相機(攝影機)1310 時，可複寫式非揮發性記憶體儲存裝置則為其所使用的 SD 卡 1312、MMC 卡 1314、記憶棒(memory stick)1316、CF 卡 1318 或嵌入式儲存裝置 1320(如圖 1C 所示)。嵌入式儲存裝置 1320 包括嵌入式多媒體卡(Embedded MMC, eMMC)。值得一提的是，嵌入式多媒體卡是直接耦接於主機系統的基板上。

圖 2 是繪示圖 1A 所示的記憶體儲存裝置的概要方塊圖。

請參照圖 2，記憶體儲存裝置 100 包括連接器 102、記憶體控制器 104 與可複寫式非揮發性記憶體模組 106。

在本範例實施例中，連接器 102 是相容於序列先進附件(Serial Advanced Technology Attachment, SATA)標準。然而，必須瞭解的是，本發明不限於此，連接器 102 亦可以

是符合電氣和電子工程師協會(Institute of Electrical and Electronic Engineers, IEEE) 1394 標準、平行先進附件(Parallel Advanced Technology Attachment, PATA)標準、高速周邊零件連接介面(Peripheral Component Interconnect Express, PCI Express)標準、通用序列匯流排(Universal Serial Bus, USB)標準、安全數位(Secure Digital, SD)介面標準、記憶棒(Memory Stick, MS)介面標準、多媒體儲存卡(Multi Media Card, MMC)介面標準、小型可複寫式非揮發性(Compact Flash, CF)介面標準、整合式驅動電子介面(Integrated Device Electronics, IDE)標準或其他適合的標準。

記憶體控制器 104 用以執行以硬體型式或軟體型式實作的多個邏輯閘或控制指令，並且根據主機系統 1000 的指令在可複寫式非揮發性記憶體模組 106 中進行資料的寫入、讀取與抹除等運作。

可複寫式非揮發性記憶體模組 106 是耦接至記憶體控制器 104，並且用以儲存主機系統 1000 所寫入之資料。在本範例實施例中，可複寫式非揮發性記憶體模組 106 為多階記憶胞(Multi Level Cell, MLC)NAND 快閃記憶體模組。然而，本發明不限於此，可複寫式非揮發性記憶體模組 106 亦可是單階記憶胞(Single Level Cell, SLC)NAND 快閃記憶體模組、其他可複寫式非揮發性記憶體模組或其他具有相同特性的記憶體模組。

圖 3 是根據本發明範例實施例所繪示之記憶體控制器

的概要方塊圖。

請參照圖 3，記憶體控制器 104 包括記憶體管理電路 202、主機介面 204 與記憶體介面 206。

記憶體管理電路 202 用以控制記憶體控制器 104 的整體運作。具體來說，記憶體管理電路 202 具有多個控制指令，並且在記憶體儲存裝置 100 運作時，此些控制指令會被執行以進行資料的寫入、讀取與抹除等運作。

在本範例實施例中，記憶體管理電路 202 的控制指令是以韌體型式來實作。例如，記憶體管理電路 202 具有微處理器單元(未繪示)與唯讀記憶體(未繪示)，並且此些控制指令是被燒錄至此唯讀記憶體中。當記憶體儲存裝置 100 運作時，此些控制指令會由微處理器單元來執行以進行資料的寫入、讀取與抹除等運作。

在本發明另一範例實施例中，記憶體管理電路 202 的控制指令亦可以程式碼型式儲存於可複寫式非揮發性記憶體模組 106 的特定區域(例如，記憶體模組中專用於存放系統資料的系統區)中。此外，記憶體管理電路 202 具有微處理器單元(未繪示)、唯讀記憶體(未繪示)及隨機存取記憶體(未繪示)。特別是，此唯讀記憶體具有驅動碼，並且當記憶體控制器 104 被致能時，微處理器單元會先執行此驅動碼段來將儲存於可複寫式非揮發性記憶體模組 106 中之控制指令載入至記憶體管理電路 202 的隨機存取記憶體中。之後，微處理器單元會運轉此些控制指令以進行資料的寫入、讀取與抹除等運作。此外，在本發明另一範例實施例

中，記憶體管理電路 202 的控制指令亦可以一硬體型式來實作。

主機介面 204 是耦接至記憶體管理電路 202 並且用以接收與識別主機系統 1000 所傳送的指令與資料。也就是說，主機系統 1000 所傳送的指令與資料會透過主機介面 204 來傳送至記憶體管理電路 202。在本範例實施例中，主機介面 204 是相容於 SATA 標準。然而，必須瞭解的是本發明不限於此，主機介面 204 亦可以是相容於 PATA 標準、IEEE 1394 標準、PCI Express 標準、USB 標準、SD 標準、MS 標準、MMC 標準、CF 標準、IDE 標準或其他適合的資料傳輸標準。

記憶體介面 206 是耦接至記憶體管理電路 202 並且用以存取可複寫式非揮發性記憶體模組 106。也就是說，欲寫入至可複寫式非揮發性記憶體模組 106 的資料會經由記憶體介面 206 轉換為可複寫式非揮發性記憶體模組 106 所能接受的格式。

在本發明一範例實施例中，記憶體控制器 104 還包括一儲存單元 252。儲存單元 252 是耦接至記憶體管理電路 202 可用以儲存系統資料、暫存來自於主機系統 1000 的資料與指令或來自於可複寫式非揮發性記憶體模組 106 的資料。

在本發明一範例實施例中，記憶體控制器 104 還包括電源管理電路 254。電源管理電路 254 是耦接至記憶體管理電路 202 並且用以控制記憶體儲存裝置 100 的電源。

在本發明一範例實施例中，記憶體控制器 104 還包括錯誤檢查與校正電路 256。錯誤檢查與校正電路 256 是耦接至記憶體管理電路 202 並且用以執行錯誤檢查與校正程序以確保資料的正確性。具體來說，當記憶體管理電路 202 從主機系統 1000 中接收到寫入指令時，錯誤檢查與校正電路 256 會為對應此寫入指令的資料產生對應的錯誤校正碼 (Error Checking and Correcting Code, ECC Code)，並且記憶體管理電路 202 會將對應此寫入指令的資料與對應的錯誤校正碼寫入至可複寫式非揮發性記憶體模組 106 中。之後，當記憶體管理電路 202 從可複寫式非揮發性記憶體模組 106 中讀取資料時會同時讀取此資料對應的錯誤校正碼，並且錯誤檢查與校正電路 256 會依據此錯誤校正碼對所讀取的資料執行錯誤檢查與校正程序。

值得說明的是，在本發明之一範例實施例中，可複寫式非揮發性記憶體模組的每一實體頁面至少其中之一位元資料區與其他位元資料區具有不同的資料長度。對應於位元資料區資料長度較短的錯誤校正碼框具有較佳的錯誤位元校正能力。因此，錯誤檢查與校正電路 256 對所讀取的資料進行錯誤校正程序時，可確保該等資料能有效地被檢查與校正。進而，記憶體管理電路 202 可根據所獲得的錯誤位元資訊，選擇性地調整對數似然比查詢表或記憶胞的門檻值電壓。

一般而言，以長度為 8KB 的實體頁面為例，若記憶體管理電路 202 將該實體頁面平均分割為 8 個位元資料區，

則每一位元資料區的可儲存的資料長度約為 1KB。然而，在此種情況下，即使搭配 42 位元資料 BCH 碼(Bose、Ray-Chaudhuri、Hocquenghem code)的錯誤校正碼框，其校正能力(correction capability)仍無法達到 10^{-14} 位元錯誤率(bit error rate, BER)的解碼輸出(decoder output)。

圖 4 是根據本發明範例實施例所繪示之可複寫式非揮發性記憶體模組實體頁面之位元區資料的架構示意圖。

請參照圖 4，本實施例之記憶體管理電路 202 在分割每一實體頁面時，係將其分割為具有不同資料長度的位元資料區。特別是，資料長度較短的一位元資料區係配置於每一實體頁面的初始位置，其中對應於資料長度較短的該位元資料區之錯誤校正碼框具有較佳的錯誤位元校正能力。

舉例而言，在本實施例中，記憶體管理電路 202 係將每一實體頁面分割為 6 個位元資料區。在該等位元資料區當中，初始位置的位元資料區長度為 0.5KB，其他的位元資料區長度則為 1.5KB。在此，搭配每一位元資料區者，係 56 位元資料 BCH 碼的錯誤校正碼框。因此，針對長度為 0.5KB 的位元資料區，56 位元資料 BCH 碼的錯誤校正碼框具有較佳的錯誤位元校正能力。對應資料長度較短的位元資料區之錯誤校正碼框可稱之為「領導錯誤校正碼框」(leading ECC frame)。

對於長度較短的位元資料區而言，56 位元資料 BCH 碼的領導錯誤校正碼框可提供 10^{-14} 位元錯誤率的解碼輸

出。進而，錯誤檢查與校正電路 256 對該長度較短的位元資料區進行讀取時，其所讀取的資料在進行錯誤校正程序時，可確保該等資料能更有效地被檢查與校正。因此，錯誤檢查與校正電路 256 可提供適當的錯誤位元資訊，以利記憶體管理電路 202 根據所獲得的錯誤位元資訊，選擇性地調整其對數似然比查詢表或記憶胞的門檻值電壓。

惟應注意者係，本實施例之資料長度較短的位元資料區雖配置於每一實體頁面的初始位置，但本發明並不限於此。在其他實施例中，資料長度較短的位元資料區與領導錯誤校正碼框亦可配置於任兩個長度為 1.5KB 的位元資料區之間。此外，本發明之每一實體頁面的位元資料區數目及長度也不限於本實施例所例示者。

在記憶體管理電路 202 獲得適當的錯誤位元資訊之後，即可選擇性地調整其對數似然比查詢表或記憶胞的門檻值電壓。以下將以不同的範例實施例與圖式來更詳細描述如何調整其對數似然比查詢表及記憶胞的門檻值電壓。

圖 5 是根據本發明範例實施例所繪示的記憶體儲存裝置的概要方塊圖。

請參照圖 3 及圖 5，記憶體儲存裝置 100 會與主機系統 1000 一起使用，以使主機系統 1000 可將資料寫入至記憶體儲存裝置 100 或從記憶體儲存裝置 100 中讀取資料。

記憶體控制器 104 包括記憶體管理電路 202、主機介面 204、記憶體介面 206、儲存單元 252、電源管理電路 254

與錯誤檢查與校正電路 256。其中記憶體控制器 104 的結構與功能已描述如上，在此不重複描述。

記憶體模組 106 用以儲存主機系統 1000 所寫入之資料。在本實施例中，記憶體模組 106 例如為 MLC 快閃記憶體模組，其包括記憶胞陣列 502、字元線控制電路 504、資料位元線控制電路 506、欄解碼器 (column decoder) 508、資料輸入/輸出緩衝器 510 與控制電路 512。

記憶胞陣列 502 包括用以儲存資料的多個記憶胞(圖未示)、連接此些記憶胞的多條資料位元線(圖未示)、多條字元線與共用源極線(圖未示)。記憶胞是以陣列方式配置在資料位元線與字元線的交叉點上。當從記憶體控制器 104 接收到寫入指令或讀取資料時，控制電路 512 會控制字元線控制電路 504、資料位元線控制電路 506、欄解碼器 508、資料輸入/輸出緩衝器 510 來寫入資料至記憶體陣列 502 或從記憶體陣列 502 中讀取資料，其中字元線控制電路 504 用以控制施予至字元線的字元線電壓，資料位元線控制電路 506 用以控制資料位元線，欄解碼器 508 依據指令中的解碼列位址以選擇對應的資料位元線，並且資料輸入/輸出緩衝器 510 用以暫存資料。

如前所述在本實施例中，記憶體模組 106 為 MLC 快閃記憶體，其使用多個浮動電壓來代表多位元資料 (bits) 的資料。具體來說，記憶胞陣列 502 的每一記憶胞具有多個儲存狀態，並且此些儲存狀態是以多個位元資料讀取電壓來區分。在第三範例實施例中，控制電路 512 亦會控制

字元線控制電路 504、資料位元線控制電路 506、欄解碼器 508 與資料輸入/輸出緩衝器 510 以執行資料之寫入與讀取。

圖 6 是根據本發明範例實施例繪示的調整門檻值電壓的方法的流程圖。

請參照圖 6，在步驟 S602 中，記憶體管理電路 202 寫入資料至記憶體模組 106 之位元資料區。接著，在步驟 S604 中，記憶體管理電路 202 自記憶體模組 106 之位元資料區讀取資料。此資料是對應至記憶體模組 106 的其中一種儲存狀態，而兩個儲存狀態的電壓範圍是由一門檻值電壓來區分。

在本實施例中，當記憶體管理電路 202 偵測到記憶體模組 106 發生不可校正錯誤時，記憶體管理電路 202 便會控制錯誤檢查與校正電路 256 開始執行調整門檻值電壓的方法。例如，錯誤檢查與校正電路 256 利用錯誤校正碼框執行錯誤校正程序來得到錯誤位元數。而記憶體管理電路 202 會在所發生的錯誤位元數超出一第一預設值時，判定記憶體模組 106 發生不可校正錯誤。

在本實施例中，記憶體管理電路 202 會針對記憶體模組 106 的儲存狀態來決定用來進行測試的資料，也就是將這些資料寫入至記憶體模組 106 再讀取出來進行比對，藉以調整門檻值電壓。而在其他實施例中，亦可以寫入一般的資料來調整門檻值電壓。也就是說，記憶體管理電路 202 在將資料寫入至記憶體模組 106 時，會將所寫入的資料記

錄下來，之後自記憶體模組 106 讀取資料時，才能夠比對所讀取的資料與所寫入的資料。

之後，在步驟 S606 中，記憶體管理電路 202 分別比較所讀取的每一筆資料與其對應所寫入的資料而獲得錯誤位元資訊。換句話說，記憶體管理電路 202 係根據所讀取之資料執行一資料處理程序，以獲得錯誤位元資訊。例如，可在記憶體管理電路 202 寫入資料至記憶體模組 106 時，先行記錄下所寫入的資料。之後，記憶體管理電路 202 便可將自記憶體模組 106 所讀取出的資料與其先前記錄的資料進行比對，而獲得錯誤位元資訊。在此，錯誤位元資訊包括錯誤位元數以及錯誤位元資料模式（例如，以記憶胞只能儲存 1 位元資料而言，讀取之資料的儲存狀態由 0 變為 1，或是由 1 變為 0）。在本發明另一範例實施例中，上述資料處理程序亦可為一錯誤校正程序。此時，記憶體管理電路 202 係用錯誤校正碼來完成資料校正，進而獲得錯誤位元資訊。

在計算出錯誤位元資訊之後，如步驟 S608 所示，記憶體管理電路 202 再依據錯誤位元資訊，計算門檻值電壓的補償電壓。在步驟 S610 中，記憶體管理電路 202 藉由補償電壓來調整門檻值電壓。

值得說明的是，本實施例之記憶體管理電路 202 在分割每一實體頁面時，係將實體頁面分割為具有不同資料長度的位元資料區。特別是，資料長度較短的一位元資料區係配置於每一實體頁面的初始位置，其中對應於資料長度

較短的該位元資料區之錯誤校正碼框具有較佳的錯誤位元校正能力。因此，錯誤檢查與校正電路 256 可提供適當的錯誤位元資訊，以利記憶體管理電路 202 根據所獲得的錯誤位元資訊，選擇性地調整其對數似然比查詢表或記憶胞的門檻值電壓。

上述寫入的資料包括多筆位元資料。以電壓範圍相鄰的第一儲存狀態與第二儲存狀態為例，記憶體管理電路 202 會統計這些位元資料在寫入時為第一儲存狀態而在讀取時為第二儲存狀態的第一錯誤位元數。並且，記憶體管理電路 202 會統計這些位元資料在寫入時為第二儲存狀態而在讀取時為第一儲存狀態的第二錯誤位元數。在此，第一儲存狀態的電壓範圍小於第二儲存狀態的電壓範圍，而記憶體管理電路 202 計算補償電壓是依據下列公式：

$$x = g \times \log_2 \left(\frac{\text{error2}}{\text{error1}} \right)。$$

其中，x 代表補償電壓，g 代表常數，error2 代表第二錯誤位元數，error1 代表第一錯誤位元數。

而在計算出補償電壓 x 之後，則可將門檻值電壓加上補償電壓而獲得調整後的門檻值電壓。

以每個記憶胞中儲存 2 個位元資料的記憶體模組 106 而言，當其中一實體頁面產生的錯誤位元數大於第一預設值或是錯誤位元數超出錯誤檢查與校正電路 256 的錯誤校正能力時，記憶體管理電路 202 可先判斷此實體頁面為快速實體頁面或慢速實體頁面。當此實體頁面為快速實體頁面時，記憶體管理電路 202 會讀取其中之一的快速實體頁

面的資料，並比對所讀取的資料與原始資料，以找出錯誤位元資料位置。之後，再自錯誤位元資料位置讀取對應的位元資料。記憶體管理電路 202 會依據所讀取的位元資料判斷錯誤位元資料模式。例如，寫入的位元資料為第一儲存狀態而讀取出的位元資料為第二儲存狀態，或是寫入的位元資料為第二儲存狀態，而讀取出的位元資料為第一儲存狀態（第一儲存狀態與第二儲存狀態的電壓範圍相鄰）。據此，記憶體管理電路 202 會統計快速實體頁面中位元資料為第一儲存狀態而誤判為第二儲存狀態的第一錯誤位元數，以及統計位元資料為第二儲存狀態而誤判至第一儲存狀態的第二錯誤位元數。另一方面，當此實體頁面為慢速實體頁面時，記憶體管理電路 202 自慢速實體頁面的錯誤位元資料位置讀取出慢速實體頁面對應的位元資料。並且，記憶體管理電路 202 依據慢速實體頁面的錯誤位元資料位置，讀取快速實體頁面對應的位元資料。藉此，記憶體管理電路 202 可依據上述位元資料，計算慢速實體頁面的第一錯誤位元數與第二錯誤位元數。

在本實施例中，在計算出錯誤位元資訊之後，為了使計算之後的數據具有較高的可信度，記憶體管理電路 202 更可先判斷錯誤位元資訊中的錯誤位元數是否大於一第二預設值，以在錯誤位元數大於第二預設值時再執行計算補償值的步驟。

其中有關調整門檻值電壓之方法的進一步說明已詳敘在臺灣申請案 099111612 相關段落中，其因引用而納入

本文成為揭露的一部份。

在本發明中，記憶體儲存裝置除了根據錯誤位元資訊，調整記憶胞的門檻值電壓之外，亦可選擇調整對數似然比查詢表。

圖 7 是根據本發明範例實施例所繪示的記憶體儲存裝置的概要方塊圖。請參照圖 7，本實施例之記憶體控制器 104' 更包括一對數似然比估算電路 702。記憶體管理電路 202' 包括一對數似然比查詢表 704。

對數似然比估算電路 702 耦接記憶體管理電路 202' 以及錯誤檢查與校正電路 256。對數似然比估算電路 702 係用以實現本範例實施例的對數似然比調整機制。此對數似然比調整機制的詳細運作方式將於以下配合圖式再作說明。在一範例實施例中，對數似然比估算電路 702 例如是以硬體型式實作成數個控制指令。在其他範例實施例中，對數似然比估算電路 702 也可以是韌體型式實作成的控制指令或以程式碼型式實作成的控制指令。

圖 8 是根據本發明範例實施例繪示之儲存狀態與位元資料讀取電壓的示意圖。在本範例實施例中，可複寫式非揮發性記憶體模組 106 為 8 階記憶胞 NAND 型快閃記憶體，如圖 8 所示，每個記憶胞中的浮動電壓係依據第一位元資料讀取電壓 VA、第二位元資料讀取電壓 VB、第三位元資料讀取電壓 VC、第四位元資料讀取電壓 VD、第五位元資料讀取電壓 VE、第六位元資料讀取電壓 VF 與第七位元資料讀取電壓 VG 而區分為 8 種儲存狀態，分別是

"111"、"110"、"100"、"101"、"001"、"000"、"010"與"011"。每個儲存狀態都包括最低有效位元資料 (Least Significant Bit, LSB)、中間有效位元資料 (Center Significant Bit, CSB), 以及最高有效位元資料 (Most Significant Bit, MSB) 這 3 個位元資料。舉例來說, 在本範例實施例中各儲存狀態從左側算起之第 1 個位元資料為 LSB, 從左側算起之第 2 個位元資料為 CSB, 而從左側算起之第 3 個位元資料為 MSB。據此, 每一記憶胞可儲存 3 個位元資料, 故同一條字元線上的記憶胞會構成 3 個實體頁面 (即, 下實體頁面、中實體頁面以及上實體頁面) 的儲存空間。也就是說, 每一記憶胞的 LSB 是對應下實體頁面、每一記憶胞的 CSB 是對應中實體頁面, 而每一記憶胞的 MSB 是對應上實體頁面。此外, 數個實體頁面會構成一個實體區塊, 而實體區塊為執行抹除運作的最小單位。亦即, 每一實體區塊含有最小數目之一併被抹除之記憶胞。在本範例實施例中, 這 8 種儲存狀態的儲存狀態次序依序為 "111"、"110"、"100"、"101"、"001"、"000"、"010"、"011"。必須說明的是, 儲存狀態次序可能會依各家可複寫式非揮發性記憶體晶片製造商的設計而有所不同, 在此並不加以限制。

圖 9 繪示的是在圖 8 所示之範例實施例中各種可能發生儲存錯誤之儲存狀態的對應關係。在圖 9 中, 標示在 "→" 之右方的儲存狀態代表讀取資料的第一儲存狀態, 而標示在 "→" 之左方的儲存狀態為讀取資料的第二儲存狀態。

請同時參閱圖 8 與圖 9, 當讀取資料的第一儲存狀態

為"000"時，可能的第 2 儲存狀態是"010"、"001"。當讀取資料的第一儲存狀態為"001"時，可能的第二儲存狀態是"101"、"000"。而當讀取資料的第一儲存狀態為"010"時，可能的第二儲存狀態是"000"、"011"，以此類推。

在圖 9 中標示為"*"之處，表示若讀取資料在被讀取時係對應該第一儲存狀態，則儲存錯誤發生在該位元資料的機率很小。例如，當讀取資料的第一儲存狀態為"100"時，若儲存錯誤發生在 LSB 則表示讀取資料的第二儲存狀態應為"000"。但由於本範例實施例已假設儲存錯誤僅會發生在儲存狀態次序相鄰的儲存狀態之間，而對照圖 8 可知儲存狀態"000"與儲存狀態"100"並不相鄰，是故在讀取資料的第一儲存狀態為"100"時，儲存錯誤發生在 LSB 的機率相當的低，在此假設不會有讀取資料的第二儲存狀態為"000"的情況，也就是 LSB 為 0 的對數似然比為負無限大。

在一範例實施例中，當對數似然比估算電路 702 取得讀取資料的第一儲存狀態為"001"且第二儲存狀態為"000"，對數似然比估算電路 702 便會統計錯誤統計總數之記憶胞所儲存的該些資料中，取得資料被寫入時為儲存狀態"000"但在被讀取時為儲存狀態為"001"的儲存錯誤總數，並且以上述算式(1)計算一對數似然比。然而，倘若讀取資料的第一儲存狀態為"001"而第二儲存狀態為"100"，由於第一、第二儲存狀態在儲存狀態次序中並不相鄰，因此對數似然比估算電路 702 會根據讀取資料之一讀取位元資料的值，將對數似然比設定為正無限大或負無限

大。圖 9 所示之對應關係可用來算出讀取資料之儲存錯誤發生在 LSB、CSB 或 MSB 的對數似然比。

圖 10 是根據本發明範例實施例繪示之調整對數似然比之方法的流程圖。

在記憶體儲存裝置 100 接收到主機系統 1000 下達的讀取指令後，首先如步驟 S1010 所示，記憶體控制器 104' 中的記憶體管理電路 202' 指示記憶體模組 106 使用位元資料讀取電壓從記憶胞中獲取一讀取資料，此讀取資料對應第一儲存狀態。

接著在步驟 S1020 中，記憶體控制器 104' 中的錯誤檢查與校正電路 256 對讀取資料執行一錯誤校正程序以獲得讀取資料在寫入記憶體模組 106 當時所對應的第二儲存狀態。

接下來如步驟 S1030 所示，記憶體控制器 104' 中的對數似然比估算電路 702 在符合錯誤統計總數的儲存狀態中，取得在寫入時為第二儲存狀態而在讀取時為第一儲存狀態的一儲存錯誤總數。

在步驟 S1040 中，對數似然比估算電路 702 根據錯誤統計總數、儲存狀態的儲存狀態數量，以及儲存錯誤總數執行一對數運算，以產生讀取資料的一對數似然比，其中計算該對數似然比是依據下列公式：

$$LLR_c = -\left(\log\left[\frac{S}{N}\right] - \log[W]\right)$$

其中 LLR_c 表示對數似然比，N 表示錯誤統計總數、S 表示儲存狀態數量，而 W 表示儲存錯誤總數。

之後，在步驟 S1050 中，對數似然比估算電路 702 可直接利用估算所得之對數似然比來更新記憶體管理電路 202' 中的對數似然比查詢表 704。亦即，利用該估算所得之對數似然比取代對數似然比查詢表 704 中讀取資料所對應的當前對數似然比。

其中有關調整對數似然比之方法的進一步說明已詳敘在臺灣申請案 099131626 相關段落中，其因引用而納入本文成為揭露的一部份。

圖 11 是根據本發明範例實施例繪示之資料讀取方法的流程圖。

請同時參照圖 2 及圖 11，本實施例之資料讀取方法例如適用於一可複寫式非揮發性記憶體模組，其包括如下步驟。首先，在步驟 S1100 中，分割記憶體模組 106 之每一實體頁面為多個位元資料區，其中分割後的實體頁面之位元資料區長度及數量如圖 4 所示。接著，在步驟 S1102 中，寫入一資料至該等實體頁面之位元資料區。之後，在步驟 S1104 中，自被寫入資料的該等位元資料區中讀取資料。繼之，在步驟 S1106 中，根據所讀取之資料執行一資料處理程序以獲得一錯誤位元資訊。其中，該資料處理程序包括比對所讀取的該資料與所寫入的該資料。或者，該資料處理程序亦可為一錯誤校正程序。接著，在步驟 S1108 中，根據錯誤位元資訊，調整對數似然比查詢表或記憶胞之門檻值電壓。

另外，本發明之實施例的資料讀取方法可以由圖 1 至

圖 10 實施例之敘述中獲致足夠的教示、建議與實施說明，因此不再贅述。

綜上所述，在本發明之範例實施例中，對應於位元資料區資料長度較短的錯誤校正碼框具有較佳的錯誤位元校正能力。因此，記憶體儲存裝置對所讀取的資料進行錯誤校正程序時，可確保該等資料能有效地被檢查與校正。進而，記憶體儲存裝置可根據所獲得的錯誤位元資訊，選擇性地調整對數似然比查詢表或記憶胞的門檻值電壓。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A 是根據本發明實施例繪示使用可複寫式非揮發性記憶體儲存裝置的主機系統。

圖 1B 是根據本發明範例實施例所繪示的電腦、輸入/輸出裝置與記憶體儲存裝置的示意圖。

圖 1C 是根據本發明另一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。

圖 2 是繪示圖 1A 所示的記憶體儲存裝置的概要方塊圖。

圖 3 是根據本發明範例實施例所繪示之記憶體控制器的概要方塊圖。

圖 4 是根據本發明範例實施例所繪示之可複寫式非揮發性記憶體模組實體頁面之位元資料區的架構示意圖。

圖 5 是根據本發明範例實施例所繪示的記憶體儲存裝置的概要方塊圖。

圖 6 是根據本發明範例實施例繪示的調整門檻值電壓的方法的流程圖。

圖 7 是根據本發明範例實施例所繪示的記憶體儲存裝置的概要方塊圖。

圖 8 是根據本發明範例實施例繪示之儲存狀態與位元資料讀取電壓的示意圖。

圖 9 繪示的是在圖 8 所示之範例實施例中各種可能發生儲存錯誤之儲存狀態的對應關係。

圖 10 是根據本發明範例實施例繪示之調整對數似然比之方法的流程圖。

圖 11 是根據本發明範例實施例繪示之資料讀取方法的流程圖。

【主要元件符號說明】

- 1000：主機系統
- 1100：電腦
- 1102：微處理器
- 1104：隨機存取記憶體
- 1106：輸入/輸出裝置
- 1108：系統匯流排

- 1110：資料傳輸介面
- 1202：滑鼠
- 1204：鍵盤
- 1206：顯示器
- 1208：印表機
- 1212：隨身碟
- 1214：記憶卡
- 1216：固態硬碟
- 1310：數位相機
- 1312：SD 卡
- 1314：MMC 卡
- 1316：記憶棒
- 1318：CF 卡
- 1320：嵌入式儲存裝置
- 100：記憶體儲存裝置
- 102：連接器
- 104、104'：記憶體控制器
- 106：可複寫式非揮發性記憶體模組
- 202、202'：記憶體管理電路
- 204：主機介面
- 206：記憶體介面
- 252：儲存單元
- 254：電源管理電路
- 256：錯誤檢查與校正電路
- 502：記憶胞陣列

504：字元線控制電路

506：位元線控制電路

508：欄解碼器

510：資料輸入/輸出緩衝器

512：控制電路

702：對數似然比估算電路

704：對數似然比查詢表

VA：第一位元資料讀取電壓

VB：第二位元資料讀取電壓

VC：第三位元資料讀取電壓

VD：第四位元資料讀取電壓

VE：第五位元資料讀取電壓

VF：第六位元資料讀取電壓

VG：第七位元資料讀取電壓

S602、S604、S606、S608、S610：調整門檻值電壓的方法步驟

S1010、S1020、S1030、S1040、S1050：調整對數似然比的方法步驟

S1100、S1102、S1104、S1106、S1108：資料讀取方法的步驟

七、申請專利範圍：

1. 一種資料讀取方法，用於一可複寫式非揮發性記憶體模組，該可複寫式非揮發性記憶體模組具有多個實體區塊，且每一該些實體區塊具有多個實體頁面，該資料讀取方法包括：

分割每一該些實體頁面為多個位元資料區，其中在每一該些實體頁面當中至少一位元資料區相較於其他位元資料區具有不同的資料長度；

寫入一資料至該些位元資料區，其中每一該些位元資料區對應一錯誤校正碼框，且在該些錯誤校正碼框當中，對應於該至少一位元資料區的錯誤校正碼框為具有較短的資料長度；

自該些位元資料區讀取該資料；

根據所讀取之該資料執行一資料處理程序以獲得一錯誤位元資訊；以及

根據該錯誤位元資訊，調整一對數似然比查詢表(Log Likelihood Ratio table, LLR table) 或至少一門檻值電壓。

2. 如申請專利範圍第 1 項所述之資料讀取方法，其中分割每一該些實體頁面的步驟包括：

將該至少一位元資料區配置於每一該些實體頁面的初始位置，

其中對應於該至少一位元資料區的錯誤校正碼框具有較佳的錯誤位元校正能力。

3. 如申請專利範圍第 1 項所述之資料讀取方法，其中

調整該至少一門檻值電壓的步驟包括：

根據該錯誤位元資訊計算該至少一門檻值電壓的補償電壓；以及

藉由該補償電壓來調整該至少一門檻值電壓。

4. 如申請專利範圍第 3 項所述之資料讀取方法，其中根據所讀取之該資料執行該資料處理程序以獲得該錯誤位元資訊的步驟包括比對所讀取的該資料與所寫入的該資料以獲得一第一錯誤位元數及一第二錯誤位元數，其中計算該補償電壓是依據下列公式：

$$x = g \times \log_2 \left(\frac{\text{error2}}{\text{error1}} \right)$$

其中，x 代表該補償電壓，g 代表一常數，error1 代表該第一錯誤位元數，error2 代表該第二錯誤位元數。

5. 如申請專利範圍第 1 項所述之資料讀取方法，其中該可複寫式非揮發性記憶體模組具有多個記憶胞且每一該些記憶胞具有多個儲存狀態，被讀取的該資料對應一第一儲存狀態，其中根據所讀取之該資料執行該資料處理程序以獲得該錯誤位元資訊的步驟包括對所讀取之該資料執行一錯誤校正程序以獲得所讀取之該資料在寫入時所對應的一第二儲存狀態。

6. 如申請專利範圍第 5 項所述之資料讀取方法，其中調整對數似然比查詢表的步驟包括：

在所讀取之符合一錯誤統計總數的該些儲存狀態中，取得在寫入時為該第二儲存狀態而在讀取時為該第一儲存狀態的一儲存錯誤總數；以及

根據該錯誤統計總數、該些儲存狀態的一儲存狀態數量，以及該儲存錯誤總數執行一對數運算，以產生被讀取的該資料的一對數似然比，其中計算該對數似然比是依據下列公式：

$$\text{LLR}_c = \left(\log \left[\frac{S}{N} \right] - \log[W] \right)$$

其中 LLR_c 表示該對數似然比， N 表示該錯誤統計總數、 S 表示該儲存狀態數量，而 W 表示該儲存錯誤總數。

7. 如申請專利範圍第 6 項所述之資料讀取方法，其中該可複寫式非揮發性記憶體模組配置於一記憶體儲存裝置，該記憶體儲存裝置包括該對數似然比查詢表，該對數似然比查詢表記錄被讀取的該資料所對應的一當前對數似然比，其中調整對數似然比查詢表的步驟更包括：

利用該對數似然比取代該對數似然比查詢表中的該當前對數似然比。

8. 一種記憶體控制器，包括：

一主機系統介面，耦接一主機系統；

一記憶體介面，耦接一可複寫式非揮發性記憶體模組，該可複寫式非揮發性記憶體模組具有多個實體區塊，且每一該些實體區塊具有多個實體頁面；

一記憶體管理電路，耦接至該主機系統介面與該記憶體介面，該記憶體管理電路分割每一該些實體頁面為多個位元資料區；寫入一資料至該些位元資料區；自該些位元資料區讀取該資料；根據所讀取之該資料執行一資料處理程序以獲得一錯誤位元資訊；以及根據該錯誤位元資訊，

調整至少一門檻值電壓；以及

一對數似然比估算電路，耦接該記憶體管理電路，該對數似然比估算電路根據該錯誤位元資訊調整一對數似然比查詢表（Log Likelihood Ratio table，LLR table），

其中在每一該些實體頁面當中至少一位元資料區相較於其他位元資料區具有不同的資料長度，以及每一該些位元資料區對應一錯誤校正碼框，在該些錯誤校正碼框當中，對應該至少一位元資料區的錯誤校正碼框為具有較短的資料長度。

9. 如申請專利範圍第 8 項所述之記憶體控制器，其中該記憶體管理電路將資料長度較短的該至少一位元資料區配置於每一該實體頁面的初始位置，其中對應於該至少一位元資料區的該錯誤校正碼框具有較佳的錯誤位元校正能力。

10. 如申請專利範圍第 8 項所述之記憶體控制器，其中該記憶體管理電路根據該錯誤位元資訊計算該至少一門檻值電壓的補償電壓，並藉由該補償電壓來調整該至少一門檻值電壓。

11. 如申請專利範圍第 10 項所述之記憶體控制器，其中該記憶體管理電路執行該資料處理程序係比對所讀取的該資料與所寫入的該資料以獲得一第一錯誤位元數及一第二錯誤位元數，其中計算該補償電壓是依據下列公式：

$$x = g \times \log_2 \left(\frac{\text{error2}}{\text{error1}} \right)$$

其中，x 代表該補償電壓，g 一代表常數，error1 代表

該第一錯誤位元數，error2 代表該第二錯誤位元數。

12. 如申請專利範圍第 8 項所述之記憶體控制器，其中該可複寫式非揮發性記憶體模組具有多個記憶胞且每一該些記憶胞具有多個儲存狀態，被讀取的該資料對應一第一儲存狀態，其中該記憶體管理電路執行該資料處理程序係對所讀取之該資料執行一錯誤校正程序以獲得所讀取之該資料在寫入時所對應的一第二儲存狀態。

13. 如申請專利範圍第 12 項所述之記憶體控制器，其中該對數似然比估算電路在所讀取之符合一錯誤統計總數的該些儲存狀態中，取得在寫入時為該第二儲存狀態而在讀取時為該第一儲存狀態的一儲存錯誤總數，並根據該錯誤統計總數、該些儲存狀態的一儲存狀態數量，以及該儲存錯誤總數執行一對數運算，以產生被讀取的該資料的一對數似然比，其中計算該對數似然比是依據下列公式：

$$LLR_c = -\left(\log\left[\frac{S}{N}\right] - \log[W]\right)$$

其中 LLR_c 表示該對數似然比，N 表示該錯誤統計總數、S 表示該儲存狀態數量，而 W 表示該儲存錯誤總數。

14. 如申請專利範圍第 13 項所述之記憶體控制器，其中該記憶體管理電路具有該對數似然比查詢表，該對數似然比查詢表記錄被讀取的該資料所對應的一當前對數似然比，且該對數似然比估算電路利用該對數似然比取代該對數似然比查詢表中的該當前對數似然比。

15. 一種記憶體儲存裝置，包括：

一連接器，耦接一主機系統；

一可複寫式非揮發性記憶體模組，具有多個實體區塊，且每一該些實體區塊具有多個實體頁面；以及

一記憶體控制器，耦接至該可複寫式非揮發性記憶體模組與該連接器，該記憶體控制器分割每一該些實體頁面為多個位元資料區；寫入一資料至該些位元資料區；自該些位元資料區讀取該資料；根據所讀取之該資料執行一資料處理程序以獲得一錯誤位元資訊；以及根據該錯誤位元資訊，調整一對數似然比查詢表（Log Likelihood Ratio table, LLR table）或至少一門檻值電壓，

其中在每一該些實體頁面當中至少一位元資料區相較於其他位元資料區具有不同的資料長度，以及每一該些位元資料區對應一錯誤校正碼框，在該些錯誤校正碼框當中，對應於該至少一位元資料區的錯誤校正碼框為具有較短的資料長度。

16. 如申請專利範圍第 15 項所述之記憶體儲存裝置，其中該記憶體控制器將該至少一位元資料區配置於每一該些實體頁面的初始位置，其中該至少一位元資料區的該錯誤校正碼框具有較佳的錯誤位元校正能力。

17. 如申請專利範圍第 15 項所述之記憶體儲存裝置，其中該記憶體控制器根據該錯誤位元資訊計算該至少一門檻值電壓的補償電壓，並藉由該補償電壓來調整該至少一門檻值電壓。

18. 如申請專利範圍第 17 項所述之記憶體儲存裝置，其中該記憶體控制器執行該資料處理程序係比對所讀取的該資料與所寫入的該資料以獲得一第一錯誤位元數及

一 第二錯誤位元數，其中計算該補償電壓是依據下列公式：

$$x = g \times \log_2 \left(\frac{\text{error2}}{\text{error1}} \right)$$

其中，x 代表該補償電壓，g 代表一常數，error1 代表該第一錯誤位元數，error2 代表該第二錯誤位元數。

19. 如申請專利範圍第 15 項所述之記憶體儲存裝置，其中該可複寫式非揮發性記憶體模組具有多個記憶胞且每一該些記憶胞具有多個儲存狀態，被讀取的該資料對應一第一儲存狀態，該記憶體控制器執行該資料處理程序係對所讀取之該資料執行一錯誤校正程序以獲得所讀取之該資料在寫入時所對應的一第二儲存狀態。

20. 如申請專利範圍第 19 項所述之記憶體儲存裝置，其中該記憶體控制器在所讀取之符合一錯誤統計總數的該些儲存狀態中，取得在寫入時為該第二儲存狀態而在讀取時為該第一儲存狀態的一儲存錯誤總數，並根據該錯誤統計總數、該些儲存狀態的一儲存狀態數量，以及該儲存錯誤總數執行一對數運算，以產生被讀取的該資料的一對數似然比，其中計算該對數似然比是依據下列公式：

$$\text{LLR}_c = - \left(\log \left[\frac{S}{N} \right] - \log[W] \right)$$

其中 LLR_c 表示該對數似然比，N 表示該錯誤統計總數、S 表示該儲存狀態數量，而 W 表示該儲存錯誤總數。

21. 如申請專利範圍第 20 項所述之記憶體儲存裝置，其中該記憶體控制器具有該對數似然比查詢表，該對數似然比查詢表記錄被讀取的該資料所對應的一當前對數似然比，且該記憶體控制器利用該對數似然比取代該對數

似然比查詢表中的該當前對數似然比。

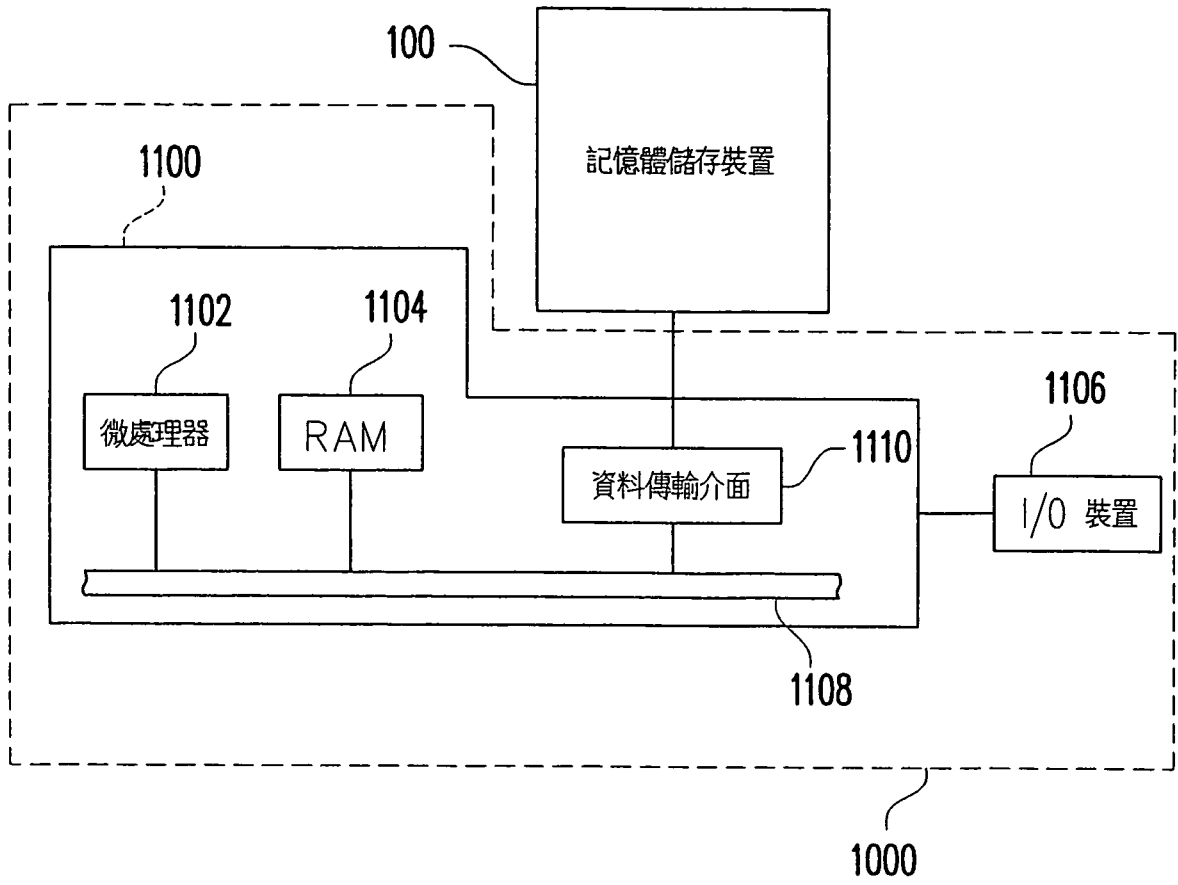


圖 1A

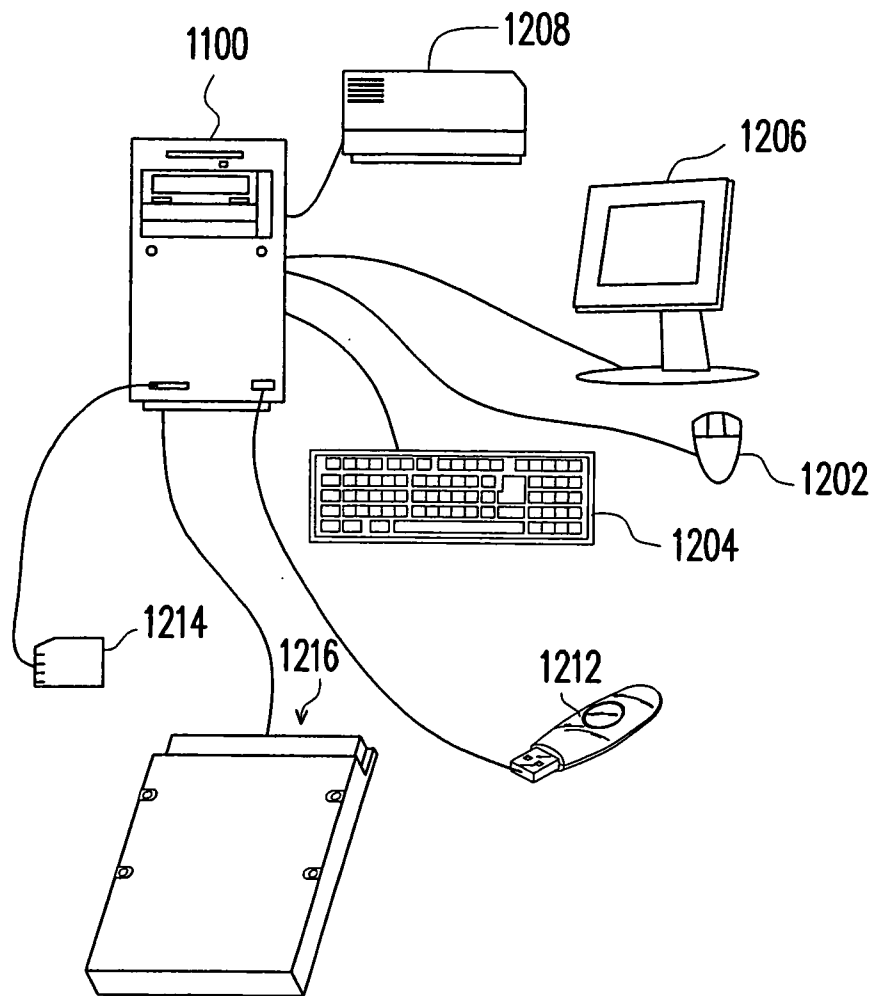


圖 1B

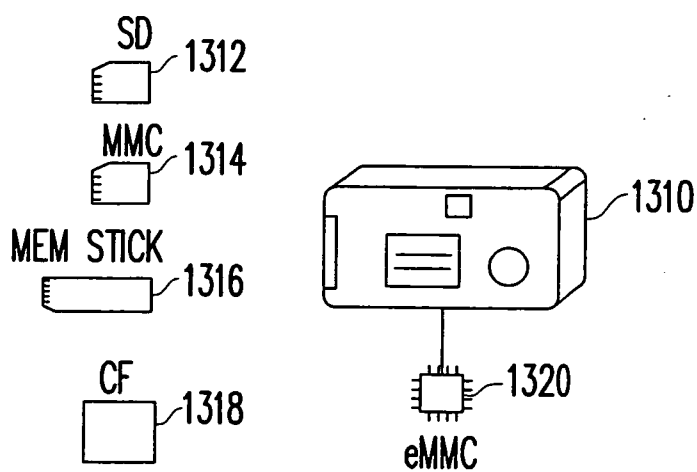


圖 1C

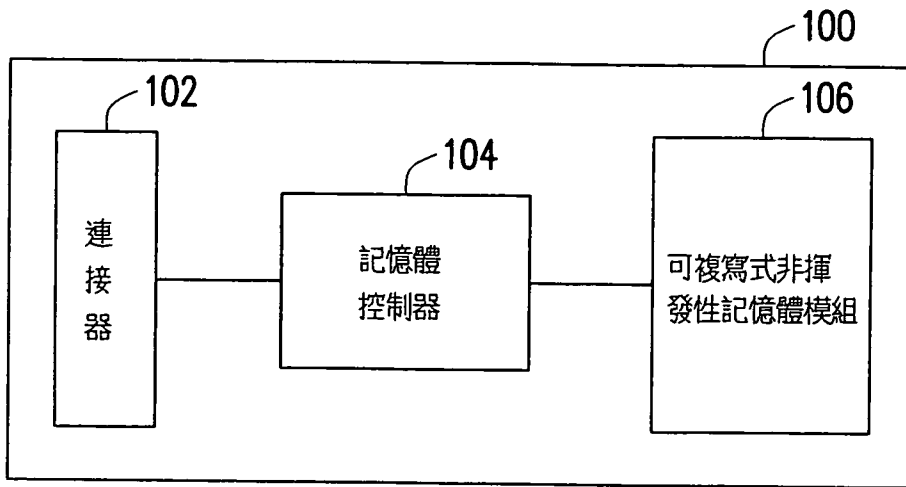


圖 2

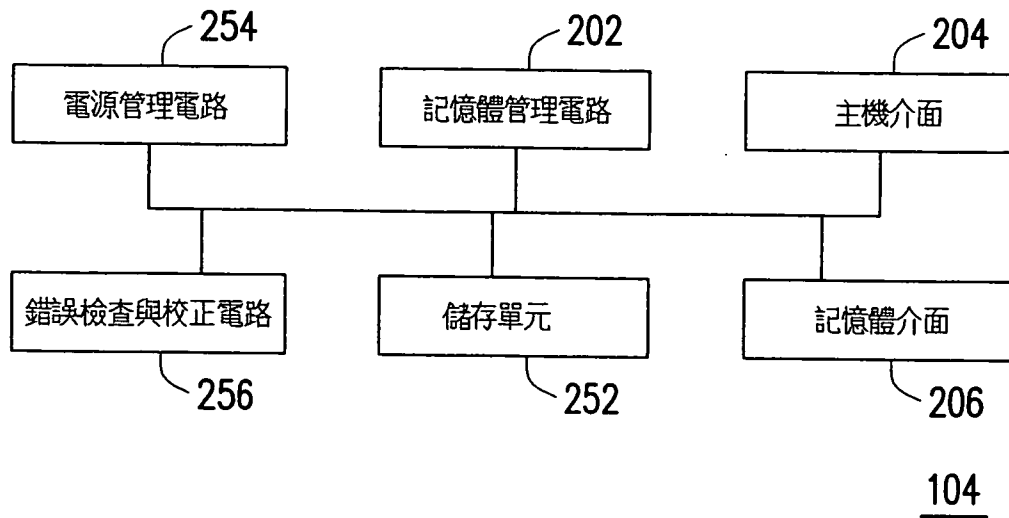


圖 3

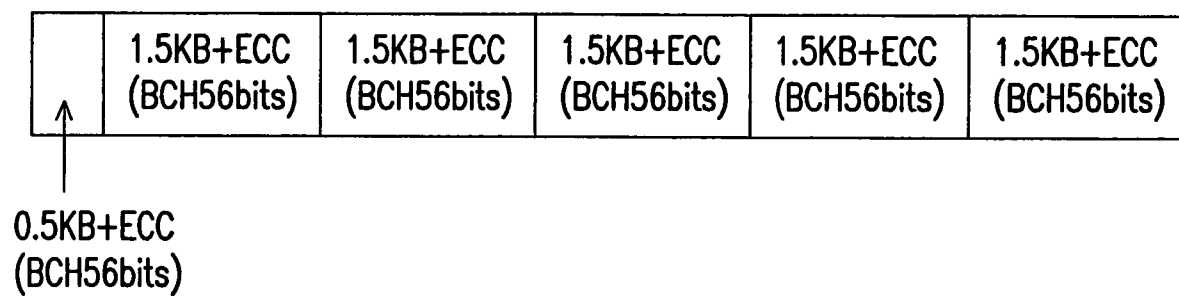


圖 4

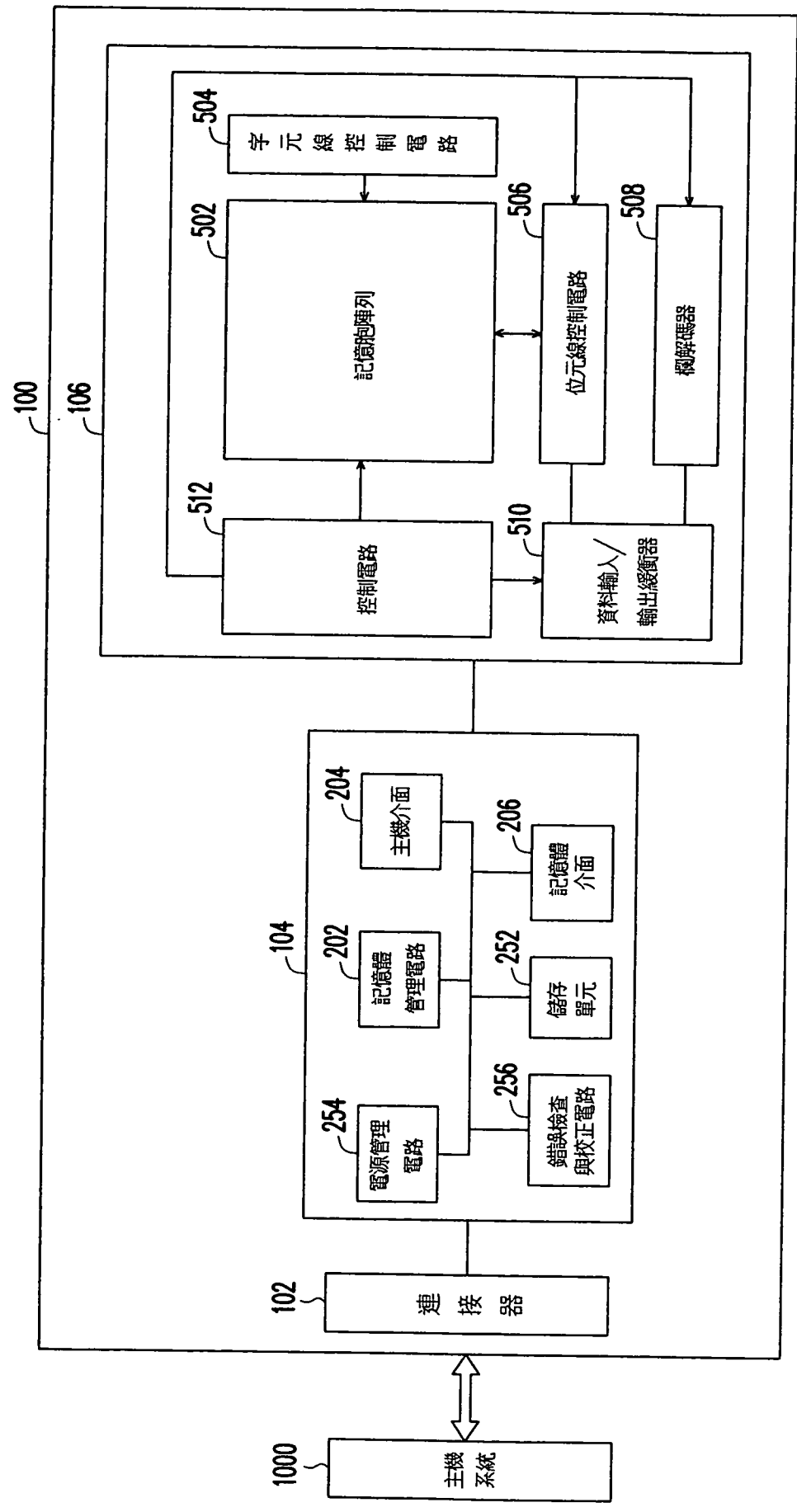


圖 5

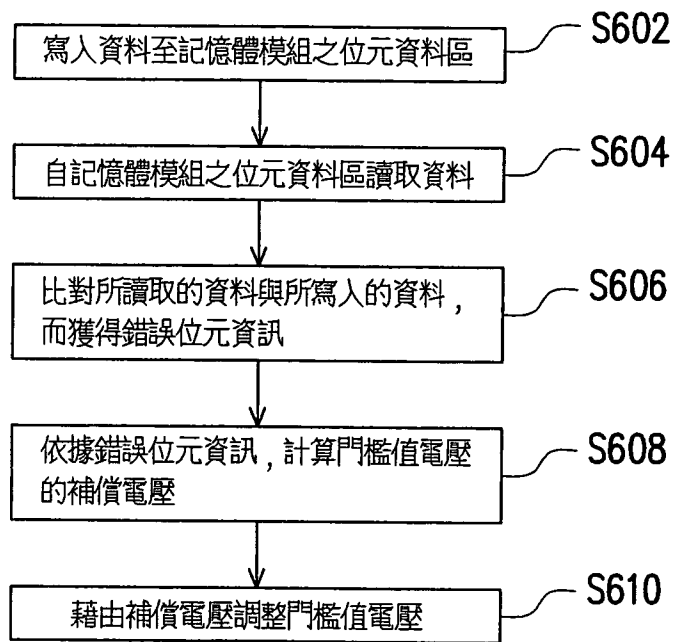


圖 6

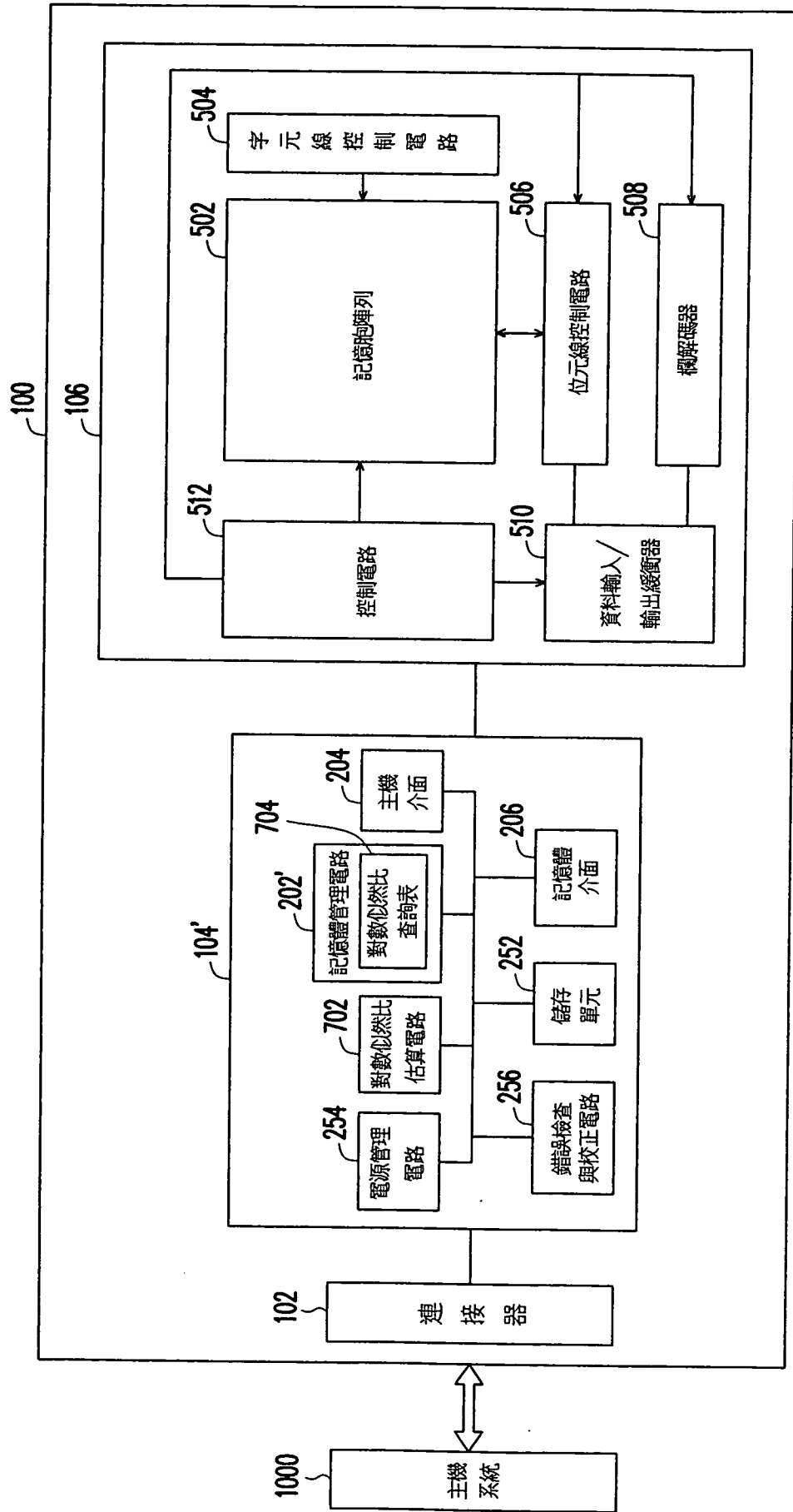


圖 7

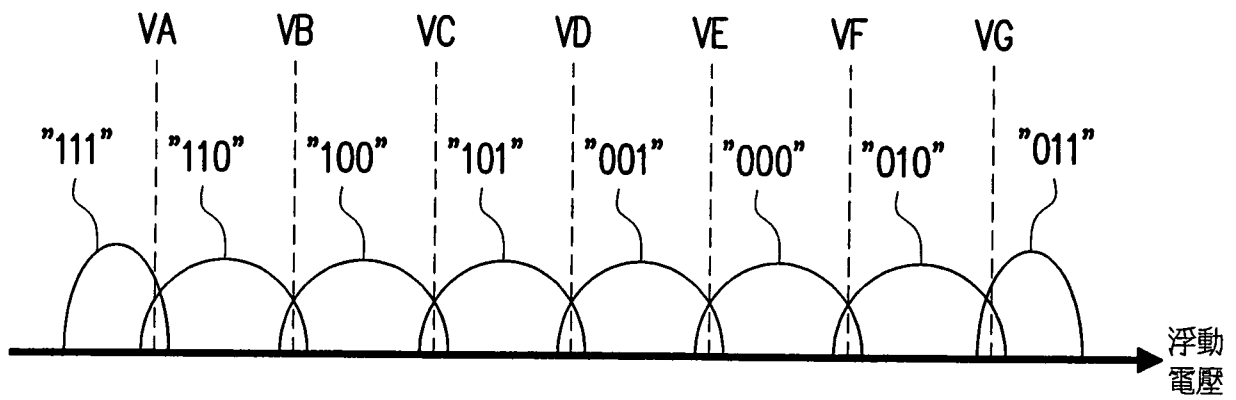


圖 8

			發生儲存錯誤的位元是 LSB	發生儲存錯誤的位元是 CSB	發生儲存錯誤的位元是 MSB	
第一儲存狀態	0	0	0	*	010 → 000	001 → 000
	0	0	1	101 → 001	*	000 → 001
	0	1	0	*	000 → 010	011 → 010
	0	1	1	*	*	010 → 011
	1	0	0	*	110 → 100	101 → 100
	1	0	1	001 → 101	*	100 → 101
	1	1	0	*	100 → 110	111 → 110
	1	1	1	*	*	110 → 111

圖 9

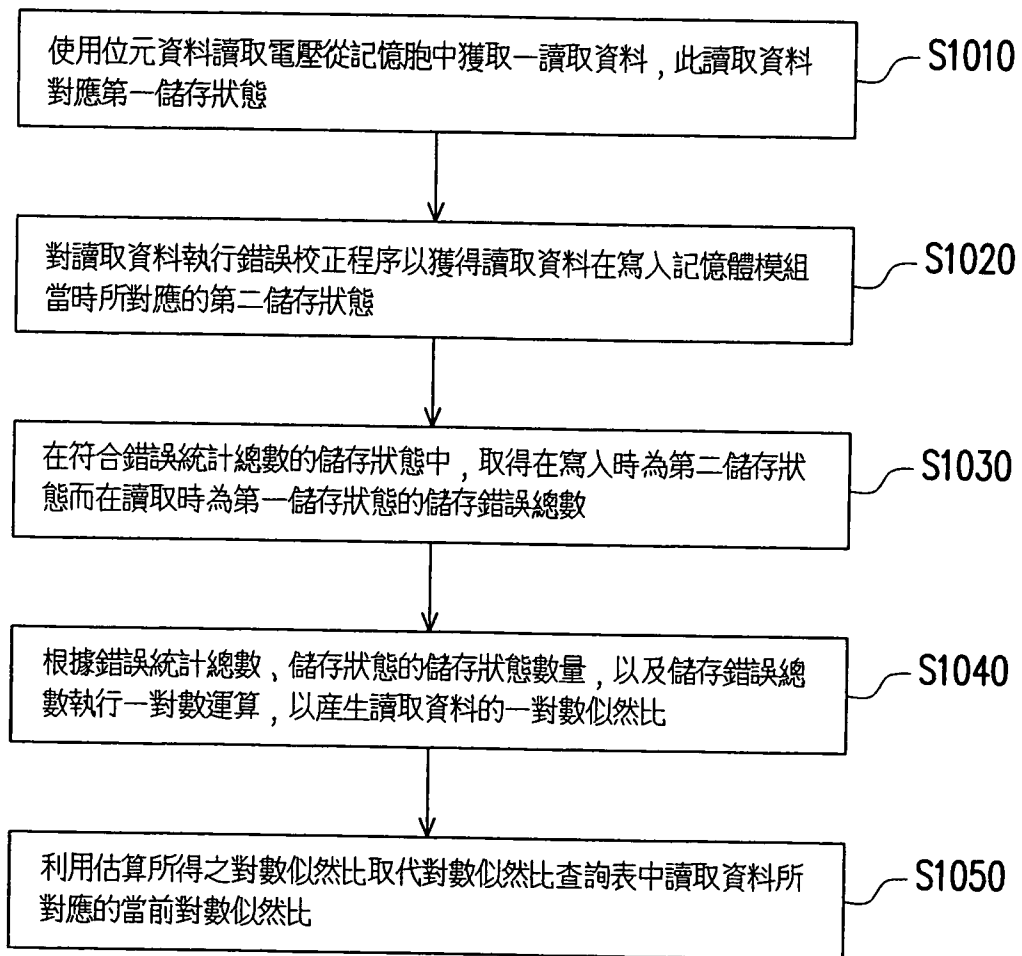


圖 10

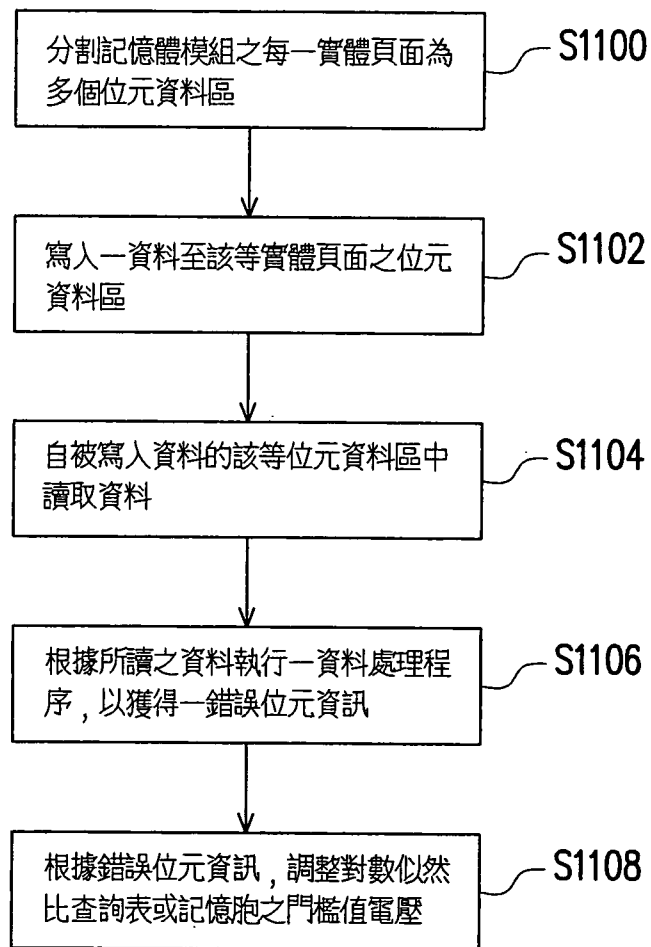


圖 11